(19)日本国特許庁(JP)

# (12)特許公報(B2)

(11)特許番号
特許第7627401号
(P7627401)

(45)発行日　令和7年2月6日(2025.2.6)

(24)登録日　令和7年1月29日(2025.1.29)

| (51)国際特許分類 | | FI | | |
|---|---|---|---|---|
| *H03F* | *3/70 (2006.01)* | H03F | 3/70 | |
| *H03G* | *3/10 (2006.01)* | H03G | 3/10 | B |
| *H03F* | *3/45 (2006.01)* | H03F | 3/45 | ２２０ |
| *H04N* | *25/78 (2023.01)* | H04N | 25/78 | |
| *H04N* | *25/616 (2023.01)* | H04N | 25/616 | |

請求項の数　6　外国語出願　（全17頁）

(21)出願番号　特願2020-130448(P2020-130448)
(22)出願日　令和2年7月31日(2020.7.31)
(65)公開番号　特開2021-61579(P2021-61579A)
(43)公開日　令和3年4月15日(2021.4.15)
審査請求日　令和4年9月29日(2022.9.29)
(31)優先権主張番号　16/572,580
(32)優先日　令和1年9月16日(2019.9.16)
(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者　000131326
株式会社シグマ
神奈川県川崎市麻生区栗木２丁目８番１５号
(74)代理人　110000626
弁理士法人英知国際特許商標事務所
(72)発明者　サンダラビサ ラオ・ギダターリー
アメリカ合衆国 ９５０１４、カリフォルニア州 クパチーノ ８９、ヴァレー グリーン ドライブ アパートメント ２０８７５
(72)発明者　グレン・ジェイ・ケラー
アメリカ合衆国 １９３８２、ペンシルベニア州、ウエストチェスター、チカディー レーン ９０４

最終頁に続く

(54)【発明の名称】　画像センサにおける低電力及び低領域読み出し用の合成プログラム可能利得増幅器及びコンパレータ

(57)【特許請求の範囲】
【請求項１】
撮像用の集積回路における切り替え可能増幅器及びコンパレータ回路であって、
複数の出力の列線を有する撮像アレイであって、前記列線の各々は、
反転入力、非反転入力、第１の差動出力、及び第２の差動出力を有するオペアンプであって、前記第１の差動出力は、前記反転入力にスイッチを介して切り替え可能に結合され、前記第２の差動出力は、前記非反転入力にスイッチを介して切り替え可能に結合されるオペアンプと、
前記反転入力に結合された第１のプレート及び前記第１の差動出力にスイッチを介して切り替え可能に結合された第２のプレートを有する第１の帰還キャパシタと、
前記非反転入力に結合された第１のプレート及び前記第２の差動出力にスイッチを介して切り替え可能に結合された第２のプレートを有する第２の帰還キャパシタと、
前記第１の差動出力と前記第２の差動出力との間にスイッチを介して切り替え可能に結合された容量性負荷と、
前記第１の差動出力と前記第２の差動出力の間にスイッチを介して切り替え可能に結合されたダイオードクランプ回路と、
前記第１の差動出力と前記第２の差動出力との間にスイッチを介して切り替え可能に結合された抵抗負荷と、
に結合された撮像アレイを含む、切り替え可能増幅器及びコンパレータ回路。
【請求項２】

前記反転入力と第１のスイッチ入力ノードとの間に結合された第１のサンプリングキャパシタであって、前記第１のスイッチ入力ノードは、信号入力ノードにスイッチを介して切り替え可能に結合される第１のサンプリングキャパシタと、
前記非反転入力と第２のスイッチ入力ノードとの間に結合された第２のサンプリングキャパシタであって、前記第２のスイッチ入力ノードは、前記信号入力ノードにスイッチを介して切り替え可能に結合され、かつ前記第１のスイッチ入力ノードにスイッチを介して切り替え可能に結合される第２のサンプリングキャパシタと、
を更に含む、請求項１に記載の切り替え可能増幅器及びコンパレータ回路。
【請求項３】
前記第１の帰還キャパシタの前記第２のプレートは、ポジティブランプ信号にスイッチを介して切り替え可能に結合され、
前記第２の帰還キャパシタの前記第２のプレートは、ネガティブランプ信号にスイッチを介して切り替え可能に結合される、請求項２に記載の切り替え可能増幅器及びコンパレータ回路。
【請求項４】
前記第１の帰還キャパシタは、互いに平行にプログラム可能に接続される複数の個別の第１の帰還キャパシタを含み、
前記第２の帰還キャパシタは、互いに平行にプログラム可能に接続される複数の個別の第２の帰還キャパシタを含む、請求項３に記載の切り替え可能増幅器及びコンパレータ回路。
【請求項５】
前記複数の個別の第１の帰還キャパシタは、パスゲートを通して互いに平行にプログラム可能に接続され、前記複数の個別の第２の帰還キャパシタは、パスゲートを通して互いに平行にプログラム可能に接続される、請求項３に記載の切り替え可能増幅器及びコンパレータ回路。
【請求項６】
前記複数の個別の第１の帰還キャパシタは、等しいキャパシタンスを有し、
互いに平行にプログラム可能に接続される前記複数の個別の第２の帰還キャパシタは、互いに対して重み付けされる容量値を有する、請求項４に記載の切り替え可能増幅器及びコンパレータ回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画像感知アレイに関する。特に、本発明は、画像センサにおける低電力及び小領域読み出し用の合成プログラム可能利得増幅器及びコンパレータに関する。
【背景技術】
【０００２】
最初に図１を参照すると、概略図は、画像感知アレイにおけるピクセルセンサの読み出し用の、相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器（ＰＧＡ）及び後続するコンパレータを示す。相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器、及びコンパレータ用の入力信号は、参照数字１４で示された電圧源$V_{pix}$に自らのドレインを接続したソースフォロワトランジスタ１２のソースにおける典型的なピクセルセンサの出力として示される。ソースフォロワトランジスタ１２のソースは、列線１８上の参照数字１６で示された電流を駆動する。
【０００３】
先行技術において、列線１８の出力電圧は、プログラム可能利得増幅器（ＰＧＡ）２０によって増幅され、プログラム可能利得増幅器（ＰＧＡ）２０は、相関２重サンプリング機能を提供する。ＰＧＡ２０の出力は、アナログ信号である。コンパレータ２２は、当該技術分野において周知のように、ＰＧＡ２０のアナログ出力を線２４上のランプ信号と比較する。

【０００４】
コンパレータ２２は、通常、ラッチが後に続く前置増幅器である。前置増幅器は、ラッチからのキックバック効果を低減し、かつまたその入力部において差動信号を増幅する。ラッチは、この前置増幅器出力をデジタル処理用のレールツーレールレベルに変換する。
【０００５】
ここで図２を参照すると、概略図は、図１に描写されたものなどの相関２重サンプリングを備えた増幅器３０及びコンパレータ２２を含む先行技術のプログラム可能利得増幅器１０をより詳細に示す。電圧$V_{column}$は、スイッチ３６が閉じられているとき、ｓｓ位相中にサンプリングキャパシタ$C_s$３４を通してオペアンプ３０の反転入力３２へと、かつスイッチ４２が閉じられているとき、ｓｒ位相中にサンプリングキャパシタ$C_s$４０を通してオペアンプ３０の非反転入力３８へと列１８からサンプリングされる。
【０００６】
これらの２つのサンプリング位相ｓｓ及びｓｒ中に、Ｃｌａｍｐ＿１信号によって制御されるスイッチ４４及び４６は、閉じられており、出力ノード４８を増幅器３０の反転入力３２に、かつ出力ノード５０を増幅器３０の非反転入力３８に短絡させる。
【０００７】
Ｃｌａｍｐ＿１信号がデアサートされた後で、Ｃｌａｍｐ＿２信号はアサートされ、クローバ（ＣＢ）信号が後に続く。Ｃｌａｍｐ＿２信号は、スイッチ５２を閉じ、コンパレータ２２の出力ノードＯｕｔ＿Ｐ５４をコンパレータ２２の反転入力５６に短絡させ、かつスイッチ５８を閉じ、コンパレータ２２の出力ノードＯｕｔ＿Ｎ６０をコンパレータ２２の非反転入力６２に短絡させる。
【０００８】
クローバ信号ｃｂは、スイッチ６４を閉じ、キャパシタ３４及び４０の入力プレートを一緒に短絡させる。クローバ信号ｃｂはまた、スイッチ６６を閉じ、増幅器３０の出力ノード４８とその反転入力３２との間で帰還キャパシタＣｆ６８を接続し、かつスイッチ７０を閉じ、増幅器３０の出力ノード５０とその非反転入力３８との間で帰還キャパシタＣｆ７２を接続する。
【０００９】
クローバ信号ｃｂはまた、スイッチ７４及び７６を閉じ、それぞれキャパシタＣｃ７８及び８０を通して、増幅器３０の出力ノード４８及び５０をそれぞれコンパレータ２２の入力ノード５６及び６２に接続する。
【００１０】
クローバ（ｃｂ）位相の終わりに、ノード４８及び５０における電圧間の差は、（Ｖｓｓ－Ｖｓｒ）$^{*}$Ｃｓ／Ｃｆである。Ｖｓｓは、ｓｓ位相中の$V_{column}$である。Ｖｓｒは、ｓｒ位相中の$V_{column}$である。この電圧は、ｃｂ位相中に、Ｃｃキャパシタ７８及び８０上でサンプリングされる。
【００１１】
Ｒａｍｐ＿ｅｎ信号がアサートされると、スイッチ８２及び８４は閉じられ、Ｏｕｔ＿Ｐ及びＯｕｔ＿Ｎノード５４及び６０における電圧間の差＝Ｏｕｔ＿Ｐ－Ｏｕｔ＿Ｎ＝（Ｖｓｒ－Ｖｓｓ）$^{*}$Ｃｓ／Ｃｆ－（Ｒａｍｐ＿Ｐ－Ｒａｍｐ＿Ｎ）である。この電圧は、後続のラッチによってレールツーレールに変換される。
【００１２】
ここで図３を参照すると、タイミング図は、図２の相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器及びコンパレータを操作するために印加されるｓｓ、ｓｒ、ｃｂ、Ｃｌａｍｐ＿１、Ｃｌａｍｐ＿２、及びＲａｍｐ＿ｅｎ制御信号の相対的なタイミングを示す。
【００１３】
領域、電力、及びノイズトレードオフは、図２の開路設計において行われる必要がある。帰還キャパシタは、０Ｖの代わりに最小差動ランプ電圧に初期化される。図２の先行技術の回路の出力は、次のとおりである。

【００１４】
Ｏｕｔ＿Ｐ－Ｏｕｔ＿Ｎ＝（Ｖｓｒ－Ｖｓｓ）*Ｃｓ／Ｃｆ－（Ｒａｍｐ＿Ｐ－Ｒａｍｐ＿Ｎ）
【発明の概要】
【課題を解決するための手段】
【００１５】
本発明の態様によれば、切り替え可能増幅器及びコンパレータ回路は、反転入力、非反転入力、第１の差動出力、及び第２の差動出力を有するオペアンプであって、第１の差動出力は、反転入力に切り替え可能に結合され、第２の差動出力は、非反転入力に切り替え可能に結合されるオペアンプと、反転入力に結合された第１のプレート及び第１の差動出力に切り替え可能に結合された第２のプレートを有する第１の帰還キャパシタと、非反転入力に結合された第１のプレート及び第２の差動出力に切り替え可能に結合された第２のプレートを有する第２の帰還キャパシタと、第１の差動出力と第２の差動出力との間に切り替え可能に結合された容量性負荷と、第１の差動出力と第２の差動出力との間に切り替え可能に結合されたダイオードクランプ回路と、第１の差動出力と第２の差動出力との間に切り替え可能に結合された抵抗負荷と、を含む。
【００１６】
本発明の態様によれば、切り替え可能増幅器及びコンパレータ回路は、反転入力と第１のスイッチ入力ノードとの間に結合された第１のサンプリングキャパシタであって、第１のスイッチ入力ノードは、信号入力ノードに切り替え可能に結合される第１のサンプリングキャパシタと、非反転入力と第２のスイッチ入力ノードとの間に結合された第２のサンプリングキャパシタであって、第２のスイッチ入力ノードは、信号入力ノードに切り替え可能に結合され、かつ第１のスイッチ入力ノードに切り替え可能に結合される第２のサンプリングキャパシタと、を更に含む。
【００１７】
本発明の態様によれば、第１の帰還キャパシタの第２のプレートは、ポジティブランプ信号に切り替え可能に結合され、第２の帰還キャパシタの第２のプレートは、ネガティブランプ信号に切り替え可能に結合される。
【００１８】
本発明の態様によれば、第１の帰還キャパシタは、互いに平行にプログラム可能に接続される複数の個別の第１の帰還キャパシタを含み、第２の帰還キャパシタは、互いに平行にプログラム可能に接続される複数の個別の第２の帰還キャパシタを含む。
【００１９】
本発明の態様によれば、複数の個別の第１の帰還キャパシタは、パスゲートを通して互いに平行にプログラム可能に接続され、複数の個別の第２の帰還キャパシタは、パスゲートを通して互いに平行にプログラム可能に接続される。
【００２０】
本発明の態様によれば、複数の個別の第１の帰還キャパシタは、等しいキャパシタンスを有し、互いに平行にプログラム可能に接続される複数の個別の第２の帰還キャパシタは、互いに対して重み付けされる容量値を有する。
【００２１】
本発明の態様によれば、撮像アレイから単一の出力回路にデータをダウンロードするための方法は、アレイの列からのピクセルセンサ出力をサンプリングするように出力回路を構成するステップと、アレイの列からのリセット状態出力をサンプリングするように出力回路を構成するステップと、サンプリングされたピクセルセンサ出力及びサンプリングされたリセット状態出力から、プログラム可能利得相関２重信号サンプル値信号を生成するように出力回路を構成するステップと、プログラム可能利得相関２重信号サンプル値信号をランプ信号と比較するコンパレータとして出力回路を構成するステップと、を含む。
図面の簡単な説明
【００２２】

本発明は、実施形態及び図面に関連して以下でより詳細に説明される。
【図面の簡単な説明】
【００２３】
【図１】画像感知アレイにおけるピクセルセンサの読み出し用の、相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器及びコンパレータを示す概略図である。
【図２】図１に描写されたような、相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器及びコンパレータをより詳細に示す概略図である。
【図３】図２の相関２重サンプリングを備えた先行技術のプログラム可能利得増幅器及びコンパレータを操作するために印加される制御信号を示すタイミング図である。
【図４】本発明の態様に従って、画像感知アレイにおけるピクセルセンサの読み出し用の、相関２重サンプリングを備えたプログラム可能利得増幅器及びコンパレータを含む合成増幅器及びコンパレータを示す概略図である。
【図５】本発明の態様に従って、図４に描写されたような、相関２重サンプリングを備えたプログラム可能利得増幅器及びコンパレータを含む合成増幅器及びコンパレータをより詳細に示す概略図である。
【図６】図５の合成増幅器及びコンパレータを構成するスイッチを制御するために印加される制御信号を示すタイミング図である。
【図７】回路が動作のサンプル「ｓｓ」位相にある場合に、図５の回路のスイッチの状態から結果として得られる等価回路を示す図５の回路の概略図である。
【図８】回路の動作のサンプル「ｓｓ」位相中の回路を構成するために、スイッチに印加される制御信号を示すブラケットを含む図６のタイミング図である。
【図９】回路が動作のサンプル「ｓｒ」位相にある場合に、図５のダイアグラムの回路におけるスイッチの状態から結果として得られる等価回路を示す図５の回路の概略図である。
【図１０】回路の動作のサンプル「ｓｒ」位相中の回路を構成するために、スイッチに印加される制御信号を示すブラケットを含む図６のタイミング図である。
【図１１】回路が動作のプログラム可能利得増幅器位相にある場合に、図５のダイアグラムの回路におけるスイッチの状態から結果として得られる等価回路を示す図５の回路の概略図である。
【図１２】回路の動作のプログラム可能利得増幅器位相中の回路を構成するために、スイッチに印加される制御信号を示すブラケットを含む図６のタイミング図である。
【図１３】回路が動作のコンパレータ位相にある場合に、図５のダイアグラムの回路におけるスイッチの状態から結果として得られる等価回路を示す図５の回路の概略図である。
【図１４】回路の動作のコンパレータ位相中に印加される制御信号を示すブラケットを含む図６のタイミング図である。
【図１５Ａ】通常は閉じられているスイッチとして構成されるパスゲートの概略図である。
【図１５Ｂ】通常は開いているスイッチとして構成されるパスゲートの概略図である。
【図１６】図１１に示される増幅器回路におけるプログラム可能利得を実現するための実例的な回路を示す概略図である。
【図１７】本発明の態様に従って、撮像アレイに、かつ相関２重サンプリングを備えたプログラム可能利得増幅器及びコンパレータを含む合成増幅器及びコンパレータに結合されたコントローラを示すブロック図である。
【００２４】
【００２５】
【００２６】
【００２７】
【００２８】
【００２９】
【００３０】
【００３１】
【００３２】

【００３３】
【００３４】
【００３５】
【００３６】
【００３７】
【００３８】
【００３９】
【００４０】
【発明を実施するための形態】
【００４１】
当業者は、以下の説明が、単に実例であり、決して限定ではないことを理解されよう。他の実施形態が、かかる当業者には容易に念頭に浮かぶであろう。
【００４２】
ここで図４を参照すると、概略図は、本発明の態様に従って、画像感知アレイにおけるピクセルセンサの読み出し用の、相関２重サンプリングを備えた増幅器２６及びコンパレータを含む合成増幅器及びコンパレータ９０を示す。本発明のアーキテクチャは、図１の先行技術の配置のＰＧＡ２０及びコンパレータ前置増幅器２２を領域及び電力消費を低減する単一ブロック２６に合成する。
【００４３】
図４の合成増幅器及びコンパレータ９０は、図１に描写された先行技術の回路と共通の幾つかの要素を共有する。それらの共通要素は、図１においてそれらを識別するために用いられる同じ参照数字を用いて明示される。
【００４４】
先行技術の配置と同様に、合成増幅器及びコンパレータ９０用の入力信号は、参照数字１４で示された電圧源$V_{pix}$に自らのドレインを接続するソースフォロワトランジスタ１２のソースにおける典型的なピクセルセンサの出力である。ソースフォロワトランジスタ１２のソースは、列線１８上で参照数字１６で表された電流を駆動する。
【００４５】
合成増幅器及びコンパレータ９０は、相関２重サンプリングを備えたＰＧＡ及びコンパレータの両方として働く単一の増幅器２６を用いる。ラッチ２８は、コンパレータの出力を捕捉する。
【００４６】
ここで図５を参照すると、概略図は、本発明の態様に従って、図４に描写されたものなどの合成増幅器及びコンパレータ９０をより詳細に示す。図５の回路は、図２に描写された先行技術の回路と共通の幾つかの要素を共有する。それらの共通要素は、図２において共通要素を識別するために用いられる同じ参照数字を用いて明示される。
【００４７】
差動オペアンプ９２は、サンプリングキャパシタＣｓ３４及びスイッチ３６を通して列線１８に自らの反転入力３２を結合する。スイッチ３６は、サンプルリセット（ｓｒ）信号によって制御される。差動オペアンプ９２の非反転入力３８は、サンプリングキャパシタＣｓ４０及びスイッチ４２を通して列線１８に結合される。スイッチ４２は、サンプル信号（ｓｓ）によって制御される。
【００４８】
差動オペアンプ９２のポジティブ出力４８は、クランプスイッチ４４を通して差動オペアンプ９２の反転入力３２に結合される。差動オペアンプ９２のネガティブ出力５０は、クランプスイッチ４６を通して差動オペアンプ９２の非反転入力３８に結合される。
【００４９】
差動オペアンプ９２のポジティブ出力４８はまた、帰還キャパシタＣｆ６８と直列のスイッチ６６を通して差動オペアンプ９２の反転入力３２に結合される。差動オペアンプ９２のネガティブ出力５０はまた、帰還キャパシタＣｆ７２と直列のスイッチ７０を通して

差動オペアンプ９２の非反転入力３８に結合される。スイッチ６６及び７０は、クローバ（ｃｂ）信号によって制御される。

【００５０】

スイッチ６６及び帰還キャパシタＣｆ６８の共通接続は、スイッチ９４を通して、参照数字９６におけるＲａｍｐ＿Ｐ信号に結合される。スイッチ７０及び帰還キャパシタＣｆ７２の共通接続は、スイッチ９８を通して、参照数字１００におけるＲａｍｐ＿Ｎ信号に結合される。

【００５１】

キャパシタ１０２ａ及び１０２ｂを含む容量性負荷は、スイッチ１０４ａ及び１０４ｂを通り、合成増幅器及びコンパレータ９０の出力ノード５４及び６０（差動オペアンプ９２の出力ノード４８及び５０と同じであるノード）を横切って選択的に接続される。ダイオード１０６ａ及び１０６ｂを含むダイオードクランプ回路は、スイッチ１０８ａ及び１０８ｂを通り、合成増幅器及びコンパレータ９０の出力ノード５４及び６０を横切って選択的にそれぞれ接続される。抵抗器１１０ａ及び１１０ｂを含む抵抗負荷は、スイッチ１１２ａ及び１１２ｂを通り、合成増幅器及びコンパレータ９０の出力ノード５４及び６０を横切って選択的にそれぞれ接続される。

【００５２】

スイッチ１０４ａ、１０４ｂ、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、全て、信号ＲａｍｐＣｏｎｎ２によってに制御される。スイッチ１０４ａ及び１０４ｂは、通常、信号ＲａｍｐＣｏｎｎ２がデアサートされる場合に閉じられ、かつ信号ＲａｍｐＣｏｎｎ２がアサートされる場合に開かれる。スイッチ６４、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、全て、通常、信号ＲａｍｐＣｏｎｎ２がデアサートされる場合に開かれ、かつ信号ＲａｍｐＣｏｎｎ２がアサートされる場合に閉じられる。

【００５３】

ここで図６を参照すると、タイミング図は、本発明の態様に従って、図５の相関２重サンプリングを備えたプログラム可能利得増幅器及びコンパレータをその動作の全ての位相中に制御するために印加される制御信号を示す。制御信号ｓｓ、ｓｒ、ｃｂ、Ｃｌａｍｐ、ＲａｍｐＣｏｎｎ、及びＲａｍｐＣｏｎｎ２は示され、図５の回路の動作の様々な位相中の図５の回路に対するそれらの制御信号の影響は、図７、９、１１及び１３に示される。

【００５４】

ここで図７を参照すると、概略図は、回路が、動作のサンプルｓｓ位相にある場合に、図５の回路の構成を描写し、かつ回路が、動作のサンプルｓｓ位相にある場合に、図５の回路のスイッチの状態から結果として得られる等価回路を示す。動作のサンプルｓｓ位相中に、列線上の信号は、サンプリングされる。図５のスイッチ４２、４４、４６、９４、９８、１０４ａ、及び１０４ｂは、閉じられており、ワイヤとして示される。図５のスイッチ３６、６６、７０、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、開かれており、従って図７には示されていない。

【００５５】

図７で分かるように、電圧$V_{column}$は、スイッチ４２が閉じられている場合に、ｓｓ位相中にサンプリングキャパシタ$C_s$４０を通して、列１８からオペアンプ９２の非反転入力３８までサンプリングされる。本明細書で開示されるように、オペアンプ９２は、図５の回路のＰＧＡ及びコンパレータの両方として働く。

【００５６】

ここで図８を参照すると、タイミング図は、スイッチの状態を制御するために、回路の動作のサンプルｓｓ位相中にスイッチに印加される制御信号を示す。

【００５７】

ここで図９を参照すると、概略図は、回路が動作のサンプルｓｒ位相にある場合に、図５の回路の構成を描写し、かつ回路が動作のサンプルｓｒ位相にある場合に、図５の回路のスイッチの状態からの結果として得られる等価回路を示す。動作のこの位相中に、列のリセット状態における列上の電圧は、サンプリングされる。スイッチ３６、４４、４６、

９４、９８、１０４ａ、及び１０４ｂは、閉じられている。スイッチ４２、６６、７０、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、開いている。

【００５８】

図９で分かるように、動作のサンプルｓｒ位相中に、$V_{column}$１８の電圧は、Ｃｓ３４上へサンプリングされる。サンプリングされたこの電圧は、信号電圧（Ｖｓｓ）である。増幅器９２は、この位相中にリセットされる。

【００５９】

帰還キャパシタＣｆ６８及び７２はまた、ＲａｍｐＣｏｎｎ信号によって制御されるスイッチ９４及び９８を通して、この位相中に、Ｒａｍｐ＿Ｐ９６及びＲａｍｐ＿Ｎ１００を帰還キャパシタＣｆ６８及び７２上でサンプリングすることによってリセットされる。

【００６０】

電圧$V_{column}$は、スイッチ３６が閉じられている場合に、ｓｒ位相中にサンプリングキャパシタ$C_s$３４を通して、列１８からオペアンプ９２の反転入力３２へ、かつスイッチ４２が閉じられている場合に、ｓｓ位相中にサンプリングキャパシタ$C_s$４０を通して、オペアンプ９２の非反転入力３８へ列１８からサンプリングされる。本明細書で開示されるように、オペアンプ９２は、図５の回路のＰＧＡ及びコンパレータの両方として働く。

【００６１】

図１０は、図９に描写された回路の動作のサンプルｓｒ位相中に、スイッチに印加される制御信号を示すタイミング図である。

【００６２】

図７及び９に示されるこれらの２つのサンプリング位相ｓｒ及びｓｓ中に、Ｃｌａｍｐ信号によって制御されるスイッチ４４と４６は閉じられ、増幅器９２の出力ノード４８を増幅器９２の反転入力３２に短絡させ、かつ増幅器の出力ノード５０を増幅器の非反転入力３８に短絡させる。ＲａｍｐＣｏｎｎ２信号は、これらの２つのサンプリング位相ｓｒ及びｓｓ中にデアサートされる。通常は閉じられているスイッチ１０４ａ及び１０４ｂは、増幅器９２をより安定させるために、$C_{load}$キャパシタ１０２ａ及び１０２ｂを接続する。これは、用いられる増幅器アーキテクチャに基づいて変わる可能性がある。スイッチ１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは開いており、クランピングダイオード１０６ａ及び１０６ｂ並びに抵抗負荷１１０ａ及び１１０ｂを回路から切断する。

【００６３】

ここで図１１を参照すると、概略図は、回路が動作のプログラム可能利得増幅器位相にある場合に、図５の回路の構成を描写する。動作のこの位相中に、スイッチ６４、６６、７０、１０４ａ、及び１０４ｂは、閉じられている。スイッチ３６、４２、４４、４６、９４、９８、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、開いている。

【００６４】

オペアンプ９２のＰＧＡモードである回路動作のこの位相中に、Ｃｌａｍｐ信号がデアサートされた後で、ｃｂ信号は、アサートされる。クローバ信号ｃｂは、スイッチ６４を閉じ、Ｃｓキャパシタ３４及び４０の入力プレートを一緒に短絡させる。クローバ信号ｃｂはまた、スイッチ６６を閉じ、増幅器９２の出力ノード４８とその反転入力３２との間で帰還キャパシタＣｆ６８を接続し、かつスイッチ７０を閉じ、増幅器３０の出力ノード５０とその非反転入力３８との間で帰還キャパシタＣｆ７２を接続する。

【００６５】

帰還キャパシタＣｆ６８及び７２並びにサンプリングキャパシタＣｓ３４及び４０は、回路動作のクローバｃｂ位相の終わりに、増幅器９２の出力（出力ノード５４及び６０における電圧差）が、次のとおりであるように接続される。

【００６６】

（Ｏｕｔ＿Ｐ）－（Ｏｕｔ＿Ｎ）＝（Ｖｓｒ－Ｖｓｓ）*Ｃｓ／Ｃｆ＋（Ｒａｍｐ＿Ｐ＿ｉ－Ｒａｍｐ＿Ｎ＿ｉ）。この式で、Ｒａｍｐ＿Ｐ＿ｉ及びＲａｍｐ＿Ｎ＿ｉは、初期ランプ電圧である。この計算は、オフセットを考慮する。このオフセットを無視すること（即ち（Ｒａｍｐ＿Ｐ＿ｉ－Ｒａｍｐ＿Ｎ＿ｉ）＝０）によって、式は、（Ｏｕｔ＿Ｐ）－

（Ｏｕｔ＿Ｎ）＝（Ｖｓｒ－Ｖｓｓ）*Ｃｓ／Ｃｆに単純化される。

【００６７】

Ｖｓｓは、図７のｓｓ位相中の$V_{column}$である。Ｖｓｒは、図９のｓｒ位相中の$V_{column}$である。

【００６８】

ここで図１２を参照すると、タイミング図は、図１１の回路の動作のプログラム可能利得増幅器位相中の回路を構成するために、スイッチに印加される制御信号を示す。

【００６９】

図１３は、図５の回路の概略図であり、かつ回路が動作のコンパレータ位相にある場合に、図５における回路のスイッチの状態から結果として得られる等価回路を示す。動作のこの位相中に、スイッチ９４、９８、１０８ａ、１０８ｂ、１１２ａ、及び１１２ｂは、閉じられている。スイッチ３６、４２、４４、４６、６４、６６、７０、１０４ａ、及び１０４ｂは、開いている。

【００７０】

スイッチ１０８ａ及び１０８ｂは、コンパレータがより速く切り替わり得るようにするために、コンパレータモードにおける電圧スイングを低減するように回路の出力ノード５４及び６０を横切ってクランピングダイオード１０８ａ及び１０８ｂを接続する。スイッチ１１２ａ及び１１２ｂは、コンパレータの帯域幅を増加させるために、回路の出力ノード５４及び６０を横切って負荷抵抗器１１２ａ及び１１２ｂを接続する。

【００７１】

Ｏｕｔ＿Ｐ及びＯｕｔ＿Ｎノード５４及び６０における電圧間の差＝Ｏｕｔ＿Ｐ－Ｏｕｔ＿Ｎ＝（Ｖｓｓ－ｖｓｒ）*Ｃｓ／Ｃｆ－（Ｒａｍｐ＿Ｐ－Ｒａｍｐ＿Ｎ）である。この電圧は、後続のラッチによってレールツーレールに変換される。

【００７２】

図１４は、回路の動作のコンパレータ位相中に印加される制御信号を示すタイミング図である。

【００７３】

ここでノード８４及び８６における差動電圧出力は、次のとおりである。

【００７４】

（Ｏｕｔ＿Ｐ）－（Ｏｕｔ＿Ｎ）＝（Ｖｓｒ－Ｖｓｓ）*Ｃｓ／Ｃｆ）－（Ｒａｍｐ＿Ｐ－Ｒａｍｐ＿Ｎ）

【００７５】

図５～１４に関連して説明されるこの回路動作は、先行技術におけるのと同じ動作だが、しかし増幅器及びコンパレータ前置増幅器を合成することによって、その同じ動作を達成する。

【００７６】

図１に描写された先行技術の増幅器及びコンパレータにおいてと同様に、本明細書で開示されかつ図５で描写された合成増幅器及びコンパレータ９０において、回路で用いられる様々なスイッチは、ＣＭＯＳパスゲートを含んでもよい。通常は開いているスイッチとして構成されるパスゲートは、参照数字１２０によって識別され、かつ図１５Ａに描写される。通常は閉じられたスイッチとして構成されるパスゲートは、参照数字１２２によって識別され、かつ図１５Ｂに描写される。両方のパスゲート１２０及び１２２は、主端子１２４及び制御端子１２６を有し、かつｎチャネルトランジスタ１３０と平行に接続されたｐチャネルトランジスタ１２８から形成される。

【００７７】

パスゲート１２０は、制御入力１２６とｐチャネルトランジスタ１２８のゲートとの間に接続されるインバータ１３２を有する。ｎチャネルトランジスタ１３０のゲートは、制御入力１２６に直接接続される。制御端子１２６上の低レベル信号は、パスゲート１２０をオフにして主端子１２４を互いに分離し、制御入力１２６上の高レベル信号は、パスゲート１２０をオンにして主端子１２４を一緒に接続する。

【００７８】
パスゲート１２２は、制御入力１２６とｎチャネルトランジスタ１３０のゲートとの間に接続されるインバータ１３４を有する。ｐチャネルトランジスタ１２８のゲートは、制御入力１２６に直接接続される。制御端子１２６上の低レベル信号は、パスゲート１２２をオンにして主端子１２４を一緒に接続し、制御入力１２６上の高レベル信号は、パスゲート１２２をオフにして主端子１２４を互いに分離する。当業者は、追加のインバータが、ＲａｍｐＣｏｎｎ２信号と、通常は閉じられているように構成される図１５Ａに示されるスイッチのいずれかにおける入力１２６との間に接続される場合に、スイッチの全てが図１５Ａに示されるように構成され得ることを認識されよう。
【００７９】
ここで図１６を参照すると、概略図は、キャパシタＣｆ（図７、９及び１１における参照数字６８及び７２）用のプログラム可能な値を提供することによって、図１１に示される増幅器回路におけるプログラム可能利得を実現するための実例的な回路１４０を示す。ノード１４２と１４４との間のＣｆの総容量は、スイッチ１４８－１、１４８－２、１４８－３、及び１４８－４の１つ又は複数に選択的に閉じることによって、キャパシタＣｆ１（１４６－１）、Ｃｆ１＋Ｃｆ２（１４６－１＋１４６－２）、Ｃｆ１＋Ｃｆ２＋Ｃｆ３（１４６－１＋１４６－２＋１４６－３）、及びＣｆ１＋Ｃｆ２＋Ｃｆ３＋Ｃｆ４（１４６－１＋１４６－２＋１４６－３＋１４６－４）の値間で変更され得る。スイッチ１４８－１、１４８－２、１４８－３、及び１４８－４は、図１５Ａ及び１５Ｂに示されるようなパスゲートとすることができる。
【００８０】
キャパシタの全てが、同じ値（０．２５Ｃｆ）を有する場合に、利得は、スイッチ１４８－１、１４８－２、１４８－３、及び１４８－４の１つ、２つ、３つ、又は４つ全てを閉じることによって、１、１．３３、２、及び４間で選択可能とすることができる。当業者は、キャパシタ１４６－１、１４６－２、１４６－３、及び１４６－４の値が、等しい必要がなく、かつ他の選択可能な容量値を提供するために、重み付けする（例えば１－２－４－８）ことができることを認識されよう。
【００８１】
ここで図１７を参照すると、ブロック図は、本発明の態様に従って、撮像アレイ１５４と、相関２重サンプリングを備えたプログラム可能利得増幅器２６（列当たり１つ）及びコンパレータとに制御線１５２を結合するコントローラ１５０を示す。コントローラ１５０は、画像を捕捉するために、当該技術分野において周知の方法で、制御線１５２を通じて撮像アレイ１５４の動作を制御するように構成される。コントローラ１５０はまた、相関２重サンプリングを備えたプログラム可能利得増幅器及びコンパレータ２６を構成するスイッチを制御する制御信号を供給するように、かつ本明細書で説明されるような様々なモードで、プログラム可能利得増幅器及びコンパレータ２６の動作を指示する他の制御信号を供給するように構成される。
【００８２】
プログラム可能利得増幅器及びコンパレータを合成することによって、画像センサにおける低電力及び低領域読み出し回路設計が提供される。本発明は、相関２重サンプリング、オフセット生成、及びランプ電圧との比較の１ステージ実装形態を提供する。増幅器は、ランプ位相中にコンパレータ前置増幅器として再構成される。別個のプログラム可能利得増幅器及びコンパレータステージと比較すると、このアーキテクチャは、低ノイズを提供する。何故なら、プログラム可能利得増幅器は、コンパレータモード中に動作可能ではなく、両方の位相中にただ１つの増幅器からのノイズに帰着するからである。このアーキテクチャはまた、より低い電力を用いる先行技術の増幅器と同じノイズ仕様を満たす。このアーキテクチャはまた、集積回路ダイ上でより小さい領域を消費する。
【００８３】
先行技術のアーキテクチャは、コンパレータ入力に対してサンプリングするための２つの追加のサンプリングキャパシタ７８及び８０を要求する。単にサンプリングノイズだけ

を検討する。本発明と同じサンプリングノイズ性能を有するために、先行技術のアーキテクチャは、本発明によって要求されるサンプリングキャパシタの２倍のキャパシタンスを有するサンプリングキャパシタを要求する。これは、本発明によって要求されるサンプリングキャパシタ領域の６倍の領域である、先行技術のアーキテクチャ用のサンプリングキャパシタ領域を要求する。加えて、サンプリングキャパシタンスが、２倍にされるので、Ｃｆはまた、ユニティーゲイン用に２倍にされる必要がある。従って、このアーキテクチャは、より小領域においてより低ノイズ性能を達成する。

【００８４】

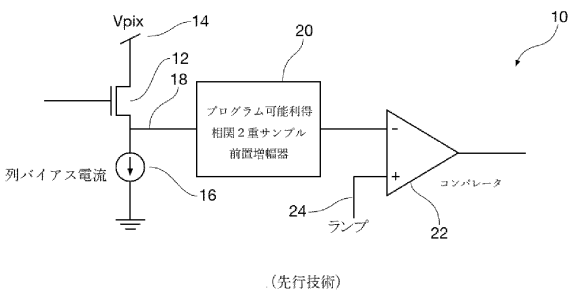
従来のアーキテクチャ用のコンパレータ入力において、２倍の数のサンプリングキャパシタを用いると、本発明のアーキテクチャと比較してプログラム可能利得増幅器に見られる負荷増加は、小さな信号整定用に４倍である。同じ整定性能用に、かつ１段増幅器を仮定すると、増幅器における電流は、同じユニティーゲイン周波数用に４倍に増加する必要がある。これは、寄生極ゆえに、増幅器領域及び二次効果における更なる増加に帰着する。従って、このアーキテクチャは、より小さい領域においてより低電力及びより低ノイズ性能を達成する。

【００８５】

本発明の実施形態及び適用が示され説明されたが、上記で言及されたよりずっと多くの修正が、本明細書の発明的概念から逸脱せずに可能であることが、当業者には明白であろう。従って、本発明は、添付の特許請求の範囲の趣旨以外では制限されるべきではない。

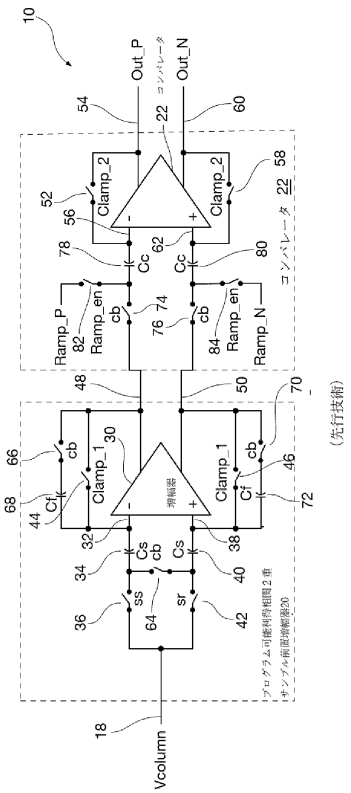
【図面】

【図１】

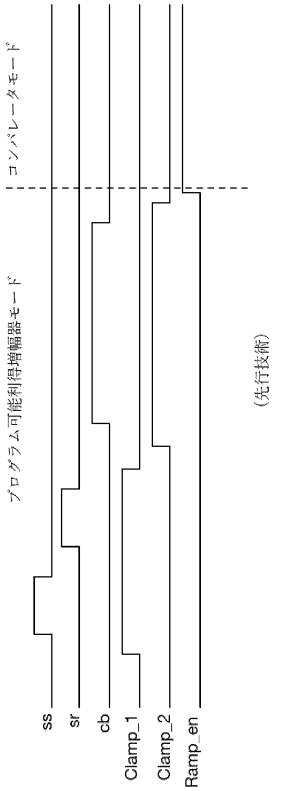

Vpix
14
12
18
20
10
プログラム可能利得
相関２重サンプル
前置増幅器
列バイアス電流
16
24
ランプ
22
コンパレータ

（先行技術）

【図２】

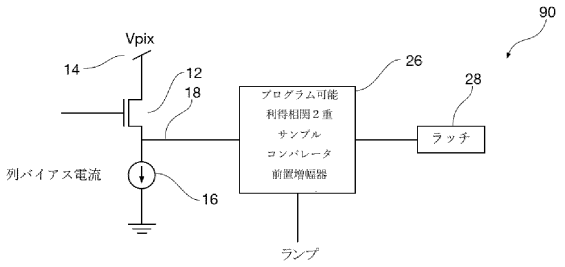

10
Out_P
Out_N
コンパレータ
54
22
60
Clamp_2
52
56
58
78
62
80
Cc
Ramp_P
Ramp_en
cb
74
76
84
Ramp_N
48
50
70
66
Clamp_1
30
46
68
Cf
44
72
32
38
Cs
34
40
ss
sr
36
64
42
18
Vcolumn
増幅器
プログラム可能利得相関２重
サンプル前置増幅器20
（先行技術）

【図３】

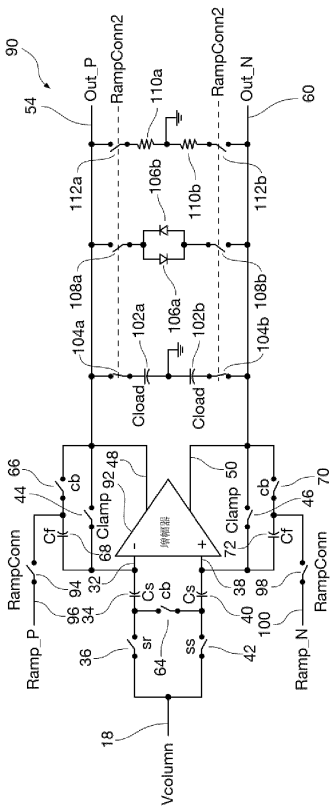



(先行技術)

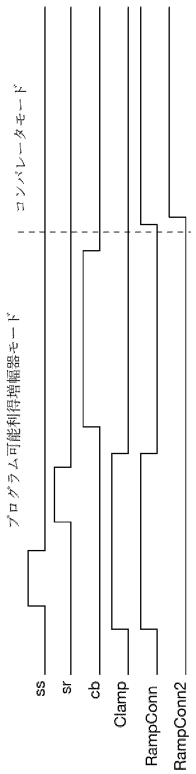
【図４】



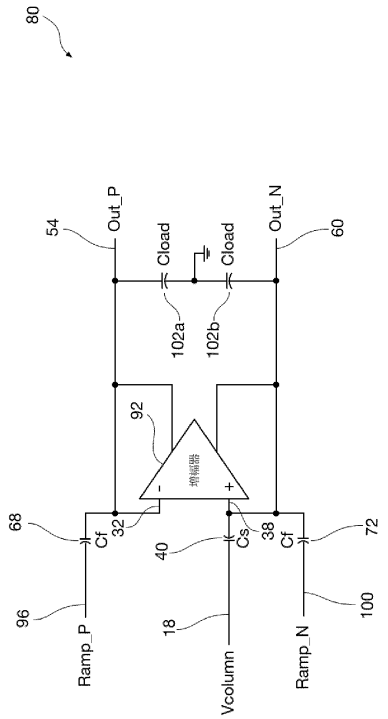

【図５】



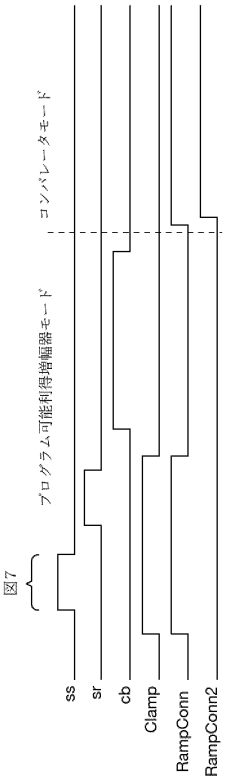

【図６】



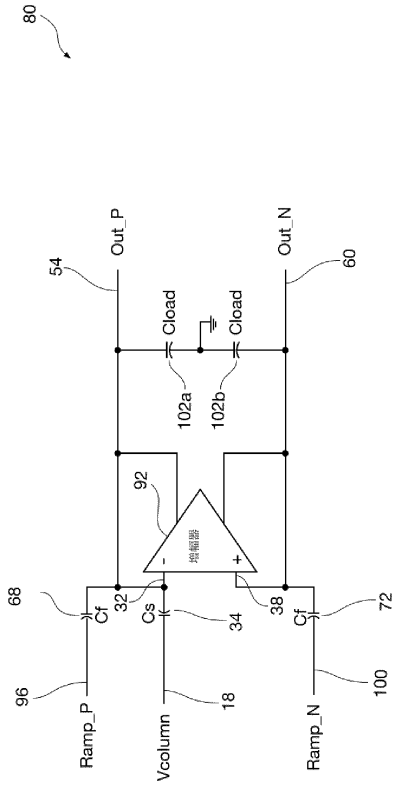
【図７】


80
54
Out_P
Cload
Cload
Out_N
60
102a
102b
92
増幅器
-
+
68
Cf
32
40
Cs
38
Cf
72
96
18
100
Ramp_P
Vcolumn
Ramp_N

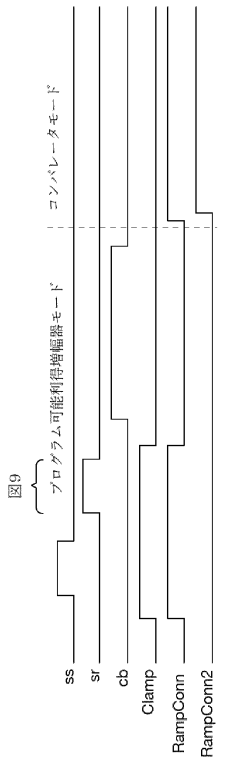
【図８】


コンパレータモード
プログラム可能利得増幅器モード
図7
ss
sr
cb
Clamp
RampConn
RampConn2

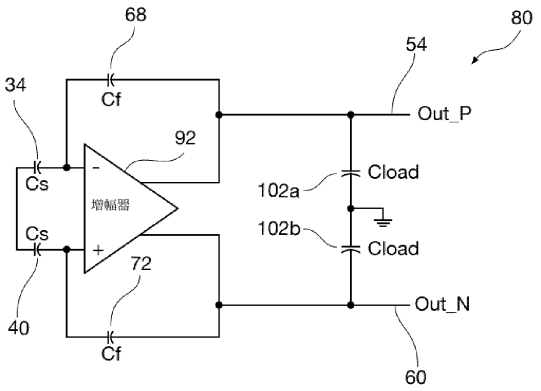
【図９】


80
54
Out_P
Cload
Cload
Out_N
60
102a
102b
92
増幅器
-
+
68
Cf
32
Cs
34
38
Cf
72
96
18
100
Ramp_P
Vcolumn
Ramp_N

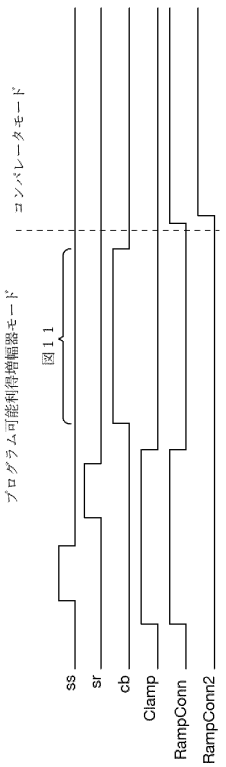
【図１０】


コンパレータモード
プログラム可能利得増幅器モード
図9
ss
sr
cb
Clamp
RampConn
RampConn2

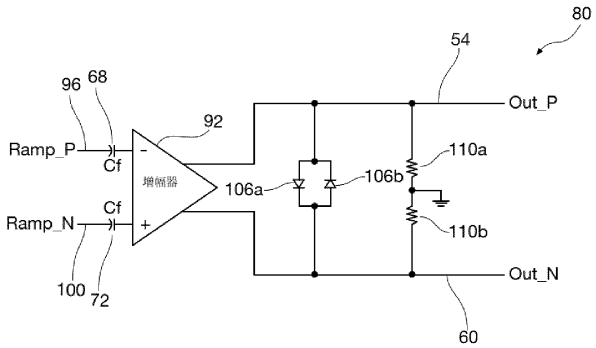
【図１１】



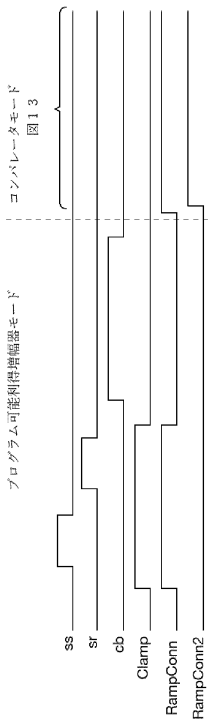

【図１２】



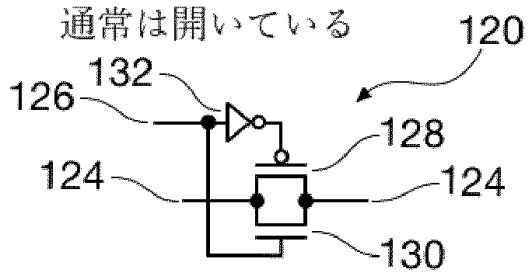

【図１３】



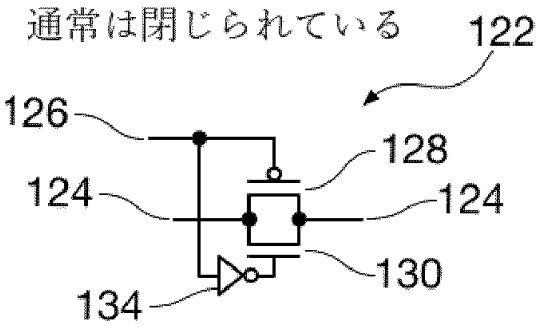

【図１４】



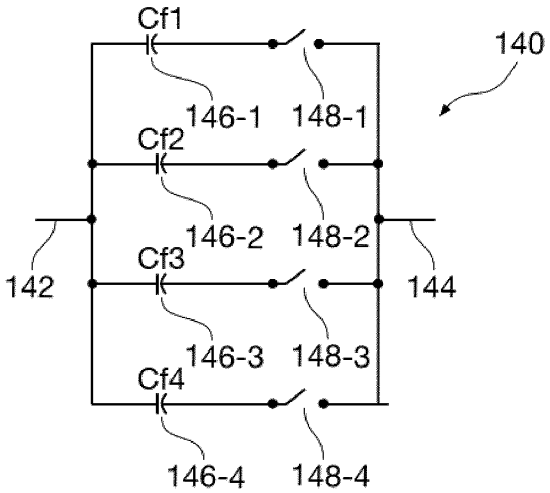
【図１５Ａ】



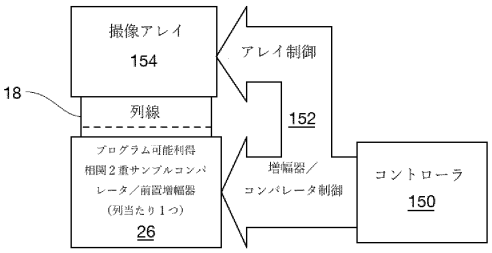

【図１５Ｂ】




【図１６】




【図１７】



フロントページの続き

審査官　及川 尚人

(56)参考文献　特表２００３－５１１９２０（ＪＰ，Ａ）
米国特許出願公開第２００５／０２１８９８５（ＵＳ，Ａ１）
特開２００６－２９５５９３（ＪＰ，Ａ）
再公表特許第２０１０／１０３５８０（ＪＰ，Ａ１）
特開２０１６－０９６４０７（ＪＰ，Ａ）
特開２０１０－０４５６３９（ＪＰ，Ａ）
特開平０５－１５７７７４（ＪＰ，Ａ）
米国特許第０６３０７４９７（ＵＳ，Ｂ１）
特開平０５－２６７４５８（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)

Ｈ０３Ｆ　１／００－３／７２
Ｈ０３Ｇ　３／１０
Ｈ０４Ｎ　２５／７８
Ｈ０４Ｎ　２５／６１６