



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0085283

(43) 공개일자 2015년07월23일

(51) 국제특허분류(Int. Cl.)

G01K 7/00 (2006.01)

(21) 출원번호 10-2014-0004980

(22) 출원일자 2014년01월15일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

송원중

서울특별시 서초구 서초중앙로 200 삼풍아파트 12-206

범진욱

경기도 고양시 일산동구 강송로 156 강촌마을 한신아파트 205-401

(74) 대리인

이철희

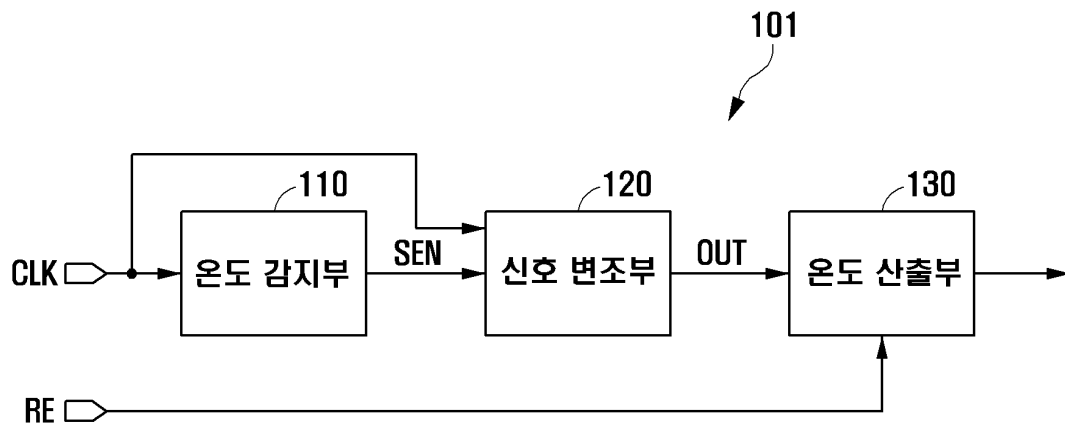
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 온도 측정 장치

### (57) 요약

본 발명은 클럭 신호를 이용하여 온도를 측정하는 장치에 관한 것이다. 본 발명에 따른 온도 측정 장치는, 외부 클럭 신호를 온도에 따라 지연시켜서 지연 클럭 신호를 출력하는 온도 감지부; 상기 외부 클럭 신호와 상기 지연 클럭 신호를 입력하고, 상기 지연 클럭 신호의 지연 정도에 따라 출력 신호의 액티브(active) 여부를 결정하는 신호 변조부; 및 상기 신호 변조부로부터 출력되는 신호를 받아서 상기 온도 감지부의 주위 온도를 산출하는 온도 산출부를 구비한다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

외부 클럭 신호를 온도에 따라 지연시켜서 지연 클럭 신호를 출력하는 온도 감지부;

상기 외부 클럭 신호와 상기 지연 클럭 신호를 입력하고, 상기 지연 클럭 신호의 지연 정도에 따라 출력 신호의 액티브(active) 여부를 결정하는 신호 변조부; 및

상기 신호 변조부로부터 출력되는 신호를 받아서 상기 온도 감지부의 주위 온도를 산출하는 온도 산출부를 구비하는 것을 특징으로 하는 온도 측정 장치.

#### 청구항 2

제1항에 있어서, 상기 온도 감지부는

상기 주위 온도가 상승하면 상기 지연 클럭 신호를 많이 지연시키고, 주위 온도가 하강하면 상기 지연 클럭 신호를 작게 지연시키는 것을 특징으로 하는 온도 측정 장치.

#### 청구항 3

제1항에 있어서, 상기 온도 산출부는

상기 신호 변조부로부터 출력되는 신호가 액티브되는 숫자를 카운트하여 상기 주위 온도를 산출하는 것을 특징으로 하는 온도 측정 장치.

#### 청구항 4

제1항에 있어서, 상기 신호 변조부는

상기 외부 클럭 신호와 상기 지연 클럭 신호 및 상기 신호 변조부의 출력 신호를 입력하고, 상기 신호 변조부의 출력 신호가 액티브 상태일 때는 하강 신호를 출력하고, 상기 신호 변조부의 출력 신호가 인액티브(inactive) 상태일 때는 상승 신호를 출력하는 신호 크기 설정부;

캐패시터;

상기 캐패시터와 상기 신호 크기 설정부 사이에 연결되며, 상기 신호 크기 설정부에서 출력되는 신호에 따라 상기 캐패시터에 인가되는 전압을 조정하는 전하 펌프; 및

상기 캐패시터의 전압을 기준 전압과 비교하여 상기 신호 변조부의 출력 신호를 발생하는 출력 신호 발생부를 구비하는 것을 특징으로 하는 신호 측정 장치.

#### 청구항 5

제4항에 있어서, 상기 신호 크기 설정부는

상기 신호 변조부의 출력 신호가 인액티브 상태일 때는 상기 지연 클럭 신호의 지연 시간에 해당하는 펄스폭을 갖는 상승 신호를 출력하고, 상기 신호 변조부의 출력 신호가 액티브 상태일 때는 상기 외부 클럭 신호의 펄스폭에서 상기 지연 클럭 신호의 지연 시간을 뺀 펄스폭을 갖는 하강 신호를 출력하는 것을 특징으로 하는 온도 측정 장치.

#### 청구항 6

제4항에 있어서, 상기 전하 펌프는

상기 신호 크기 설정부로부터 상승 신호가 출력되면 상기 캐패시터에 전압을 충전시키고, 상기 신호 크기 설정부로부터 하강 신호가 출력되면 상기 캐패시터의 전압을 방전시키는 것을 특징으로 하는 온도 측정 장치.

## 청구항 7

제4항에 있어서, 상기 출력 신호 발생부는

상기 캐패시터의 전압이 상기 기준 전압보다 높으면 상기 신호 변조부의 출력 신호를 액티브시키고, 상기 캐패시터의 전압이 상기 기준 전압보다 낮으면 상기 신호 변조부의 출력 신호를 인액티브시키는 것을 특징으로 하는 온도 측정 장치.

## 청구항 8

제4항에 있어서, 상기 신호 크기 설정부는

상기 외부 클럭 신호, 상기 지연 클럭 신호, 상기 신호 변조부의 출력 신호, 및 리셋 신호를 입력하고, 상기 리셋 신호가 액티브된 상태에서, 상기 외부 클럭 신호에 응답하여 액티브되고 상기 신호 변조부의 출력 신호에 응답하여 인액티브되는 상승 신호를 출력하고, 상기 리셋 신호가 인액티브되면 상기 상승 신호를 리셋시키는 상승 신호 발생부; 및

상기 외부 클럭 신호, 상기 지연 클럭 신호, 상기 신호 변조부의 출력 신호, 및 상기 리셋 신호를 입력하고, 상기 리셋 신호가 액티브되고 상기 신호 변조부의 출력 신호와 상기 외부 클럭 신호가 액티브된 상태에서, 상기 하강 신호를 상기 지연 클럭 신호에 응답하여 액티브시키고 상기 신호 변조부의 출력 신호에 응답하여 인액티브시키고, 상기 리셋 신호가 인액티브되면 상기 하강 신호를 리셋시키는 하강 신호 발생부를 구비하는 것을 특징으로 하는 온도 측정 장치.

## 청구항 9

제8항에 있어서, 상기 상승 신호 발생부는

상기 외부 클럭 신호의 반전 신호와 상기 지연 클럭 신호를 입력하고 이들을 부정 논리합하는 부정 논리합 게이트;

상기 부정 논리합 게이트의 출력 신호와 상기 리셋 신호를 입력하고 이들을 논리곱하는 제1 논리곱 게이트;

상기 제1 논리곱 게이트의 출력 신호와 상기 신호 변조부의 출력 신호 및 접지 전압을 입력하고, 상기 신호 변조부의 출력 신호에 응답하여 상기 제1 논리곱 게이트의 출력 신호와 상기 접지 전압 중 하나를 출력하는 제1 멀티플렉서; 및

상기 제1 멀티플렉서의 출력 신호를 버퍼링하여 상기 상승 신호를 출력하는 제1 버퍼를 구비하는 것을 특징으로 하는 온도 측정 장치.

## 청구항 10

제8항에 있어서, 상기 하강 신호 발생부는

상기 외부 클럭 신호와 상기 지연 클럭 신호를 입력하고 이들을 논리곱하는 제2 논리곱 게이트;

상기 제2 논리곱 게이트의 출력 신호와 상기 리셋 신호를 입력하고 이들을 논리곱하는 제3 논리곱 게이트;

상기 제3 논리곱 게이트의 출력 신호와 상기 신호 변조부의 출력 신호 및 상기 접지 전압을 입력하고, 상기 신호 변조부의 출력 신호에 응답하여 상기 제3 논리곱 게이트의 출력 신호와 상기 접지 전압 중 하나를 출력하는 제2 멀티플렉서; 및

상기 제2 멀티플렉서의 출력 신호를 버퍼링하여 상기 하강 신호를 출력하는 제2 버퍼를 구비하는 것을 특징으로 하는 온도 측정 장치.

## 발명의 설명

## 기술 분야

본 발명은 온도 측정 장치에 관한 것으로, 특히 클럭 신호를 이용하여 온도를 측정하는 장치에 관한 것이다.

## 배경 기술

[0001]

- [0002] 온도를 측정하기 위해서는 온도계가 필요하다. 일반적인 온도계는 기구적으로 구성되어 있어서 부피가 크기 때문에, 크기가 작거나 부피가 작은 제품에는 사용이 어렵다. 때문에 최근에는 전기 회로를 이용하여 온도를 측정하는 장치가 많이 개발되고 있다.
- [0003] 전기 신호를 이용한 시간 영역(time domain) 온도계의 경우 온도의 차이를 구하는 방식은 각기 다르지만 온도 측정 방법은 유사하다. 즉, 온도가 변해도 지연(delay)이 생기지 않는 TIDL(Temperature Independent Delay Line)을 기준으로, 온도에 따라서 지연이 생기는 TDDL(Temperature Dependent Delay Line)을 통해서 발생하는 지연 차이를 이용한다.
- [0004] 예컨대, 상기 TDDL의 인버터 체인(inverter chain)에 별도의 바이어스 회로가 추가적으로 필요한 회로와 일반적인 시간 영역 온도계가 있다. 이러한 두가지 방식의 온도 측정 장치는 온도를 구하는 방식이 서로 다르기 때문에 필요로 하는 온도에 대한 정보의 형태도 서로 다르다. 이들이 온도를 측정하기 위하여, 온도에 따라 지연이 변하는 지연 라인(TDDL에 해당)과 온도에 따라 지연이 변하지 않는 지연 라인(TIDL에 해당)을 이용하고 있다.
- [0005] 위와 같이 종래의 온도 측정 장치는 온도를 측정할 때 별도의 TIDL 회로를 추가적으로 이용하여 TDDL과 비교하여 온도를 측정하고 있다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명은 TIDL(Temperature Independent Delay Line)을 사용하지 않고, 주기적인 펄스를 갖는 클럭 신호를 이용하여 온도를 측정하는 장치를 제공하기 위한 것이다.

### 과제의 해결 수단

- [0007] 상기 과제를 해결하기 위하여 본 발명은,
- [0008] 외부 클럭 신호를 온도에 따라 지연시켜서 지연 클럭 신호를 출력하는 온도 감지부; 상기 외부 클럭 신호와 상기 지연 클럭 신호를 입력하고, 상기 지연 클럭 신호의 지연 정도에 따라 출력 신호의 액티브(active) 여부를 결정하는 신호 변조부; 및 상기 신호 변조부로부터 출력되는 신호를 받아서 상기 온도 감지부의 주위 온도를 산출하는 온도 산출부를 구비하는 온도 측정 장치를 제공한다.
- [0009] 상기 온도 감지부는, 주위 온도가 상승하면 출력되는 클럭 신호를 많이 지연시키고, 주위 온도가 하강하면 출력되는 클럭 신호를 작게 지연시킬 수 있다.
- [0010] 상기 온도 산출부는, 상기 신호 변조부로부터 출력되는 신호가 액티브되는 숫자를 카운트하여 상기 주위 온도를 산출할 수 있다.
- [0011] 상기 신호 변조부는, 상기 클럭 신호와 상기 지연 클럭 신호 및 상기 신호 변조부의 출력 신호를 입력하고, 상기 신호 변조부의 출력 신호가 액티브 상태일때는 하강 신호를 출력하고, 상기 신호 변조부의 출력 신호가 인액티브(inactive) 상태일 때는 상승 신호를 출력하는 신호 크기 설정부; 캐패시터; 상기 캐패시터와 상기 신호 크기 설정부 사이에 연결되며, 상기 신호 크기 설정부에서 출력되는 신호에 따라 상기 캐패시터에 인가되는 전압을 조정하는 전하 펌프; 및 상기 캐패시터의 전압을 기준 전압과 비교하여 상기 신호 변조부의 출력 신호를 발생하는 출력 신호 발생부를 구비한다.
- [0012] 상기 신호 크기 설정부는, 상기 신호 변조부의 출력 신호가 인액티브 상태일때는 상기 지연 클럭 신호의 지연 시간에 해당하는 펄스폭을 갖는 상승 신호를 출력하고, 상기 신호 변조부의 출력 신호가 액티브 상태일 때는 상기 클럭 신호의 펄스폭에서 상기 지연 클럭 신호의 지연 시간을 뺀 펄스폭을 갖는 하강 신호를 출력할 수 있다.
- [0013] 상기 전하 펌프는, 상기 신호 크기 설정부로부터 상승 신호가 출력되면 상기 캐패시터에 전압을 충전시키고, 상기 신호 크기 설정부로부터 하강 신호가 출력되면 상기 캐패시터의 전압을 방전시킬 수 있다.
- [0014] 상기 출력 신호 발생부는, 상기 캐패시터의 전압이 상기 기준 전압보다 높으면 상기 신호 변조부의 출력 신호를 액티브시키고, 상기 캐패시터의 전압이 상기 기준 전압보다 낮으면 상기 신호 변조부의 출력 신호를 인액티브시킬 수 있다.
- [0015] 상기 신호 크기 설정부는, 상기 외부 클럭 신호, 상기 지연 클럭 신호, 상기 신호 변조부의 출력 신호, 및 리셋 신호를 입력하고, 상기 리셋 신호가 액티브된 상태에서, 상기 외부 클럭 신호에 응답하여 액티브되고 상기 신호

변조부의 출력 신호에 응답하여 인액티브되는 상승 신호를 출력하고, 상기 리셋 신호가 인액티브되면 상기 상승 신호를 리셋시키는 상승 신호 발생부; 및 상기 외부 클럭 신호, 상기 지연 클럭 신호, 상기 신호 변조부의 출력 신호, 및 상기 리셋 신호를 입력하고, 상기 리셋 신호가 액티브되고 상기 신호 변조부의 출력 신호와 상기 외부 클럭 신호가 액티브된 상태에서, 상기 하강 신호를 상기 지연 클럭 신호에 응답하여 액티브시키고 상기 신호 변조부의 출력 신호에 응답하여 인액티브시키고, 상기 리셋 신호가 인액티브되면 상기 하강 신호를 리셋시키는 하강 신호 발생부를 구비할 수 있다.

[0016] 상기 상승 신호 발생부는, 상기 외부 클럭 신호의 반전 신호와 상기 지연 클럭 신호를 입력하고 이들을 부정 논리합하는 부정 논리합 게이트; 상기 부정 논리합 게이트의 출력 신호와 상기 리셋 신호를 입력하고 이들을 논리곱하는 제1 논리곱 게이트; 상기 제1 논리곱 게이트의 출력 신호와 상기 신호 변조부의 출력 신호 및 접지 전압을 입력하고, 상기 신호 변조부의 출력 신호에 응답하여 상기 제1 논리곱 게이트의 출력 신호와 상기 접지 전압 중 하나를 출력하는 제1 멀티플렉서; 및 상기 제1 멀티플렉서의 출력 신호를 버퍼링하여 상기 상승 신호를 출력하는 제1 버퍼를 구비할 수 있다.

[0017] 상기 하강 신호 발생부는, 상기 외부 클럭 신호와 상기 지연 클럭 신호를 입력하고 이들을 논리곱하는 제2 논리곱 게이트; 상기 제2 논리곱 게이트의 출력 신호와 상기 리셋 신호를 입력하고 이들을 논리곱하는 제3 논리곱 게이트; 상기 제3 논리곱 게이트의 출력 신호와 상기 신호 변조부의 출력 신호 및 상기 접지 전압을 입력하고, 상기 신호 변조부의 출력 신호에 응답하여 상기 제3 논리곱 게이트의 출력 신호와 상기 접지 전압 중 하나를 출력하는 제2 멀티플렉서; 및 상기 제2 멀티플렉서의 출력 신호를 버퍼링하여 상기 하강 신호를 출력하는 제2 버퍼를 구비할 수 있다.

### 발명의 효과

[0018] 본 발명에 따른 온도 측정 장치는 TIDL(Temperature Independent Delay Line)을 사용하지 않고, 일반적으로 많이 사용하는 클럭 신호를 이용하여 온도를 측정할 수가 있다.

[0019] 이와 같이, 본 발명에 따른 온도 측정 장치는 TIDL을 사용하지 않기 때문에 회로의 면적이 큰 폭으로 감소되며, 전력 소모도 많이 감소된다.

### 도면의 간단한 설명

[0020] 도 1은 본 발명의 바람직한 실시예에 따른 온도 측정 장치의 블록도이다.

도 2는 도 1에 도시된 신호 변조부의 상세한 블록도이다.

도 3은 도 2에 도시된 신호 크기 설정부의 회로도이다.

도 4는 도 1 내지 도 3에 도시된 신호들의 타이밍도이다.

### 발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.

[0022] 도 1은 본 발명의 바람직한 실시예에 따른 온도 측정 장치의 블록도이다. 도 1을 참조하면, 온도 측정 장치(101)는 온도 감지부(110), 신호 변조부(120), 및 온도 산출부(130)를 구비한다.

[0023] 온도 감지부(110)는 외부 클럭 신호(CLK)를 온도에 따라 지연시켜서 지연 클럭 신호(SEN)를 출력한다. 즉, 온도 감지부(110)는 주위 온도가 상승하면 상기 외부 클럭 신호(CLK)를 많이 지연시킨 상태에서 지연 클럭 신호(SEN)를 출력하고, 주위 온도가 하강하면 상기 외부 클럭 신호(CLK)를 작게 지연시킨 상태에서 상기 지연 클럭 신호(SEN)를 출력한다. 이와 같이, 지연 클럭 신호(SEN)의 지연 시간은 온도 감지부(110)의 주위 온도에 따라 결정된다. 다시 말하면, 지연 클럭 신호(SEN)의 지연 시간은 온도 감지부(110)의 주위 온도가 상승하면 길어지고, 온도 감지부(110)의 주위 온도가 하강하면 짧아진다. 온도 감지부(110)는 온도를 감지하는 센서, 온도 감지용 집적 회로 장치, 온도 감지용 회로와 같이, 온도를 감지할 수 있는 수단 중 하나로 구성될 수 있다.

[0024] 신호 변조부(120)는 온도 감지부(110)에 연결된다. 신호 변조부(120)는 외부 클럭 신호(CLK)와 온도 감지부(110)로부터 출력되는 지연 클럭 신호(SEN)를 입력한다. 신호 변조부(120)는 지연 클럭 신호(SEN)의 지연 정도

에 따라 출력 신호(OUT)의 액티브(active) 여부를 결정하여 출력 신호(OUT)를 출력한다. 즉, 신호 변조부(120)는 지연 클럭 신호(SEN)의 지연 시간이 길어지면 출력 신호(OUT)가 액티브되는 횟수를 증가시키고, 지연 클럭 신호(SEN)의 지연 시간이 짧아지면 출력 신호(OUT)가 액티브되는 횟수를 감소시킨다. 신호 변조부(120)의 출력 신호(OUT)는 액티브되면 예컨대, 펄스로써 발생된다. 따라서, 신호 변조부(120)의 출력 신호(OUT)는 온도 감지부(110)의 주위 온도가 상승하면 출력 신호(OUT)의 펄스 숫자를 증가시키고, 온도 감지부(110)의 주위 온도가 하강하면 출력 신호(OUT)의 펄스 숫자를 감소시킨다. 신호 변조부(120)의 구성에 대해서는 도 2를 통하여 보다 상세히 설명하기로 한다.

[0025]

온도 산출부(130)는 신호 변조부(120)로부터 출력되는 신호를 받아서 온도 감지부(110)의 주위 온도를 산출한다. 온도 산출부(130)는 카운터를 구비할 수 있다. 따라서, 온도 산출부(130)는 상기 카운터를 이용하여 신호 변조부(120)에서 출력되는 신호가 액티브되는 상태의 숫자 즉, 펄스 숫자를 카운트한다. 온도 산출부(130)는 신호 변조부(120)에서 출력되는 신호의 펄스 숫자가 증가하면 온도 감지부(110)의 주위 온도가 높은 것으로 판단하고, 신호 변조부(120)에서 출력되는 신호의 펄스 숫자가 감소하면 온도 감지부(110)의 주위 온도가 낮은 것으로 판단한다. 온도 산출부(130)는 신호 변조부(120)에서 출력되는 신호의 펄스 숫자를 온도로 환산하여 온도 감지부(110)의 주위 온도를 정확하게 측정할 수 있다. 온도 산출부(130)가 신호 변조부(120)의 출력 신호(OUT)의 펄스 숫자를 온도로 환산하는 방법은 일반적으로 알려진 방법을 이용할 수 있으므로, 이에 대해서는 구체적인 설명을 생략하기로 한다. 온도 산출부(130)에는 리셋 신호(RE)가 인가된다. 리셋 신호(RE)가 액티브되면 온도 산출부(130)는 리셋되어 이전에 카운트하여 산출한 온도 관련 데이터를 모두 삭제하고, 새로이 카운트를 시작하여 온도를 산출한다. 즉, 온도를 측정할 때마다 리셋 신호(RE)가 액티브되어 온도 산출부(130)는 리셋된다.

[0026]

도 2는 도 1에 도시된 신호 변조부(120)의 상세한 블록도이다. 도 2를 참조하면, 신호 변조부(120)는 신호 크기 설정부(122), 캐패시터(capacitor)(126), 전하 펌프(charge pump)(124), 및 출력 신호 발생부(128)를 구비한다.

[0027]

신호 크기 설정부(122)는 외부 클럭 신호(CLK)와 지연 클럭 신호(SEN) 및 신호 변조부(120)의 출력 신호(OUT)를 입력하고, 상승 신호(UP) 또는 하강 신호(DN)를 출력한다. 신호 크기 설정부(122)는 신호 변조부(120)의 출력 신호(OUT)가 액티브 상태일 때는 하강 신호(DN)를 출력하고, 신호 변조부(120)의 출력 신호(OUT)가 인액티브(inactive) 상태일 때는 상승 신호(UP)를 출력한다. 상승 신호(UP)와 하강 신호(DN)는 지연 클럭 신호(SEN)의 지연 시간에 따라 결정된다. 즉, 상승 신호(UP)는 신호 변조부(120)의 출력 신호(OUT)가 인액티브 상태일 때 지연 클럭 신호(SEN)의 지연 시간에 해당하는 펄스폭을 갖는 신호로써 발생되고, 상기 하강 신호(DN)는 신호 변조부(120)의 출력 신호(OUT)가 액티브 상태일 때 외부 클럭 신호(CLK)의 펄스폭에서 지연 클럭 신호(SEN)의 지연 시간을 뺀 펄스폭을 갖는 신호로써 발생된다.

[0028]

구체적으로, 도 3을 참조하면, 상승 신호(UP)는 신호 변조부(120)의 출력 신호(OUT)가 논리 로우(logic low)로써 인액티브 상태일 때, 외부 클럭 신호(CLK)가 논리 하이(logic high)로 상승할 때 논리 하이로써 발생한다. 그러다가 지연 클럭 신호(SEN)가 논리 하이로 상승하면 상승 신호(UP)는 논리 로우로 천이된다. 이에 따라 상승 신호(UP)는 하나의 펄스 신호로써 발생된다.

[0029]

하강 신호(DN)는 신호 변조부(120)의 출력 신호(OUT)가 논리 하이로써 액티브 상태일 때, 외부 클럭 신호(CLK)가 논리 하이로써 액티브되고, 이 후에 지연 클럭 신호(SEN)가 논리 하이로써 액티브될 때 논리 하이로써 발생한다. 그러다가 외부 클럭 신호(CLK)가 논리 로우로써 인액티브될 때 논리 로우로 천이된다. 이에 따라 하강 신호(DN)는 하나의 펄스 신호로써 발생된다.

[0030]

이와 같이, 상승 신호(UP)의 펄스폭은 지연 클럭 신호(SEN)의 지연 시간이 길면 길어지고, 지연 클럭 신호(SEN)의 지연 시간이 짧으면 짧아진다. 반대로, 하강 신호(DN)의 펄스폭은 지연 클럭 신호(SEN)의 지연 시간이 길면 짧아지고, 지연 클럭 신호(SEN)의 지연 시간이 짧으면 길어진다.

[0031]

캐패시터(126)는 전하 펌프(124)와 출력 신호 발생부(128) 사이에 연결되며, 전압(Vcap)을 충전하거나 방전한다.

[0032]

전하 펌프(124)는 캐패시터(126)와 신호 크기 설정부(122) 사이에 연결된다. 전하 펌프(124)는 신호 크기 설정부(122)에서 출력되는 신호에 따라 캐패시터(126)의 전압(Vcap)을 조정한다. 즉, 전하 펌프(124)는 신호 크기 설정부(122)로부터 상승 신호(UP)가 출력되면 캐패시터(126)에 전압(Vcap)을 충전시키고, 신호 크기 설정부(122)로부터 하강 신호(DN)가 출력되면 캐패시터(126)의 전압(Vcap)을 방전시킨다. 따라서, 캐패시터(126)는

상승 신호(UP)의 펄스폭이 넓을수록 충전 시간이 길어지고, 하강 신호(DN)의 펄스폭이 넓을수록 방전 시간이 길어진다. 다시 말하면, 캐패시터(126)는 온도 감지부(110)의 주위 온도가 높을수록 충전 시간이 길어지고, 온도 감지부(110)의 주위 온도가 낮을수록 방전 시간이 길어진다. 캐패시터(126)의 충전 시간이 길어질수록 캐패시터의 전압(Vcap)은 점점 더 높아지고, 캐패시터(126)의 충전 시간이 짧아질수록 캐패시터의 전압(Vcap)은 점점 더 낮아진다.

[0033] 출력 신호 발생부(128)는 캐패시터(126)에 연결되며, 기준 전압(Vref)을 입력하고, 신호 변조부(120)의 출력 신호(OUT)를 발생시킨다. 출력 신호 발생부(128)는 캐패시터(126)의 전압(Vcap)을 기준 전압(Vref)과 비교하고, 그 결과에 따라 신호 변조부(120)의 출력 신호(OUT)를 출력한다. 예컨대, 출력 신호 발생부(128)는 캐패시터(126)의 전압(Vcap)이 기준 전압(Vref)보다 높으면 신호 변조부(120)의 출력 신호(OUT)를 논리 하이로써 액티브시키고, 캐패시터(126)의 전압(Vcap)이 기준 전압(Vref)보다 낮으면 신호 변조부(120)의 출력 신호(OUT)를 논리 로우로써 인액티브시킨다.

[0034] 출력 신호 발생부(128)는 외부 클럭 신호(CLK)에 동기되어 동작할 수 있다. 따라서, 출력 신호 발생부(128)는 외부 클럭 신호(CLK)의 상승 에지(edge)에서 캐패시터(126)의 전압(Vcap)을 확인하고, 그에 따라 신호 변조부(120)의 출력 신호(OUT)를 결정한다. 예컨대, 출력 신호 발생부(128)는 외부 클럭 신호(CLK)의 상승 에지에서 캐패시터(126)의 전압(Vcap)이 기준 전압(Vref)보다 높으면 신호 변조부(120)의 출력 신호(OUT)를 논리 하이로써 액티브시키고, 외부 클럭 신호(CLK)의 상승 에지에서 캐패시터(126)의 전압(Vcap)이 기준 전압(Vref)보다 낮으면 신호 변조부(120)의 출력 신호(OUT)를 논리 로우로써 인액티브시킨다.

[0035] 상술한 바와 같이, 신호 변조부(120)의 출력 신호(OUT)는 지연 클럭 신호(SEN)의 지연 시간이 길어질 때, 즉, 온도 감지부(110)의 주위 온도가 높아질 때, 논리 하이로써 액티브되고, 지연 클럭 신호(SEN)의 지연 시간이 짧아질 때, 즉, 온도 감지부(110)의 주위 온도가 낮아질 때, 논리 로우로써 인액티브된다. 또한, 신호 변조부(120)의 출력 신호(OUT)는 온도 감지부(110)의 주위 온도가 높을수록 발생 횟수가 증가하고, 온도 감지부(110)의 주위 온도가 낮을수록 발생 횟수가 감소한다.

[0036] 도 3은 도 2에 도시된 신호 크기 설정부(122)의 회로도이다. 도 3을 참조하면, 신호 크기 설정부(122)는 상승 신호 발생부(301)와 하강 신호 발생부(302)를 구비한다.

[0037] 상승 신호 발생부(301)는, 외부 클럭 신호(CLK), 지연 클럭 신호(SEN), 신호 변조부의 출력 신호(OUT), 및 리셋 신호(RE)를 입력하고, 상승 신호(UP)를 출력한다. 상승 신호 발생부(301)는 지연 클럭 신호(SEN)의 지연 시간에 해당하는 펄스폭을 갖는 상승 신호(UP)를 출력한다. 즉, 상승 신호 발생부(301)는 리셋 신호(RE)가 액티브된 상태에서 외부 클럭 신호(CLK)에 응답하여 액티브되고 신호 변조부의 출력 신호(OUT)에 응답하여 인액티브되는 상승 신호를 출력하고, 리셋 신호(RE)가 인액티브되면 상승 신호(UP)를 리셋시킨다. 상승 신호 발생부(301)는 부정 논리합 게이트(311), 제1 논리곱 게이트(313), 제1 멀티플렉서(315), 및 제1 버퍼(317)를 구비한다.

[0038] 부정 논리합 게이트(311)는 외부 클럭 신호(CLK)와 지연 클럭 신호(SEN)를 입력하고, 이들을 부정 논리합하여 출력한다. 즉, 부정 논리합 게이트(311)는 지연 클럭 신호(SEN)가 논리 로우(logic low)이면 외부 클럭 신호(CLK)를 그대로 출력하고, 지연 클럭 신호(SEN)가 논리 하이(logic high)이면 외부 클럭 신호(CLK)에 관계없이 논리 로우를 출력한다. 부정 논리합 게이트(311)는 외부 클럭 신호(CLK)를 반전시키는 인버터(311a)와, 지연 클럭 신호(SEN) 및 인버터(311a)의 출력 신호를 입력하는 노아 게이트(311b)를 구비한다.

[0039] 제1 논리곱 게이트(313)는 부정 논리합 게이트(311)의 출력 신호와 리셋 신호(RE)를 입력한다. 따라서, 제1 논리곱 게이트(313)는 리셋 신호(RE)가 논리 하이이면 부정 논리합 게이트(311)의 출력 신호를 그대로 출력하고, 리셋 신호(RE)가 논리 로우이면 부정 논리합 게이트(311)의 출력 신호에 관계없이 논리 로우 신호를 출력한다. 제1 논리곱 게이트(313)는 부정 논리합 게이트(311)의 출력 신호와 리셋 신호(RE)를 입력하는 낸드 게이트(313a)와, 상기 낸드 게이트(313a)의 출력 신호를 반전시키는 인버터(313b)를 구비한다.

[0040] 제1 멀티플렉서(315)는 제1 논리곱 게이트(313)의 출력 신호와 접지 전압(GND) 및 신호 변조부의 출력 신호(OUT)를 입력한다. 제1 멀티플렉서(315)는 신호 변조부의 출력 신호(OUT)가 논리 로우이면 제1 논리곱 게이트(313)의 출력 신호를 출력하고, 신호 변조부의 출력 신호(OUT)가 논리 하이이면 접지 전압(GND)을 출력한다.

[0041] 제1 버퍼(317)는 제1 멀티플렉서(315)의 출력 신호를 버퍼링(buffering)하여 상승 신호(UP)를 출력한다. 제1 버퍼(317)는 2개의 직렬 연결된 인버터들(317a, 317b)을 구비한다.

[0042] 하강 신호 발생부(302)는, 외부 클럭 신호(CLK), 지연 클럭 신호(SEN), 신호 변조부의 출력 신호(OUT), 및 리셋 신호(RE)를 입력하고 하강 신호(DN)를 출력한다. 하강 신호 발생부(302)는 외부 클럭 신호(CLK)의 펄스폭에서

지연 클럭 신호(SEN)의 지연 시간을 뺀 펄스폭을 갖는 하강 신호를 출력한다. 즉, 하강 신호 발생부(302)는, 리셋 신호가 액티브되고 상기 신호 변조부의 출력 신호와 상기 외부 클럭 신호가 액티브된 상태에서, 상기 하강 신호를 상기 지연 클럭 신호에 응답하여 액티브시키고 상기 신호 변조부의 출력 신호에 응답하여 인액티브시키고, 상기 리셋 신호가 인액티브되면 상기 하강 신호를 리셋시킨다. 하강 신호 발생부(302)는 제2 및 제3 논리곱 게이트들(321,323), 제2 멀티플렉서(325), 및 제2 버퍼(327)를 구비한다.

[0043] 제2 논리곱 게이트(321)는 외부 클럭 신호(CLK)와 지연 클럭 신호(SEN)를 입력한다. 따라서, 제2 논리곱 게이트(321)는 지연 클럭 신호(SEN)가 논리 하이이면 외부 클럭 신호(CLK)를 그대로 출력하고, 지연 클럭 신호(SEN)가 논리 로우이면 외부 클럭 신호(CLK)에 관계없이 논리 로우 신호를 출력한다. 제2 논리곱 게이트(321)는 외부 클럭 신호(CLK)와 지연 클럭 신호(SEN)를 입력하는 낸드 게이트(321a)와, 상기 낸드 게이트(321a)의 출력 신호를 반전시키는 인버터(321b)를 구비한다.

[0044] 제3 논리곱 게이트(323)는 제2 논리곱 게이트(321)의 출력 신호와 리셋 신호(RE)를 입력한다. 따라서, 제3 논리곱 게이트(323)는 리셋 신호(RE)가 논리 하이이면 제2 논리곱 게이트(321)의 출력 신호를 그대로 출력하고, 리셋 신호(RE)가 논리 로우이면 제2 논리곱 게이트(321)의 출력 신호에 관계없이 논리 로우 신호를 출력한다. 제3 논리곱 게이트(323)는 제2 논리곱 게이트(321)의 출력 신호와 리셋 신호(RE)를 입력하는 낸드 게이트(323a)와, 상기 낸드 게이트(323a)의 출력 신호를 반전시키는 인버터(323b)를 구비한다.

[0045] 제2 멀티플렉서(325)는 접지 전압(GND)과 제3 논리곱 게이트(323)의 출력 신호 및 신호 변조부의 출력 신호(OUT)를 입력한다. 제2 멀티플렉서(325)는 신호 변조부의 출력 신호(OUT)가 논리 로우이면 접지 전압(GND)을 출력하고, 신호 변조부의 출력 신호(OUT)가 논리 하이이면 제3 논리곱 게이트(323)의 출력 신호를 출력한다.

[0046] 제2 버퍼(327)는 제2 멀티플렉서(325)의 출력 신호를 버퍼링하여 하강 신호(DN)신호를 출력한다. 제2 버퍼(327)는 2개의 직렬 연결된 인버터들(327a,327b)을 구비한다.

[0047] 이하, 도 4를 참조하여, 도 1 내지 도 3에 도시된 본 발명의 온도 측정 장치(101)가 온도를 측정하는 동작에 대해 설명하기로 한다.

[0048] 최초에 외부 클럭 신호(CLK)가 인가되기 전에 신호 변조부(120)의 출력 신호(OUT)는 논리 로우로써 인액티브 상태로 유지된다.

[0049] 이 상태에서 외부 클럭 신호(CLK)가 온도 감지부(110)로 입력되면, 온도 감지부(110)는 주위 온도를 감지하고 그 결과에 따라 외부 클럭 신호(CLK)를 지연시켜서 지연 클럭 신호(SEN)를 출력한다. 즉, 지연 클럭 신호(SEN)는 온도 감지부(110)가 감지한 온도가 반영된 결과로써 외부 클럭 신호(CLK)에 비해 소정 시간 지연되어 출력된다. 즉, 도 3에 도시된 바와 같이 소정 길이의 지연된 시간을 갖는다. 지연 클럭 신호(SEN)는 신호 크기 설정부(122)로 인가된다.

[0050] 신호 크기 설정부(122)는 외부 클럭 신호(CLK)와 지연 클럭 신호(SEN) 및 신호 변조부(120)의 출력 신호(OUT)를 입력한다. 신호 크기 설정부(122)는 신호 변조부(120)의 출력 신호(OUT)가 인액티브 상태이므로 상승 신호(UP)를 출력한다. 이 때, 상승 신호(UP)는 지연 클럭 신호(SEN)의 지연 시간에 해당하는 펄스폭을 갖는다. 예컨대, 신호 크기 설정부(122)는 외부 클럭 신호(CLK)가 논리 하이 레벨로 상승할 때, 그에 맞추어 논리 하이 레벨을 갖는 상승 신호(UP)를 발생한다. 그러다가, 지연 클럭 신호(SEN)가 논리 하이 레벨로 상승할 때, 신호 크기 설정부(122)는 상승 신호(UP)를 논리 로우 레벨로 하강시킨다. 따라서, 상승 신호(UP)는 지연 클럭 신호(SEN)의 지연 시간에 해당하는 펄스폭을 갖게 된다.

[0051] 상승 신호(UP)가 발생함에 따라 전하 펌프(124)는 캐패시터(126)에 전압(Vcap)을 충전한다. 따라서, 캐패시터(126)의 전압(Vcap)은 이전보다 증가하게 된다.

[0052] 출력 신호 발생부(128)는 캐패시터(126)의 전압(Vcap)을 기준 전압(Vref)과 비교하여 출력 신호(OUT)를 발생한다. 그런데, 캐패시터(126)의 전압(Vcap)이 증가하여 기준 전압(Vref)보다 커지면, 출력 신호 발생부(128)는 신호 변조부(120)의 출력 신호(OUT)를 액티브 상태, 예컨대 논리 하이 레벨로 만들어서 출력한다.

[0053] 이와 같이, 신호 변조부(120)의 출력 신호(OUT)가 액티브 상태로 되면, 신호 크기 설정부(122)의 동작은 이전과는 달라지게 된다. 구체적으로, 설명하면 다음과 같다.

[0054] 신호 크기 설정부(122)는 신호 변조부(120)의 출력 신호(OUT)가 액티브 상태이므로 하강 신호(DN)를 출력한다. 이 때, 하강 신호(DN)는 외부 클럭 신호(CLK)에서 지연 클럭 신호(SEN)의 지연 시간을 뺀 시간에 해당하는 펄스폭을 갖는다. 예컨대, 신호 크기 설정부(122)는 지연 클럭 신호(SEN)가 논리 하이 레벨로 상승할 때, 그에 맞

추어 논리 하이 레벨을 갖는 하강 신호(DN)를 발생한다. 그러다가, 외부 클럭 신호(CLK)가 논리 로우 레벨로 하강할 때, 신호 크기 설정부(122)는 하강 신호(DN)를 논리 로우 레벨로 하강시킨다. 따라서, 하강 신호(DN)는 외부 클럭 신호(CLK)에서 지연 클럭 신호(SEN)의 지연 시간을 뺀 시간에 해당하는 펄스폭을 갖게 된다.

[0055]

하강 신호(DN)가 발생함에 따라 전하 펌프(124)는 캐패시터(126)의 전압(Vcap)을 방전시킨다. 따라서, 캐패시터(126)의 전압(Vcap)은 이전보다 감소하게 된다.

[0056]

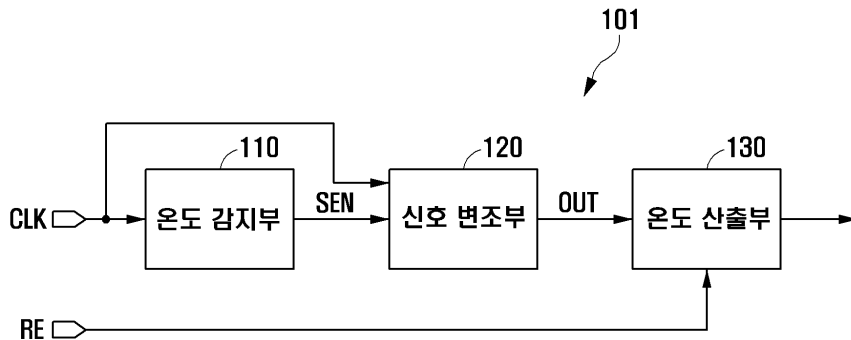
출력 신호 발생부(128)는 캐패시터(126)의 전압(Vcap)을 기준 전압(Vref)과 비교하여 출력 신호(OUT)를 발생한다. 그런데, 캐패시터(126)의 전압(Vcap)이 감소하여 기준 전압(Vref)보다 낮아지면, 출력 신호 발생부(128)는 신호 변조부(120)의 출력 신호(OUT)를 인액티브 상태, 예컨대 논리 로우 레벨로 만들어서 출력한다.

[0057]

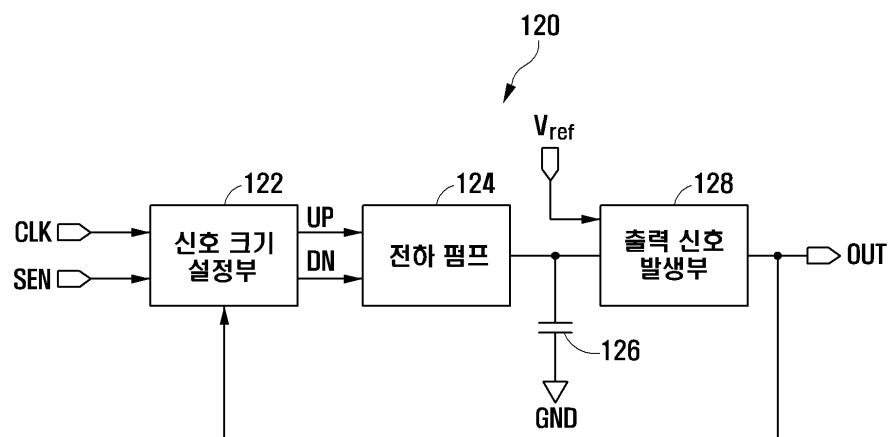
본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

## 도면

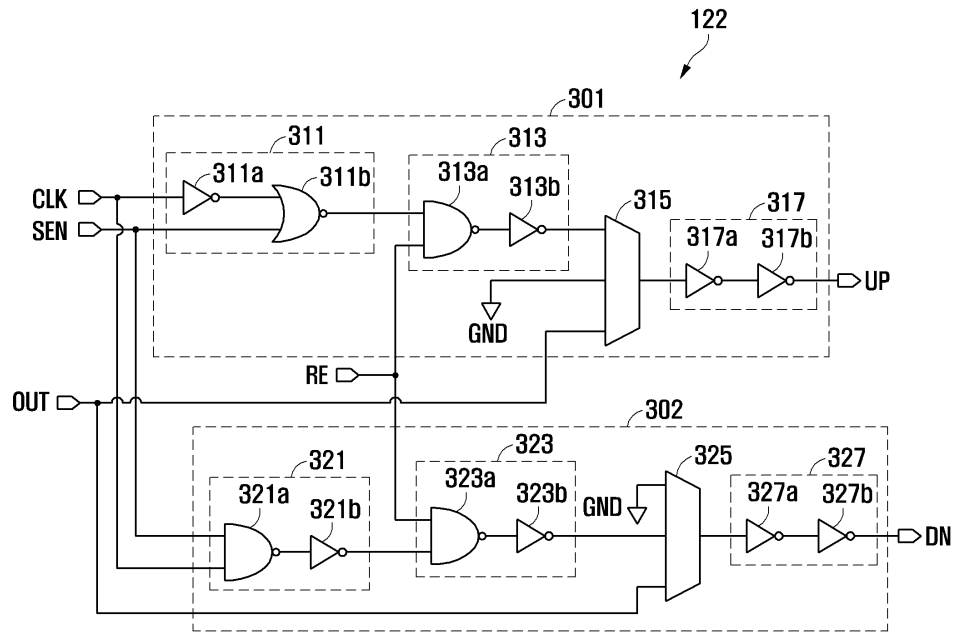
### 도면1



### 도면2



도면3



도면4

