

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6669581号
(P6669581)

(45) 発行日 令和2年3月18日(2020.3.18)

(24) 登録日 令和2年3月2日(2020.3.2)

(51) Int. Cl. F I
 HO 1 L 27/11582 (2017.01) HO 1 L 27/11582
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)

請求項の数 20 外国語出願 (全 24 頁)

<p>(21) 出願番号 特願2016-97400 (P2016-97400) (22) 出願日 平成28年5月13日 (2016.5.13) (65) 公開番号 特開2017-50526 (P2017-50526A) (43) 公開日 平成29年3月9日 (2017.3.9) 審査請求日 平成30年12月10日 (2018.12.10) (31) 優先権主張番号 15/078, 156 (32) 優先日 平成28年3月23日 (2016.3.23) (33) 優先権主張国・地域又は機関 米国 (US) (31) 優先権主張番号 62/279, 068 (32) 優先日 平成28年1月15日 (2016.1.15) (33) 優先権主張国・地域又は機関 米国 (US)</p>	<p>(73) 特許権者 519236594 ロンギチュード フラッシュ メモリー ソリューションズ リミテッド アイルランド国 ディー18 ビー3ワイ 9 ダブリン サンディフォード ブラッ ケン ロード ブラックソーン エクスチ エンジ ファースト フロア (74) 代理人 100147485 弁理士 杉村 憲司 (72) 発明者 レンホワ チャン アメリカ合衆国 カリフォルニア州 95 051 サンタ クララ カーライル ア ベニュー 3717</p>
--	---

最終頁に続く

(54) 【発明の名称】 多層チャネル及び電荷トラップ層を有するメモリデバイス

(57) 【特許請求の範囲】

【請求項1】

ウェーハの上の、第1スタック層と第2スタック層とを含むスタックに配置された開口部と、

前記開口部の少なくとも内側壁の上に配置された多層誘電体と、

前記多層誘電体の上に配置された第1チャネル層と、

前記第1チャネル層の上に配置され、半導体材料を含む第2チャネル層と、

前記第2チャネル層の上に配置された少なくとも1つの追加チャネル層と、

を備えるメモリデバイスであって、

前記第1チャネル層又は前記第2チャネル層のうちの少なくとも1つは、ゲルマニウム (Ge) を含み、前記少なくとも1つの追加チャネル層は、前記第1チャネル層または前記第2チャネル層よりも低い濃度のGeを含むメモリデバイス。

【請求項2】

前記第1チャネル層又は前記第2チャネル層のうちの少なくとも1つは、シリコン ゲルマニウム (Si-Ge) 複合層を含み、前記Si-Ge複合層は、約5原子%から約95原子%の濃度範囲でGeを含む、請求項1に記載のメモリデバイス。

【請求項3】

前記第1チャネル層及び前記第2チャネル層は、多結晶構造を含む、請求項1に記載のメモリデバイス。

【請求項4】

10

20

前記少なくとも1つの追加チャンネル層はGeを含み、前記第1チャンネル層、前記第2チャンネル層、および前記少なくとも1つの追加チャンネル層は、チャンネル長に対して垂直な方向に積層される、請求項1に記載のメモリデバイス。

【請求項5】

前記第1チャンネル層と前記第2チャンネル層との間にチャンネル界面をさらに備え、前記第1チャンネル層及び前記第2チャンネル層の各々は、異なるGe濃度のシリコンゲルマニウム複合層を含む、請求項1に記載のメモリデバイス。

【請求項6】

前記開口部は、前記ウェーハの上面に対して略垂直である、請求項1に記載のメモリデバイス。

10

【請求項7】

前記開口部は、円形、長円形、正方形、ひし形、及び長方形の群から選択される断面形状を含む、請求項1に記載のメモリデバイス。

【請求項8】

前記多層誘電体は、前記開口部の少なくとも前記内側壁の上のブロック誘電体層と、前記ブロック誘電体層の上の電荷トラップ層と、前記電荷トラップ層の上のトンネル誘電体層とを備え、前記電荷トラップ層は多層構造を含む、請求項1に記載のメモリデバイス。

【請求項9】

前記電荷トラップ層の前記多層構造は、外側の窒化物層と、中間の誘電体層と、内側の窒化物層とを含み、前記外側の窒化物層又は前記内側の窒化物層のうちの少なくとも1つは、酸窒化ケイ素を含み、前記外側の窒化物層は、前記内側の窒化物層に対して酸素リオンであり、前記中間の誘電体層は電荷トラップが無い、請求項8に記載のメモリデバイス。

20

【請求項10】

前記第1スタック層及び前記第2スタック層は、前記スタックを形成するために交互に互いの上に配置され、

前記第1スタック層は、二酸化ケイ素(SiO_2)を含み、

前記第2スタック層の各々は、ゲート層を含み、前記ゲート層は、ドーパされた多結晶シリコン(Poly-Si)層又はタングステン/窒化チタン(W/TiN)複合層のうちの1つを含む、請求項1に記載のメモリデバイス。

30

【請求項11】

前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、正にドーパされている、請求項1に記載のメモリデバイス。

【請求項12】

前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、ホウ素、ガリウム、又はインジウムの群から選択されたドーパントを含み、約 $1 \times 10^{15} \text{ cm}^{-3}$ から約 $1 \times 10^{18} \text{ cm}^{-3}$ の濃度範囲でドーパされている、請求項11に記載のメモリデバイス。

【請求項13】

前記第1チャンネル層と前記第2チャンネル層との間の層厚比は、約1:5から約1:0.2の範囲内である、請求項1に記載のメモリデバイス。

40

【請求項14】

ウェーハの上に形成された、第1スタック層と第2スタック層とを含むスタックであり、
前記第1スタック層は誘電体層を含み、前記第2スタック層はゲート層を含むスタックと、

前記スタックに形成された縦型の開口部内にそれぞれが形成される、複数の縦型のNANDストリングであり、

前記縦型の開口部の少なくとも内側壁の上に配置された多層誘電体であって、ブロック誘電体層と、前記ブロック誘電体層の上に配置された多層電荷トラップ層と、前記多層

50

電荷トラップ層の上に配置されたトンネル誘電体層とを含む、多層誘電体、

前記多層誘電体の上に配置された第1チャンネル層と、前記第1チャンネル層の上に配置された半導体材料を含む第2チャンネル層と、前記第2チャンネル層の上に配置された少なくとも1つの追加チャンネル層とを含むチャンネルであって、前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、ゲルマニウム(Ge)を含み、前記少なくとも1つの追加チャンネル層は、前記第1チャンネル層または前記第2チャンネル層よりも低い濃度のGeを含む、チャンネル、及び

前記縦型の開口部の底部に形成された選択エピタキシャル成長(SEG)構造体であって、前記第1チャンネル層は、前記第2チャンネル層によって、前記SEGから物理的に隔離されるSEG構造体、

を備えている、複数の縦型のNANDストリングと、

前記スタックに形成された縦型の共通ソース線(CSL)スリット内にそれぞれが形成された、少なくとも1つの共通ソース線(CSL)と、

を備えているメモリデバイスであって、

前記複数の縦型のNANDストリングのうちの少なくとも1つは、前記SEG構造体を介して、前記少なくとも1つのCSLの1つと電気的に接続されているメモリデバイス。

【請求項15】

前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、5%から95%の濃度範囲でGeを含む多結晶シリコンゲルマニウム(Si-Ge)複合層を含む、請求項14に記載のメモリデバイス。

【請求項16】

前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、多結晶Ge(Poly-Ge)層を含む、請求項14に記載のメモリデバイス。

【請求項17】

前記多層電荷トラップ層は、外側の窒化物層と、中間の誘電体層と、内側の窒化物層とを含み、前記外側の窒化物層又は前記内側の窒化物層のうちの少なくとも1つは、酸窒化ケイ素を含み、前記外側の窒化物層は、前記内側の窒化物層に対して酸素リーンであり、前記中間の誘電体層は電荷トラップが無い、請求項14に記載のメモリデバイス。

【請求項18】

ウェーハの上に形成され、第1スタック層と第2スタック層とを含むスタックであり、前記第1スタック層は誘電体層を含み、前記第2スタック層はゲート層を含むスタックと、

前記スタックに形成された縦型の開口部内にそれぞれが形成された、複数の縦型のNANDストリングであって、

前記縦型の開口部の少なくとも内側壁の上に配置された多層誘電体、

前記多層誘電体の上に配置された第1チャンネル層、

前記第1チャンネル層の上に配置され、半導体材料を含む第2チャンネル層、

前記第2チャンネル層の上に配置された少なくとも1つの追加チャンネル層であって、前記第1チャンネル層又は前記第2チャンネル層のうち少なくとも1つは、ゲルマニウム(Ge)を含み、前記少なくとも1つの追加チャンネル層は、前記第1チャンネル層または前記第2チャンネル層よりも低い濃度のGeを含む、少なくとも1つの追加チャンネル層、及び

前記縦型の開口部の底部に形成された選択エピタキシャル成長(SEG)構造体であり、前記第2チャンネル層と直接接触し、前記第1チャンネル層から物理的に隔離される、SEG構造体、

を備えている複数の縦型のNANDストリングと、

前記ゲート層のうちの1つにそれぞれが接続された複数のワード線と、

前記第1チャンネル層又は前記第2チャンネル層の上端で前記複数の縦型のNANDストリングのうちの少なくとも1つにそれぞれが接続されている複数のビット線と、

前記スタックの共通ソース線(CSL)スリット内に形成された共通ソース線(CSL)であり、前記SEG構造体を介して前記第1チャンネル層又は前記第2チャンネル層の底部

10

20

30

40

50

で前記複数の縦型のNANDストリングのうちの少なくとも1つに接続されている共通ソース線(CSL)と、
を備えるメモリアレイ。

【請求項19】

前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、5%から95%の濃度範囲でGeを含有するシリコンゲルマニウム複合層を含む、請求項18に記載のメモリアレイ。

【請求項20】

前記第1チャンネル層のGe濃度は、前記第2チャンネル層のGe濃度よりも高い、請求項18に記載のメモリアレイ。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

本出願は、35 U.S.C. 119(e)に基づいて2015年8月31日に出願された米国仮特許出願第62/212,315号及び2016年1月15日に出願された米国仮特許出願第62/279,068号の優先権の利益を主張しており、その両出願とも参照により本明細書に援用する。

【技術分野】

【0002】

本開示は、概して不揮発性(NV)メモリデバイスに関するものであり、具体的には、3次元(3-D)又は縦型のNVメモリセルストリング並びに、多層チャンネル及び/又は電荷トラップ層の形成を含むその製造方法に関する。

【背景技術】

【0003】

NAND及びNOR型のフラッシュメモリは共に、フローティングゲート金属酸化物半導体電界効果(FGMOS)トランジスタ及びシリコン酸化物窒化物酸化物シリコン(SONOS)トランジスタといったNVメモリ素子又はセルのストリングを含む。2次元又は平面状のフラッシュメモリデバイスの製造は10nmスケールのリソグラフィに至り、スケールの縮小により、各NVメモリ素子が次第に小型化して、物理的に互いに近接するという潜在的な課題が生じてきた。これらのNVメモリ素子では、その電荷トラップゲートは、より小型化したスケールに起因して、はるかに少量の電荷しか保持しない。結果として、製造工程におけるいかなる小さな欠陥であっても、NVメモリ素子のロジック/メモリ状態を識別することを困難にし、これによりロジック状態の読み込みにおいて誤りが生じる可能性がある。さらに、制御電極がかなり小型化するにつれて、ゲートをバイアスする際などにそれらの影響が2つ以上のメモリセル又はストリングに広がり、これにより信頼してデータの読み込み及び書き込みができなくなる可能性がある。

【0004】

半導体基板上的の利用可能な領域の制限を克服するために、3-D又は縦型の構造では、NVメモリセルストリングは垂直方向に方向付けられ、NVメモリセルは、半導体基板上に積層される。それ故に、基板上に同様のフットプリントを有する2次元(2-D)構造に比べて、メモリビット密度がはるかに高まる。

【0005】

3-D NVメモリセルストリングでは、基板上的の誘電体/ゲートスタックに形成された開口部の内部に、チャンネルが配置される。ある用途においては、チャンネルは主に多結晶シリコン(Poly-Si)から構成され、これにより電流(電荷)がチャンネルに沿って流れるようにする。Poly-Siチャンネルは、小さい粒子サイズのシリコン結晶を含み、これは、結晶粒界といったより深刻な潜在欠陥の一因となる。結晶粒界といった欠陥は、電荷を散乱させる可能性がある。結果として、チャンネルに沿って流れる電流は、かなり低減され得る。3-D NANDといった3-Dのメモリセルストリングでは、読み込み電流の減少が読み込み操作のマージンに悪影響を及ぼし得る。さらに、閾値読み込み電流

10

20

30

40

50

又はオン電流を維持するために、誘電体/ゲートスタックの層数は制限され、これにより今度は、1つのNVメモリストリング内の(FGMOSやSONOS等の)メモリセルの数が制限される。

【0006】

本開示は、添付の図面に記載の例によって例示されるが、これらに限定されない。

【図面の簡単な説明】

【0007】

【図1】図1は、NVメモリセルのストリングを含む縦型のNVメモリデバイスの製造方法の一実施形態を例示するフローチャートである。

【図2】図2A及び図2Bは、図1の方法に従う製造中における縦型のNVメモリデバイス10の一部分の等角図を例示する代表図である。図2Cは、縦型のNVメモリアレイの一部分の代表的な断面図である。図2D~図2Uは、図1の方法に従う製造中における縦型のNVメモリデバイス10の一部分の断面図を例示する代表図である。図2V~図2Zは、図1及び図2A~図2Uの方法に従って製造されるNVメモリセルの多数の縦型ストリングと共通ソース線とを含む完成形の縦型のNVメモリデバイス10の一部分の断面図及び概略図を例示する代表図である。

【発明を実施するための形態】

【0008】

以下の説明では、本主題のいくつかの実施形態の完全な理解を提供するために、具体的なシステム、構成要素、方法等の例といった多数の具体的な詳細について説明する。しかしながら、当業者にとって自明であるように、少なくともいくつかの実施形態は、これらの具体的な詳細を欠いても実施することができる。上記以外の例については、本明細書にて説明する技術を不必要に不明瞭にすることを避けるため、周知の構成要素や方法については、詳細には記載しないか、あるいは、単純化したブロック図の形式で提示される。従って、本明細書にて以下に説明する具体的な詳細は、単なる例示である。特定の実施に際し、これらの例示的な詳細を変更することもでき、その場合であっても、それらは本主題の精神及び範囲内にあることが意図される。

【0009】

本明細書では、不揮発性メモリ(NVM)トランジスタ及び/又は電界効果トランジスタ(FET)のストリングを含む縦型の、又は3次元(3-D)の不揮発性(NV)メモリデバイス30の実施形態、及び、その製造方法を図を参照して説明する。NVメモリは、電源を切った場合でもその状態を保持するメモリデバイスを含むものとして理解されたい。それらの状態は最終的には消滅し得るが、それらは比較的長期間保持される。しかしながら、特定の実施形態は、これらの具体的な詳細を1つ以上欠いても実施することができ、又は他の既知の方法、材料、及び装置と組み合わせて実施することもできる。以下の説明では、本主題の完全な理解を提供するために、具体的な材料、寸法、濃度、及びプロセスパラメータ等の多数の具体的な詳細について記載する。上記以外の例については、本主題を不必要に不明瞭にすることを避けるため、周知の半導体設計及び製造技術については特に詳細には記載しない。本明細書における「1つの実施形態」、「一実施形態」、「例示的な実施形態」、「いくつかの実施形態」、及び「様々な実施形態」とは、その実施形態40と関連して説明される特定の特徵、構造、又は特性が本主題の少なくとも1つの実施形態に含まれることを意味する。さらに、本明細書中の様々な箇所に出現する「1つの実施形態」、「一実施形態」、「例示的な実施形態」、「いくつかの実施形態」、及び「様々な実施形態」とは、必ずしも同じ実施形態を指すとは限らない。

【0010】

本明細書における説明は、詳細な説明の一部をなす添付の図面を参照して行われる。図面は、例示的な実施形態を示す。本明細書にて「例」とも称されるこれらの実施形態について、本明細書で説明される特許請求する主題の実施形態を当業者が実施できる程度に十分詳細に説明する。特許請求する主題の範囲及び精神を逸脱しない限り、実施形態を組合50せることができ、他の実施形態を用いることができ、構造的、論理的、及び電氣的な変更

をすることができる。本明細書にて説明される実施形態は、本主題の範囲を限定することが意図されたものではなく、むしろ、当業者であれば、本主題を実施、作製、及び/又は使用することができることを理解されたい。

【0011】

本明細書で用いられる「の上に(over)」、「上に位置する(overlying)」、「の下に(under)」、「の間に(between)」及び「上の(on)」という用語は、他の層に対する1つの層の相対的位置を指す。よって、例えば、別の層の上に又は別の層の下に堆積され又は配置された1つの層は、他の層と直接接触していてもよく、1つ以上の層が介在していてもよい。さらに、層の間に堆積され又は配置された1つの層は、それらの層と直接接触していてもよく、1つ以上の層が介在していてもよい。これに対して、第2の層「上 10
の(on)」第1の層は、その第2の層と接触している。加えて、ウェーハの絶対的な向きを考慮することなく、膜の堆積、変更及び除去は初期状態のウェーハに対して相対的に行うという仮定の下で、ある1つの層の他の層に対する相対位置が与えられる。

【0012】

(実施形態の概要)

ウェーハの上の、第1スタック層と第2スタック層とを含むスタックに配置された1つの開口部又は複数の開口部と、前記開口部の少なくとも内側壁の上に配置された多層誘電体と、前記多層誘電体の上に配置された第1チャンネル層と、前記第1チャンネル層の上に配置された第2チャンネル層とを含むメモリデバイスであって、前記第1チャンネル層又は前記 20
第2チャンネル層のうちの少なくとも1つはゲルマニウム(Ge)を含む。いくつかの実施形態では、前記開口部は、前記ウェーハの上面に対して略垂直とすることができ、円形、長円形、正方形、ひし形、及び長方形の群から選択される断面形状を含むことができる。一実施形態では、前記第1スタック層及び前記第2スタック層が交互に互いの上に配置されることにより、前記スタックが形成され、前記第1スタック層は、二酸化ケイ素(SiO₂)又は他の誘電体を含み、前記第2スタック層の各々は、ゲート層を含み、前記ゲート層は、ドーパされた多結晶シリコン(Poly-Si)層又はタングステン/窒化チタン(W/TiN)複合層又は他の金属ゲート層のうちの1つを含むことができる。

【0013】

一実施形態では、前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも1つは、シリコン ゲルマニウム(Si-Ge)複合層を含むことができ、前記Si-Ge複 30
合層は、約5原子%から約95原子%の濃度範囲でGeを含むことができる。別の実施形態では、前記第1チャンネル層及び前記第2チャンネル層は、多結晶構造を含むことができる。

【0014】

一実施形態では、少なくとも1つの追加チャンネル層を、前記第2チャンネル層の上に配置することができる、前記少なくとも1つの追加チャンネル層は、Geを含む。

【0015】

一実施形態では、前記第1チャンネル層と前記第2チャンネル層との間にチャンネル界面が存在してもよく、前記第1チャンネル層及び前記第2チャンネル層は、2つの別個の堆積ステップで堆積され、各々は、異なるGe濃度のシリコン ゲルマニウム複合層を含む。 40

【0016】

一実施形態では、前記多層誘電体は、少なくとも前記開口部の前記内側壁の上に配置されたブロック誘電体層と、前記ブロック誘電体層の上の電荷トラップ層と、前記電荷トラップ層の上のトンネル誘電体層とを含むことができ、前記電荷トラップ層は多層構造を含むことができる。別の実施形態では、前記電荷トラップ層の前記多層構造は、外側の窒化物層と、中間の誘電体層と、内側の窒化物層とを含むことができ、前記外側の窒化物層又は前記内側の窒化物層のうちの少なくとも1つは、酸窒化ケイ素を含むことができる。さらに、前記外側の窒化物層及び前記内側の窒化物層のうちの一方は、酸素リッチとすることができ、他方は、ケイ素リッチとすることができ、前記中間の誘電体層は、酸素リッチで、電荷トラップがほとんど無い層とすることができ。 50

【0017】

一実施形態では、前記第1チャンネル層又は前記第2チャンネル層のうちの少なくとも一つは、正にドーブされており、ホウ素、ガリウム、又はインジウムの群から選択されたドーパントを含むことができ、約 $1 \times 10^{15} \text{ cm}^{-3}$ から約 $1 \times 10^{18} \text{ cm}^{-3}$ の濃度範囲でドーブすることができる。

【0018】

一実施形態では、前記第1チャンネル層と前記第2チャンネル層との間の層厚比は、約1:5から約1:0.2の範囲内とすることができる。

【0019】

NVMトランジスタは、シリコン 酸化物 窒化物 酸化物 シリコン (SONOS) 又はフローティングゲート技術に関係するメモリトランジスタ又はデバイスを含むことができる。図1及び図2A~2Zにつき、NVメモリ素子のストリングを含む縦型のメモリデバイスの製造方法の一実施形態を詳細に説明する。図1は、3-D又は縦型のNVメモリデバイスの製造方法又は製造プロセスのフローの一実施形態を例示するフローチャートである。図2A~2Uは、図1に示す方法による、メモリセルの製造中における縦型のNVメモリデバイスの部分断面図及び部分等角図を例示するブロック図及び概略図である。図2T~2Zは、完成型のメモリデバイス又はメモリアレイの一実施形態の部分断面図を例示する代表図である。一実施形態では、縦型のNVメモリデバイスは、NANDフラッシュメモリストリングといった単一の、又は多数の縦型のメモリセルストリングを含むことができる。

【0020】

図1及び図2Aを参照するに、製造プロセス1000は、まず、製造プロセス1000のステップ1002にて、基板又はウェーハ102の上に、多数のセル間誘電体層又は第1スタック層104と、ゲート層又は第2スタック層106との交互の層からなるスタック105を形成することから開始する。一実施形態では、各セル間誘電体層104は、2つのゲート層106の間に積層され、逆もまた同様であり、それらはスタック105全体に延在するか、あるいは、少なくともスタック105の一部を成すかのどちらかである。ウェーハ102は、半導体デバイスの製造に適した任意の単結晶材料から構成されるバルクウェーハであってもよく、あるいは、ウェーハ上に形成される、適切な材料からなるエピタキシャル層を頂部に含んでもよい。一実施形態では、ウェーハ102に適した材料は、シリコン、ゲルマニウム、シリコン ゲルマニウム、又はIII-V族化合物半導体材料を含むが、これらに限定されない。一実施形態では、スタック105は、複数の段を有する階段構造又はピラミッド構成を採用することにより形成される。一実施形態では、各段は、ペア103を形成するセル間誘電体層104とゲート層106とを含む。ステップ1004にて形成された階段構造によれば、一実施形態では、ペア103を形成するセル間誘電体層104及びゲート層106の表面積は、スタック105の高い位置に配置されるにつれて小さくなる。スタック105の階段構造によって、より効率的にワード線をゲート層106に接続することが容易になる。他の実施形態では、スタック105は、他の構成を採用することができる。一実施形態では、ペア103を形成する全てのセル間誘電体層104及びゲート層106が、ほぼ同じ表面積を有していてもよい。図2Aに例示されるように、底部ペア103のセル間誘電体層104は、ウェーハ102上に直接位置するように配置され、ウェーハ102と接触することができる。あるいは、それらの間に介在層が存在していてもよい(不図示)。一実施形態では、介在層は、NVメモリセルのストリングとウェーハ102との間に介在デバイスを製造するために用いられる誘電体層、ゲート層、半導体層とすることができる。別の実施形態では、スタック105のペア103を形成する頂部のセル間誘電体層104及びゲート層106の上に追加層が存在していてもよい。一実施形態では、底部介在層及び頂部追加層は、システム要件に応じて、電界効果トランジスタ(FET)又は接続素子といったNVメモリセル以外の半導体デバイスを形成するために用いることができる。

【0021】

10

20

30

40

50

一実施形態では、セル間誘電体層104は、スパッタリング法、化学蒸着法(CVD)、分子線エピタキシャル成長法(MBE)、原子層堆積法(ALD)等といった当業者に既知の任意の適切な堆積方法によって形成することができる。セル間誘電体層104は、約20ナノメートル(nm)以上約50nm以下の層厚又は他の適切な層厚を有する酸化ケイ素(SiO_2)又は他の誘電体材料を含んでもよい。いくつかの実施形態では、セル間誘電体層104は、スタック105の至る所で様々な厚さを有していてもよい。代替的な一実施形態では、セル間誘電体層104のうちのいくつかの、又は全ての層は、熱酸化プロセス、ISSG(インサイチュ蒸気生成)プロセス、又はプラズマ若しくはラジカル酸化技術によって成長させることができる。

【0022】

概して、ゲート層106は、最終的に(この図には図示していないが)縦型のNVメモリデバイス200におけるNVトランジスタの制御ゲートになることができ、あるいは、そのような制御ゲートに電氣的に接続することができる。一実施形態では、ゲート層106は、ワード線に接続することができる。図2Aに最もよく示されるように、ゲート層106は各セル間誘電体層104の上面の上に形成することができる。一実施形態では、多結晶シリコン制御ゲートが望ましい場合、ゲート層106は、上述したような堆積プロセスによって形成されてもよく、当技術分野では既知の適切なドーパントとドーパント濃度で正又は負(p+ドーパ型、又はn+ドーパ型)のいずれかにドーパされる単一のドーパの多結晶シリコン層を含むことができる。ゲート層106は、約30nm以上約60nm以下の層厚、又は他の層厚を有することができる。いくつかの実施形態では、ゲート層106は、スタック105の至る所で様々な層厚を有してもよい。代替的な一実施形態では、金属制御ゲートが望ましい場合は、ゲート層106は、堆積プロセスによって形成されてもよく、約30nm以上約60nm以下の層厚、又は他の層厚を有する単一の窒化シリコン(Si_3N_4)層から構成することができる。その後、ステップ1022にて、窒化シリコンから構成されるゲート層106を、金属ゲート層123に置換し、又は変換することができる。これについては後節にて説明する。

【0023】

図1及び図2Bを参照するに、ウェーハ102の平面に対して略垂直である縦型の開口部108が、縦型のNVメモリデバイス200のNVメモリセルストリング100における縦型のチャンネルを後に形成する位置に形成される。一実施形態では、1つの縦型のNVメモリデバイス200には、多数のNVメモリセルストリング100が存在する。開口部108の垂直軸は、ウェーハ102の上面に直角(90°)又はほぼ直角に配置されることを理解されたい。一実施形態では、開口部108は、プラズマエッチングやウェットエッチング等といった適切なエッチングプロセスを用いて、スタック105をエッチングすることによって形成することができる。スタック105には、ステップ1024にて、共通ソース線(CSL)152を形成するための複数のスリット151が存在する。一実施形態では、スリット151はスタック105を通して形成される深いトレンチである。

【0024】

図2Cに例示されるように、NVメモリアレイ500は、ウェーハ102上に配置された多数の縦型のNVメモリデバイス200を含むことができる。一実施形態では、ステップ1004にて、 SiO_2 といった誘電体の層が形成されて、その後平坦化されて、層間誘電体層(ILD)202が形成される。

【0025】

図2Dは、図2B中の線Y-Y'に沿った側面断面図の特徴を示し、図2Eは、図2D中の線X-X'に沿った上面断面図の特徴を示している。一実施形態においては、開口部108は、ステップ1006にて、ウェーハ102の上面に達するまで、あるいは、その上面を超えてエッチングされる。発光強度及び/又は分光反射計測技術を用いて、開口部108の形成プロセスの終点を検出し、その後、開口部108の形成プロセスを終了させることができる。開口部108は、スタック105の全体の延在方向に、約60nm以上約130nm以下のほぼ均一な直径110を有してもよく、又は他の寸法を有してもよい

10

20

30

40

50

。他の実施形態では、開口部 108 は、テーパ形状（不図示）といった可変の断面直径を有することができる。多数の開口部 108 が、縦型の NV メモリデバイス 200 の単一のスタック 105 に形成されてもよい。縦型の NV メモリセルストリング 100 の適切な動作及び絶縁を確実にするために、各開口部 108 は、最小限の間隔を維持するように分布させるのがよく、最小限の間隔とは、1つの開口部 108 の周囲から別の開口部 108 の周囲までの距離である。一実施形態では、最小限の間隔は約 20 nm から約 130 nm 以下に維持するのがよく、あるいは他の寸法に維持することもできる。別の実施形態では、開口部 108 は、領域 92 に形成される NV メモリセルが同じセットの制御ゲート並びに同じセットのワード線及び / 又は CSL 152 への接続を共有できるように、分布させてもよい。

10

【0026】

図 1、図 2D 及び図 2E を参照するに、（完成したときには、1つの NV メモリセルストリング 100 となる）単一の開口部 108 を特徴づけ、4つの交互するセル間誘電体層 104 及びゲート層 106 を有する縦型の NV メモリデバイス 200 の一部が例示されている。これは、縦型の NV メモリデバイス 200 が、他の数量や、開口部 108、交互するセル間誘電体層 104 及びゲート層 106 のペア 103 の他の組合せを有することができるということで、本主題を説明するための例示的な実施例であること、すなわち、例であり限定目的ではないことは理解されたい。さらに、縦型の NV メモリデバイス 200 は、（上述した頂部追加層と底部介在層における）2つの端部に形成される追加の半導体デバイスを含んでもよい。多数の開口部 108 を有する縦型の NV メモリデバイス 200 は、多数の NV メモリセルストリング 100 を備えることができ、それぞれは、同時に又は順次に、同様のプロセスで製造することができる。一実施形態では、縦型の NV メモリデバイス 200 は、直列に接続した領域 92 における NV メモリセル 94 のストリングを形成することにより、開口部 108 に形成されてもよい。各 NV メモリセル 94 は、2つのセル間誘電体層 104 と1つのゲート層 106 とを含む領域 92 に形成されてもよい。一実施形態では、同じ NV メモリセルストリング 100 の NV メモリセル 94 は直列に接続され、これは NAND フラッシュメモリセルストリングの実施形態に似ている。図 2E に最も良く例示されるように、開口部 108 は、約 60 nm 以上約 130 nm 以下の、又は他の寸法の直径 110 を有する円形の断面を有する。他の実施形態では、図 2F に最も良く例示されるように、開口部 108' は、正方形、長方形、ひし形、長円形等の他の形状の断面を有してもよい。いくつかの実施形態では、他の形状の開口部 108' は、互いから約 20 nm 以上約 130 nm 以下の最小限の間隔を維持していてもよい。

20

30

【0027】

図 1 及び図 2G を参照するに、選択エピタキシャル成長（SEG）構造体 154 が、ステップ 1008 にて、開口部 108 の底部に形成され、ウェーハ 102 を覆っている。一実施形態では、SEG 構造体 154 は、ウェーハ 102 に接触して配置され、スタック 105 における多数の交互する層及び / 又は介在層に対応する開口部 108 の底部を充填する。SEG 構造体 154 は、シリコンから構成することができ、ウェーハ 102 のうちシリコンが露出した領域上に成長を行う SEG 技術を用いて製造される。シリコン成長が望まれない領域は、典型的には二酸化ケイ素又は窒化ケイ素といった誘電体フィルムによってマスクすることができる。SEG 構造体に成長させるシリコンは、アンドープであってもよい。代替的に、シリコンがドープされてもよい。いくつかの実施形態では、SEG 構造体 154 におけるシリコンは、正にドープされてもよく、負にドープされてもよく、ドーピングは、インサイチュドーピングとすることができる。SEG 構造体 154 のドーピングを行う場合、それは、SEG 形成ステップ 1008 中か、又は、その後に行うことができる。一実施形態では、各 NV メモリセルストリング 100 用の SEG 構造体 154 は、ウェーハ 102 上か、又はウェーハ 102 内のいずれかに形成される接続構造を用いて CSL 152（この図には図示していない）に接続することができる。

40

【0028】

図 2H は、縦型の NV メモリデバイス 200 の一部分の一実施形態の側面断面図であり

50

、図 2 I は、図 2 H 中の線 X - X ' に沿った上面断面図である。図 1、図 2 H 及び図 2 I を参照するに、ブロック誘電体層 1 1 2 が、ステップ 1 0 1 0 にて開口部 1 0 8 内に形成される。一実施形態では、ブロック誘電体層 1 1 2 は、単一層又は多層を含むことができ、開口部 1 0 8 の内側壁及び SEG 構造体 1 5 4 の上面を被覆する SiO₂ 又は他の誘電体材料の層を含んでもよい。ブロック誘電体層 1 1 2 は、CVD、ALD といった適切なコンフォーマル堆積プロセスによって形成することができ、約 30 以上約 70 以下の、又は他の厚さの比較的均一な層厚を有することができる。例えば、ブロック誘電体層 1 1 2 は、二酸化ケイ素 (SiO₂) のブロック誘電体層 1 1 2 を提供するように調整された比率及び流量で、シラン又はジクロロシラン (DCS) と O₂ 又は N₂O といった酸素含有ガスとのガス混合物を含むプロセスガスを用いる CVD プロセスによって堆積することができる。別の実施形態では、ブロック誘電体層 1 1 2 は、二酸化ケイ素の代替として、又は、二酸化ケイ素に追加的に、酸化ハフニウムといった他の高誘電率 (high-k) の誘電体材料を含むことができる。様々な他の実施形態において、ゲート層 1 0 6 が Poly-Si で構成されるような場合、ブロック誘電体層 1 1 2 は、熱酸化、又は ISSG、又はプラズマ、ラジカル、又は他の酸化プロセスによって形成することができる。

【0029】

図 2 J は、縦型の NV メモリデバイス 2 0 0 の一部分の一実施形態の側面断面図であり、図 2 K は、図 2 J 中の線 X - X ' に沿った上面断面図である。図 1 並びに図 2 J 及び図 2 K を参照するに、電荷トラップ層 1 1 4 が、ステップ 1 0 1 2 にて、開口部 1 0 8 内に形成される。様々な実施形態において、電荷トラップ層 1 1 4 は、単一の層であり、ブロック誘電体層 1 1 2 上に形成されるか、ブロック誘電体層 1 1 2 上に位置するか、又はブロック誘電体層 1 1 2 に接触する窒化ケイ素及び / 又は酸窒化ケイ素の層を含むことができる。電荷トラップ層 1 1 4 は、CVD や ALD といったような適切なコンフォーマル堆積プロセスによって形成することができる。一実施形態では、電荷トラップ層 1 1 4 は、約 50 以上約 100 以下の、又は他の厚さの比較的均一な層厚を有する。図 2 J に最もよく示されているように、電荷トラップ層 1 1 4 は連続層であり、あるいは、開口部 1 0 8 の全長を被覆する。一実施形態では、電荷トラップ層 1 1 4 は、NV メモリセル 9 4 が開口部 1 0 8 内に形成される部分を覆うことができる。電荷トラップ層 1 1 4 にトラップされた電荷は、開口部 1 0 8 に沿って垂直方向に層から層へ移動することができないので、スタック 1 0 5 中の異なる層に形成された NV メモリセル 9 4 は、互いに干渉しない。ゲート層 1 0 6 に関連する電界は、電荷トラップ層 1 1 4 の電荷を、それらがトラップされるゲート層 1 0 6 に密に閉じ込める。

【0030】

別の実施形態では、図 2 K 中の分解図に例示されるように、電荷トラップ層 1 1 4 ' の代替的な実施形態は、ブロック誘電体層 1 1 2 上に形成されるか、ブロック誘電体層 1 1 2 の上に位置するか、又はブロック誘電体層 1 1 2 に接触する第 1 電荷トラップ層又は外側の電荷トラップ層 1 1 4 a と、第 1 電荷トラップ層 1 1 4 a 上に形成されるか、第 1 電荷トラップ層 1 1 4 a の上に位置するか、又は第 1 電荷トラップ層 1 1 4 a に接触する第 2 電荷トラップ層又は内側の電荷トラップ層 1 1 4 c とを少なくとも含んでいる多層を含むことができる。第 1 電荷トラップ層 1 1 4 a は、第 2 電荷トラップ層 1 1 4 c に対して酸素リッチであり、多層電荷トラップ層 1 1 4 ' 内に分布する大半の電荷トラップを含むことができる。一実施形態では、第 1 電荷トラップ層 1 1 4 a は、第 2 電荷トラップ層 1 1 4 c の化学量論的組成とは異なる酸素、窒素、及び / 又はシリコンの化学量論的組成を有する窒化ケイ素及び酸窒化ケイ素の層を含んでもよい。第 1 電荷トラップ層 1 1 4 a は、シリコンリッチで、酸素リッチな頂部窒化物層を提供するように調整される比率及び流量で、DCS / NH₃ 及び N₂O / NH₃ のガス混合物を含むプロセスガスを用いる CVD プロセスによって形成され又は堆積され得る酸窒化ケイ素層を含むことができる。様々な他の実施形態では、モノシラン SiH₄ (MS)、ジシラン Si₂H₆ (DS)、テトラクロロシラン SiCl₄ (TCS)、及びヘキサクロロジシラン Si₂Cl₆ (HCD) を CVD プロセスにおけるシリコン源として用いることができる。多層電荷トラップ層

114'のうちの第2電荷トラップ層114cは、窒化ケイ素(Si_3N_4)、シリコンリッチな窒化ケイ素、又は酸窒化シリコン(SiO_xN_y)層を含むことができる。例えば、第2電荷トラップ層114cは、シリコンリッチで酸素リッチな酸窒化層を提供するように調整される比率及び流量で、ジクロロシラン(DCS)/アンモニア(NH_3)及び亜酸化窒素(N_2O)/ NH_3 のガス混合物を用いるCVDプロセスによって形成される酸窒化ケイ素を含むことができる。ある代替的な実施形態では、第1電荷トラップ層114aと第2電荷トラップ層114cとにおける酸素、窒素、及び/又はシリコンの化学量論的組成は、互いに一致していてもよく、又は互いに近くてもよい。

【0031】

別の実施形態では、第1電荷トラップ層114aと第2電荷トラップ層114cとの間に中間誘電体層及び/又は中間酸化物層114bが形成されてもよく、多層電荷トラップ層114'を窒化物 酸化物 窒化物(NON)構造体/スタックとしてもよい。一実施形態では、中間酸化物層114bは、電荷トラップの無い SiO_2 及び/又は酸素リッチな誘電体を含むことができる。中間酸化物層114bは、プログラミング中に第1電荷トラップ層114aの境界に蓄積する電荷が第2電荷トラップ層114cにトンネルする可能性を実質的に低減することにより、結果として、従来のメモリデバイスに比べてリーク電流を低減することができる。一実施形態では、中間酸化物層114bは、熱酸化若しくはラジカル酸化プロセス、又はCVDやALDといった堆積プロセスを用いて所定の深さにまで酸化することにより形成される。

【0032】

本明細書にて用いられるように、「酸素リッチ」及び「シリコンリッチ」という用語は、窒化ケイ素、又は「窒化物」の化学量論的組成に関するものであり、 Si_3N_4 の組成と633nmで約2.0の屈折率(RI)とを有する当技術分野において一般的に用いられるものである。従って、「酸素リッチ」な酸窒化ケイ素は、化学量論的窒化ケイ素からケイ素及び酸素の重量パーセンテージを高める方向(すなわち、窒素を減少させる方向)へのシフトに対応する。それ故、酸素リッチな酸窒化ケイ素フィルムは、二酸化ケイ素により近く、その屈折率は、純粋な二酸化ケイ素の1.45RIに向けて減少する。同様に、本明細書にて「シリコンリッチ」と説明されるフィルムは、化学量論的窒化ケイ素から、シリコンの重量パーセンテージを高め、「酸素リッチ」なフィルムよりも少ない酸素を有する方向へのシフトに対応する。それ故、シリコンリッチな酸窒化ケイ素フィルムは、シリコンにより近く、その屈折率は、純粋なシリコンの3.5RIに向けて増加する。

【0033】

図2Lは、縦型のNVメモリデバイス200の一部分の、一実施形態の側面断面図であり、図2Mは、図2L中の線X-X'に沿った上面断面図である。図1並びに、図2L及び図2Mを参照するに、トンネル誘電体層116が、ステップ1014にて、開口部108内に形成される。一実施形態では、トンネル誘電体層116は、開口部108内の電荷トラップ層114上に、電荷トラップ層114上に位置して、又は、電荷トラップ層114に接触して形成される。例えば、誘電体材料の層を、CVD又はALDプロセスによって堆積することができる。様々な実施形態において、誘電体材料の層は、二酸化ケイ素、酸窒化ケイ素、窒化ケイ素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、ケイ酸ハフニウム、ケイ酸ジルコニウム、酸窒化ハフニウム、酸化ジルコニウムハフニウム、及び酸化ランタンを含むことができるが、これらに限定されない。概して、トンネル誘電体層116は、約20以上約50以下の、又は、制御ゲートバイアスがかかると電荷が電荷トラップ層114にトンネルすることを可能にし、一方で、ゲートにバイアスがかかっていないと、リークに対する適切な障壁として維持するのに適した、比較的均一な層厚を有する。ある実施形態では、トンネル誘電体層116は、二酸化ケイ素、酸窒化ケイ素、又はそれらの組合せであり、第2電荷トラップ層114cの一部分をプラズマ又はラジカル酸化を用いる熱酸化プロセスによって成長させて得ることができる。さらに別の実施形態では、トンネル誘電体層116は、二酸化ケイ素、又は酸窒化ケイ素といった材料(但し、これに限定されない)の第1の層と、窒化ケイ素、酸化アルミニウム、酸化ハ

フニウム、ケイ酸ハフニウム、ケイ酸ジルコニウム、酸窒化ハフニウム、酸化ジルコニウムハフニウム、及び酸化ランタン（但し、これに限定されない）を含む材料の第2の層とを含む2層の誘電体領域であってもよい。

【0034】

一実施形態では、ブロック誘電体層112、電荷トラップ層114、及びトンネル誘電体層116は、まとめて電荷トラップ誘電体、又は多層誘電体107とも称される。

【0035】

図20は、縦型のNVメモリデバイス200の一部分の、一実施形態の側面断面図であり、図2Pは、図20中の線X-X'に沿った上面断面図である。一実施形態では、第1チャンネル層又は外側のチャンネル層118aが、開口部108内のトンネル誘電体層116上に、トンネル誘電体層116上に位置して、又は、トンネル誘電体層116に接触して形成される。概して、第1チャンネル層118aは、シリコン、ゲルマニウム、シリコンゲルマニウムといった任意の適切な半導体材料、又は他のIII族V族、II族VI族といった半導体材料の化合物、又は導体や半導体酸化物等を含むことができる。半導体材料は、アモルファス、多結晶、又は単結晶であってもよい。第1チャンネル層118aは、低圧化学蒸着法(LPCVD)、CVD、及びALDといった任意の適切な堆積プロセスによって形成され得る。ある実施形態では、半導体チャンネル材料は、まず最初に堆積したアモルファス半導体材料を再結晶化させることにより形成される再結晶化多結晶半導体材料とすることができる。

【0036】

既に説明したように、読み込み動作中のエラーを回避するためには、NVメモリセルストリング100を経て流れる十分に高い読み込み電流又はオン電流を維持することが必須である。NVメモリセルストリング100に、より多くのNVメモリセル94を組み込むために、スタック105がより多くのセル間誘電体層104及びゲート層106のペア103（階段状のステップ）を含む場合、読み込み電流が弱いと潜在的な問題がより深刻になる。ある従来型の実施形態では、チャンネルを形成するために、Poly Siが主に用いられている。Poly Siの比較的小さな粒子サイズに起因して結晶粒界の欠陥がよりひどくなり、これにより電荷がより散乱される（すなわち、オン電流が弱くなる）。一実施形態では、少なくとも2つの別個のステップ（ステップ1016及びステップ1018）にて、多層チャンネル119を形成することが提案される。図1、図20、及び図2Pを参照するに、第1チャンネル層118aは、ステップ1016にて開口部108に形成される。図20に例示されるように、縦型のNVメモリデバイス200の第1チャンネル層118aは、基板102の上面に対して垂直及び略垂直であり、これは2-D構造におけるチャンネルとは逆に方向付けされる。第1チャンネル層118aは、LPCVDやプラズマ強化CVD(PECVD)といったCVDプロセスを用いて配置される。第1チャンネル層118aは、シリコンゲルマニウム(Si-Ge)の複合層を含んでもよい。Si-Ge複合層におけるGeの濃度は、Geの原子数で、1%以上99%以下の範囲とすることができる。一実施形態では、上記濃度は約5%のGeから95%のGeに維持される。ある実施形態では、第1チャンネル層118aは、Poly Si又はPoly Geしか含まなくてもよい。一実施形態では、第1チャンネル層118aは、約50Å以上約150Å以下の、又は、他の厚さの比較的均一な層厚とすることができる。第1チャンネル層118aがGeを有することの1つの利点は、Si-Ge複合層が電子及び/又はホールのより高い移動度を有することができることである。その結果、第1チャンネル層118aを通過する読み込み電流又はオン電流をより高いレベルに維持することができる。堆積プロセス中、半導体源は、GeH₂Cl₂、Ge₂H₆、GeH₄、SiH₂Cl₂、Si₃H₈、Si₂H₆、SiH₄、及びそれらの組合せから選ぶことができる。開口部108といった小さな開口部において、堆積プロセス中の種形成を増進させるために、LTOS20といったガスを用いることができる。さらに、Si-Ge層は、Si/Poly Siよりも低い融点を有しており、従って、Si/Poly Siよりも比較的大きな粒子を生成する。それ故、第1チャンネル層118aのSi-Ge層は、既に説明したように、読み込

10

20

30

40

50

み電流に悪影響を及ぼす可能性のある結晶粒界といった欠陥をさほど有しない。Si-Ge層は、Ge濃度に依存して異なるバンド構造を有するので、Si-Ge層により、第1チャンネル層118aにおけるバンドギャップエンジニアリングも可能性になる。

【0037】

いくつかの実施形態では、第1チャンネル層118aは、上述したように、ドーブされていない、すなわち電氣的に中性の半導体チャンネル材料を含むことができる。別の実施形態では、デバイス性能の要件に応じて、半導体チャンネル材料は、ボロンといったp型ドーパントが少量にドーブされてもよい。一実施形態では、第1チャンネル層118aは、インサイチュボロンドープCVD技術によって形成される。SiH₄雰囲気中でBCl₃やB₂H₆といったボロン源が、約0.01%から1%で堆積プロセス中に導入され、このプロセスは、約530の温度で実行される。一実施形態では、第1チャンネル層118aにおけるドーパント濃度は、約 $1 \times 10^{15} \text{ cm}^{-3}$ 以上約 $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができ、あるいは他の適切な濃度とすることができ、他の実施形態では、ガリウム又はインジウムといったドーパントが、代替的に又は追加的に用いられてもよい。高いアスペクト比を得ることができるコンフォーマル注入技術、プラズマ浸漬イオン注入といった堆積プロセスを用いることもできる。

【0038】

図2Qは、縦型のNVメモリデバイス200の一部分の、一実施形態の側面断面図である。図1及び図2Qを参照するに、多層穿孔又は多層エッチングのプロセスがステップ1018にて行われる。一実施形態では、多層穿孔は、半導体酸化物窒化物酸化物(SONO)層及び/又は他の層の一部を取り除くために行うことができる。図2Oに例示されるように、第1チャンネル層118aは、少なくともブロック誘電体層112、電荷トラップ層114、及びトンネル誘電体層116によって、SEG構造体154から物理的、且つ、電氣的に隔離されている。開口部108の底部に先立って堆積された層を取り除くためにエッチングプロセスが行われる。一実施形態では、開口部108の底部が少なくともSEG構造体154に達する又はSEG構造体154をえぐるまで、プラズマエッチングプロセスが行われる。エッチング液は、CF₄、C₄F₆、CH₂F₂、NF₃といったフッ素系の化学剤、酸素、及びアルゴンを含むことができる。一実施形態では、SEG構造体154が露出するまで、開口部108の底部に堆積された多層誘電体107及び第1チャンネル層118aの一部を取り除くために多層穿孔が行われる。一実施形態では、多層穿孔の後に、第1チャンネル層118aはSEG構造体154から物理的に、及び/又は、電氣的に隔離することができる。

【0039】

図2Rは、縦型のメモリデバイス200の一部分の、一実施形態の側面断面図である。図1及び図2Rを参照するに、第2チャンネル層又は内側のチャンネル層118bが、ステップ1018にて形成される。図2Rに例示されるように、第2チャンネル層118bは、第1チャンネル層118a及び、上述した多層穿孔又はエッチングプロセスで形成された開口部108の底部の上に堆積される。第2チャンネル層118bは、ステップ1016にて第1チャンネル層118aを形成する際に用いられるプロセスと同様のCVDプロセスを用いて配置される。第1チャンネル層118aと同様に、第2チャンネル層118bはシリコンゲルマニウム(Si-Ge)複合層を含んでもよい。Si-Ge複合層におけるGe濃度は、1%以上99%以下の範囲とすることができ、一実施形態では、上記濃度は、(Ge原子数で)約5%のGeから約95%のGeに保たれる。ある実施形態では、第2チャンネル層118bは、Poly-Si又はPoly-Geしか含まないものとしてすることができる。一実施形態では、第2チャンネル層118bは、約50以上約150以下の厚さ、又は他の厚さの比較的均一な層厚とすることができ、第2チャンネル層118bは、第1チャンネル層118aを形成する際と同様のプロセス及び濃度により、ドーブしていない層、又は僅かに正にドーブした層のいずれかとすることもできる。一実施形態では、第1チャンネル層118a及び第2チャンネル層118bは、NVメモリセルストリング100用のチャンネル118を形成する。別の実施形態では、チャンネル118は単一の層とすること

10

20

30

40

50

ができる。図2Rに最もよく例示されるように、第2チャンネル層118bは、SEG構造体154及び第1チャンネル層118aと電氣的に接続していてもよく、さらに、それらと物理的に結合していてもよく、2つの素子を再接続させている。その後、SEG構造体154は、共通ソース線152（この図では不図示）に電氣的に接続する。第2チャンネル層118bは、いくつかの実施形態では、SEG構造体154を第1チャンネル層118aに物理的に接続させることができる。様々な実施形態では、第1チャンネル層118a及び第2チャンネル層118bは、各Si-Ge複合層において異なるGe濃度とすることができる。一実施形態では、第1チャンネル層118aにおけるGe濃度がより高濃度であり、第2チャンネル層118bにおけるシリコン/Poly-Si濃度がより高濃度である。この実施形態では、より高いGe濃度により、第1チャンネル層118aにおけるオン電流を増加させることができ、一方で、第2チャンネル層118bのより高いSi/Poly-Si濃度により、SEG構造体154とのより良い格子整合性及び、後に形成される誘電体フィラー120（この図においては不図示）との効果的なバックインターフェイスとを提供することができる。誘電体フィラー120の形成は、後節にて説明される。第1チャンネル層118aと第2チャンネル層118nとの間の厚さの比は、約1:5から約1:0.2の範囲とすることができる。一実施形態では、第1チャンネル層118aと第2チャンネル層118bとの間の厚さの比は、約1:1になるように構成される。

【0040】

図2Sは、図2R中の線X-X'に沿った上面断面図である。図2Sに例示されるように、第1チャンネル層118a及び第2チャンネル層118bは、隣接する、及び/又は、互いに接触する。次の理由のため、第1チャンネル層118aと第2チャンネル層118bとの間にチャンネル界面118cが存在することがある。即ち、1. Ge濃度が相違するから、2. 粒子サイズが相違するから、3. バンド構造が相違するから、4. エッチングステップによって分離される2つの別個の堆積ステップ（ステップ1016及び1018）を有するから、5. 第1チャンネル層118aの内（上）面は、第2チャンネル層118bを支える前に、多層穿孔又はエッチングステップ1018中に、エッチング液で処理されるからである。

【0041】

一実施形態では、1つ以上の追加のチャンネル層（不図示）が、システム要件に応じて第2チャンネル層118bの上に堆積される。第2チャンネル層118bの上の追加のチャンネル層は、第1チャンネル層118a及び第2チャンネル層118bと同様のプロセスステップで堆積することができる。追加のチャンネル層のGe濃度及び層厚は、第1チャンネル層118a及び第2チャンネル層118bと同様であってもよく、又は異なってもよい。一実施形態では、最も内側のチャンネル層は、比較的低いGe濃度とすることができ、これにより誘電体フィラー120（この図には不図示）の形成中に、Ge酸化物の形成を低減することができる。追加のチャンネル層は、1ステップ又は多数のステップで形成することができる。

【0042】

図2Tは、縦型のNVメモリデバイス200の一部分の、一実施形態の側面断面図であり、図2Uは、図2T中の線X-X'に沿った上面断面図である。図1、図2T及び図2Uを参照するに、誘電体フィラー120は、第2チャンネル層118bが形成された後に、開口部108の空所を埋めるために、ステップ1020にて、開口部108内に形成される。一実施形態では、誘電体フィラー120は、二酸化ケイ素、窒化ケイ素、及び酸窒化ケイ素といった誘電体材料を含む。誘電体フィラー120は、CVD若しくはALDといった堆積法、プラズマ若しくはラジカル酸化技術といった熱酸化法、又は急速熱酸化法（RTO）によって形成され得る。

【0043】

図2Vは、縦型のNVメモリデバイス200のNVメモリセルストリング100の一部分の、一実施形態の側面断面図であり、図2Xは、図2V中の線X-X'に沿った上面断面図である。図1並びに図2V及び図2Xを参照するに、ステップ1022にて、金属ゲ

10

20

30

40

50

ート層 1 2 3 が形成され、スタック 1 0 5 におけるセル間誘電体層 1 0 4 間に配置されたゲート層 1 0 6 を置換する。一実施形態では、窒化ケイ素を含むゲート層 1 0 6 は、ウェットエッチングプロセスを用いてまず除去される。縦型の N V メモリデバイス 2 0 0 は、リン酸 (H_3PO_4) といったウェットエッチング用の化学剤に、約 1 5 0 以上約 1 7 0 以下の温度範囲にて、約 5 0 分以上約 1 2 0 分以下の間浸漬される。一実施形態では、フォトレジスト層又はハードマスク (不図示) が、他の層をエッチング液から保護するために形成されてもよい。一旦ゲート層 1 0 6 が除去されると、その後、除去されたゲート層 1 0 6 は、金属ゲート層 1 2 3 によって置換され、各金属ゲート層 1 2 3 は、ゲート被覆層 1 2 4 とゲートフィラー層 1 2 2 とを含む。一実施形態では、そのプロセスは、有機金属 CVD (MOCVD) や ALD といった適切な堆積プロセスを用いて、窒化チタン (TiN) のゲート被覆層 1 2 4 を形成することから開始する。そのプロセスが完了すると、堆積された層は、2 つの近接するセル間誘電体層 1 0 4 とブロック誘電体層 1 1 2 とによって画定される空間を被覆するか、又はその空間に沿って並ぶゲート被覆層 1 2 4 となる。様々な実施形態では、空間は、完全に又は部分的に被覆されてもよい。続いて、残りの空間は、金属 CVD プロセスを用いて、タングステン (W) といった導電材料の層により充填される。一実施形態では、ゲート被覆層 1 2 4 のような TiN コーティングは、表面特性を向上させる。金属ゲート層 1 2 3 を形成するための TiN と W との組み合わせは、本実施形態の組合せのうちの一つである。異なる導電材料を用いた、金属ゲート層 1 2 3 を形成するための他の組合せとして、窒化金属、炭化金属、金属シリサイド、ハフニウム、ジルコニウム、チタニウム、タンタル、アルミニウム、ルテニウム、タングステン、パラジウム、白金、コバルト、及びニッケルを含むことができるが、これらには限定されず、また、これらは当技術分野において既に知られており、採用することができる。ある代替的な実施形態では、金属ゲート層 1 2 3 を形成するかわりに、多結晶シリコンゲート層が、CVD や ALD といった堆積プロセスによって形成される。一実施形態では、当技術分野において既知の動作濃度で適切なドーパントをドーブした多結晶シリコンを堆積してもよい。別の代替的な実施形態では、ゲート被覆層 1 2 4 を堆積する前に、高誘電率 (high-K) の誘電体層 1 2 5 が堆積され、2 つの近接するセル間誘電体層 1 0 4 とブロック誘電体層 1 1 2 とによって画定される空間を、完全に又は部分的に被覆するか、又はその空間に沿って並ぶ。高誘電率の誘電体層 1 2 5 は、 Al_2O_3 を含むことができ、ALD によって堆積される。

【 0 0 4 4 】

一実施形態では、図 2 V 及び図 2 Y に示すように、金属ゲート層 1 2 3 又は多結晶シリコンゲート層が形成された後に、N V メモリセルストリング 1 0 0 が第一に完成される。図 2 Y に示す実施形態は、5 つの N V メモリセル 9 4 を備えている。1 つの N V メモリセルストリング 1 0 0 における N V メモリセル 9 4 の他の数量は、スタック 1 0 5 における階段ステップ 1 0 3 をより多く有することにより、本明細書にて開示したプロセスステップを用いて製造することができる。一実施形態では、完成形の N V メモリセルストリング 1 0 0 は、(チャンネル層 1 1 8 によって) 直列に接続される N V メモリセル 9 4 のストリングを含み、そこでは、金属ゲート層 1 2 3 又は多結晶シリコン層は、制御ゲートに対応し、セル間誘電体層 1 0 4 に隣接するチャンネル層 1 1 8 の部分は、個々の N V メモリセル 9 4 のソース/ドレイン領域に対応する。既述したように、電界効果トランジスタ (FET) や、スタック 1 0 5 中及びウェーハ 1 0 2 の上/内における底部介在層及び頂部追加層に形成される接続素子といった N V メモリセル 9 4 以外の半導体デバイスが存在してもよい。例えば、SEG 構造体 1 5 4 を共通ソース線 1 5 2 に接続するために、接続構造体 (不図示) が、ウェーハ 1 0 2 上に、又はウェーハ 1 0 2 内に形成される。一実施形態では、第 1 チャンネル層 1 1 8 a 及び第 2 チャンネル層 1 1 8 b を含むチャンネル層 1 1 8 は、N V メモリセルストリング 1 0 0 の 1 つの開口部 1 0 8 内の全ての N V メモリセル 9 4 のための共有チャンネルを意味する。

【 0 0 4 5 】

図 2 B 及び図 2 Y を参照するに、一実施形態では、同じ縦型の N V メモリデバイス 2 0

10

20

30

40

50

0における縦型のNVメモリセルストリング100は、同時に又は順次に製造することができる。スタック105の同じ層上の各NVメモリセル94は、ゲート被覆層124とゲートフィルター層122とを含む同じ金属ゲート層123を共有する。一実施形態では、金属ゲート層123は、共通ワード線として機能するか、又は、縦型のNVメモリデバイス200における同じ縦型の層のNVメモリセル94用の共通ワード線に接続されるかのどちらかである。縦型のNVメモリセルストリング100は、ビット線に接続される1つの上端と、チャンネル層118及びSEG構造体154を介して共通ソース線152に接続される1つの底端とを有することができる。一実施形態では、1つ以上の縦型のNVメモリセルストリング100は、1つのビット線を共有することができる。別の実施形態では、1つ以上の縦型のNVメモリセルストリング100は、1つの共通ソース線152を共有
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999
1000

【0046】

図2Zは、縦型のNVメモリデバイス200の一部分の、一実施形態の、図2B中の線Z-Z'に沿った側面断面図であり、共通ソース線構造体152を示している。図2Bを参照するに、一実施形態では、システム要件に応じて、多数の縦型の深いCSLスリット又はトレンチ151がスタック105に特定のパターンで形成されてもよく、これらは、プラズマエッチングやウェットエッチングといったエッチング法によって形成される。深いCSLトレンチ151の各々の内部では、図2Zに最も良く例示されるように、CSL構造体152が形成される。一実施形態では、シリコン酸化物といった誘電体156の層が、CVD又はALDによってCSLトレンチ151に堆積される。続いて、タングステン(W)といった導電性材料を含むソース線158が堆積される。一実施形態では、ソース線158は、延在してウェーハ102を削り、さらに、1つ又は多数の縦型のNVメモリセルストリング100のSEG構造体154に接続される。図2Zに例示される回路図は、4つの縦型のNVメモリセルストリング100の各々が、それぞれのビット線BL1~4を有しており、かつ、CSL152にそれぞれ電気的に接続されていることを示す。システム要件に応じて、異なる数の縦型のNVメモリセルストリング100が、1つ又は多数のCSL152及び/又はビット線を共有してもよいということは理解できるであ
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999
1000

【0047】

以上、縦型の3-D NVメモリデバイス/ストリング/装置、及び、それらの製造方法の実施形態を説明した。本開示では特定の例示的な実施形態につき説明をしてきたが、本開示のより広い精神及び範囲から逸脱しない限り、これらの実施形態に対して様々な修正及び変更をしてもよいことは明らかである。従って、明細書及び図面は厳密な意味としてではなく、むしろ例示的なものとしてみなされるべきである。

【0048】

本開示の要約は、37 C.F.R.の第1.72(b)章に則って提供され、そこでは、読者が技術的な開示のうちの1つ以上の実施形態の本質を迅速に確認することを可能にする要約を要求する。特許請求の範囲又は意味を解釈又は限定するために本開示の要約を用いないことを理解の上で、本開示の要約は提出される。加えて、前述の詳細な説明においては、本開示を簡素化する目的で、様々な特徴が単一の実施形態において寄せ集められていることがわかるであろう。本開示の方法については、特許請求される実施形態は、各々の請求項で明示的に列挙されている以上の特徴を必要とするという意図を反映しているとして解釈すべきではない。むしろ、後述する特許請求の範囲が反映するように、発明の主題は単一の開示された実施形態の全ての特徴よりも少ない特徴にある。従って、後述する特許請求の範囲は、詳細な説明に組み込まれており、各請求項は独立した実施形態としてそれ自体に基づいている。

【0049】

10

20

30

40

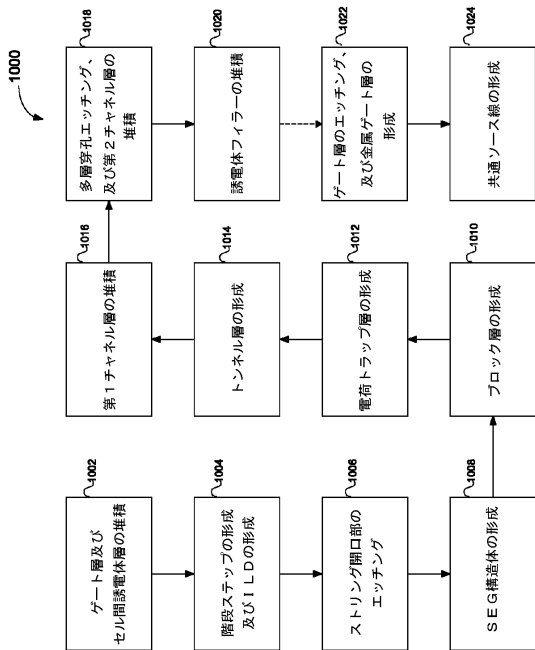
50

一実施形態又は1つの実施形態についての言及は、実施形態と関連して説明された特定の特徴、構造、又は特性が回路又は方法の少なくとも一実施形態に含まれることを意味する。本明細書中の様々な箇所に一実施形態という文言が表れていたとしても、必ずしも全てが同じ実施形態について言及しているとは限らない。

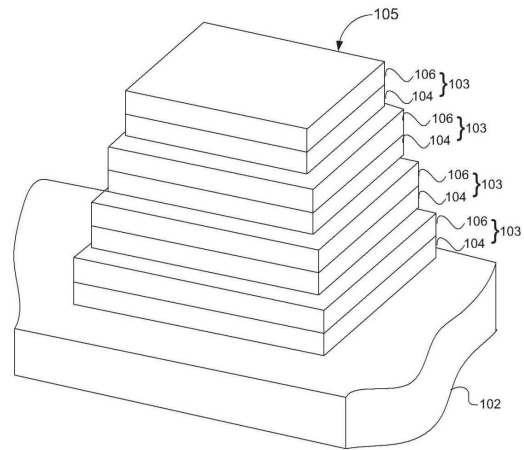
【0050】

前述の明細書では、特定の例示的な実施形態につき本主題を説明した。しかしながら、添付の特許請求の範囲にて説明される本主題のより広い精神及び範囲から逸脱しない限り、これらの実施形態に対して様々な修正及び変更をしてもよいことは明らかである。従って、明細書及び図面は厳密な意味としてではなく、むしろ例示的なものとしてみなされるべきである。

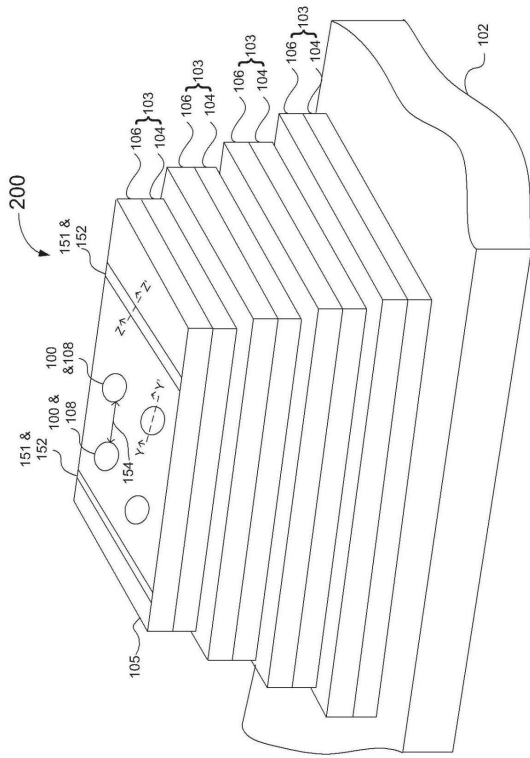
【図1】



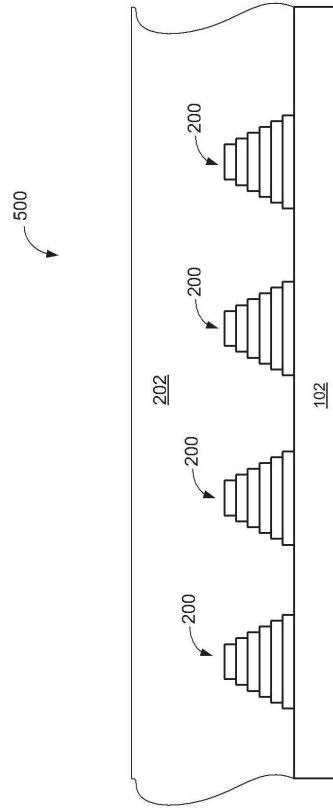
【図2A】



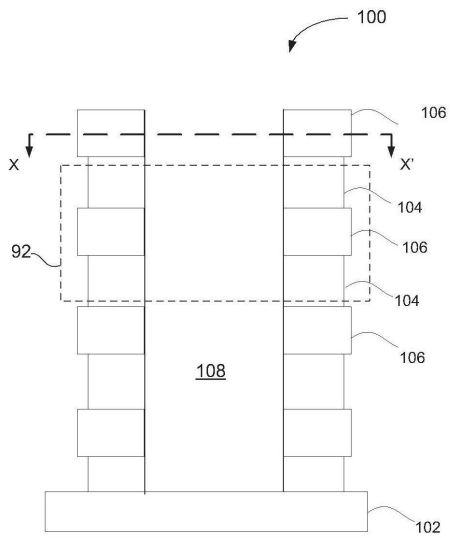
【 図 2 B 】



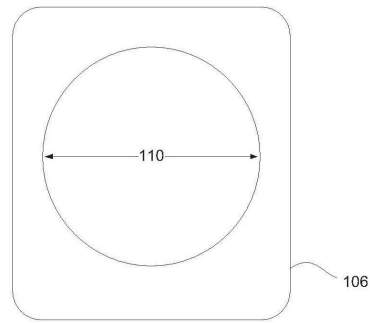
【 図 2 C 】



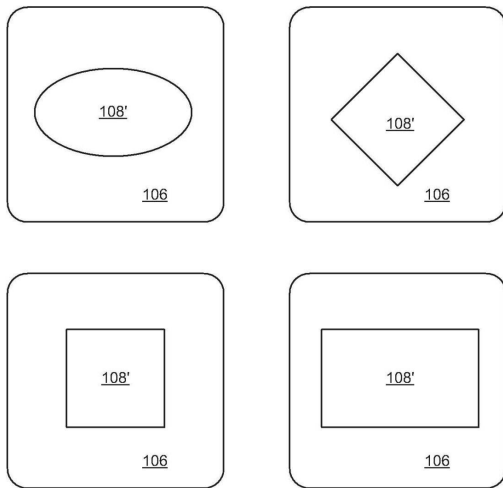
【 図 2 D 】



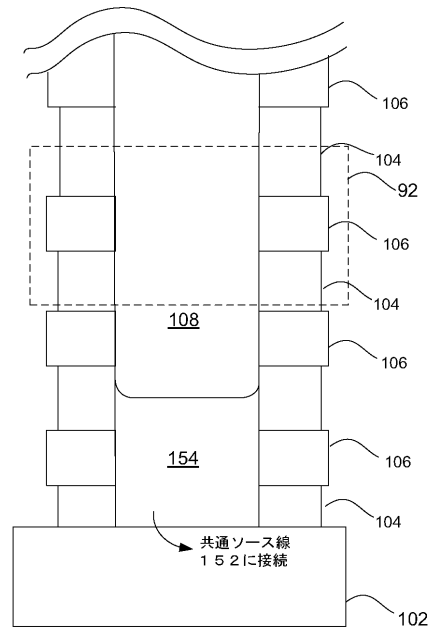
【 図 2 E 】



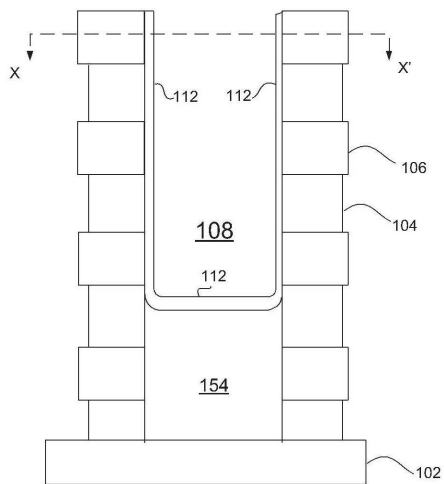
【図 2 F】



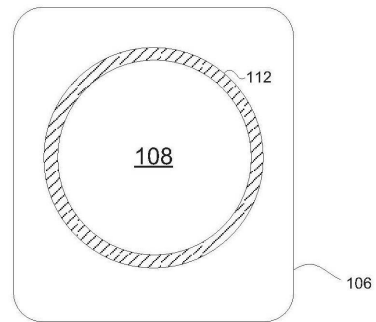
【図 2 G】



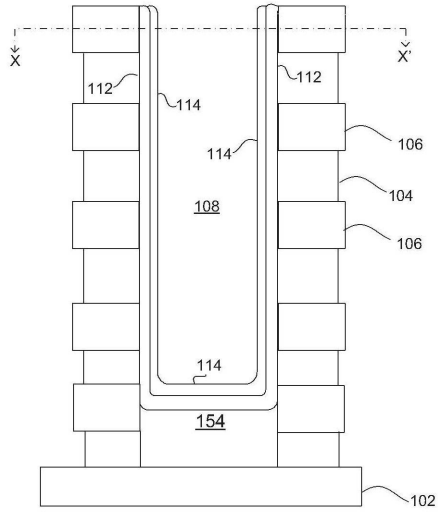
【図 2 H】



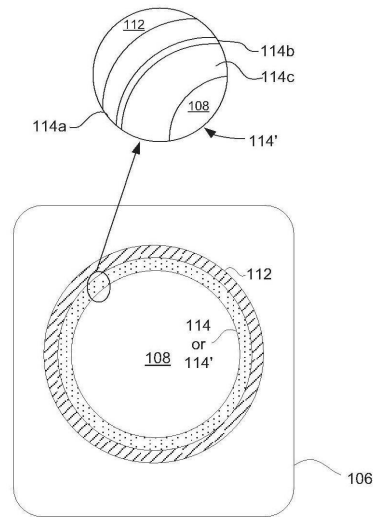
【図 2 I】



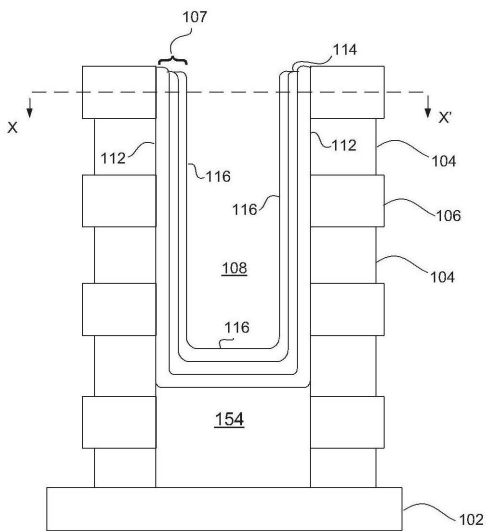
【 図 2 J 】



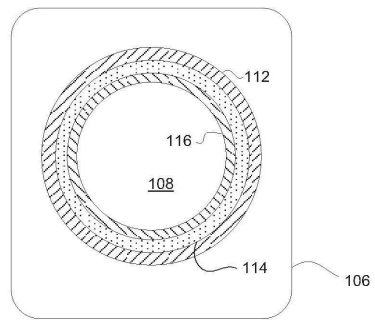
【 図 2 K 】



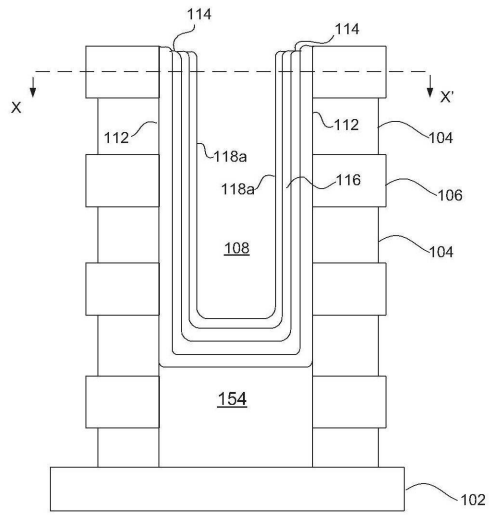
【 図 2 L 】



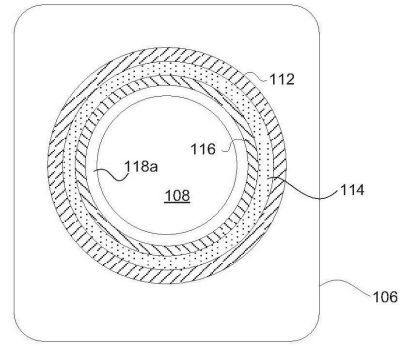
【 図 2 M 】



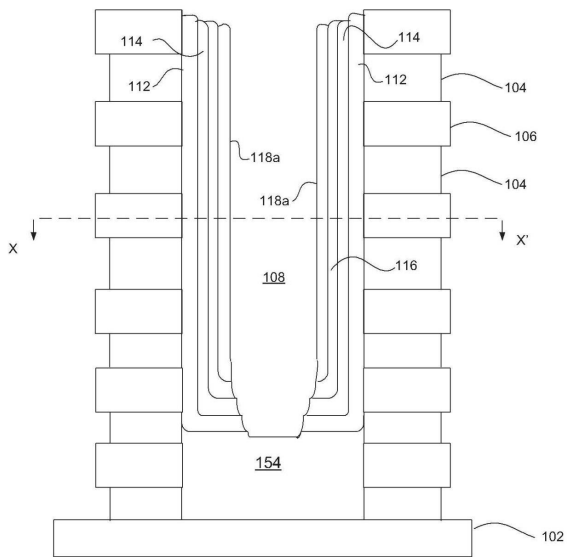
【図20】



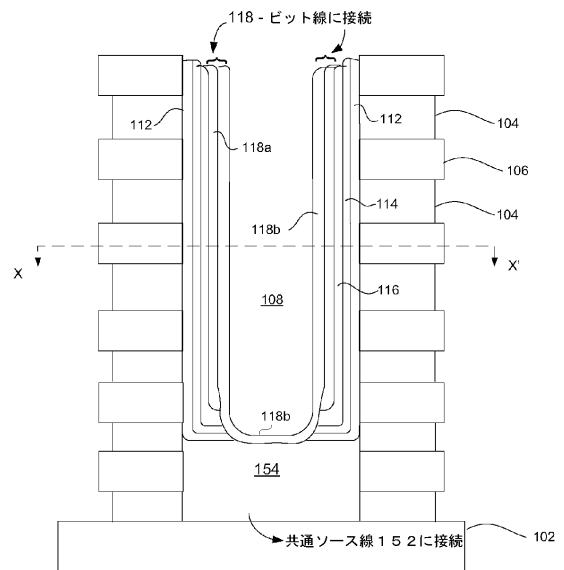
【図2P】



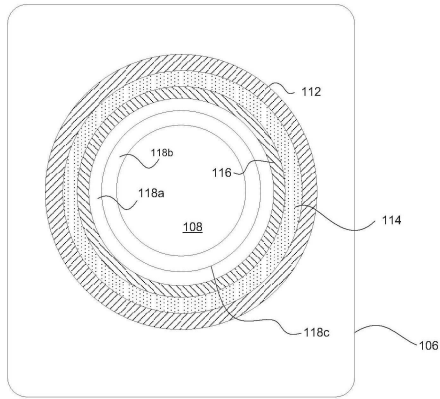
【図2Q】



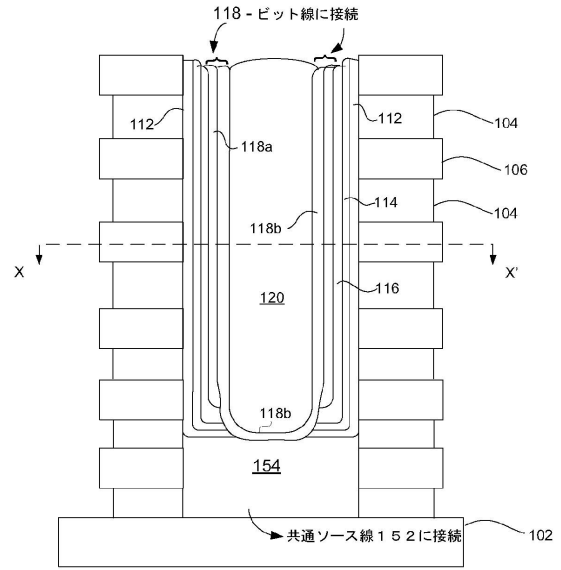
【図2R】



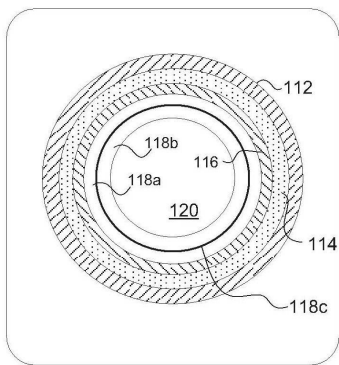
【図 2 S】



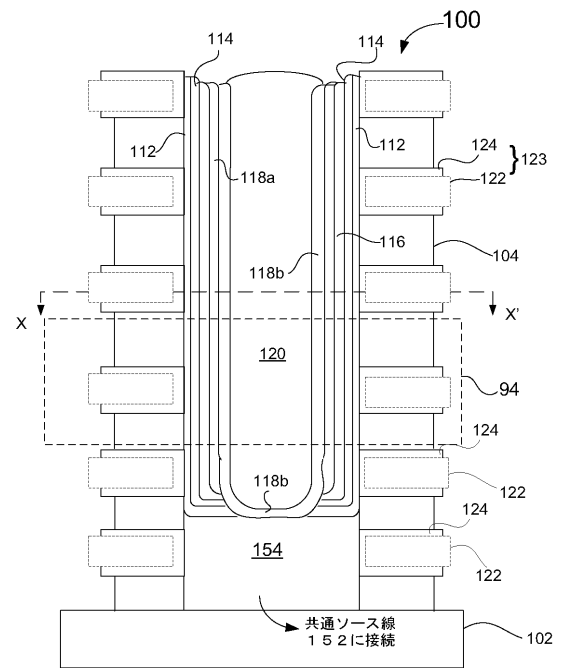
【図 2 T】



【図 2 U】



【図 2 V】



フロントページの続き

- (31)優先権主張番号 62/212,315
(32)優先日 平成27年8月31日(2015.8.31)
(33)優先権主張国・地域又は機関
米国(US)

早期審査対象出願

- (72)発明者 クリシュナスワミ ラムクマール
アメリカ合衆国 カリフォルニア州 9 5 1 2 9 サン ノゼ リンブルック ウェイ 1 1 9 3
(72)発明者 杉野 林志
アメリカ合衆国 カリフォルニア州 9 5 1 2 9 サン ノゼ コルベット ドライブ 1 0 4 0
(72)発明者 レー シュエ
アメリカ合衆国 カリフォルニア州 9 5 0 7 0 サラトガ キャニオン ビュー ドライブ 2
0 8 9 0

審査官 上田 智志

- (56)参考文献 米国特許出願公開第2015/0171106(US, A1)
特表2015-512567(JP, A)
特開2014-033201(JP, A)
米国特許出願公開第2013/0153983(US, A1)
米国特許出願公開第2013/0270624(US, A1)
米国特許出願公開第2011/0316064(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/11582, 27/11556,
21/336, 29/788, 29/792