(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月21日(21.12.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/217306 A1

(51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 23/522* (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号： PCT/JP2017/021252

(22) 国際出願日： 2017年6月8日(08.06.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-119318 2016年6月15日(15.06.2016) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 中磯 俊幸 (**NAKAISO Toshiyuki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人 楓国際特許事務所 (**KAEDE PATENT ATTORNEYS' OFFICE**); 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

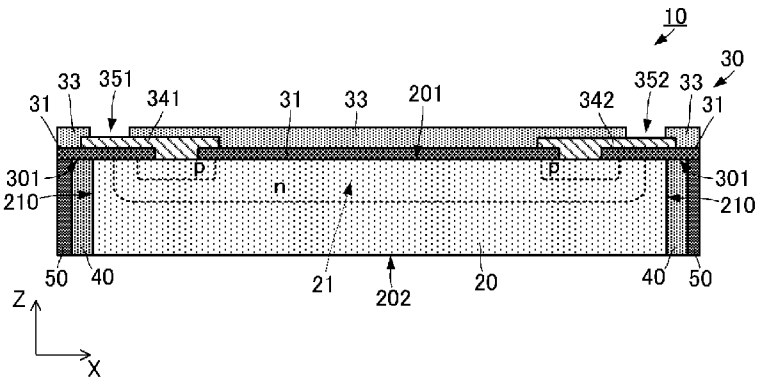
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) **Title:** SEMICONDUCTOR COMPONENT AND SEMICONDUCTOR COMPONENT PRODUCTION METHOD

(54) 発明の名称： 半導体部品および半導体部品の製造方法

【FIG.1】



(57) **Abstract:** A semiconductor component (10) that comprises a semiconductor substrate (20), a semiconductor element part (21), a rewiring layer (30), and an insulating layer (40). The semiconductor substrate (20) has a first surface (201) and a second surface (202) that face each other and a side surface (210) that is orthogonal to the first surface (201) and the second surface (202). The semiconductor element part (21) is formed in a region of the semiconductor substrate (20) that is on the first surface (201) side. The rewiring layer (30) is formed on the first surface (201) of the semiconductor substrate (20) and, seen in a direction that is orthogonal to the first surface (201), has a larger area than the semiconductor substrate (20). The insulating layer (40) is in contact with the side surface of the semiconductor substrate (20). The insulating layer (40) is arranged to cover the side surface (210) of the semiconductor substrate (20) and an end part (301) of the rewiring layer (30) that does not contact the first surface (201) of the semiconductor substrate (20) but is one portion of a surface of the rewiring layer that is on the semiconductor substrate (20) side.

WO 2017/217306 A1

［続葉有］

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：半導体部品（１０）は、半導体基板（２０）、半導体素子部（２１）、再配線層（３０）、および、絶縁層（４０）を備える。半導体基板（２０）は、互いに対向する第１面（２０１）と第２面（２０２）、および、第１面（２０１）と第２面（２０２）に直交する側面（２１０）を有する。半導体素子部（２１）は、半導体基板（２０）の第１面（２０１）側の領域に形成されている。再配線層（３０）の面積は、半導体基板（２０）の第１面（２０１）に形成され、第１面（２０１）に直交する方向に視て、半導体基板（２０）よりも広い。絶縁層（４０）は、半導体基板（２０）の側面に当接している。絶縁層（４０）は、再配線層（３０）における半導体基板（２０）側の面の一部であって半導体基板（２０）の第１面（２０１）に当接していない端部（３０１）と、半導体基板（２０）の側面（２１０）と、に亘って覆うように配置されている。

明　細　書

発明の名称 ： 半導体部品および半導体部品の製造方法

技術分野

[0001] 本発明は、半導体素子部が形成された半導体基板と再配線層とを備える半導体部品および半導体部品の製造方法に関する。

背景技術

[0002] 電子部品の小型化に伴って、実装型の半導体部品も小型化が進んでいる。その１つの手法として、チップサイズパッケージがあり、多く実用化されている。

[0003] チップサイズパッケージの半導体部品では、再配線層は半導体基板の一面に形成されている。このため、半導体基板の側面は外部に露出しており、信頼性低下の要因になり得る。この問題を解決する構成として、特許文献１、２に記載の半導体部品は、半導体基板および再配線層の側面に絶縁膜を備えている。

[0004] 特許文献１、２に記載の半導体部品は、半導体基板に再配線層を形成した後に、側面の絶縁膜を形成している。特許文献１、２に記載の半導体部品を製造する場合、再配線層の形成後に再配線層および半導体基板に溝または凹部が形成される。側面の絶縁膜は、この溝または凹部に絶縁材料を充填することによって、形成される。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１５－７２９４３号公報

特許文献2：特開２００１－１４４２１３号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、再配線層の形成後に、溝または凹部を形成する工程、溝または凹部に絶縁材料を充填する工程では、振動および熱が再配線層に加わる

。このため、再配線層には、物理的および熱的な衝撃が加わり、再配線層の劣化を引き起こす可能性がある。

[0007] また、特許文献１、２の構成は、再配線層の大きさ（平面視した面積）を、半導体基板の大きさ（平面視した面積）よりも大きくできない。このため、再配線層の設計自由度が低下する。

[0008] また、特許文献１、２の構成では、絶縁層は半導体部品の底面に達している。このため、半導体部品の実装時に、半導体部品が実装される回路基板の実装面からの衝撃が絶縁層に直接に加わり、絶縁層の脱落が生じる可能性がある。

[0009] したがって、本発明の目的は、再配線層の設計自由度を向上し、且つ、信頼性の高い半導体部品を提供することにある。

課題を解決するための手段

[0010] この発明の半導体部品は、半導体基板、半導体素子部、再配線層、および、絶縁層を備える。半導体基板は、互いに対向する第１面と第２面、および、第１面と第２面に直交する側面を有する。半導体素子部は、半導体基板の第１面側の領域に形成されている。再配線層は、半導体基板の第１面に形成され、第１面に直交する方向に視て、再配線層の面積は半導体基板よりも広い。絶縁層は、半導体基板の側面に当接している。さらに、絶縁層は、再配線層における半導体基板側の面の一部であって半導体基板の第１面に当接していない端部と、半導体基板の側面と、に亘って覆うように配置されている。

[0011] この構成では、半導体基板の側面が絶縁層で保護され、且つ、再配線層が半導体基板よりも広くなる。さらに、絶縁層が再配線層の半導体基板側の面にも当接しており、絶縁層の脱落が生じ難い。

[0012] また、この発明の半導体部品は、次の構成であることが好ましい。半導体部品は、保護層を備える。保護層は、絶縁層における半導体基板の側面と反対側の面に備えられている。保護層は、再配線層の端部に当接している。

[0013] この構成では、絶縁層および保護層を用いることで、半導体基板の外部と

の短絡がさらに抑制され、絶縁層の脱落がさらに生じ難い。

[0014] また、この発明の半導体部品は、次の構成であることが好ましい。半導体基板の側面は、第１面に直交する方向に視て凹凸を有する形状である。該凹凸の凹む面に、絶縁層が配置されている。

[0015] この構成では、側面と絶縁層との当接面積は、側面が直線状である場合よりも長くなり、半導体基板の側面と絶縁層と接合強度が向上する。

[0016] また、この発明の半導体部品では、絶縁層は、第１面から第２面に亘る形状であることが好ましい。

[0017] この構成では、半導体基板の側面に対する絶縁性がさらに向上し、接合強度も向上する。

[0018] また、この発明の半導体部品では、半導体基板の第２面には、天面保護膜が形成されていることが好ましい。

[0019] この構成では、半導体基板の側面のみでなく、天面も絶縁性が向上する。

[0020] また、この発明の半導体部品では、半導体素子部は、ｐｎ接合を利用したダイオードであってもよい。

[0021] この構成では、半導体部品として、ＥＳＤ保護部品を実現できる。そして、半導体基板の側面が外部に対して絶縁保護されているので、信頼性の高いＥＳＤ保護素子が実現される。

[0022] この発明の半導体部品の製造方法では、次の各工程を有する。この製造方法は、半導体基板の第１面側の領域の半導体素子部を形成する工程を有する。この製造方法は、半導体基板における半導体素子部を囲んで凹部を形成する工程を有する。この製造方法は、凹部の壁面に絶縁層を形成する工程を有する。この製造方法は、第１面に直交する方向に視て凹部が形成された領域を含む半導体基板の第１面側に、再配線層を形成する工程を有する。この製造方法は、第１面に直交する方向に視て凹部に合わせて、半導体基板および再配線層を分断する工程を有する。

[0023] この製造方法では、半導体基板の側面に絶縁層が配置され、半導体基板よりも広い再配線層を備える半導体部品が容易且つ確実に製造される。

[0024] また、この発明の半導体部品の製造方法では、次の工程をさらに有することが好ましい。この製造方法は、絶縁層に囲まれた領域に保護層を形成する工程を有する。

[0025] この製造方法では、半導体基板の側面にさらに保護層が配置された半導体部品が容易且つ確実に製造される。

[0026] また、この発明の半導体部品の製造方法では、凹部は、第１面に直交する方向に視て、複数の半円形が並ぶ形状であることが好ましい。

[0027] この製造方法では、半導体基板の側面と絶縁層との接合強度が高い半導体部品が容易に製造される。

発明の効果

[0028] この発明によれば、半導体基板と再配線層とを備える半導体部品において、再配線層の設計自由度および信頼性を向上できる。

図面の簡単な説明

[0029] [図1]本発明の第１の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[図2]（Ａ）は本発明の第１の実施形態に係る半導体部品の外観斜視図であり、（Ｂ）は半導体部品の天面図である。

[図3]本発明の第１の実施形態に係る半導体部品の製造方法を示すフローチャートである。

[図4]（Ａ）は本発明の第１の実施形態に係る半導体素子部の形成工程を示す側面断面図であり、（Ｂ）は本発明の第１の実施形態に係る凹部の形成工程を示す側面断面図であり、（Ｃ）は本発明の第１の実施形態に係る絶縁層の形成工程を示す側面断面図であり、（Ｄ）は本発明の第１の実施形態に係る保護層の形成工程を示す側面断面図である。

[図5]（Ａ）は本発明の第１の実施形態に係る再配線層の形成工程を示す側面断面図であり、（Ｂ）は本発明の第１の実施形態に係る薄膜化の工程を示す側面断面図であり、（Ｃ）は本発明の第１の実施形態に係る個片への分断工程を示す側面断面図である。

[図6]半導体基板に形成される凹部に絶縁層および保護層を形成した状態の平面図である。

[図7]本発明の第２の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[図8]本発明の第３の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[図9]本発明の第４の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[図10]本発明の第５の実施形態に係る半導体部品の主要構成を示す側面断面図である。

発明を実施するための形態

[0030] 本発明の第１の実施形態に係る半導体部品および半導体部品の製造方法について、図を参照して説明する。図１は、本発明の第１の実施形態に係る半導体部品の主要構成を示す側面断面図である。図２（Ａ）は、本発明の第１の実施形態に係る半導体部品の外観斜視図である。図２（Ｂ）は、本発明の第１の実施形態に係る半導体部品の天面図である。

[0031] 図１、図２（Ａ）に示すように、半導体部品１０は、半導体基板２０、再配線層３０、絶縁層４０、および、保護層５０を備える。

[0032] 半導体基板２０は、例えばＳｉ基板である。図２（Ｂ）に示すように、半導体基板２０の概略的な外形は、矩形である。半導体基板２０は、第１面２０１、第２面２０２、および、側面２１０を備える。第１面２０１と第２面２０２とは互いに対向している。側面２１０は、第１面２０１と第２面２０２とに対して直交する面であり、第１面２０１の各辺と第２面２０２の各辺を接続している。

[0033] 半導体基板２０の第１面２０１側の領域には、半導体素子部２１が形成されている。半導体素子部２１は、所定の深さおよび平面形状である。半導体素子部２１は、既知の半導体プロセスを用いて形成されている。例えば、図１に示す態様では、半導体基板２０の第１面２０１側に、所定の深さのｎ型

半導体層（ｎ型ウェル）が形成されている。ｎ型半導体層内には、２つのｐ型半導体部が、離間して形成されている。２つのｐ型半導体部は、第１面２０１に露出している。この２つのｐ型半導体部の露出部は、半導体素子部２１によって形成される半導体素子の入出力端子である。この構成により、互いにカソードが接続され、アノードがそれぞれ第１面２０１に露出する２つのｐｎ接合のダイオードが形成されている。これにより、半導体部品１０は、ＥＳＤ保護素子として利用可能である。

[0034] 再配線層３０は平面視して矩形であり、その面積は、半導体基板２０の面積よりも広い。再配線層３０は、中央の部分が半導体基板２０の第１面２０１に当接して、接合している。言い換えれば、再配線層３０を平面視した端辺に近い端部３０１は、半導体基板２０に当接していない。すなわち、端部３０１は、再配線層３０における半導体基板２０側の面の一部であって、半導体基板２０に当接していない部分である。この端部３０１が、本発明の「再配線層の端部」に対応する。

[0035] 再配線層３０は、絶縁層３１、３２、および、再配線導体３４１、３４２を備える。より具体的には、絶縁層３１と絶縁層３２は、第１面２０１側からこの順に積層されている。絶縁層３１は、例えば、SiO_2からなる。半導体基板２０のパッシベーション層を、絶縁層３１としてもよい。絶縁層３２は、例えば、絶縁性樹脂からなる。絶縁層３２は、半導体基板２０と比較して弾性率の低い材料であることが好ましい。

[0036] 再配線導体３４１、３４２は、例えば、Ａｌからなる。再配線導体３４１の一方端は、半導体基板２０における一方のｐ型半導体部が露出する部分に接続している。再配線導体３４１の他方端は、再配線導体３４１の一方端よりも、半導体部品１０の側面側に配置されている。再配線導体３４１の他方端は、絶縁層３２に形成された孔によって、外部に露出している。再配線導体３４２の一方端は、半導体基板２０における他方のｐ型半導体部が露出する部分に接続している。再配線導体３４２の他方端は、再配線導体３４２の一方端よりも、半導体部品１０の側面側に配置されている。再配線導体３４

２の他方端は、絶縁層３２に形成された孔によって、外部に露出している。これら、再配線導体３４１、３４２が露出する部分は、半導体部品１０の外部接続端子である。なお、この露出面には、メッキ処理が施されていてもよい。メッキとしては、Ｎｉを下地としたＡｕメッキ等を用いることができる。

[0037] 絶縁層４０は、絶縁性を有する材料からなり、例えばＳｉＮまたはSiO_2等からなる。絶縁層４０は、半導体基板２０の側面２１０に当接して、当該側面２１０に接合されている。絶縁層４０は、半導体基板２０の側面２１０の全面に当接して、接合されている。言い換えれば、絶縁層４０は、半導体基板２０の側面２１０における第１面２０１側の端から第２面２０２の端まで繋がる形状である。さらに、絶縁層４０は、再配線層３０の端部３０１に当接して、接合されている。この際、絶縁層４０は、半導体基板２０の側面２１０と再配線層３０の端部３０１とによって構成される角部を含み、半導体基板２０の側面２１０と再配線層３０の端部３０１とに亘る形状である。すなわち、絶縁層４０は、半導体基板２０の側面２１０と再配線層３０の端部３０１とに亘っており、側面２１０と端部３０１とを覆う形状で配置されている。なお、ここでは、絶縁層４０は、側面２１０と端部３０１とに直接当接して配置されているが、接着層等を介して、側面２１０と端部３０１とに接合していてもよい。

[0038] 保護層５０は、例えば、導電性のポリシリコン等からなる。保護層５０は、絶縁層４０における半導体基板２０の側面２１０に当接する面と反対側の面の全面に当接し、接合されている。さらに、保護層５０は、再配線層３０の端部３０１に当接し、接合されている。

[0039] このような構成とすることによって、半導体基板２０の側面２１０は、絶縁層４０によって覆われる。したがって、半導体部品１０は、半導体基板２０の側面２１０が外部の導体に短絡することを防止できる。これにより、半導体部品１０の電気的信頼性は、高くなる。

[0040] また、絶縁層４０は、半導体基板２０の側面２１０だけでなく、再配線層

３０における半導体基板２０側の端部３０１に接合されている。これにより、絶縁層４０は、直交する二面で接合され、側面２１０のみに接合されるよりも接合面積が広くなる。したがって、絶縁層４０は、外部からの応力、例えば、半導体部品１０を外部の回路基板に実装する際に、回路基板の実装面から受ける衝撃によって、側面２１０から脱落し難い。このように、半導体部品１０の物理的な信頼性も向上する。

[0041] さらに、絶縁層４０は、半導体部品１０の裏面（実装面）まで達していない。これにより、絶縁層４０は、上述の実装面からの衝撃を直接に受けず、絶縁層４０の側面２１０からの脱落をさらに抑制できる。また、再配線層３０の絶縁層３２の弾性率が低いことによって、上述の実装面からの衝撃は、再配線層３０によって緩和される。これにより、絶縁層４０の側面２１０からの脱落は、さらに効果的に抑制される。

[0042] また、本実施形態の構成では、半導体部品１０は、半導体基板２０の側面２１０の絶縁層４０を覆う保護層５０をさらに備える。これにより、半導体部品１０の信頼性は向上する。この際、保護層５０も再配線層３０の端部３０１に接合しているので、絶縁層４０および保護層５０の脱落は、さらに効果的に抑制される。

[0043] また、本実施形態の構成を備えることによって、再配線層３０の面積は、半導体基板２０よりも広くなる。これにより、再配線層３０の設計自由度が向上する。

[0044] また、図２（Ｂ）に示すように、半導体基板２０の側面２１０は、平面視して（第１面２０１に直交する方向（図２（Ａ）のＺ方向）に視て）、半円形の凹みが連続する形状となる。すなわち、半導体基板２０の側面２１０は、平面視して（第１面２０１に直交する方向（図２（Ａ）のＺ方向）に視て）、凹凸を有する形状である。これにより、半導体基板２０の側面２１０と絶縁層４０との接合面積が広くなり、半導体基板２０の側面２１０と絶縁層４０との接合強度が向上する。したがって、半導体部品１０の信頼性はさらに向上する。

[0045] また、図２（Ｂ）に示すように、絶縁層４０および保護層５０は、平面視して半円形の凹み（凹凸の凹み）を埋めるように、配置されている。したがって、半導体基板２０の側面２１０と絶縁層４０との接合面が凸凹であっても、半導体部品１０は平面視して、殆ど凸凹の無い矩形となる。したがって、絶縁層４０や保護層５０が欠け難く、一般的な実装部品として容易にハンドリングできる。

[0046] なお、上述の説明では、半導体素子部２１にダイオードを形成する態様を示した。しかしながら、半導体素子部２１にトランジスタ等の他の半導体素子を形成する態様であっても、半導体部品１０は、上述の作用効果を奏することができる。

[0047] このような構成からなる半導体部品１０は、次に示す製造方法によって製造される。図３は、本発明の第１の実施形態に係る半導体部品の製造方法を示すフローチャートである。図４および図５は、本発明の第１の実施形態に係る半導体部品の製造過程の構成を示す側面断面図である。図４（Ａ）は、半導体素子部の形成工程を示し、図４（Ｂ）は、凹部の形成工程を示す。図４（Ｃ）は、絶縁層の形成工程を示し、図４（Ｄ）は、保護層の形成工程を示す。図５（Ａ）は、再配線層の形成工程を示し、図５（Ｂ）は、薄膜化の工程を示し、図５（Ｃ）は、個片への分断工程を示す。

[0048] 以下は、図３のフローチャートにしたがって、図４、図５の各図を参照しながら、半導体部品１０の製造方法を説明する。

[0049] まず、図４（Ａ）に示すように、SiO_2等からなるマザーの半導体基板２００を用意し、当該マザーの半導体基板２００の第１面２０１側に複数の半導体素子部２１を形成する（Ｓ１０１）。複数の半導体素子部２１は、マザーの半導体基板２００に対して、それぞれに間隔を空けて、配列して形成されている。

[0050] 次に、図４（Ｂ）に示すように、隣り合う半導体素子部２１間に、凹部２２０を形成する（Ｓ１０２）。この際、凹部２２０は、平面視（半導体基板２００の第１面２０１に直交する方向に視て）、各半導体素子部２１を囲む

形状である。図６は、半導体基板に形成される凹部に絶縁層および保護層を形成した状態の平面図である。図６に示すように、凹部２２０は、半導体素子部２１を囲むように、矩形に配列された複数の円筒形の孔（平面視で円形の孔）によって形成される。複数の円筒形の孔は、矩形の辺に沿って繋がっている。

[0051] 次に、図４（Ｃ）に示すように、凹部２２０の壁面に絶縁層４０を形成する（Ｓ１０３）。より具体的には、図６に示すように、複数の円筒形の孔の壁面にそれぞれ絶縁層４０を形成する。絶縁層４０は、凹部２２０の壁面に絶縁材料を蒸着、スパッタリング、コーティングすることによって実現可能である。例えば、ＳｉＮを用いることができる。

[0052] なお、絶縁層４０は、凹部２２０の壁面を焼成してSiO_2層を形成することによって実現することもできる。この場合、凹部２２０を形成する各孔の径は絶縁層４０の厚み分だけ、絶縁層４０を凹部２２０内に形成する態様よりも小さくすればよい。

[0053] 次に、図４（Ｄ）に示すように、絶縁層４０に囲まれた部分に、保護層５０を埋め込み形成する（Ｓ１０４）。

[0054] 次に、図５（Ａ）に示すように、半導体基板２００の第１面２０１に再配線層３０を形成する。再配線層３０の形成方法は、既知の再配線技術を用いればよい。

[0055] 次に、図５（Ｂ）に示すように、半導体基板２００の第２面（第１面２０１に対向する面）側を研磨し、半導体基板２００を薄膜化する（Ｓ１０６）。この際、絶縁層４０および保護層５０が露出するように、半導体基板２００を薄膜化する。

[0056] 次に、図５（Ｃ）に示すように、凹部２２０に合わせて、再配線層３０、絶縁層４０および保護層５０を分断し、半導体部品１０を個片化する。より具体的には、図５（Ｃ）および図６の二点鎖線に沿って、再配線層３０、絶縁層４０および保護層５０を分断する。

[0057] このような製造方法を用いることによって、上述の電気的および物理的な

信頼性が高い半導体部品１０を容易に製造できる。また、本実施形態の製造方法では、再配線層３０の形成前に、絶縁層４０および保護層５０のための凹部２２０を形成する。これにより、再配線層３０に、凹部２２０を形成する際の衝撃が加わることはない。したがって、再配線層３０の劣化を防止できる。

[0058] また、図６に示すように、凹部２２０を複数の円筒形の孔で構成することによって、半導体基板２０の側面２１０は、平面視して半円形の孔の形状に沿って凸凹になる。これにより、上述のように、半導体基板２０の側面２１０と絶縁層４０との接合面積が広くなり、半導体基板２０の側面２１０と絶縁層４０との接合強度が向上する。したがって、半導体部品１０の信頼性はさらに向上する。なお、本実施形態では、円筒形の孔を用いる態様を示した。しかしながら、平面形状が多角形、または楕円形の孔であってもよい。

[0059] 次に、本発明の第２の実施形態に係る半導体部品について、図を参照して説明する。図７は、本発明の第２の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[0060] 図７に示すように、本実施形態に係る半導体部品１０Ａは、絶縁層４０Ａを備え、保護層５０を備えない点において、第１の実施形態に係る半導体部品１０と異なる。半導体部品１０Ａの他の構成は、第１の実施形態に係る半導体部品１０と同じであり、同じ箇所の説明は省略する。

[0061] 半導体部品１０Ａは、絶縁層４０Ａを備える。半導体部品１０Ａの絶縁層４０Ａは、第１の実施形態に係る半導体部品１０における絶縁層４０と保護層５０との形成領域に、形成されている。すなわち、絶縁層４０Ａにおける半導体基板２０の側面２１０側の面と対向する面は、再配線層３０の側面に対して面一である。

[0062] このような構成の半導体部品１０Ａも、第１の実施形態に係る半導体部品１０と同じ作用効果を奏する。

[0063] 次に、本発明の第３の実施形態に係る半導体部品について、図を参照して説明する。図８は、本発明の第３の実施形態に係る半導体部品の主要構成を

示す側面断面図である。

[0064] 図８に示すように、本実施形態に係る半導体部品１０Ｂは、絶縁層４０Ｂおよび保護層５０Ｂの構成において、第１の実施形態に係る半導体部品１０と異なる。半導体部品１０Ｂの他の構成は、第１の実施形態に係る半導体部品１０と同じであり、同じ箇所の説明は省略する。

[0065] 絶縁層４０Ｂおよび、保護層５０Ｂは、半導体基板２０の側面２１０において、第２面２０２側の端部まで達していない。

[0066] このような構成の半導体部品１０Ｂでは、側面２１０の一部が露出しているが、絶縁層４０Ｂおよび保護層５０Ｂが再配線層３０に当接している、すなわち、側面２１０の第１面２０１側の端部まで配置されている。したがって、半導体部品１０Ｂは、第１の実施形態に係る半導体部品１０と略同等の作用効果を奏する。

[0067] 次に、本発明の第４の実施形態に係る半導体部品について、図を参照して説明する。図９は、本発明の第４の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[0068] 図９に示すように、本実施形態に係る半導体部品１０Ｃは、天面保護膜６０を備える点で、第１の実施形態に係る半導体部品１０と異なる。半導体部品１０Ｃの他の構成は、第１の実施形態に係る半導体部品１０と同じであり、同じ箇所の説明は省略する。

[0069] 天面保護膜６０は、半導体基板２０の第２面２０２の全面、および、絶縁層４０および保護層５０における第２面２０２に面位置となる端面に亘って形成されている。天面保護膜６０は、例えば、絶縁性樹脂からなる。

[0070] このような構成の半導体部品１０Ｃは、半導体基板２０の側面２１０と第２面２０２が絶縁物で覆われる。これにより、半導体部品１０Ｃの信頼性は、さらに向上する。また、天面保護膜６０の弾性率を低くすることによって、マウント時の吸着チャックによる衝撃を抑制でき、半導体部品１０Ｃの信頼性は、さらに向上する。

[0071] なお、天面保護膜６０は、少なくとも半導体基板２０の第２面２０２を覆

っていればよい。

[0072] 次に、本発明の第５の実施形態に係る半導体部品について、図を参照して説明する。図１０は、本発明の第５の実施形態に係る半導体部品の主要構成を示す側面断面図である。

[0073] 図１０に示すように、本実施形態に係る半導体部品１０Ｄは、第３の実施形態に係る半導体部品１０Ｂに対して、保護層５０Ｂを省略した点で異なる。半導体部品１０Ｄの他の構成は、第３の実施形態に係る半導体部品１０Ｂと同じである。

[0074] このような構成の半導体部品１０Ｄも、第３の実施形態に係る半導体部品１０Ｂと同じ作用効果を奏する。また、保護層５０Ｂを形成しない分、半導体部品１０Ｂを安価にでき、且つ、半導体部品１０Ｂをより少ない工程で製造できる。

[0075] なお、図７に示す第２の実施形態に係る半導体部品１０Ａ、および、図１０に示す第５の実施形態の半導体部品１０Ｃの構成では、次の構成を適用できる。再配線層３０の絶縁層３１をパッシベーション層で実現する場合、絶縁層３１と絶縁層４０Ａ、４０Ｂとを同じにできる。これにより、絶縁層３１の形成と同時に絶縁層４０Ａ、４０Ｂを形成でき、半導体部品１０Ａ、１０Ｃを、より少ない製造工程で製造できる。

符号の説明

[0076] １０、１０Ａ、１０Ｂ、１０Ｃ、１０Ｄ：半導体部品

２０：半導体基板

２１：半導体素子部

３０：再配線層

３１、３２：絶縁層

４０、４０Ａ、４０Ｂ：絶縁層

５０、５０Ｂ：保護層

６０：天面保護膜

２００：半導体基板

２０１：第１面

２０２：第２面

２１０：側面

２２０：凹部

３０１：端部

３４１、３４２：再配線導体

請求の範囲

[請求項1] 互いに対向する第１面と第２面、および、前記第１面と前記第２面に直交する側面を有する半導体基板と、

前記半導体基板の前記第１面側の領域に形成された半導体素子部と、

前記半導体基板の前記第１面に形成され、前記第１面に直交する方向に視て、前記半導体基板よりも面積の広い再配線層と、

前記半導体基板の前記側面に当接する絶縁層と、を備え、

前記絶縁層は、

前記再配線層における前記半導体基板側の面の一部であって前記半導体基板の前記第１面に当接していない端部と、前記半導体基板の前記側面と、に亘って覆うように配置されている、

半導体部品。

[請求項2] 前記絶縁層における前記半導体基板の前記側面と反対側の面に、保護層を備え、

前記保護層は、前記再配線層の前記端部に当接している、

請求項１に記載の半導体部品。

[請求項3] 前記半導体基板の前記側面は、前記第１面に直交する方向に視て凹凸を有する形状であり、

該凹凸の凹む面に、前記絶縁層が配置されている、

請求項１または請求項２に記載の半導体部品。

[請求項4] 前記絶縁層は、前記第１面から前記第２面に亘る形状である、

請求項１乃至請求項３のいずれかに記載の半導体部品。

[請求項5] 前記半導体基板の前記第２面には、天面保護膜が形成されている、

請求項１乃至請求項４のいずれかに記載の半導体部品。

[請求項6] 前記半導体素子部は、ｐｎ接合を利用したダイオードである、

請求項１乃至請求項５のいずれかに記載の半導体部品。

[請求項7] 半導体基板の第１面側の領域に半導体素子部を形成する工程と、

前記半導体基板における前記半導体素子部を囲んで凹部を形成する工程と、

前記凹部の壁面に絶縁層を形成する工程と、

前記第１面に直交する方向に視て前記凹部が形成された領域を含む前記半導体基板の前記第１面側に、再配線層を形成する工程と、

前記第１面に直交する方向に視て前記凹部に合わせて、前記半導体基板および前記再配線層を分断する工程と、

を有する、半導体部品の製造方法。

[請求項8] 前記絶縁層に囲まれた領域に保護層を形成する工程を、

さらに有する、

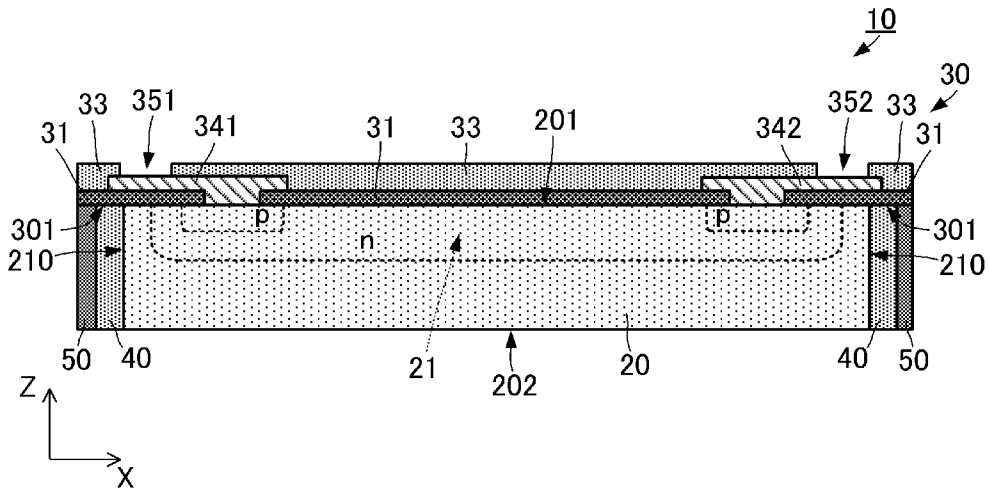
請求項７に記載の半導体部品の製造方法。

[請求項9] 前記凹部は、前記第１面に直交する方向に視て、複数の半円形が並ぶ形状である、

請求項７または請求項８に記載の半導体部品の製造方法。

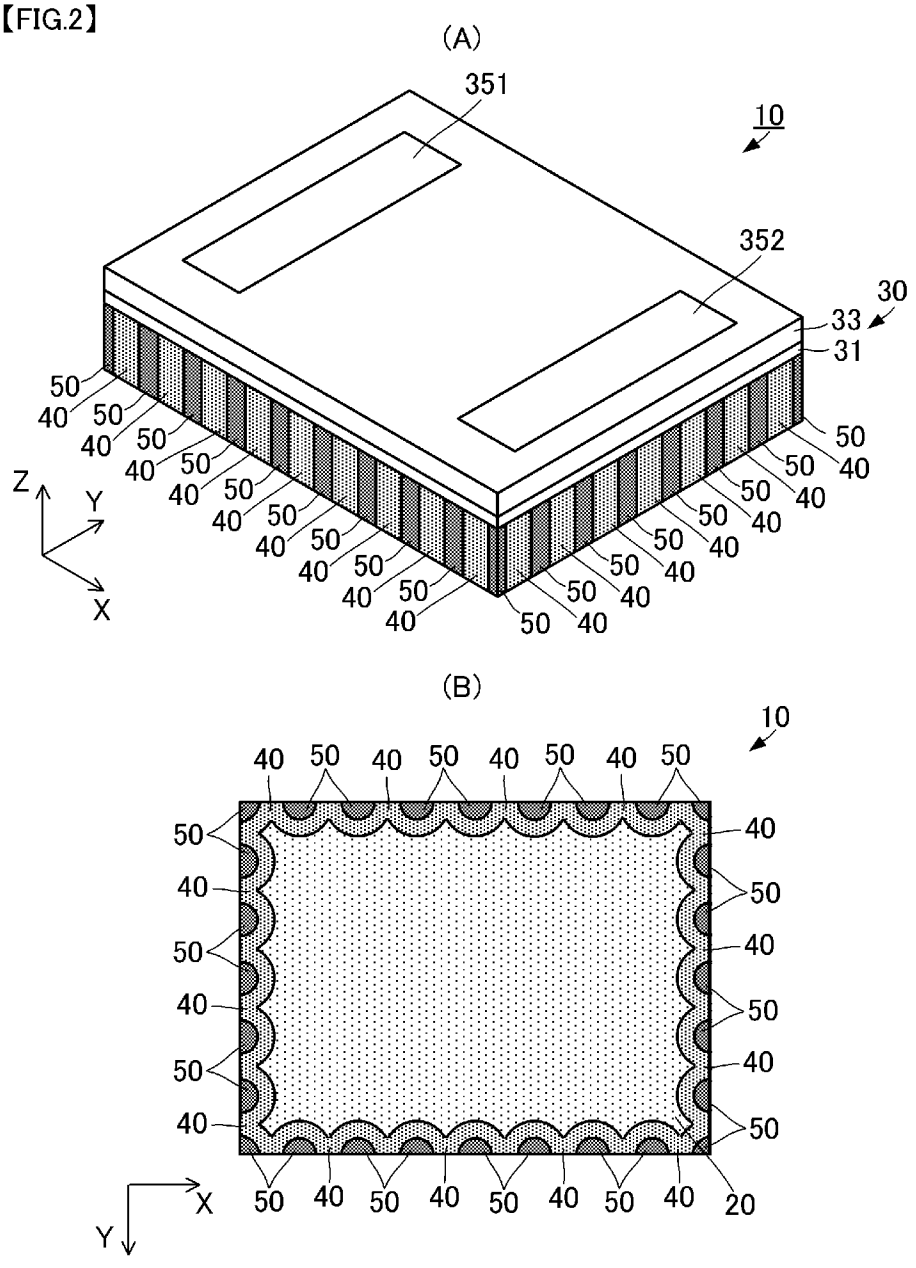
[図1]

【FIG.1】



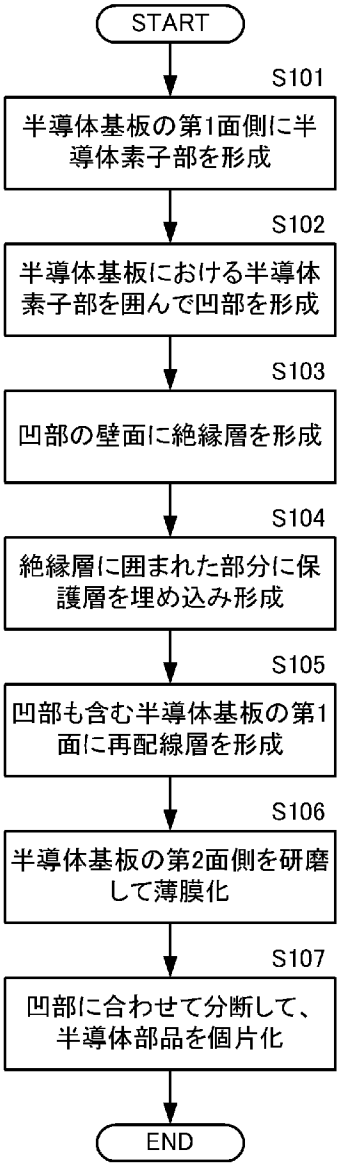
[図2]

【FIG.2】



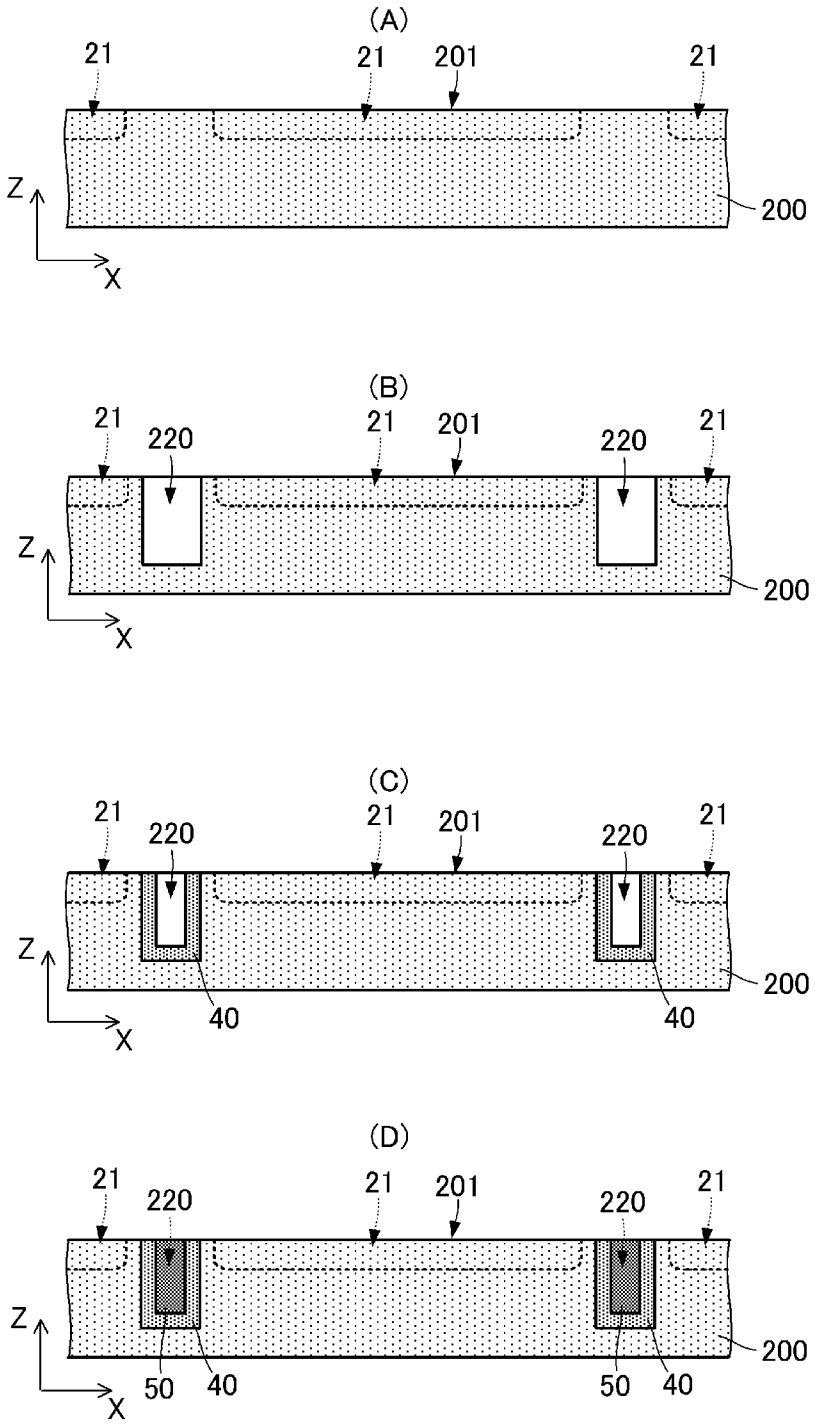
[図3]

【FIG.3】


START
S101
半導体基板の第1面側に半導体素子部を形成
S102
半導体基板における半導体素子部を囲んで凹部を形成
S103
凹部の壁面に絶縁層を形成
S104
絶縁層に囲まれた部分に保護層を埋め込み形成
S105
凹部も含む半導体基板の第1面に再配線層を形成
S106
半導体基板の第2面側を研磨して薄膜化
S107
凹部に合わせて分断して、半導体部品を個片化
END

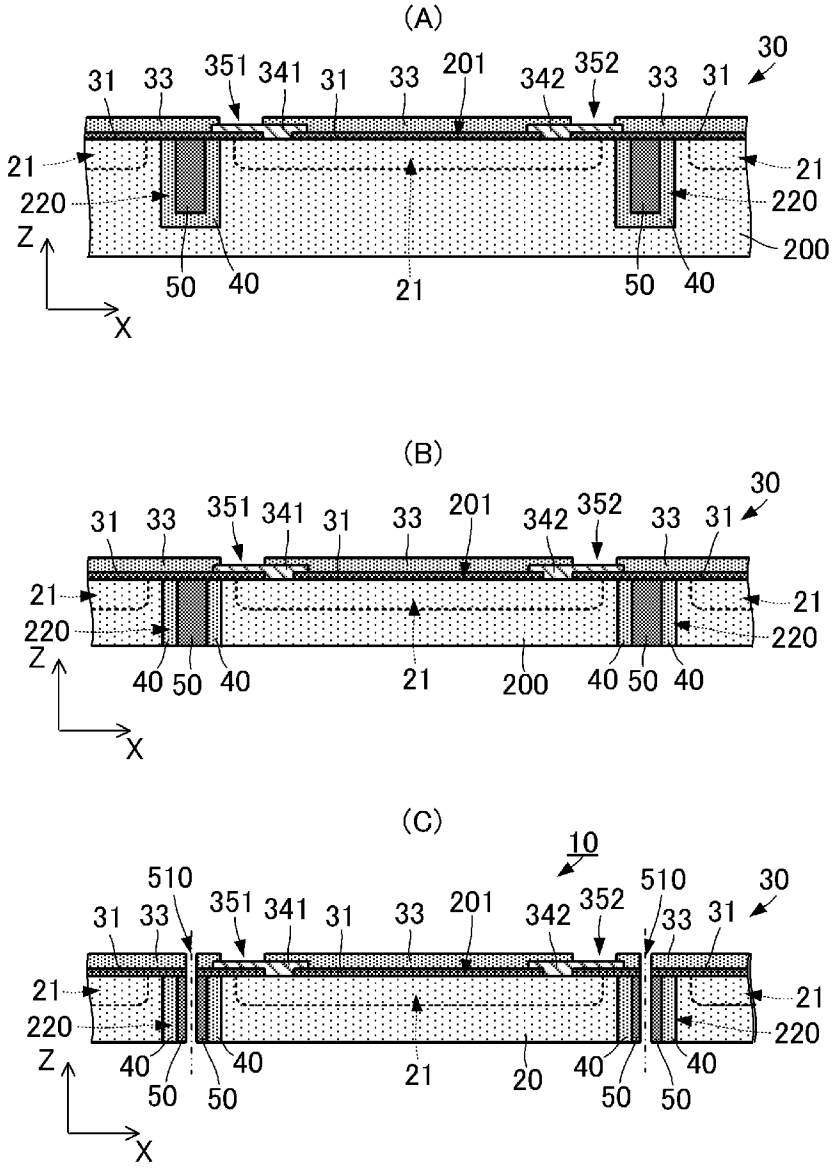
[図4]

【FIG.4】


(A)
21
21
201
21
200
Z
X
(B)
21
220
21
201
220
21
200
Z
X
(C)
21
220
21
201
220
21
200
40
40
Z
X
(D)
21
220
21
201
220
21
200
50
40
50
40
Z
X

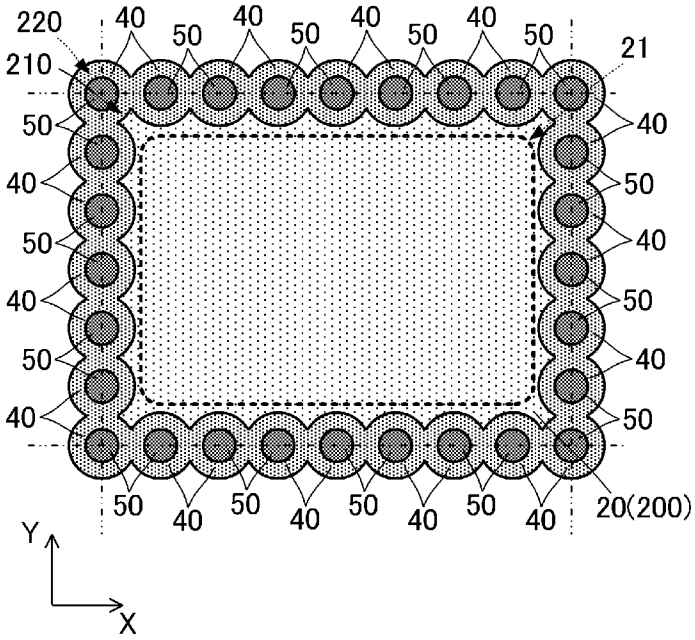
[図5]

【FIG.5】


(A)
30
31
33
351
341
31
33
201
342
352
33
31
21
220
Z
X
50
40
21
50
40
200
(B)
30
31
33
351
341
31
33
201
342
352
33
31
21
220
Z
X
40
50
40
21
200
40
50
40
(C)
10
510
510
30
31
33
351
341
31
33
201
342
352
33
31
21
220
Z
X
40
50
40
50
21
20
40
50
40
50

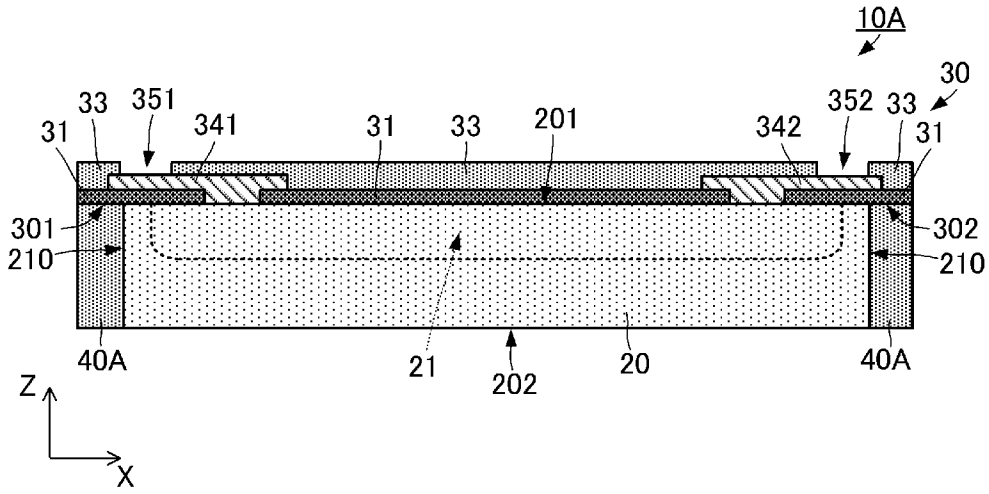
[図6]

【FIG.6】



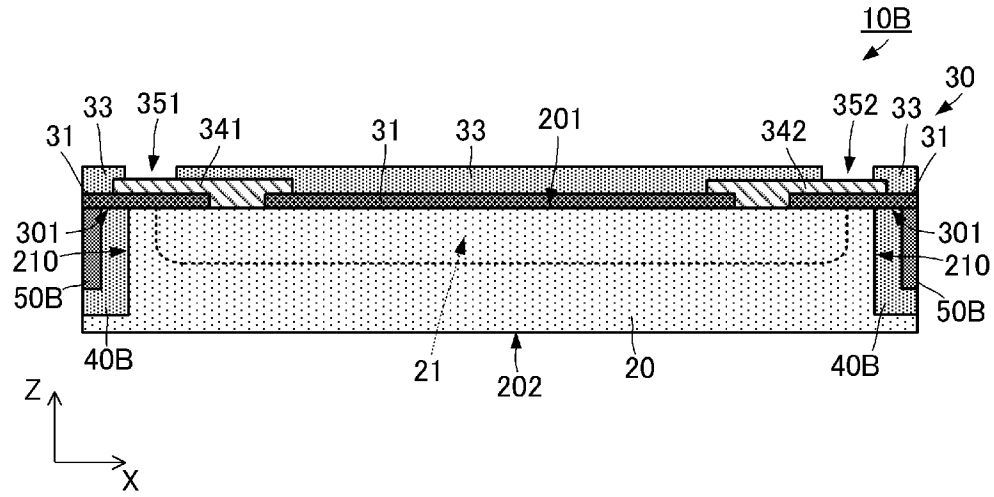
[図7]

【FIG.7】



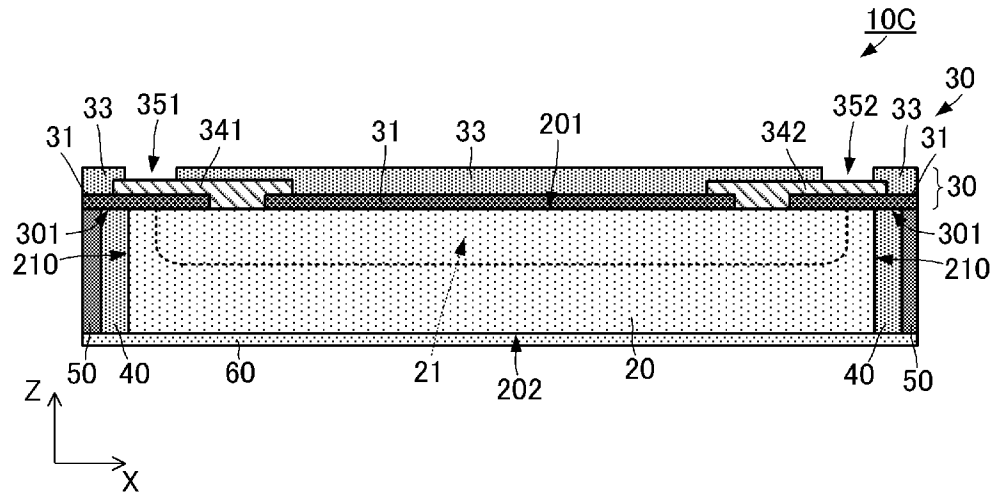
[図8]

【FIG.8】



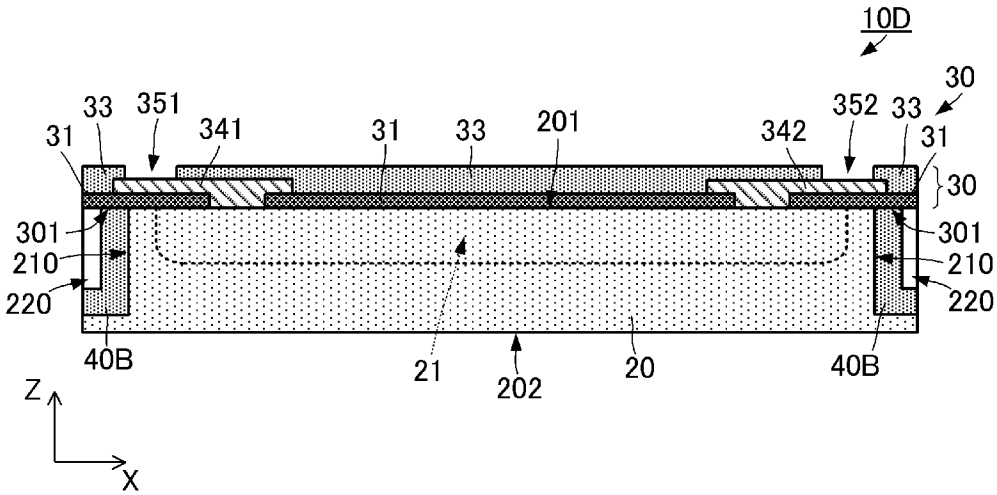
[図9]

【FIG.9】



[図10]

【FIG.10】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/021252

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/3205(2006.01)i, *H01L21/768*(2006.01)i, *H01L23/522*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/3205, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-335424 A (Matsushita Electric Industrial Co., Ltd.), 27 December 2007 (27.12.2007), entire text (Family: none)	1-9
A	JP 2002-289561 A (Toshiba Corp.), 04 October 2002 (04.10.2002), entire text (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 August 2017 (14.08.17)	22 August 2017 (22.08.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/021252

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-254969 A (Semiconductor Energy Laboratory Co., Ltd.), 19 December 2013 (19.12.2013), entire text & US 2009/0174023 A1 & EP 2075840 A2 & CN 101471351 A & KR 10-2009-0073031 A & TW 200941715 A	1-9
A	JP 2004-304081 A (Fujitsu Ltd.), 28 October 2004 (28.10.2004), entire text (Family: none)	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２１２５２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-335424 A (松下電器産業株式会社) 2007.12.27, 全文 (ファミリーなし)	1-9
A	JP 2002-289561 A (株式会社東芝) 2002.10.04, 全文 (ファミリーなし)	1-9
A	JP 2013-254969 A (株式会社半導体エネルギー研究所) 2013.12.19, 全文 & US 2009/0174023 A1 & EP 2075840 A2 & CN 101471351 A & KR 10-2009-0073031 A & TW 200941715 A	1-9

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１４．０８．２０１７	２２．０８．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　５８９５
佐藤　靖史
電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-304081 A（富士通株式会社）2004.10.28, 全文（ファミリーなし）	1-9