

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7623374号
(P7623374)

(45)発行日 令和7年1月28日(2025.1.28)

(24)登録日 令和7年1月20日(2025.1.20)

(51)国際特許分類		F I		
H 0 1 L	21/316(2006.01)	H 0 1 L	21/316	X
H 0 1 L	21/31 (2006.01)	H 0 1 L	21/31	C
H 0 1 L	21/318(2006.01)	H 0 1 L	21/318	B
H 0 1 L	21/76 (2006.01)	H 0 1 L	21/318	C
C 2 3 C	16/56 (2006.01)	H 0 1 L	21/76	L
請求項の数 17 (全15頁) 最終頁に続く				
(21)出願番号	特願2022-527095(P2022-527095)			
(86)(22)出願日	令和2年11月30日(2020.11.30)			
(65)公表番号	特表2023-504353(P2023-504353 A)			
(43)公表日	令和5年2月3日(2023.2.3)			
(86)国際出願番号	PCT/US2020/062540			
(87)国際公開番号	WO2021/118815			
(87)国際公開日	令和3年6月17日(2021.6.17)			
審査請求日	令和5年11月29日(2023.11.29)			
(31)優先権主張番号	16/708,026			
(32)優先日	令和1年12月9日(2019.12.9)			
(33)優先権主張国・地域又は機関	米国(US)			
(73)特許権者	390040660 アプライド マテリアルズ インコーポレイテッド APPLIED MATERIALS, INCORPORATED アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050 3050 Bowers Avenue Santa Clara CA 95054 U. S. A.			
(74)代理人	110002077 園田・小林弁理士法人			
(72)発明者	シャルマ, シャシャンク アメリカ合衆国 カリフォルニア 940 最終頁に続く			

(54)【発明の名称】 酸素ラジカル支援による誘電体膜の高密度化

(57)【特許請求の範囲】

【請求項1】

半導体デバイスを製造する方法であって、
処理チャンバ内の基板上に配置されたケイ素含有材料の流動性層を、該ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、複数の酸素ラジカルと接触させること
を含み、

前記複数の酸素ラジカルは、反応ガス中に配され、かつ前記処理チャンバのガス入り口を介して前記処理チャンバに結合されたラジカル源によって供給され、

前記反応ガスは、前記処理チャンバの前記ガス入り口を介して、前記ラジカル源から独立したガス源によって供給され、

前記ガス源は酸素（O₂）、水素（H₂）、又は窒素（N₂）のうちの1つ以上を含む、
方法。

【請求項2】

前記ケイ素含有材料の流動性層が、酸化物層、窒化物層、炭化物層、酸窒化物層、又はそれらの組合せを含む、請求項1に記載の方法。

【請求項3】

前記反応ガスは最大95%の水素を含む、請求項2に記載の方法。

【請求項4】

前記ケイ素含有材料の流動性層を前記複数の酸素ラジカルと接触させることが、

10mTorrから20Torrまでの圧力；
摂氏100度から摂氏700度までの温度；又は
最大で10分の時間

のうちの少なくとも1つで実施される、請求項1から3のいずれか一項に記載の方法。

【請求項5】

前記複数の酸素ラジカルが、前記ケイ素含有材料の流動性層の上部及び底部に浸透する、請求項1から3のいずれか一項に記載の方法。

【請求項6】

ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることが、急速熱処理チャンバ内で実施される、請求項1から3のいずれか一項に記載の方法。

【請求項7】

前記反応ガスが、酸素と水素との混合物、又は窒素と水素との混合物を含む、請求項1から3のいずれか一項に記載の方法。

【請求項8】

基板の1つ以上の特徴部の上に前記ケイ素含有材料の流動性層を堆積させることをさらに含み、ここで、基板上に配置された前記ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることが、前記ケイ素含有材料の流動性層の実質的に全体に酸素ラジカルを注入して、前記ケイ素含有材料の流動性層をアニールし、その密度を増加させることを含む、

請求項1から3のいずれか一項に記載の方法。

【請求項9】

酸素ラジカルを注入することが、
10mTorrから20Torrまでの圧力；
摂氏100度から摂氏700度までの温度；又は
最大で10分までの時間

のうちの少なくとも1つで実施される、請求項8に記載の方法。

【請求項10】

前記酸素ラジカルが、前記ケイ素含有材料の流動性層全体にわたって浸透する、請求項8に記載の方法。

【請求項11】

ケイ素含有材料の流動性層に酸素ラジカルを注入することが、急速熱処理チャンバ内で実施される、請求項8に記載の方法。

【請求項12】

酸素ラジカルをケイ素含有材料の流動性層に注入する前に、前記ケイ素含有材料の流動性層がオゾン及び水と接触させられる、請求項8に記載の方法。

【請求項13】

電子デバイスを製造するための装置であって、
基板上にケイ素含有材料の流動性層を含む前記基板を保持するためのペDESTALを含む処理チャンバ；

前記処理チャンバのガス入り口を介して、該処理チャンバに結合された酸素ラジカル源；

前記処理チャンバの前記ガス入り口を介して該処理チャンバに結合され、前記酸素ラジカル源から独立したガス源であって、酸素（O₂）、水素（H₂）、又は窒素（N₂）のうちの1つ以上を含むガス源；並びに

前記処理チャンバ及び前記酸素ラジカル源に結合されたプロセッサであって、前記ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件を、前記処理チャンバに提供するように構成されている、プロセッサを含む、装置。

【請求項14】

前記ケイ素含有材料の流動性層が、酸化ケイ素（SiO₂）、酸窒化ケイ素（SiON）、窒化ケイ素（Si₃N₄）、酸炭化ケイ素（SiOC）、又はそれらの組合せを含み

10

20

30

40

50

、前記条件が、最大で10分の時間にわたって摂氏100度から摂氏700度までの温度、及び10mTorrから20Torrまでの圧力を含む、請求項13に記載の装置。

【請求項15】

前記プロセッサが、実行されると、請求項1から12のいずれか一項に記載の方法である、半導体デバイスを製造する方法を実施するように前記装置の動作を制御する命令を含むコンピュータ可読媒体を含む、請求項13に記載の装置。

【請求項16】

実行されると、請求項1から12のいずれか一項に記載の方法である半導体デバイスを製造する方法を、処理チャンバに実施させる命令が格納されている、コンピュータ可読媒体。

【請求項17】

前記ケイ素含有材料の流動性層を前記基板の上に堆積させることをさらに含み、前記基板は1つ以上のフィーチャと、該1つ以上のフィーチャの上にある保護層とを含む、請求項1に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、概して、電子デバイス製造の分野に関し、詳細には、誘電体層の特性の変更に関する。

【背景技術】

【0002】

誘電体材料は、常にサイズの縮小を続ける電子デバイスを生産するために、半導体産業において幅広く使用されている。概して、誘電体材料は、間隙充填膜、シャロートレンチ絶縁(STI)、ビア充填材、マスク、ゲート誘電体、又は他の電子デバイス特徴部として用いられる。

【0003】

誘電体材料は、通常、二酸化ケイ素(SiO_2)などのケイ素含有材料を含み、流動性化学気相堆積(FCVD)プロセスを使用して前駆体から流動性の材料へと形成される。流動性のケイ素含有材料プロセス、例えば、(FCVD)プロセスを使用して堆積されたケイ素含有材料層は、概して、従来の方法を使用して堆積されたケイ素含有材料層と比較した場合に、高アスペクト比の特徴部の改善された間隙充填性能を提供する。しかしながら、本発明者らは、通常FCVDプロセスによって提供されるケイ素含有材料層が、問題なことに、 Si-H 、 Si-NH 結合及び炭素結合を含んでおり、酸化ケイ素材料を形成するときに酸化ケイ素層の膜密度をより低く又は不十分にすることを見出した。

【0004】

流動性のケイ素含有材料は、その堆積後にさらに処理することができるが、本発明者らは、処理方法が、イオン衝撃に起因して基板上の下層の特徴部及び材料を損傷するリスクを生じさせるか、さもなければ高アスペクト比の開口部に配置されたケイ素含有材料を処理するには不適當であることを見出した。例えば、高温アニールは、膜の収縮及び応力を誘発し、その結果、亀裂、剥離、又はその両方を引き起こし、深いトレンチ内での誘電体膜の形成及び充填応用を介した誘電体膜の形成を妨げる可能性がある。

【0005】

したがって、堆積された流動性のケイ素含有材料を処理して、所望の密度及び／又は他の所望される材料特性を達成するための改善された方法が必要とされている。

【発明の概要】

【0006】

流動性のケイ素含有材料を処理することを含む、半導体デバイスを製造する方法及び装置が、本明細書に提供される。幾つかの実施形態では、半導体デバイスを製造する方法は、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることを

10

20

30

40

50

含む。

【0007】

幾つかの実施形態では、半導体デバイスを製造する方法は、基板上の1つ以上の特徴部の上にケイ素含有材料の流動性層を堆積させること；及び、ケイ素含有材料の流動性層をアニールし、その密度を増加させるために、ケイ素含有材料の流動性層の実質的に全体に酸素ラジカルを注入又は取り込むことを含む。

【0008】

幾つかの実施形態では、電子デバイスを製造するための装置は、基板上にケイ素含有材料の流動性層を含む基板を保持するためのペDESTALを含む処理チャンバ；該処理チャンバに結合された酸素ラジカル源；並びに、処理チャンバ及び酸素ラジカル源に結合されたプロセッサを含み、該プロセッサは、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件を処理チャンバに提供するように構成される。

【0009】

本開示の他の実施形態及びさらなる実施形態について、以下に説明する。

【0010】

上記で簡潔に要約し、以下により詳細に述べる本開示の実施形態は、添付の図面に示される本開示の例示的な実施形態を参照することにより、理解することができる。しかしながら、本開示は他の等しく有効な実施形態を許容しうることから、添付の図面は、本開示の典型的な実施形態のみを例示しており、したがって、範囲を限定しているとは見なされるべきではない。

【図面の簡単な説明】

【0011】

【図1】本開示の方法に使用するための処理チャンバの概略的な断面図

【図2A】本開示による処理のための半導体基板の側面図

【図2B】本開示の実施形態による半導体基板の特徴部の上に堆積された流動性層の側面図

【図2C】本開示の実施形態による流動性層と接触する酸素ラジカルを示す図

【図2D】本開示の実施形態による流動性層への酸素ラジカルの注入又は取り込みを示す図

【図3】本開示の幾つかの実施形態による半導体デバイスを製造するフロー図

【図4】本開示の幾つかの実施形態による半導体デバイスを製造する実施形態のフロー図

【図5】本開示の一実施形態によるトライゲートトランジスタ構造の斜視図

【発明を実施するための形態】

【0012】

理解を容易にするため、可能な場合には、図面に共通する同一の要素を示すために同一の参照番号が用いられる。図は縮尺どおりには描かれておらず、分かり易くするために簡略化されることがある。一実施形態の要素及び特徴は、さらなる記述がなくとも、他の実施形態に有益に組み込むことができる。

【0013】

本明細書に記載される実施形態は、概して、基板表面に配置されたケイ素含有材料層の酸素ラジカルベースの処理のための方法に関し、例えば、流動性化学気相堆積（FCVD）プロセスを使用して堆積されたケイ素含有材料層の酸素ラジカルベースの処理のための方法に関する。例えば、（FCVD）プロセスを使用して堆積された酸化ケイ素層などの流動性のケイ素含有材料プロセスは、概して、従来の方法を使用して堆積されたケイ素含有材料層と比較した場合に、高アスペクト比の特徴部の改善された間隙充填性能を提供する。しかしながら、本発明者らは、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることが、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で実施することができることを見出した。酸素ラジカルは反応性であり、ケイ素含有材料の流動性層の深い浸透に適しており、Si-H、Si-NH、又は炭素結合の還元又は除去によって膜品質に改善をもたらす。さらに、本発明者らは、イオン衝撃又は高温アニールなどの従来の処理によって、基板上の下層の特徴部及び材料を損傷するリスクが低減又は排除されうることを観察した。

【0014】

図1は、本開示の方法での使用に適した処理チャンバの概略的な断面図である。幾つかの実施形態では、処理チャンバ100は、チャンバリッドアセンブリ101、1つ以上の側壁102、及び処理容積120を集合的に画成するチャンバベース104を含む。チャンバリッドアセンブリ101は、チャンバリッド103、シャワーヘッド112、及びチャンバリッド103とシャワーヘッド112との間に配置された、プレナム122を画成する電気絶縁リング105を含む。チャンバリッド103を通して配置されたガス入り口114が、ガス源106に流体的に結合される。幾つかの実施形態では、ガス入り口114はさらに、遠隔プラズマ源107に流体的に結合される。間に複数の開口部118が配置されたシャワーヘッド112は、処理ガス又は酸素ラジカルをプレナム122から複数の開口部118を介して処理容積120内へと均一に分配するために用いられる。

10

【0015】

幾つかの実施形態では、RF電源又はVHF電源などの電源142は、スイッチが（示されるように）第1の位置に配置される場合、スイッチ144を介してチャンバリッドに電氣的に結合される。スイッチが第2の位置（図示せず）に配置される場合、電源142はシャワーヘッド112に電氣的に結合される。スイッチ144が第1の位置にあるとき、電源142は、プレナム122内に配置された遠隔プラズマ128など、基板115から遠隔された第1のプラズマに点火し、維持するために用いられる。遠隔プラズマ128は、プレナムに流入し、電源142からの電力の容量結合によってプラズマとして維持される処理ガスで構成される。スイッチ144が第2の位置にあるとき、電源142は、シャワーヘッド112と基板支持体127上に配置された基板115との間の処理容積120内の第2のプラズマ（図示せず）に点火し、維持するために用いられる。

20

【0016】

幾つかの実施形態では、処理容積120は、該処理容積120を大気圧未満の状態に維持し、そこから処理ガス及び他のガスを排出する真空出口113を介して、1つ以上の専用真空ポンプなどの真空源に流体的に結合される。処理容積120内に配置された基板支持体127は、チャンバベース104の下領域でベローズ（図示せず）に囲まれるなど、チャンバベース104を通じて密封するように延びる支持シャフト124上に配置される。支持シャフト124は、該支持シャフト124及びその上に配置された基板支持体127を上下させ、その処理中に基板115を支持し、処理チャンバ100の内外へと基板115を移送するためのモータを制御するコントローラ140に結合される。

30

【0017】

基板115は、基板115の処理中は、ドア又はバルブ（図示せず）で密封される1つ以上の側壁102のうちの1つにある開口部126を通じて処理容積120内へとロードされる。ここで、基板115は、基板支持体を通じて移動可能に配置された複数のリフトピン（図示せず）を含む従来のリフトピンシステム（図示せず）を使用して、基板支持体127の表面へと又は表面から移送される。典型的には、複数のリフトピンは、リフトピンフープ（図示せず）が下から接触して、基板支持体127の表面より上に延びるように動かされて、基板115をそこから持ち上げ、ロボットハンドラによるアクセスを可能にする。リフトピンフープ（図示せず）が下降位置にあるとき、複数のリフトピンの上部は、基板支持体127の表面と同一平面上又はその下に位置し、その上に基板が載る。基板支持体は、開口部126の下、その上に基板を配置するための、又はそこから基板115を除去するための下降位置と、基板115を処理するための上昇位置との間で移動可能である。幾つかの実施形態では、基板支持体127及びその上に配置された基板115は、基板支持体に配置された抵抗加熱素子129及び／又は1つ以上の冷却チャンネル137を使用して、所望の処理温度に維持される。典型的には、冷却チャンネル137は、比較的高い電気抵抗を有する修正された水源又は冷媒源などの冷却媒体源133に流体的に結合される。幾つかの実施形態では、基板は、ランプが基板を急速に加熱するように構成されている急速熱処理チャンバ内に配置される。幾つかの実施形態では、急速熱処理チャンバは、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で

40

50

、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させるなどの本開示による方法を実施するように構成される。本開示による構成に適した急速熱処理チャンバの非限定的な例には、基板を短時間で所定の温度に加熱するのに適した処理チャンバが含まれる。幾つかの実施形態では、加熱システムは、ランプなどの光源によって放出された光エネルギーが基板の材料表面に接触し、加熱するように配置された光源を含む。幾つかの実施形態では、基板は、米国カリフォルニア州サンタクララ所在の Applied Materials, Inc. 社から入手可能な CENTURA (登録商標) RADIANCE (登録商標) RTP チャンバなどの処理チャンバ内に配置され、本開示によるアニールプロセスに曝露される。実施形態では、アニールチャンバは、基板が周囲環境に曝露されずにアニールすることができるように構成することができる。

10

【0018】

幾つかの実施形態では、処理チャンバ 100 は、処理容積 120 に酸素ラジカルを供給するために遠隔プラズマ源 107 にさらに結合される。典型的には、遠隔プラズマ源 (RPS) は、誘導結合プラズマ (ICP) 源、容量結合プラズマ (CCP) 源、又はマイクロ波プラズマ源を含む。幾つかの実施形態では、遠隔プラズマ源は独立型の RPS ユニットである。他の実施形態では、遠隔プラズマ源は、処理チャンバ 100 と流体連結した第 2 の処理チャンバである。他の実施形態では、遠隔プラズマ源は、チャンバリッド 103 とシャワーヘッド 112 との間のプレナム 122 内で着火され、維持される遠隔プラズマ 128 である。他の幾つかの実施形態では、第 1 のガスをそのラジカル種へと光解離させる UV 照射を使用する UV 源などの非プラズマベースのラジカル源から、又は熱分解を使用して第 1 のガスをそのラジカル種へと解離させる熱線 CVD (HWCVD) チャンバなどの熱線源から処理チャンバに、ガス状処理ラジカルが供給される。

20

【0019】

図 2A は、本開示による電子デバイス構造 200 の側面図である。実施形態では、電子デバイス構造 200 は、基板 201 を含む。幾つかの実施形態では、基板 201 は、半導体材料、例えば、ケイ素 (Si)、ゲルマニウム (Ge)、シリコンゲルマニウム (SiGe)、III-V 材料ベースの材料、又はそれらの任意の組合せを含む。一実施形態では、基板 201 は、集積回路用のメタライゼーション相互接続層を含む。一実施形態では、基板 201 は、電子デバイス、例えば、トランジスタ、メモリ、キャパシタ、レジスタ、光電子デバイス、スイッチ、及び、例えば層間絶縁膜、トレンチ絶縁層、又は電子デバイス製造の当業者に知られている他の任意の絶縁層などの電気絶縁層によって分離された他の任意のアクティブ及びパッシブの電子デバイスを含む。少なくとも幾つかの実施形態では、基板 201 は、メタライゼーション層を接続するように構成された相互接続、例えば、ビアを含む。一実施形態では、基板 201 は、バルク下部基板、中間絶縁層、及び上部単結晶層を含む、シリコン・オン・インシュレータ (SOI) 基板である。上部単結晶層は、例えばケイ素などの上に列挙したいずれかの材料を含みうる。

30

【0020】

幾つかの実施形態では、デバイス層 202 が基板 201 上に堆積される。幾つかの実施形態では、デバイス層 202 は、特徴部 203、204、及び 205 などの複数の特徴部を含む。図 2A に示されるように、基板 201 上の特徴部間にトレンチ 131 などの複数のトレンチが形成される。実施形態では、トレンチは、底部 232 と、対向する側壁 233 及び 234 とを有する。底部 232 は、特徴部 204 と 205 との間の基板 201 が露出した部分である。側壁 233 は特徴部 205 の側壁であり、側壁 234 は特徴部 204 の側壁である。幾つかの実施形態では、デバイス層 202 は、基板 201 上に形成された 1 つ以上の半導体フィンを含む。幾つかの実施形態では、例えば 203、204、及び 205 などの特徴部は、例えば、図 5 に示されるトライゲートトランジスタ (トランジスタ 500) などの複数のトランジスタを含むトライゲートトランジスタのアレイを形成するためのフィン構造である。

40

【0021】

幾つかの実施形態では、特徴部 203、204、及び 205 の高さは、およそ、約 3

50

0 nmから約500 nm (ナノメートル) の範囲にある。幾つかの実施形態では、特徴部203と特徴部204との間の距離は、約2 nmから約100 nmまでである。

【0022】

幾つかの実施形態では、デバイス層202は、限定はしないが、化学気相堆積 (CVD)、例えば、プラズマ化学気相堆積 (PECVD)、物理的気相堆積 (PVD)、分子ビームエピタクシー (MBE)、有機金属化学気相堆積 (MOCVD)、原子層堆積 (ALD)、又は電子デバイス製造の当業者に知られている他の堆積技法などの1つ以上の堆積技法を使用して基板201上に堆積された1つ以上の層を含む。幾つかの実施形態では、デバイス層202の1つ以上の層は、特徴部203、204、及び205などの特徴部を形成するために、電子デバイス製造の当業者に知られているパターン化及びエッチング技法を使用してパターン化及びエッチングされる。一実施形態では、デバイス層202の特徴部の各々は、1つ以上の層のスタックである。一実施形態では、デバイス層202の特徴部は、例えば、トランジスタ、メモリ、キャパシタ、抵抗器、光電子デバイス、スイッチ、及び任意の他のアクティブ及びパッシブの電子デバイスなどの電子デバイスの特徴部である。

【0023】

幾つかの実施形態では、デバイス層202の特徴部は、導電層を含む。一実施形態では、デバイス層202の特徴部は、金属、例えば、銅 (Cu)、アルミニウム (Al)、インジウム (In)、スズ (Sn)、鉛 (Pb)、銀 (Ag)、アンチモン (Sb)、ビスマス (Bi)、亜鉛 (Zn)、カドミウム (Cd)、金 (Au)、ルテニウム (Ru)、ニッケル (Ni)、コバルト (Co)、クロム (Cr)、鉄 (Fe)、マンガン (Mn)、チタン (Ti)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、バナジウム (V)、モリブデン (Mo)、バナジウム (Pd)、金 (Au)、白金 (Pt)、ポリシリコン、電子デバイス製造の当業者に知られている他の導電層、又はそれらの任意の組合せを含む。

【0024】

図2Aに示されるように、保護層215は、任意選択的に、デバイス層202の特徴部の上に堆積される。実施形態では、保護層215は、図2Aに示されるように、デバイス層202の特徴部の各々の上部216などの上部を覆う。幾つかの実施形態では、保護層215は、その後の段階での処理からデバイス層202の特徴部を保護するように堆積される。幾つかの実施形態では、デバイス層202の特徴部は、ケイ素の特徴部である。幾つかの実施形態では、保護層215はハードマスク層である。幾つかの実施形態では、保護層は、上部及び側壁、例えば、デバイス層202の特徴部の各々の側壁217及び側壁218を覆う。幾つかの実施形態では、保護層215は、例えば、窒化ケイ素、窒化チタンなどの窒化物層、例えば、酸化ホウ素層、ホウ素をドーブされたガラス層、酸化ケイ素層などの酸化物層、他の保護層、又はそれらの任意の組合せである。幾つかの実施形態では、保護層215の厚さは、約2 nmから約50 nmまでである。

【0025】

幾つかの実施形態では、保護層215は、限定はしないが、化学気相堆積 (CVD)、例えば、プラズマ化学気相堆積 (PECVD)、物理的気相堆積 (PVD)、分子ビームエピタクシー (MBE)、有機金属化学気相堆積 (MOCVD)、原子層堆積 (ALD)、又は電子デバイス製造の当業者に知られている他の堆積技法などの1つ以上の堆積技法を使用して堆積することができる。

【0026】

図2Bは、本開示による電子デバイス構造210の側面図を示している。実施形態では、電子デバイス構造210は、基板201を含む。図2Bは、流動性層206がデバイス層202の特徴部の上に堆積された後のデバイスを示している。幾つかの実施形態では、流動性層206は、デバイス層の特徴部の上部、側壁、及び底部232などのトレンチの底部上に堆積された任意選択的な保護層215を覆う。幾つかの実施形態では、流動性層206は、保護層215なしに、デバイス層202の特徴部の上部及び側壁上に直接堆積

される。幾つかの実施形態では、流動性層 206 は、基板 201 の一部に堆積され、デバイス層 202 の特徴部間の空間を埋める。一実施形態では、流動性層 206 は誘電体層である。幾つかの実施形態では、流動性層 206 の堆積されたままの密度は、例えば、約 1.5 g/cm^3 以下である。幾つかの実施形態では、流動性層 206 の密度は、本開示の方法によって、例えば、 1.5 g/cm^3 を超える量まで増加する。概して、材料の密度とは、単位体積あたりの材料の質量（質量を体積で割った商）である。幾つかの実施形態では、流動性層 206 はポアを有する（図示せず）。幾つかの実施形態では、材料中のポアとは、検討される材料以外の何か（例えば、空気、真空、液体、固体、若しくは気体又はガス状混合物）を含む領域を意味し、その結果、流動性層の密度は位置に応じて変化する。

10

【0027】

幾つかの実施形態では、流動性層 206 は、例えば、酸化ケイ素（例えば、 SiO_2 ）、酸化アルミニウム（ Al_2O_3 ）、又は他の酸化物層などの酸化物層、例えば、窒化ケイ素（例えば、 Si_3N_4 ）、又は他の窒化物層などの窒化物層、炭化物層（例えば、炭素、 SiOC ）、又は他の炭化物層、酸窒化物層（例えば、 SiON ）、又はそれらの任意の組合せである。

【0028】

幾つかの実施形態では、流動性層 206 は、ケイ素含有材料の流動性層として開発された流動性の CVD 膜であり、堆積されたままの膜は、通常、 Si-H 、 Si-N 、及び -NH 結合を含む。次に、膜は、本開示に従って、硬化及びアニーリングによって、酸化環境で Si-O ネットワークへと変換される。

20

【0029】

一実施形態では、流動性層 206 は、米国カリフォルニア州サンタクララ所在の Applied Materials, Inc. 社によって開発された 1 つ以上の流動性化学気相堆積 (FCVD) 堆積技法、又は電子デバイス製造の当業者に知られている他の FCVD 堆積技法を使用して堆積される。幾つかの実施形態では、流動性層 206 の厚さは約 30 nm から約 500 nm までである。幾つかの実施形態では、流動性層 206 の厚さは約 40 nm から約 100 nm までである。

【0030】

幾つかの実施形態では、流動性層 206 は間隙充填層として機能する。幾つかの実施形態では、流動性層 206 は、基板のある部分上では間隙充填層として機能し、基板の他の部分上ではハードマスク層として機能する。幾つかの実施形態では、流動性層 206 は、5:1 又は 20:1 などの高アスペクト比（高さの幅に対する比）の特徴部における間隙充填層として機能し、該特徴部は、20 ナノメートル未満の幅を有する。

30

【0031】

これより図 2C を参照すると、酸素ラジカル ($\text{O}\cdot$) 211 が、本開示の幾つかの実施形態による流動性層 206 と接触している。幾つかの実施形態では、基板上に配置されたケイ素含有材料の流動性層は、ケイ素含有材料の流動性層をアニール及び／又はその密度を増加させるのに十分な条件下で、ラジカル ($\text{O}\cdot$) 211 などの複数の酸素ラジカルと接触する。非限定的なケイ素含有材料は、酸化物層、窒化物層、炭化物層、酸窒化物層、又はそれらの組合せを含む。幾つかの実施形態では、ケイ素含有材料の流動性層は、酸化ケイ素 (SiO_2)、酸窒化ケイ素 (SiON)、窒化ケイ素 (Si_3N_4)、又は酸炭化ケイ素 (SiOC) を含む。幾つかの実施形態では、ケイ素含有材料の流動性層は、10 mTorr から 20 Torr までの圧力で複数の酸素ラジカルと接触する。幾つかの実施形態では、ケイ素含有材料の流動性層は、摂氏 100 度から摂氏 700 度までの温度で複数の酸素ラジカルと接触する。幾つかの実施形態では、ケイ素含有材料の流動性層は、10 秒から 10 分までなど、最大で 10 分の時間、複数の酸素ラジカルと接触する。幾つかの実施形態では、複数の酸素ラジカルは、ケイ素含有材料の流動性層の上部及び底部に浸透し、ケイ素含有材料の流動性層に取り込まれる。幾つかの実施形態では、流動性層 206 は、酸素ラジカル ($\text{O}\cdot$) によって酸化されて、デバイス層 202 の特徴部間に絶縁領

40

50

域を形成する。幾つかの実施形態では、流動性層 206 は、酸素ラジカル ($O\cdot$) で処理されて、シャロートレンチ絶縁 (STI) 領域を形成する。幾つかの実施形態では、ケイ素含有材料の流動性層 206 は、該ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルとともに基板 201 上に配置される。

【0032】

幾つかの実施形態では、複数の酸素ラジカルが、酸素 (O_2)、水素 (H_2)、又は窒素 (N_2) のうちの 1 つ以上を含む反応ガス内に配置される。例えば、反応ガスは、酸素と混合された水素、又は窒素と混合された水素の混合物を含みうる。実施形態では、酸素ラジカルを含む反応ガスは、最大 95% の水素をさらに含む。

【0033】

図 2D を参照すると、酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルを本開示の実施形態による流動性層 206 に注入することが示されている。図 2D に示されるように、酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルが、流動性層 206 に供給される。幾つかの実施形態では、酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルは、酸素ラジカルのみを含む。実施形態では、流動性層 206 の $1/3$ の部分、上半分、又は上 $2/3$ の部分に酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルが浸透するか、又は取り込まれる。幾つかの実施形態では、酸素ラジカル ($O\cdot$) 211 といった複数の酸素ラジカルが、流動性層 206 の全体にわたって浸透するのに十分な条件下で供給される。幾つかの実施形態では、酸素ラジカル ($O\cdot$) 211 などの複数の酸素ラジカルが、流動性層 206 の全体にわたって注入され、取り込まれるのに十分な条件下で供給される。

【0034】

幾つかの実施形態では、酸素ラジカル ($O\cdot$) 211 といった複数の酸素ラジカルが、流動性層 206 の密度を増加させるのに十分な条件下で供給される。幾つかの実施形態では、酸素ラジカル ($O\cdot$) 211 は、流動性層 206 の密度を増加させるのに十分な量かつ適した条件下で供給される。幾つかの実施形態では、密度は、該密度の変化を示すウェットエッチング速度比 (WERR) などのプロキシを含む、当技術分野で知られている技法によって測定可能である。幾つかの実施形態では、本開示によれば、ケイ素含有材料の処理された流動性層が形成され、0~2 分のエッチング持続時間後、希 HF 中で約 9、又は約 10、又は約 9~10 のウェットエッチング速度比 (WERR) を有する。実施形態では、ウェットエッチング速度比は、希 HF (例えば、1:100 の HF) を使用して、熱酸化ケイ素膜に関して測定される。

【0035】

これより図 3 を参照すると、本開示の幾つかの実施形態による半導体デバイスを製造する方法のフロー図が示されている。実施形態では、該方法 300 は、ケイ素含有材料の流動性層をアニール及び／又はその密度を増加させるのに十分な条件下で、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることを含む処理シーケンス 302 を含む。幾つかの実施形態では、該方法は、窒化ケイ素層をガス状酸素ラジカルと接触させることを含む。方法 300 には示されていないが、該方法は、任意選択的に、基板支持体上に基板を位置づけることを含んでよく、該基板支持体は、図 1 に示される処理チャンバなどの処理チャンバの処理容積に配置される。幾つかの実施形態では、基板は、その表面に堆積された窒化ケイ素層を特徴とする。幾つかの実施形態では、最大で 10 分の時間にわたって、摂氏 100 度から摂氏 700 度までの温度、及び 10 mTorr から 20 Torr までの圧力で実施される。実施形態では、複数の酸素ラジカルは、ケイ素含有材料の流動性層の上部及び底部に浸透するのに適した量及び条件下で適用される。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることは、急速熱処理チャンバ内で実施される。幾つかの実施形態では、複数の酸素ラジカルが反応ガス内に配置され、該反応ガスは、酸素、水素、窒素、又はそれらの組合せのうちの 1 つ以上を含む。

【0036】

幾つかの実施形態では、ケイ素含有材料は、基板の表面に形成された複数の開口部に少なくとも部分的に配置される。幾つかの実施形態では、複数の開口部は、2:1を超える、例えば、5:1を超える、10:1を超える、20:1を超える、例えば25:1を超える、アスペクト比（深さ対幅の比）を有する。幾つかの実施形態では、開口部の幅は、約22nm未満、例えば約16nm未満、又は約1nmから約20nmの間、例えば約10nmから約20nmの間である。

【0037】

これより図4を参照すると、本開示の幾つかの実施形態による半導体デバイスを製造する方法400のフロー図が示されている。処理シーケンス402では、ケイ素含有材料の流動性層は、基板上の1つ以上の特徴部の上に堆積される。幾つかの実施形態では、窒化ケイ素層、例えば、ポリシラザン層は、流動性化学気相堆積（FCVD）プロセスを使用して堆積される。幾つかの実施形態では、FCVDプロセスは、ケイ素含有材料層のラジカルをベースとした処理と同じ処理チャンバ内で実施される。幾つかの実施形態では、FCVDプロセスは、ケイ素含有材料のラジカルをベースとした処理に用いられる処理チャンバとは異なる処理チャンバ内で実施される。

【0038】

幾つかの実施形態では、処理シーケンス402は、1つ以上のケイ素前駆体を処理容積内へと流し込み、基板を1つ以上のケイ素前駆体に曝露し、処理容積内に1つ以上の共反応物を供給し、かつ基板を1つ以上の共反応物に曝露するなどのFCVDプロセスを含む。幾つかの実施形態では、基板を1つ以上のケイ素前駆体に曝露すること、及び基板を1つ以上の共反応物に曝露することは、順次、同時に、又はそれらの組合せで行われる。

【0039】

幾つかの実施形態では、FCVDが実施され、処理容積の圧力は、望ましくは、約10mTorrから約10Torrの間、例えば約6Torr未満、例えば約5Torr未満、又は約0.1Torrから約4Torrの間、例えば約0.5Torrから約3Torrの間で維持される。幾つかの実施形態では、基板は、望ましくは、摂氏約0度から摂氏約400度の間、又は摂氏約200度未満、又は摂氏約-10度から摂氏約75度の間の温度で維持される。

【0040】

幾つかの実施形態では、1つ以上のケイ素前駆体は、シラン化合物、例えばシラン（SiH₄）、ジシラン（Si₂H₆）、トリシラン（Si₃H₈）、及びテトラシラン（Si₄H₁₀）、又はそれらの組合せを含む。他の幾つかの実施形態では、ケイ素前駆体は、少なくとも1つのSi—N—Si官能基を有するシラザン化合物、例えば、N，N'ジシリルトリシラザン（A）、他のシラザン化合物、例えばシラザン化合物、例えばトリシリルアミン（TSA）など、又はそれらの組合せを含む。幾つかの実施形態では、ケイ素前駆体は、1つ以上のシラン化合物と1つ以上のシラザン化合物との組合せを含む。

【0041】

幾つかのFCVDの実施形態では、容量結合プラズマは、図1に記載されるプレナム122内で着火され、維持される遠隔プラズマ128など、シャワーヘッドとチャンバリッドとの間の処理容積内で着火され、維持されるガスから形成される。幾つかの実施形態では、上述したFCVDプロセスは、望ましくは、基板の表面に形成された高アスペクト比の開口部のボトムアップ充填を可能にする、流動性の酸化ケイ素膜又は窒化ケイ素膜を提供する。例えば、FCVDプロセスを使用して、20nm未満の幅及び約10:1を超えるアスペクト比を有する開口部に充填することができる。幾つかの実施形態では、基板は、摂氏約200度未満の温度で維持される。

【0042】

処理シーケンス404において、方法400は、ケイ素含有材料の流動性層の実質的に全体に酸素ラジカルを注入して、ケイ素含有材料の流動性層をアニールし、及び／又はその密度を増加させることを含む。幾つかの実施形態では、処理シーケンス404は、FC

10

20

30

40

50

V Dで堆積されたケイ素流動性層を酸素ラジカルに曝露して、処理されたケイ素層を形成することを含む。幾つかの実施形態では、ケイ素層のF C V D堆積及びF C V D堆積されたケイ素層の酸素ラジカルへの曝露は、同じ処理チャンバで行われる。

【0043】

幾つかの実施形態では、該方法400は、所望のケイ素含有材料の厚さに達するまで、ケイ素含有材料の流動性層の少なくとも一部を堆積し、次いで、少なくとも部分的に堆積されたケイ素含有材料の酸素ラジカルベースの処理の連続的な繰り返しを含む。典型的には、連続的な繰り返しは、ケイ素含有材料を所望の厚さまで堆積させ、その後、そのラジカルベースの処理を行う場合と比較して、結果的に得られる処理されたケイ素含有材料のより均一な高密度化及び化学量論を促進する。

【0044】

幾つかの実施形態では、本開示は、基板上に配置されたケイ素含有材料の流動性層を、該ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で複数の酸素ラジカルと接触させることを含む、半導体デバイスを製造する方法に関する。幾つかの実施形態では、ケイ素含有材料の流動性層は、酸化物層、窒化物層、炭化物層、又は酸窒化物層を含む。幾つかの実施形態では、ケイ素含有材料の流動性層は、酸化ケイ素(SiO_2)、酸窒化ケイ素(SiON)、窒化ケイ素(Si_3N_4)、又は酸炭化ケイ素(SiOC)を含む。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることは、10mTorrから20Torrまでの圧力で実施される。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることは、摂氏100度から摂氏700度までの温度で実施される。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることは、最大で10分の時間にわたって実施される。幾つかの実施形態では、複数の酸素ラジカルは、ケイ素含有材料の流動性層の上部及び底部に浸透する。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることは、急速熱処理チャンバ内で実施される。幾つかの実施形態では、ケイ素含有材料の流動性層を複数の酸素ラジカルと接触させる前に、ケイ素含有材料の流動性層は、オゾン及び水と接触させられる。

【0045】

これより図5を参照すると、本開示の一実施形態によるトライゲートトランジスタ構造の斜視図が示されている。幾つかの実施形態では、フィン502を含むフィン層が基板501上に形成される。幾つかの実施形態では、フィン層は、A-A1軸に沿ったフィン502の断面図を表している。一実施形態では、トライゲートトランジスタ(トランジスタ500)は、複数のトライゲートトランジスタを含む、トライゲートトランジスタのアレイの一部である。幾つかの実施形態では、図2A~2Dに関して上に説明したように、1つの電子デバイスを基板501上の他のデバイスから絶縁するフィールド絶縁(例えば、STI)領域を提供するために、酸素ラジカル種の注入によって変更された流動性の誘電体層がフィン502に隣接した基板501上に形成される。幾つかの実施形態では、フィン502は、基板501の上面から突き出ている。フィン502は、任意のよく知られている半導体材料で形成することができる。幾つかの実施形態では、ゲート誘電体層(図示せず)は、フィン502の3つの側面に堆積される。幾つかの実施形態では、ゲート誘電体層は、フィン502の両側の側壁上及び上面に形成される。図5に示すように、ゲート電極506が、フィン502のゲート誘電体層上に堆積する。ゲート電極506は、図5に示されるように、フィン502のゲート誘電体層上及びその周囲に扇形に配置される。幾つかの実施形態では、図5に示されるように、フィン502内のゲート電極506の両側に、ドレイン領域505及びソース領域503が形成される。

【0046】

幾つかの実施形態では、本開示は、基板上の1つ以上の特徴部の上にケイ素含有材料の流動性層を堆積させること；及び、ケイ素含有材料の流動性層をアニールし、その密度を増加させるためにケイ素含有材料の流動性層の実質的に全体に酸素ラジカルを注入又は取り込むことを含む、半導体デバイスを製造する方法に関する。幾つかの実施形態では、ケ

イ素含有材料の流動性層は、酸化ケイ素 (SiO_2)、酸窒化ケイ素 (SiON)、窒化ケイ素 (Si_3N_4)、酸炭化ケイ素 (SiOC)、又はそれらの組合せを含む。幾つかの実施形態では、酸素ラジカルを注入することは、 10mTorr から 20Torr までの圧力で実施される。幾つかの実施形態では、酸素ラジカルを注入することは、摂氏 100 度から摂氏 700 度までの温度で実施される。幾つかの実施形態では、酸素ラジカルを注入することは、最大で 10 分の時間にわたって実施される。幾つかの実施形態では、酸素ラジカルは、ケイ素含有材料の流動性層全体にわたって浸透する。幾つかの実施形態では、ケイ素含有材料の流動性層に酸素ラジカルを注入することは、急速熱処理チャンバ内で実施される。幾つかの実施形態では、酸素ラジカルをケイ素含有材料の流動性層に注入する前に、ケイ素含有材料の流動性層は、オゾン及び水と接触させられる。

10

【0047】

幾つかの実施形態では、本開示は、基板上にケイ素含有材料の流動性層を含む基板を保持するためのペDESTALを含む処理チャンバ；該処理チャンバに結合された酸素ラジカル源；及び、該酸素ラジカル源に結合されたプロセッサを含む、電子デバイスを製造するための装置に関し、該プロセッサは、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件を処理チャンバに提供するように構成される。幾つかの実施形態では、ケイ素含有材料の流動性層は、酸化ケイ素 (SiO_2)、酸窒化ケイ素 (SiON)、窒化ケイ素 (Si_3N_4)、酸炭化ケイ素 (SiOC)、又はそれらの組合せを含む。幾つかの実施形態では、条件は、最大で 10 分の時間にわたって摂氏 100 度から摂氏 700 度までの温度、及び 10mTorr から 20Torr までの圧力を含む。

20

【0048】

幾つかの実施形態では、本開示は、実行されると、処理チャンバに、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることを含む、半導体デバイスを製造する方法を実施させる命令が格納されている、非一時的なコンピュータ可読媒体に関する。

【0049】

幾つかの実施形態では、本開示は、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることを含む、ケイ素含有材料の流動性層を処理する方法に関する。

30

【0050】

幾つかの実施形態では、本開示は、実行されると、処理チャンバに、ケイ素含有材料の流動性層をアニールし、その密度を増加させるのに十分な条件下で、基板上に配置されたケイ素含有材料の流動性層を複数の酸素ラジカルと接触させることを含むケイ素含有材料の流動性層を処理する方法を実施させる命令が格納されている、非一時的なコンピュータ可読媒体に関する。

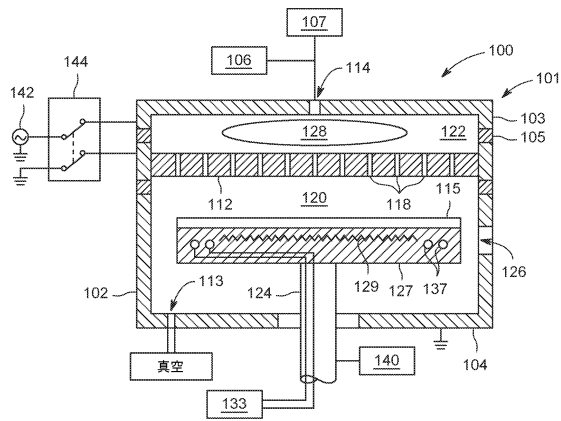
【0051】

上記は本開示の実施形態を対象とするが、本開示の基本的な範囲から逸脱することなく、本開示の他の実施形態及び更なる実施形態が考案されうる。

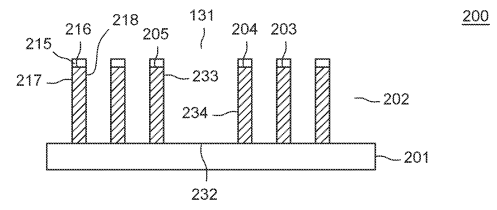
40

【図面】

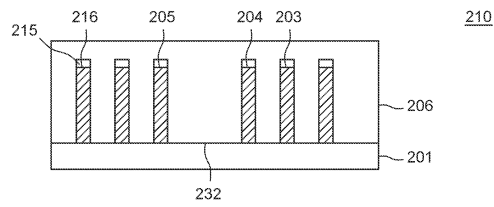
【図 1】



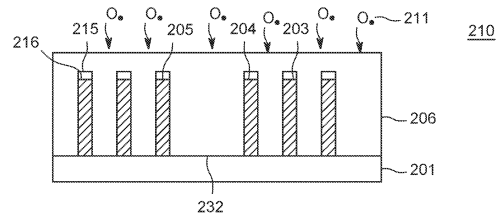
【図 2 A】



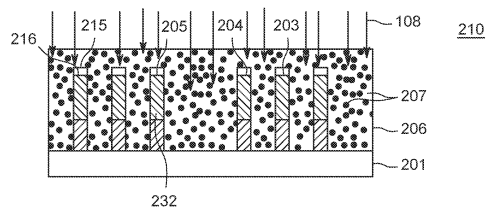
【図 2 B】



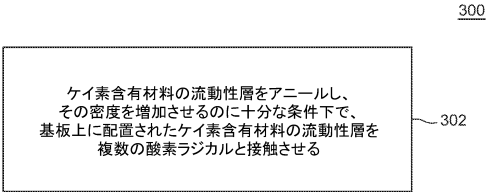
【図 2 C】



【図 2 D】

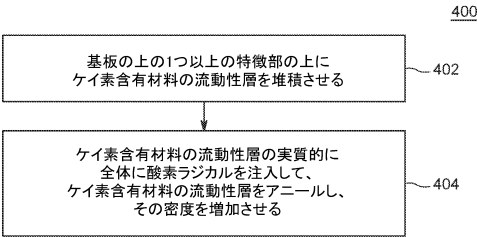


【図 3】

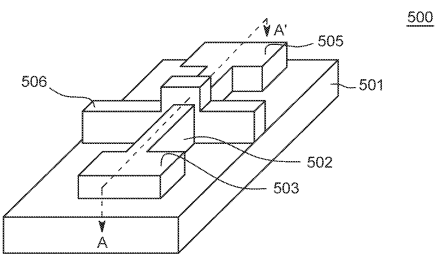


10

【図 4】



【図 5】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I
C 2 3 C 16/568 5 , サニーベール, イースト アークス アヴェニュー 9 7 4 , エム/エス 8 1 2 4 7 ,
アプライド マテリアルズ

(72)発明者 リウ, ウェイ

アメリカ合衆国 カリフォルニア 9 5 1 2 9 , サン ノゼ, ムーアパーク アヴェニュー 5 0 3 5

(72)発明者 スン, ヨン

アメリカ合衆国 カリフォルニア 9 5 1 3 1 , サン ノゼ, パーチメドー レーン 1 4 4 4

(72)発明者 ジャ, プラケト プラカシュ

アメリカ合衆国 カリフォルニア 9 4 0 8 5 , サニーベール, イースト アークス アヴェニュー
1 1 4 0 , ビルディング 7 2

審査官 長谷川 直也

(56)参考文献 米国特許出願公開第 2 0 1 8 / 0 3 3 0 9 8 0 (U S , A 1)

特表 2 0 1 8 - 5 0 3 2 5 9 (J P , A)

特表 2 0 1 5 - 5 2 1 3 7 5 (J P , A)

特表 2 0 1 7 - 5 3 7 4 5 5 (J P , A)

米国特許出願公開第 2 0 1 5 / 0 0 4 4 8 8 2 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 3 1 6

H 0 1 L 2 1 / 3 1

H 0 1 L 2 1 / 3 1 8

H 0 1 L 2 1 / 7 6

C 2 3 C 1 6 / 5 6