

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7620348号
(P7620348)

(45)発行日 令和7年1月23日(2025.1.23)

(24)登録日 令和7年1月15日(2025.1.15)

(51)国際特許分類

F I

G 0 6 G 7/60 (2006.01) G 0 6 G 7/60

G 0 6 N 3/065(2023.01) G 0 6 N 3/065

請求項の数 11 外国語出願 (全31頁)

(21)出願番号	特願2023-219824(P2023-219824)	(73)特許権者	314000442
(22)出願日	令和5年12月26日(2023.12.26)		高麗大学校産学協力団
審査請求日	令和6年2月13日(2024.2.13)		KOREA UNIVERSITY RE
(31)優先権主張番号	10-2023-0114457		SEARCH AND BUSINESS
(32)優先日	令和5年8月30日(2023.8.30)		FOUNDATION
(33)優先権主張国・地域又は機関	韓国(KR)		大韓民国 0 2 8 4 1 ソウル ソンブクク
			アナムロ 1 4 5
			1 4 5 , Anam - ro Seong b
			uk - gu Seoul 0 2 8 4 1 ,
			Republic of Korea
		(74)代理人	110000383
			弁理士法人エビス国際特許事務所
		(72)発明者	金 相植
			大韓民国、0 6 2 7 7、ソウル、カンナ
			ム - グ、ナムブスファン - ロ、2 8 0 3
			最終頁に続く

(54)【発明の名称】 シリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路

(57)【特許請求の範囲】
【請求項 1】

アノード端子とカソード端子との間にダイオード構造体がチャネル領域として位置し、前記ダイオード構造体上にゲート端子が位置し、前記アノード端子と前記ゲート端子のそれぞれに印加される互いに異なる電圧に基づいて前記チャネル領域でポテンシャル障壁調節を通じて単方向スイッチングを具現し、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性を具現する複数のシリコンゲートッドダイオードを含み、

前記複数のシリコンゲートッドダイオードは、並列に連結したメモリアレイでシナプス素子として動作し、前記メモリアレイに連結された入力ライン処理部から印加される入力信号、及び前記メモリアレイに連結されたシナプスライン処理部から印加される加重値アップデート信号に基づいてMAC (m u l t i p l y - a c c u m u l a t e) 演算の結果を出力し、および、

前記複数のシリコンゲートッドダイオードは、前記アノード端子のアノード電圧を前記入力信号として受け、前記印加される入力信号が正の方向に増加することに伴う前記陽性フィードバックループによるラッチアップ現象を発生させ、前記チャネル領域に対して二つのメモリ状態のうちいずれか一つのメモリ状態を有し、前記ゲート端子のゲート電圧を前記加重値アップデート信号として受けることによって前記ラッチアップ現象が発生する前記入力信号が調節され、前記入力信号と前記加重値アップデート信号の印加によって前記いずれか一つのメモリ状態と関連したシナプス状態がアップデートされ、アップデートさ

れたシナプス加重値による前記M A C 演算を行う、ことを特徴とする、二値化ニューラルネットワーク回路。

【請求項 2】

前記シリコンゲートダイオードは、前記印加される入力信号が正の方向に増加することに伴う「0」から「1」までの連続的な入力と、前記二つのメモリ状態に該当する「0」の状態及び「1」の状態のうちいずれか一つの状態のシナプス加重値との間の積演算を行い、「0」及び「1」のうちいずれか一つに該当する電流信号を演算の結果として出力することを特徴とする、請求項 1 に記載の二値化ニューラルネットワーク回路。

【請求項 3】

前記シリコンゲートダイオードは、前記シナプス加重値が前記「1」の状態でアップデートされる上昇動作の場合は、前記印加される入力信号に比例して電流信号として演算の結果が出力され、前記シナプス加重値が前記「0」の状態でアップデートされる下降動作の場合は、前記印加される入力信号とは関係なく、電流信号が 0 m A で出力されることを特徴とする、請求項 2 に記載の二値化ニューラルネットワーク回路。

【請求項 4】

前記シリコンゲートダイオードは、前記シナプス加重値が「1」である状態の場合、前記ゲート電圧とは関係なく、前記カソード端子のカソード電流を $\text{ReLU}(\text{rectified linear unit})$ 関数のグラフの概形と類似する形態で出力することを特徴とする、請求項 1 に記載の二値化ニューラルネットワーク回路。

【請求項 5】

前記メモリアレイは、前記複数のシリコンゲートダイオードで前記アノード端子、前記ゲート端子及び前記カソード端子を並列に連結することによってそれぞれ入力ライン、加重値ライン及び出力ラインを形成し、

前記入力ラインは、前記加重値ライン及び前記出力ラインと互いに垂直に配列され、

前記加重値ラインと前記出力ラインは平行に配列されることを特徴とする、請求項 1 に記載の二値化ニューラルネットワーク回路。

【請求項 6】

前記入力ラインは前記入力信号を受け、

前記加重値ラインは前記加重値アップデート信号を受け、

前記出力ラインは、前記入力信号及び前記加重値アップデート信号に基づいた前記M A C 演算の結果を次の人工ニューラルネットワーク端に出力することを特徴とする、請求項 5 に記載の二値化ニューラルネットワーク回路。

【請求項 7】

前記メモリアレイは、前記複数のシリコンゲートダイオードが $N \times M$ の形態で連結され、前記入力ラインに印加される入力信号、及び前記加重値ラインに印加された加重値アップデート信号に基づいてアップデートされるシナプス加重値の積演算により、前記出力ラインを通じて各電流が加算されながら和演算を行い、前記M A C 演算の結果をシナプス加重値行列として出力することを特徴とする、請求項 6 に記載の二値化ニューラルネットワーク回路。

【請求項 8】

前記メモリアレイは、前記 N 及び前記 M が「2」である場合、前記入力信号が第 1 入力信号及び第 2 入力信号で構成され、前記シナプス加重値が第 1 シナプス加重値乃至第 4 シナプス加重値で構成され、前記出力ラインに出力される第 1 電流及び第 2 電流で構成され、前記第 1 電流及び前記第 2 電流で構成される前記シナプス加重値行列は、前記シナプス加重値と前記入力信号とのベクトル行列積演算の結果として演算されることを特徴とする、請求項 7 に記載の二値化ニューラルネットワーク回路。

【請求項 9】

アノード端子とカソード端子との間にダイオード構造体がチャネル領域として位置し、前記ダイオード構造体上にゲート端子が位置し、前記アノード端子と前記ゲート端子のそれぞれに印加される互いに異なる電圧に基づいて前記チャネル領域でポテンシャル障壁調節

10

20

30

40

50

を通じて単方向スイッチングを具現し、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性を具現する複数のシリコンゲートッドダイオードを含み、

前記複数のシリコンゲートッドダイオードは、並列に連結したメモリアレイでシナプス素子として動作し、前記メモリアレイに連結された入力ライン処理部から印加される入力信号、及び前記メモリアレイに連結されたシナプスライン処理部から印加される加重値アップデート信号に基づいてMAC (multiply - accumulate) 演算の結果を出力し、

前記メモリアレイは、前記複数のシリコンゲートッドダイオードで前記アノード端子、前記ゲート端子及び前記カソード端子を並列に連結することによってそれぞれ入力ライン、加重値ライン及び出力ラインを形成し、

前記入力ラインは、前記加重値ライン及び前記出力ラインと互いに垂直に配列され、

前記加重値ラインと前記出力ラインは平行に配列され、

前記入力ラインは前記入力信号を受け、

前記加重値ラインは前記加重値アップデート信号を受け、

前記出力ラインは、前記入力信号及び前記加重値アップデート信号に基づいた前記MAC演算の結果を次の人工ニューラルネットワーク端に出力し、

前記メモリアレイは、前記複数のシリコンゲートッドダイオードが $N \times M$ の形態で連結され、前記入力ラインに印加される入力信号、及び前記加重値ラインに印加された加重値アップデート信号に基づいてアップデートされるシナプス加重値の積演算により、前記出力ラインを通じて各電流が加算されながら和演算を行い、前記MAC演算の結果をシナプス加重値行列として出力し、

前記メモリアレイは、前記 N 及び前記 M が「2」である場合、前記入力信号が第1入力信号及び第2入力信号で構成され、前記シナプス加重値が第1シナプス加重値乃至第4シナプス加重値で構成され、前記出力ラインに出力される第1電流及び第2電流で構成され、前記第1電流及び前記第2電流で構成される前記シナプス加重値行列は、前記シナプス加重値と前記入力信号とのベクトル行列積演算の結果として演算され、および、

前記メモリアレイは、前記加重値アップデート信号が1Vに固定された状態で前記第1及び第2入力信号が全て印加される場合は、前記第1電流が前記第2電流の2倍の値を有し、その後、前記第1入力信号のみが印加される場合は、前記第1電流と前記第2電流が同一の値を有することを特徴とする、二値化ニューラルネットワーク回路。

【請求項10】

前記メモリアレイは、前記第2入力信号のみが印加される場合は、前記第1電流のみが前記第2入力信号に比例する値を有し、前記第1入力信号及び前記第2入力信号が印加されない場合は、前記第1電流及び前記第2電流が0mAに近似するように測定されることを特徴とする、請求項9に記載の二値化ニューラルネットワーク回路。

【請求項11】

前記シリコンゲートッドダイオードは、シングルシリコンゲートッドダイオード、ダブルシリコンゲートッドダイオード及びトリプルシリコンゲートッドダイオードのうちいずれか一つを含むことを特徴とする、請求項1に記載の二値化ニューラルネットワーク回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路に関し、より詳細には、陽性フィードバックループ (positive feedback loop) をベースにしてメモリとスイッチング機能を単一素子で行うシリコンゲートッド (gated) ダイオードを用いて自体的に活性化機能を行う自己活性二値化ニューラルネットワーク具現技術に関する。

【背景技術】

【0002】

10

20

30

40

50

既存のフォン・ノイマン (v o n N e u m a n n) ベースのコンピューターシステムは、プロセッサとメモリとが分離され、バスライン (b u s l i n e) を介してデータ信号に対する伝送が行われる。

【 0 0 0 3 】

しかし、コンピューティング性能の増加に伴い、プロセッサとメモリとの間のデータ処理速度の差によってボトルネック現象が発生するようになり、大容量データ処理において限界を表し始めた。

【 0 0 0 4 】

言い換えると、半導体産業の革命的な発展であるフォン・ノイマンベースのシステムは、現代のコンピューターの統合密度及び性能を向上させたが、プロセッサとメモリ階層構造との間の物理的な分離によって多くのエネルギーを消耗し、データ伝送及び待機時間が長くなるという短所を有する。

【 0 0 0 5 】

4 次産業革命以来、5 G 通信標準、モノのインターネット (I n t e r n e t O f T h i n g s 、 I o T) 、人工知能 (A r t i f i c i a l I n t e l l i g e n c e 、 A I) などのデータ集約的なアプリケーションの増加を考慮したとき、新しいコンピューティングパラダイムは、大規模のデータ処理要求事項において必須である。

【 0 0 0 6 】

上述した問題を解決するために、演算と記憶機能とを融合したロジック・イン・メモリ (l o g i c i n m e m o r y 、 L I M) 技術に対する研究が集中及び加速されている。

【 0 0 0 7 】

ロジック・イン・メモリ技術は、プロセッサの演算機能とメモリの記憶機能とを同一の空間で行うので、データ伝送時に発生する遅延時間及び電力消耗を減少させ、システムの集積度を大いに向上させることができる。

【 0 0 0 8 】

従来のロジック・イン・メモリ技術は、揮発性メモリ素子に該当する S R A M (s t a t i c r a n d o m a c c e s s m e m o r y) 、 D R A M (d y n a m i c R A M) と、不揮発性メモリ素子に該当する R e R A M (r e s i s t i v e R A M) 、 M R A M (m a g n e t o r e s i s t i v e R A M) 、 P C R A M (p h a s e - c h a n g e R A M) などをベースにして活発に研究されてきた。

【 0 0 0 9 】

大容量データ処理の限界を克服するために、ロジックメモリをワンチップ化した P O P (P a c k a g e O n P a c k a g e) 及び T S V (T h r o u g h S i l i c o n V i a) 技術が研究されているが、ロジックとメモリの機能がトランジスタで同時に行われないので、ボトルネック現象、消耗電力、演算効率及び集積度と関連した問題が依然として存在する。

【 0 0 1 0 】

また、不揮発性メモリ素子ベースのロジック・イン・メモリ技術の場合、非シリコン物質を使用するので複雑な工程過程が要求され、低い素子均一性及び安定性によって実用化されにくい。

【 0 0 1 1 】

また、既に研究されたロジック・イン・メモリ技術は、一つのセルで全ての基本 C M O S (c o m p l e m e n t a r y m e t a l - o x i d e s e m i c o n d u c t o r) 論理演算を具現することができなく、論理演算によって個別的な回路及び配線が要求されるので低い集積度を有する。

【 0 0 1 2 】

したがって、C M O S 工程への適用が可能であり、スイッチング機能とメモリ機能とを同時に行うシリコンゲートダイオードを活用した二値化ニューラルネットワーク技術と、ニューロン回路の活性化機能をニューラルネットワークで自体的に行う自己活性ニューラルネットワーク技術の開発が必要な状況である。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0013】

【文献】韓国公開特許第10-2023-0053195号（シリコンダイオードを用いたステートフルロジック・イン・メモリ）

【文献】韓国公開特許第10-2022-0110774号（性能及び面積効率的なシナプスメモリセル構造）

【文献】韓国公開特許第10-2023-0020840号（シリコントランジスタを用いた可変型ロジック・イン・メモリ素子）

【文献】韓国公開特許第10-2022-0107808号（混成信号二値化ニューラルネットワーク回路装置）

10

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明は、陽性フィードバックループをベースにしてメモリとスイッチング機能とを単一素子で行うシリコンゲートッドダイオードを用いて自体的に活性化機能を行う自己活性二値化ニューラルネットワーク回路を具現することを目的とする。

【0015】

本発明は、ポテンシャル障壁（potential wall）調節を通じて単方向スイッチング特性を有し、陽性フィードバックループによってポテンシャル井戸（potential well）に正孔又は電子が蓄積されることによってメモリ特性も有するシリコンゲートッドダイオードの優れたメモリ特性と、入力信号による出力信号の線形性を通じた自体的な活性化機能とを有することによって、人工ニューラルネットワークの面積及び演算効率を増加できる自己活性二値化ニューラルネットワーク回路を具現することを目的とする。

20

【0016】

本発明は、CMOS工程を活用可能であるので大規模アレイの製作が可能であり、シリコンゲートッドダイオードとシナプティック素子（synaptic device）との特性偏差をほとんどなくし、人工ニューラルネットワークの演算正確度を増加させることを目的とする。

30

【0017】

本発明は、陽性フィードバックループベースのシリコンゲートッドダイオードで構成されたメモリアレイがニューロン回路の活性化機能を自体的に行い、均一性及び安定性に優れた二値化ニューラルネットワーク回路を具現することを目的とする。

【0018】

本発明は、シリコンゲートッドダイオードの優れたメモリ特性を用いて待機電力を減少させながら、優れたスイッチング特性を通じて低い消費電力で演算効率を増加させ、次世代人工知能コンピューティング技術に活用できる二値化ニューラルネットワーク回路を具現することを目的とする。

【課題を解決するための手段】

40

【0019】

本発明の一実施例に係る二値化ニューラルネットワーク回路においては、アノード（anode）端子とカソード（cathode）端子との間にダイオード構造体がチャネル領域として位置し、前記ダイオード構造体上にゲート（gate）端子が位置し、前記アノード端子と前記ゲート端子のそれぞれに印加される互いに異なる電圧に基づいて前記チャネル領域でポテンシャル障壁調節を通じて単方向スイッチングを具現し、陽性フィードバックループによって前記ポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性を具現する複数のシリコンゲートッドダイオードを含み、前記複数のシリコンゲートッドダイオードは、並列に連結したメモリアレイでシナプス素子として動作し、前記メモリアレイに連結された入力ライン処理部から印加される入力信号、及び前記メモリア

50

レイに連結されたシナプスライン処理部から印加される加重値アップデート信号に基づいてMAC (multiply - accumulate) 演算の結果を出力することができる。

【0020】

前記シリコンゲートッドダイオードは、前記アノード端子のアノード電圧を前記入力信号として受け、前記印加される入力信号が正の方向に増加することに伴う前記陽性フィードバックループによるラッチアップ (latch - up) 現象を発生させ、前記チャネル領域に対して二つのメモリ状態のうちいずれか一つのメモリ状態を有し、前記ゲート端子のゲート電圧を前記加重値アップデート信号として受けることによって前記ラッチアップ現象が発生する前記入力信号が調節され、前記入力信号と前記加重値アップデート信号の印加によって前記いずれか一つのメモリ状態と関連したシナプス状態がアップデートされ、前記シナプス加重値による前記MAC演算機能を行うことができる。

10

【0021】

前記シリコンゲートッドダイオードは、前記印加される入力信号が正の方向に増加することに伴う「0」から「1」までの連続的な入力と、前記二つのメモリ状態に該当する「0」の状態及び「1」の状態のうちいずれか一つの状態のシナプス加重値との間の積 (multiply) 演算を行い、「0」及び「1」のうちいずれか一つに該当する電流信号を演算の結果として出力することができる。

【0022】

前記シリコンゲートッドダイオードは、前記シナプス加重値が前記「1」の状態でアップデートされる上昇 (potentiation) 動作の場合は、前記印加される入力信号に比例して電流信号として演算の結果が出力され、前記シナプス加重値が前記「0」の状態でアップデートされる下降 (depression) 動作の場合は、前記印加される入力信号と関係なく、電流信号が0mAで出力され得る。

20

【0023】

前記シリコンゲートッドダイオードは、前記シナプス加重値が「1」の状態である場合、前記ゲート電圧と関係なく、前記カソード端子のカソード電流をReLU (rectified linear unit) 関数のグラフの概形と類似する形態で出力することができる。

【0024】

前記メモリアレイは、前記複数のシリコンゲートッドダイオードで前記アノード端子、前記ゲート端子及び前記カソード端子を並列に連結することによってそれぞれ入力ライン、加重値ライン、及び出力ラインを形成し、前記入力ラインは、前記加重値ライン及び前記出力ラインと互いに垂直に配列され、前記加重値ラインと前記出力ラインは平行に配列され得る。

30

【0025】

前記入力ラインは前記入力信号を受け、前記加重値ラインは前記加重値アップデート信号を受け、前記出力ラインは、前記入力信号及び前記加重値アップデート信号に基づいた前記MAC演算の結果を次の人工ニューラルネットワーク端に出力することができる。

【0026】

前記メモリアレイは、前記複数のシリコンゲートッドダイオードが $N \times M$ の形態で連結され、前記入力ラインに印加される入力信号、及び前記加重値ラインに印加された加重値アップデート信号に基づいてアップデートされるシナプス加重値の積演算により、前記出力ラインを通じて各電流が加算されながら和演算を行い、前記MAC演算の結果をシナプス加重値行列として出力することができる。

40

【0027】

前記メモリアレイは、前記N及び前記Mが「2」である場合、前記入力信号が第1入力信号及び第2入力信号で構成され、前記シナプス加重値が第1シナプス加重値乃至第4シナプス加重値で構成され、前記出力ラインに出力される第1電流及び第2電流で構成され、前記第1電流及び前記第2電流で構成される前記シナプス加重値行列が前記シナプス加

50

重値と前記入力信号とのベクトル行列積演算の結果として演算され得る。

【 0 0 2 8 】

前記メモリアレイは、前記加重値アップデート信号が 1 V に固定された状態で前記第 1 及び第 2 入力信号が全て印加されると、前記第 1 電流が前記第 2 電流の 2 倍の値を有し、その後、前記第 1 入力信号のみが印加される場合、前記第 1 電流と前記第 2 電流が同一の値を有することができる。

【 0 0 2 9 】

前記メモリアレイは、前記第 2 入力信号のみが印加される場合は、前記第 1 電流のみが前記第 2 入力信号に比例する値を有し、前記第 1 入力信号及び前記第 2 入力信号が印加されない場合は、前記第 1 電流及び前記第 2 電流が 0 m A に近似するように測定され得る。

10

【 0 0 3 0 】

前記シリコンゲートッドダイオードは、シングル (s i n g l e) シリコンゲートッドダイオード、ダブル (d o u b l e) シリコンゲートッドダイオード及びトリプル (t r i p l e) シリコンゲートッドダイオードのうちいずれか一つを含むことができる。

【 発明の効果 】

【 0 0 3 1 】

本発明は、陽性フィードバックループをベースにしてメモリとスイッチング機能とを単一素子で行うシリコンゲートッドダイオードを用いて自体的に活性化機能を行う自己活性二値化ニューラルネットワーク回路を具現することができる。

【 0 0 3 2 】

20

本発明は、ポテンシャル障壁調節を通じて単方向スイッチング特性を有し、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性も有するシリコンゲートッドダイオードの優れたメモリ特性と、入力信号による出力信号の線形性を通じた自体的な活性化機能とを有することによって、人工ニューラルネットワークの面積及び演算効率を増加できる自己活性二値化ニューラルネットワーク回路を具現することができる。

【 0 0 3 3 】

本発明は、C M O S 工程を活用可能であるので大規模アレイの製作が可能であり、シリコンゲートッドダイオードとシナプティック素子との特性偏差がほとんどないので、人工ニューラルネットワークの演算正確度を増加させることができる。

30

【 0 0 3 4 】

本発明は、陽性フィードバックループベースのシリコンゲートッドダイオードで構成されたメモリアレイがニューロン回路の活性化機能を自体的に行い、均一性及び安定性に優れた二値化ニューラルネットワーク回路を具現することができる。

【 0 0 3 5 】

本発明は、シリコンゲートッドダイオードの優れたメモリ特性を用いて待機電力を減少させながら、優れたスイッチング特性を通じて低い消耗電力で演算効率を増加させ、次世代人工知能コンピューティング技術に活用できる二値化ニューラルネットワーク回路を具現することができる。

【 図面の簡単な説明 】

40

【 0 0 3 6 】

【 図 1 a 】 本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの構造及び回路記号を説明する図である。

【 図 1 b 】 本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの構造及び回路記号を説明する図である。

【 図 2 a 】 本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの構造及び回路記号を説明する図である。

【 図 2 b 】 本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの構造及び回路記号を説明する図である。

【 図 3 a 】 本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコ

50

ンゲートッドダイオードの電気的特性を説明する図である。

【図 3 b】本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性を説明する図である。

【図 3 c】本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性を説明する図である。

【図 4】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路を説明する図である。

【図 5 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を説明する図である。

【図 5 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を説明する図である。

10

【図 6 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を説明する図である。

【図 6 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を説明する図である。

【図 7 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 7 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

20

【図 8 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 8 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 9 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

30

【図 9 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 9 c】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 9 d】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 9 e】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

40

【図 9 f】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのMAC (multiply - accumulate) 演算を説明する図である。

【図 10】本発明の一実施例に係るシリコンゲートッドダイオードの光学イメージを説明する図である。

【図 11 a】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業を説明する図である。

【図 11 b】本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニュー

50

ーラルネットワーク回路の演算作業を説明する図である。

【図 1 1 c】本発明の一実施例に係るシリコンゲーテッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業を説明する図である。

【発明を実施するための形態】

【 0 0 3 7 】

以下では、本文書の多様な実施例が添付の図面を参照して記載される。

【 0 0 3 8 】

実施例及びこれに使用された各用語は、本文書に記載された技術を特定の実施形態に限定しようとするものではなく、該当の実施例の多様な変更、均等物、及び / 又は代替物を含むものと理解しなければならない。

【 0 0 3 9 】

以下で多様な実施例を説明する際、関連した公知の機能又は構成に対する具体的な説明が発明の要旨を不明瞭にし得ると判断される場合は、それについての詳細な説明は省略する。

【 0 0 4 0 】

そして、後述する各用語は、多様な実施例での機能を考慮して定義されたものであって、これは、ユーザー及び運用者の意図又は慣例などによって変わり得る。そのため、各用語は、本明細書全般にわたった内容に基づいて定義されなければならない。

【 0 0 4 1 】

図面の説明と関連して、類似する構成要素に対しては類似する参照符号が使用され得る。

【 0 0 4 2 】

単数の表現は、文脈上、明らかに異なる意味を有さない限り、複数の表現を含むことができる。

【 0 0 4 3 】

本文書において、「A 又は B」又は「A 及び / 又は B のうち少なくとも一つ」などの表現は、共に羅列した各項目の全ての可能な組み合わせを含むことができる。

【 0 0 4 4 】

「第 1」、「第 2」、「一番目」、又は「二番目」などの表現は、該当の構成要素を順序又は重要度と関係なく修飾することができ、一つの構成要素を他の構成要素と区分するために使用されるものに過ぎなく、該当の構成要素を限定するものではない。

【 0 0 4 5 】

いずれかの（例：第 1）構成要素が他の（例：第 2）構成要素に「（機能的に又は通信的に）連結されて」いたり、「接続されて」いると言及したとき、前記いずれかの構成要素は、前記他の構成要素に直接連結されたり、他の構成要素（例：第 3 構成要素）を介して連結され得る。

【 0 0 4 6 】

本明細書において、「～するように構成された（又は設定された）」は、状況に応じて、例えば、ハードウェア的又はソフトウェア的に「～に適した」、「～する能力を有する」、「～するように変更された」、「～するように作られた」、「～をすることができる」、又は「～するように設計された」と相互互換的に使用され得る。

【 0 0 4 7 】

いずれかの状況において、「～するように構成された装置」という表現は、その装置が他の装置又は部品と共に「～することができる」ことを意味し得る。

【 0 0 4 8 】

例えば、「A、B、及び C を行うように構成された（又は設定された）プロセッサ」という文句は、該当の動作を行うための専用プロセッサ（例：組み込みプロセッサ）、又はメモリ装置に記憶された一つ以上のソフトウェアプログラムを実行することによって、該当の動作を行える汎用プロセッサ（例：CPU 又はアプリケーションプロセッサ）を意味し得る。

【 0 0 4 9 】

10

20

30

40

50

また、「又は」という用語は、排他的論理和「exclusive or」よりは、包含的論理和「inclusive or」を意味する。

【0050】

すなわち、他の方式で言及しない限り、又は文脈から明確でない限り、「xがa又はbを用いる」という表現は、自然な包含的置換(natural inclusive permutations)のいずれか一つを意味する。

【0051】

以下で使用される「...部」、「...機」などの用語は、少なくとも一つの機能や動作を処理する単位を意味し、これは、ハードウェアやソフトウェア、又は、ハードウェアとソフトウェアの結合で具現され得る。

【0052】

図1a乃至図2bは、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオードの構造及び回路記号を説明する図である。

【0053】

図1a及び図1bは、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシングルシリコンゲーテッドダイオードの構造及び回路記号を例示する。

【0054】

図1aを参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオード100は、アノード端子101とカソード端子104との間のチャンネル領域が第1チャンネル領域102及び第2チャンネル領域103で構成される。

【0055】

第2チャンネル領域103上にゲート絶縁膜105が位置し、ゲート絶縁膜105上にゲート端子106が位置する構造を有する。

【0056】

本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオードの回路記号110は、アノード端子111とカソード端子113との間にチャンネル領域112が位置し、これにゲート端子114が連結される。

【0057】

図1bを参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオード120は、アノード端子121とカソード端子124との間のチャンネル領域が第1チャンネル領域122及び第2チャンネル領域123で構成される。

【0058】

第1チャンネル領域122上にゲート絶縁膜125が位置し、ゲート絶縁膜125上にゲート端子126が位置する構造を有する。

【0059】

本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオードの回路記号130は、アノード端子131とカソード端子133との間にチャンネル領域132が位置し、これにゲート端子134が連結される。

【0060】

本発明の一実施例によると、アノード端子111又はアノード端子131に入力ラインが連結され、カソード端子113又はカソード端子133に出力ラインが連結され、チャンネル領域のメモリ状態は、シナプス加重値のアップデートによって決定される。

【0061】

図2aは、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するダブルシリコンゲーテッドダイオードの構造及び回路記号を例示する。

【0062】

図2aを参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲーテッドダイオード200は、アノード端子201とカソード端子2

10

20

30

40

50

03との間に真性領域202が位置し、真性領域202上にゲート絶縁膜204が位置し、ゲート絶縁膜204上に第1ゲート端子205及び第2ゲート端子206が位置する。

【0063】

真性領域202は、第1ゲート端子205及び第2ゲート端子206のうちいずれか一つのゲート端子から入力されるゲート電圧に基づいてチャネル領域として動作する。

【0064】

本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの回路記号210は、アノード端子211とカソード端子213との間に真性領域212が位置し、これに第1ゲート端子214及び第2ゲート端子215が連結される。

10

【0065】

図2bは、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するトリプルシリコンゲートッドダイオードの構造及び回路記号を例示する。

【0066】

図2bを参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオード220は、アノード端子221とカソード端子223との間に真性領域222が位置し、真性領域222上にゲート絶縁膜224が位置し、ゲート絶縁膜224上にプログラミングゲート端子225及びコントロールゲート端子226が位置する。

【0067】

真性領域222は、プログラミングゲート端子225から入力されるゲート電圧に基づいてチャネル領域として動作する。

20

【0068】

より具体的には、真性領域222は、真性領域222からプログラミングゲート端子225に入力されるプログラム電圧(VPG)のレベルがハイレベルである場合は、第1チャネル動作に該当するnチャネルとして動作し、プログラム電圧(VPG)のレベルがローレベルである場合は、第2チャネル動作に該当するpチャネルとして動作し得る。

【0069】

シリコンゲートッドダイオード220は、第1チャネル動作を行うとき、コントロールゲート端子226を介して入力されるコントロール電圧(VCG)のレベルがハイレベルである場合はオン状態であると決定され、コントロールゲート端子226を通じて印加されるコントロール電圧(VCG)のレベルがローレベルである場合はオフ状態であると決定され得る。

30

【0070】

本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの回路記号230は、アノード端子231とカソード端子233との間に真性領域232が位置し、これにプログラミングゲート端子234及びコントロールゲート端子235が連結される。

【0071】

例えば、アノード端子、ゲート端子及びカソード端子は、アノード電極、カソード電極及びゲート電極に取り替えられ、それぞれの端子が電極と称され得る。

40

【0072】

すなわち、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードは、シリコンチャネル上に単一ゲートッド電極端子がn又はp型ドーピングされたチャネル領域上に蒸着したり、多数のゲートッド電極端子が真性ドーピング領域上に蒸着した構造を有することができる。

【0073】

また、シリコンゲートッドダイオードは、ポテンシャルバリア(potential barrier)が陽性フィードバックループを誘導して動作し、スイッチングとメモリ特性を有するので二値化ニューラルネットワークのシナプス素子として構成され得る。

50

【 0 0 7 4 】

言い換えると、シリコンゲートッドダイオードは、スイッチングとメモリ特性を有するので、ニューロン回路の活性化機能をニューラルネットワークで自体的に行う自己活性二値化ニューラルネットワーク回路を具現することができる。

【 0 0 7 5 】

したがって、本発明は、陽性フィードバックループをベースにしてメモリとスイッチング機能を単一素子で行うシリコンゲートッドダイオードを用いて自体的に活性化機能を行う自己活性二値化ニューラルネットワーク回路を具現することができる。

【 0 0 7 6 】

図 3 a 乃至図 3 c は、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性を説明する図である。

10

【 0 0 7 7 】

図 3 a 乃至図 3 c は、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性を例示する。

【 0 0 7 8 】

図 3 a を参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性と関連したグラフ 3 0 0 は、アノード端子に印加されるアノード電圧 (V_{IN}) によるカソード端子に出力されるカソード電流 (I_{Diode}) の変化を示す。

【 0 0 7 9 】

20

グラフ 3 0 0 は、二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードがアノード電圧 (V_{IN}) を正の方向に増加させると、陽性フィードバックループによるラッチアップ現象が発生し、二つの状態を有し得ることを示す。

【 0 0 8 0 】

また、シリコンゲートッドダイオードのゲート電圧 (V_W) によって、ラッチアップが発生するアノード電圧が変わる。

【 0 0 8 1 】

二値化ニューラルネットワーク回路は、このような単一素子の特性に基づいてアノード電圧とゲート電圧を印加し、シナプス加重値アップデート及び MAC (multiply - accumulate) 演算機能を行うことができる。

30

【 0 0 8 2 】

ゲート電圧とは関係なく、「1」の状態の素子のカソード電流 (I_{Diode}) は、ReLU (rectified linear unit) 関数のグラフの概形と類似し得る。

【 0 0 8 3 】

ReLU 関数は、ほとんどの人工ニューラルネットワークアーキテクチャで使用するニューロン回路の活性化関数であり得る。

【 0 0 8 4 】

言い換えると、本発明の二値化ニューラルネットワークを構築するシリコンゲートッドダイオードは、ゲート電圧と関係なく、出力電流が「1」のシナプス加重値状態で ReLU 関数の概形を有することによって、ニューロン回路を自己活性化する自己活性二値化ニューラルネットワーク回路を具現することができる。

40

【 0 0 8 5 】

単一シリコンゲートッドダイオードの単方向性スイッチング又は自己整流特性及び高い線形性を通じて、二値化ニューラルネットワークが自体的に活性化機能を行う自己活性二値化ニューラルネットワークを具現することができる。

【 0 0 8 6 】

図 3 b を参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートッドダイオードの電気的特性と関連したグラフ 3 1 0 は、アノード端子に印加されるアノード電圧 (V_{IN}) によるカソード端子に出力されるカソード電流 (I_{Diode}) の変化と関連してシリコンゲートッドダイオードのゲート電圧 (V_W)

50

が 0 V である場合を示す。

【 0 0 8 7 】

図 3 c を参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路を構成するシリコンゲートダイオードの電気的特性と関連したグラフ 3 2 0 は、アノード端子に印加されるアノード電圧 (V_{IN}) によるカソード端子に出力されるカソード電流 (I_{Diode}) の変化と関連してシリコンゲートダイオードのゲート電圧 (V_W) が 1 V である場合を示す。

【 0 0 8 8 】

アノード電圧 (V_{IN}) が 0 V である場合は、待機 (Standby) 状態に該当し得る。

10

【 0 0 8 9 】

グラフ 3 2 0 は、BNN (Bayesian Neural Network) 作動条件を示し、アノード電圧 (V_{IN}) が増加することに伴い、ゲート電圧 (V_W) が 2 . 5 V 程度で 1 V である場合、カソード電流 (I_{Diode}) が急激に増加することを示す。

【 0 0 9 0 】

グラフ 3 2 0 は、アノード電圧 (V_{IN}) が減少することに伴い、陽性フィードバックループが 1 V 程度で除去されることを示す。

【 0 0 9 1 】

双安定特性は、カソード電流 (I_{Diode}) 対アノード電圧 (V_{IN}) として表示され、状態 1 と 0 における電流の大きさの高い比率は約 10^8 であり得る。

20

【 0 0 9 2 】

2 V のアノード電圧 (V_{IN}) に対して、ゲート電圧 (V_W) が 1 V である場合、ユニポーラススイッチング特性で p - n ダイオードの電気的特性を継承する。

【 0 0 9 3 】

ゲート電圧 (V_W) とは関係なく、状態 1 のカソード電流 (I_{Diode}) 対アノード電圧 (V_{IN}) に対する曲線形状は、ニューラルネットワークの活性化関数に使用される整流された線形単位関数の形状と類似する。

【 0 0 9 4 】

状態 1 と状態 0 の変化によるカソード電流 (I_{Diode}) の差は、MAC 演算に使用され得る。

30

【 0 0 9 5 】

図 4 は、本発明の一実施例に係るシリコンゲートダイオードを用いた二値化ニューラルネットワーク回路を説明する図である。

【 0 0 9 6 】

図 4 は、本発明の一実施例に係るシリコンゲートダイオードを用いた二値化ニューラルネットワーク回路を例示する。

【 0 0 9 7 】

図 4 を参考にすると、本発明の一実施例に係るシリコンゲートダイオードを用いた二値化ニューラルネットワーク回路 4 0 0 において、アノード端子とカソード端子との間のダイオード構造体がチャネル領域として位置し、ダイオード構造体上にゲート端子が位置し、アノード端子とゲート端子のそれぞれに印加される互いに異なる電圧に基づいてチャネル領域でポテンシャル障壁調節を通じて単方向スイッチングを具現し、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性を具現する複数のシリコンゲートダイオードを含むことができる。

40

【 0 0 9 8 】

例えば、シリコンゲートダイオードを用いた二値化ニューラルネットワーク回路 4 0 0 は、シナプス加重値の二値化によって計算時間及び電力消費を減少させた人工ニューラルネットワークであり得る。

【 0 0 9 9 】

したがって、本発明は、ポテンシャル障壁調節を通じて単方向スイッチング特性を有し

50

、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性も有するシリコンゲートッドダイオードの優れたメモリ特性と、入力信号による出力信号の線形性を通じた自体的な活性化機能とを有することによって、人工ニューラルネットワークの面積及び演算効率を増加できる自己活性二値化ニューラルネットワーク回路を具現することができる。

【0100】

複数のシリコンゲートッドダイオードは、並列に連結したメモリアレイでシナプス素子401として動作し、メモリアレイに連結された入力ライン処理部402から印加される入力信号、及びメモリアレイに連結されたシナプスライン処理部403から印加される加重値アップデート信号に基づいてMAC (multiply - accumulate) 演算の結果を出力することができる。

10

【0101】

二値化ニューラルネットワーク回路400としてのメモリアレイにおいて、複数のシリコンゲートッドダイオードでアノード端子、ゲート端子及びカソード端子を並列に連結することによってそれぞれ入力ライン (IL)、加重値ライン (WL) 及び出力ライン (OL) を形成し、入力ライン (IL) は、加重値ライン (WL) 及び出力ライン (OL) と互いに垂直に配列され、加重値ライン (WL) と出力ライン (OL) は平行に配列され得る。

【0102】

アノード端子は入力ライン (IL) と連結され、ゲート端子は加重値ライン (WL) と連結され、カソード端子は出力ライン (OL) と連結される。

20

【0103】

ゲート端子及びカソード端子は、それぞれ加重値ライン (WL) 及び出力ライン (OL) を形成することができる。

【0104】

例えば、メモリアレイにおいて、複数のシリコンゲートッドダイオードがなす行の数であるMによって第1加重値ライン (WL₀) 乃至第M加重値ライン (WL_m) で構成され、第1出力ライン (OL₀) 乃至第M出力ライン (OL_m) で構成され得る。

【0105】

列に該当する入力ライン (IL) と行に該当する出力ライン (OL) の個数は、互いに同一又は異なり得る。

30

【0106】

ただし、加重値ライン (WL) と出力ライン (OL) は、同一の個数 (M) を有さなければならない。

【0107】

例えば、行と列を構成する素子の個数は入出力の個数だけ構成され得るので、NとMは、同一又は互いに異なる数であり得る。

【0108】

例えば、メモリアレイにおいて、複数のシリコンゲートッドダイオードがなす列の数であるNによって第1入力ライン (IL₀) 乃至第N入力ライン (IL_n) で構成され得る。

40

【0109】

シリコンゲートッドダイオードは、アノード端子のアノード電圧を入力信号として受け、印加される入力信号が正の方向に増加することに伴う陽性フィードバックループによるラッチアップ現象を発生させる。

【0110】

シリコンゲートッドダイオードは、チャネル領域に対して二つのメモリ状態のうちいずれか一つのメモリ状態を有し、ゲート端子のゲート電圧を加重値アップデート信号として受けることによって、ラッチアップ現象が発生する入力信号が調節され得る。

【0111】

また、シリコンゲートッドダイオードは、入力信号と加重値アップデート信号の印加に

50

よっていずれか一つのメモリ状態と関連したシナプス状態がアップデートされ、シナプス加重値によるM A C演算機能を行うことができる。

【0112】

一例として、シリコンゲートッドダイオードは、印加される入力信号が正の方向に増加することに伴う「0」から「1」までの連続的な入力と、二つのメモリ状態に該当する「0」の状態及び「1」の状態のうちいずれか一つの状態のシナプス加重値との間の積演算を行い、「0」及び「1」のうちいずれか一つに該当する電流信号を演算の結果として出力することができる。

【0113】

図5a乃至図6bは、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を説明する図である。

10

【0114】

図5aは、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算を例示する。

【0115】

図5aを参考にすると、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式は、第1ケース500と第2ケース501とに区分し、入力信号とシナプス加重値との間のM A C演算を行う。

【0116】

したがって、二値化ニューラルネットワーク回路は、連続的な多くの層のニューラルネットワークを通じてイメージ認識などの人工知能機能を具現することができる。

20

【0117】

入力ラインと加重値ラインの入力電圧を通じてシナプス加重値をアップデートすることができる。

【0118】

入力ラインを介して印加される入力信号(V_{IN})は、連続的な値を有することができ、これは、二値化ニューラルネットワークでの0から1の連続的な入力(A)を意味し得る。

【0119】

出力に該当する電流信号(I_{OUT})は、O Lを通じて読み取ることができ、このとき、入力(A)は、シリコンゲートッドダイオードの自己活性化特性によって入力信号(V_{IN})に対するR e L U関数の形態を有することができる。

30

【0120】

第1ケース500と第2ケース501に該当する演算は、下記の表1のようにまとめることができる。

【0121】

【表1】

	アノード電圧 (A)	シナプス加重値 (W)	出力 (OUT)
第1ケース	0～1	0	0
第2ケース		1	0～1

40

【0122】

シリコンゲートッドダイオードは、「1」の状態及び「0」の状態の二つのメモリ状態を有し、それぞれ二値化されたシナプス加重値($W(0, 1)$)を意味し得る。

【0123】

第1ケース500において、シナプス加重値(W)が0である場合、これは、シリコンゲートッドダイオードがオフになった状態(「0」状態)であるので、印加される入力信号(V_{IN})とは関係なく、出力電流(I_{OUT})が非常に低いレベルで流れる。

50

【 0 1 2 4 】

0 ~ 1 のアノード電圧 (A) と関連して、基準電圧以下の電圧は 0 に該当し、基準電圧より大きい電圧は 1 に該当する。

【 0 1 2 5 】

例えば、基準電圧が 1 V である場合、1 V 以上の電圧は 1 に該当し得る。

【 0 1 2 6 】

一方、出力において、0 ~ 1 の基準電流より大きい電流は 1 として出力され、基準電流より小さい電流は 0 として出力される。

【 0 1 2 7 】

これは、二値化ニューラルネットワークの M A C 演算において、アノード電圧とシナプス加重値との積演算の結果が、入力信号と関係なく常に 0 であることを意味し得る。

10

【 0 1 2 8 】

第 2 ケース 5 0 1 において、シナプス加重値 (W) が 1 である場合、これは、シリコンゲートダイオードがオンになった状態 (「 1 」 状態) であるので、出力電流 (I O U T) が印加される入力信号 (V I N) に比例して線形的に変化し得る。

【 0 1 2 9 】

これは、二値化ニューラルネットワークの M A C 演算において、アノード電圧とシナプス加重値との積演算の結果が入力に比例し得ることを意味する。

【 0 1 3 0 】

本発明の一実施例によると、シリコンゲートダイオードは、印加される入力信号が正の方向に増加することに伴う「 0 」から「 1 」までの連続的な入力と、二つのメモリ状態に該当する「 0 」の状態及び「 1 」の状態のうちいずれか一つの状態のシナプス加重値との間の積演算を行い、「 0 」及び「 1 」のうちいずれか一つに該当する電流信号を演算の結果として出力することができる。

20

【 0 1 3 1 】

ここで、正の方向に増減することに伴う「 0 」から「 1 」までの入力と関連して、基準電圧以下の電圧は「 0 」に該当し、基準電圧より大きい電圧は「 1 」に該当する。

【 0 1 3 2 】

例えば、基準電圧が 1 V である場合、1 V 以上の電圧は「 1 」に該当し得る。

【 0 1 3 3 】

図 5 b は、本発明の一実施例に係るシリコンゲートダイオードを用いた二値化ニューラルネットワーク回路の動作方式でのシリコンゲートダイオードの状態変化によるエネルギーバンドダイヤグラムを例示する。

30

【 0 1 3 4 】

図 5 b を参考にすると、第 1 エネルギーバンドダイヤグラム 5 1 0 は、シリコンゲートダイオードの状態が「 0 」であることを示し、第 2 エネルギーバンドダイヤグラム 5 1 1 は、シリコンゲートダイオードの状態が「 1 」であることを示すことができる。

【 0 1 3 5 】

第 1 エネルギーバンドダイヤグラム 5 1 0 による状態「 0 」において、過度な電荷キャリアがエネルギーバンドダイヤグラムの n 及び p ドーピング領域のポテンシャル井戸にないので、ダイオード電流 (I D i o d e) がダイオードに流れることを防止する。

40

【 0 1 3 6 】

対照的に、第 2 エネルギーバンドダイヤグラム 5 1 1 による状態「 1 」において、過度な電荷キャリアがエネルギーバンドダイヤグラムの n 及び p ドーピング領域のポテンシャル井戸に蓄積され、ダイオード電流がダイオードに流れるようになる。

【 0 1 3 7 】

ポテンシャル障壁を変調すると、ダイオードが双安定特性を示すことができる。

【 0 1 3 8 】

0 V の加重値電圧 0 V は、上昇及び下降動作を行うときに印加され、1 V の加重値電圧は、待機及び積算 (m u l t i p l i c a t i o n) 動作を行うときに印加される。

50

【0139】

状態「0」と状態「1」のコンダクタンスは、上昇又は下降動作によってポテンシャル井戸内に電荷が存在したり、又は存在しないことによって変わる素子のコンダクタンスであり得る。

【0140】

図6aは、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での積演算のタイミング図を例示する。

【0141】

図6aを参考にすると、タイミング図600は、加重値「1」のアップデート後に該当する上昇区間601を示すことができ、連続的な入力信号(V_{IN})パルスに比例して出力電流(I_{OUT})が測定された一方で、加重値「0」のアップデート後に該当する下降区間602を示すことができ、入力信号(V_{IN})とは関係なく、0mAの低い出力電流(I_{OUT})が測定され得る。

10

【0142】

本発明の一実施例によると、シリコンゲートッドダイオードは、シナプス加重値が「1」の状態アップデートされる上昇動作の場合は、印加される入力信号に比例して電流信号として演算の結果が出力され、シナプス加重値が「0」の状態アップデートされる下降動作の場合は、印加される入力信号と関係なく、電流信号が0mAで出力され得る。

【0143】

シリコンゲートッドダイオードは、シナプス加重値が「1」の状態である場合、ゲート電圧とは関係なく、カソード端子のカソード電流をReLU(rectified linear unit)関数のグラフの概形と類似する形態で出力することができる。

20

【0144】

タイミング図600の動作方法でシナプス加重値(W)を1にアップデートするために、アノード端子に加えられる入力電圧(V_{IN}) = 2Vと、ゲート端子に加えられるシナプス加重値電圧(V_W) = 0Vの電圧パルスを印加する。

【0145】

その後、1.1Vから2.0Vまでの連続的な V_{IN} に比例して、0mA ~ 7.4mAの連続的な I_{OUT} が測定され得る。

【0146】

シナプス加重値(W)を0にアップデートするために、 V_{IN} = 2Vと V_W = 0Vの電圧パルスを印加することができる。

30

【0147】

このとき、同一の入力電圧(V_A)とは関係なく、0mAに近接した非常に低いレベルの出力電流が測定され得る。

【0148】

これを通じて、単一シナプス素子が、優れた線形性に基づいて積演算を行うことが分かる。

【0149】

図6bを参考にすると、グラフ610において、シリコンゲートッドダイオードは、入出力間の優れた線形関係を示しながら積演算を行うことができる。

40

【0150】

グラフ610は、実験結果611及び直線フィッティング612を示す。

【0151】

したがって、本発明は、CMOS工程を活用可能であるので大規模アレイの製作が可能であり、シリコンゲートッドダイオードとシナプティック素子との特性偏差がほとんどないので、人工ニューラルネットワークの演算正確度を増加させることができる。

【0152】

従来技術の次世代メモリであるReRAM及びMRAMなどを用いた技術では、CMOS工程を適用不可能であり、素子の均一性及び安定性が低下し、複雑な工程過程によって

50

実用化されにくいという短所が存在する。

【 0 1 5 3 】

従来の人工ニューラルネットワーク技術では、活性化機能を通じて多くのニューラルネットワーク層を連結するが、これを実現するためには複雑な付加的なニューロン回路が必要であり、これは、人工ニューラルネットワークの面積及びエネルギー効率を悪化させ得る。

【 0 1 5 4 】

しかし、本発明は、シリコンゲートッドダイオードの優れたメモリ特性を用いて待機電力を減少させながら、優れたスイッチング特性を通じて低い消費電力で演算効率を増加させ、次世代人工知能コンピュータ技術に活用できる二値化ニューラルネットワーク回路を具現することができる。

10

【 0 1 5 5 】

図 7 a 乃至図 8 b は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での M A C (m u l t i p l y - a c c u m u l a t e) 演算を説明する図である。

【 0 1 5 6 】

図 7 a 及び図 7 b は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での M A C 演算と関連して、 4×1 の形態で連結されたシリコンゲートッドダイオードで構成されたメモリアレイを使用した場合を例示する。

20

【 0 1 5 7 】

図 7 a を参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路に該当するメモリアレイ 7 0 0 において、出力電流には、共通した出力ライン (O L) を介して出力電流 (I O U T) に電流加算 (c u r r e n t s u m m a t i o n) が行われ、和 (a c c u m u l a t e) 演算が行われる。

【 0 1 5 8 】

図 7 b を参考にすると、本発明の一実施例に係る二値化ニューラルネットワーク回路に該当するタイミング図 7 1 0 において、入力ラインの入力電圧 (V I N 1 乃至 V I N 4) を 1 . 1 V から段階ごとに 0 . 1 V ずつ 2 V まで増加させる。

【 0 1 5 9 】

タイミング図 7 1 0 は、各ダイオードからの出力電流に対して、共通した出力ライン (O L) を介して出力電流 (I O U T) に電流加算が行われ、和演算が行われた結果を示す。

30

【 0 1 6 0 】

図 8 a 及び図 8 b は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の動作方式での M A C 演算と関連した行列 M A C 演算を例示する。

【 0 1 6 1 】

図 8 a は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路 8 0 0 と、二値化ニューラルネットワーク回路の演算によるシナプス加重値行列 8 0 1 とを開示する。

40

【 0 1 6 2 】

図 8 b は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路 8 0 0 と、二値化ニューラルネットワーク回路の演算と関連したタイミング図 8 1 0 とを例示する。

【 0 1 6 3 】

二値化ニューラルネットワークの M A C 演算は、 2×2 の形態で連結されたシリコンゲートッドダイオードアレイを二値化ニューラルネットワーク回路 8 0 0 として使用する。

【 0 1 6 4 】

二値化ニューラルネットワーク回路 8 0 0 と関連したメモリアレイは、複数のシリコンゲートッドダイオードが $N \times N$ の形態で連結され、入力ラインに印加される入力信号、及

50

び加重値ラインに印加された加重値アップデート信号に基づいてアップデートされるシナプス加重値の積演算により、出力ラインを通じて各電流が加算されながら和演算を行い、MAC演算の結果をシナプス加重値行列として出力することができる。

【0165】

また、メモリアレイにおいて、Nが「2」である場合、入力信号が第1入力信号及び第2入力信号で構成され、シナプス加重値が第1シナプス加重値乃至第4シナプス加重値で構成され、出力ラインに出力される第1電流及び第2電流で構成され、第1電流及び第2電流で構成されるシナプス加重値行列がシナプス加重値と入力信号とのベクトル行列積演算の結果として演算され得る。

【0166】

シリコンゲートッドダイオードは、各入力信号（ V_{IN1} 、 V_{IN2} ）とシナプス加重値（ W_{11} 、 W_{12} 、 W_{21} 、 W_{22} ）との積演算を行い、共通した第1出力ライン（ OL_1 ）及び第2出力ライン（ OL_2 ）を通じて各出力電流（ I_{OUT1} 、 I_{OUT2} ）が加算されながら和演算を行うことができる。

【0167】

すなわち、数学的には、前記 2×2 アレイは、ベクトル - 行列積演算

【数1】

$$\begin{bmatrix} W_{11} & W_{12} \\ W_{21} & W_{22} \end{bmatrix} \begin{bmatrix} IN_1 \\ IN_2 \end{bmatrix} = \begin{bmatrix} OUT_1 \\ OUT_2 \end{bmatrix}$$

を行うことができ、シナプス加重値行列 $\begin{bmatrix} 8 & 0 \\ 1 & 1 \end{bmatrix}$ が

【数2】

$$\begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}$$

であることを例示する。

【0168】

二値化ニューラルネットワーク回路800において、各素子のシナプス加重値をアップデートした後、 V_W は1Vに固定した状態で V_{IN1} と V_{IN2} を全て印加すると、 I_{OUT1} が正確に I_{OUT2} の2倍の値を有し、その後、 V_{IN1} のみを印加したときは、 I_{OUT1} と I_{OUT2} が同一の値を有することができる。

【0169】

その反対に、 V_{IN2} のみを印加したときは、 I_{OUT1} のみが入力信号に比例する値を有することができる。

【0170】

最後に、全ての入力信号を印加していないときは、 I_{OUT1} と I_{OUT2} が全て低いレベルで測定され得る。

【0171】

このような結果は、入力ベクトルとシナプス加重値行列との間の積演算と一致する。

【0172】

二値化ニューラルネットワーク回路800を介して 2×2 の形態で連結されたシリコンゲートッドダイオードアレイは、自己活性二値化ニューラルネットワークのMAC演算を具現できることを示す。

【0173】

二値化ニューラルネットワーク回路800を 2×2 の形態で説明するが、 $N \times M$ の形態に拡張可能である。

【0174】

10

20

30

40

50

第 1 区域 8 1 1 でのタイミング図 8 1 0 は、 V_W を 1 V に固定した状態で V_{IN1} と V_{IN2} を全て印加すると、 I_{OUT1} が正確に I_{OUT2} の 2 倍の値を有することを示す。

【 0 1 7 5 】

第 2 区域 8 1 2 は、 V_{IN1} のみを印加したとき、 I_{OUT1} と I_{OUT2} が同一の値を有し得ることを示す。

【 0 1 7 6 】

第 3 区域 8 1 3 は、 V_{IN2} のみを印加したとき、 I_{OUT1} のみが入力信号に比例する値を有し得ることを示す。

【 0 1 7 7 】

第 4 区域 8 1 4 は、全ての入力信号を印加していないとき、 I_{OUT1} と I_{OUT2} が全

10

て低いレベルで測定され得ることを示す。

すなわち、二値化ニューラルネットワーク回路 8 0 0 と関連したメモリアレイにおいて、加重値アップデート信号が 1 V に固定された状態で第 1 及び第 2 入力信号が全て印加される場合は、第 1 電流が第 2 電流の 2 倍の値を有し、その後、第 1 入力信号のみが印加される場合は、第 1 電流と第 2 電流が同一の値を有することができる。

【 0 1 7 9 】

また、メモリアレイにおいて、第 2 入力信号のみが印加される場合は、第 1 電流のみが第 2 入力信号に比例する値を有し、第 1 入力信号及び第 2 入力信号が印加されない場合は、第 1 電流及び前記第 2 電流が 0 m A に近似するように測定され得る。

20

【 0 1 8 0 】

したがって、本発明は、陽性フィードバックループベースのシリコンゲートダイオードで構成されたメモリアレイがニューロン回路の活性化機能を自体的に行い、均一性及び安定性に優れた二値化ニューラルネットワーク回路を具現することができる。

【 0 1 8 1 】

図 9 a 乃至図 9 f は、本発明の一実施例に係るシリコンゲートダイオードを用いた二値化ニューラルネットワーク回路の加重値アップデートによる M A C 行列演算を行った結果を例示するタイミング図である。

【 0 1 8 2 】

図 9 a 乃至図 9 f に示したタイミング図の行列演算は、それぞれのタイミング図上にある行列式を意味する。

30

【 0 1 8 3 】

全ての行列演算時、加重値電圧は 1 V に固定され、入力電圧は、0 V 或いは 1 V と 2 V との間の値を有することができる。

【 0 1 8 4 】

全ての行列式で

【数 3】

$$\begin{bmatrix} IN_1 \\ IN_2 \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \end{bmatrix}$$

40

が共通的に含まれ、これは、図 7 b にある V_{IN} パルスが V_{IN1} と V_{IN2} に印加されることを示す。

【 0 1 8 5 】

すなわち、入力「1」と「2」を全て「1」に固定した状態で 2×2 アレイ素子の加重値が変わることによって、演算の結果が行列式に符合する結果を導出することを示す。

【 0 1 8 6 】

図 9 a は、M A C 行列演算のうち、第 1 出力電流 (I_{OUT1}) が「0」として測定され、第 2 出力電流 (I_{OUT2}) が「0」として測定される場合に該当するタイミング図 9 0

50

0 を示す。

【0187】

タイミング図900による行列演算は、タイミング図900上の行列演算と同一であり得る。

【0188】

行列演算動作時、加重値電圧は1Vで、入力電圧は、0V又は1Vと2Vとの間の値を有することができる。

【0189】

その後、図11cは、行列演算動作を行う場合を例示する。

【0190】

図9bは、MAC行列演算のうち、第1出力電流(I_{OUT1})による値は「1」として測定され、第2出力電流(I_{OUT2})による値は「0」として測定される場合に該当するタイミング図910を示す。

【0191】

タイミング図910による行列演算は、タイミング図910上の行列演算と同一であり得る。

【0192】

図9cは、MAC行列演算のうち、第1出力電流(I_{OUT1})による値は「1」として測定され、第2出力電流(I_{OUT2})による値は「1」として測定される場合に該当するタイミング図920を示す。

【0193】

タイミング図920による行列演算は、タイミング図920上の行列演算と同一であり得る。

【0194】

図9dは、MAC行列演算のうち、第1出力電流(I_{OUT1})による値は「2」として測定され、第2出力電流(I_{OUT2})による値は「0」として測定される場合に該当するタイミング図930を示す。

【0195】

タイミング図930による行列演算は、タイミング図930上の行列演算と同一であり得る。

【0196】

図9eは、MAC行列演算のうち、第1出力電流(I_{OUT1})による値は「2」として測定され、第2出力電流(I_{OUT2})による値は「1」として測定される場合に該当するタイミング図940を示す。

【0197】

タイミング図940による行列演算は、タイミング図940上の行列演算と同一であり得る。

【0198】

図9fは、MAC行列演算のうち、第1出力電流(I_{OUT1})による値は「2」として測定され、第2出力電流(I_{OUT2})による値は「2」として測定される場合に該当するタイミング図950を示す。

【0199】

タイミング図950による行列演算は、タイミング図950上の行列演算と同一であり得る。

【0200】

上述した行列演算は、下記の数式1のようにまとめることができる。

【0201】

【数4】

10

20

30

40

50

(数式 1)

$$\begin{bmatrix} W_{11} & W_{12} \\ W_{21} & W_{22} \end{bmatrix} \begin{bmatrix} IN_1 \\ IN_2 \end{bmatrix} = \begin{bmatrix} OUT_1 \\ OUT_2 \end{bmatrix}$$

【 0 2 0 2 】

数式 1 において、W は、二値化された加重値（コンダクタンス）を示すことができ、I N は、入力信号（電圧）を示すことができ、O U T は、行列演算による出力信号（電流）を示すことができる。

10

【 0 2 0 3 】

タイミング図 9 0 0 乃至タイミング図 9 5 0 によると、第 1 出力電流（I O U T 1）及び第 2 出力電流（I O U T 2）による出力電流は、7 . 5 m A であると「1」、1 5 m A であると「2」、7 . 5 m A 未満であると「0」の場合を例示する。

【 0 2 0 4 】

ただし、上述した例示によって、7 . 5 m A が出力「1」を意味するものに限定されることはない。入力電圧とは関係なく、出力電流が 0 m A であるときは出力「0」を意味し、これと異なり、入力電圧によって出力電流が一定のレベルで測定されるときは出力「1」を意味し得る。

【 0 2 0 5 】

20

このような比例関係は図 6 b を通じて確認することができ、出力「1」は、素子 1 個に該当するときであり、タイミング図 9 5 0 において、出力電流は、入力電圧に比べて素子 1 個の電流の 2 倍になるので出力「2」を意味し得る。

【 0 2 0 6 】

シリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路は、各加重値に対して行列 M A C 演算を行い、このとき、行列 M A C 演算の出力は、シリコンゲートッドダイオードの高い均一性によって単純化された V M M (v e c t o r - m a t r i x m u l t i p l i c a t i o n) 方程式との高い一致性を有する。

【 0 2 0 7 】

図 1 0 は、本発明の一実施例に係るシリコンゲートッドダイオードの光学イメージを説明する図である。

30

【 0 2 0 8 】

図 1 0 は、本発明の一実施例に係るシリコンゲートッドダイオードの光学イメージを例示する。

【 0 2 0 9 】

図 1 0 を参考にすると、イメージ 1 0 1 0 は、イメージ 1 0 0 0 の一部分を拡大して表示する。

【 0 2 1 0 】

例えば、イメージ 1 0 0 0 及びイメージ 1 0 1 0 は、B N N の二値化された加重値とアナログ入力との間の行列 M A C 演算を行うためのシリコンゲートッドダイオードの光学イメージであり得る。

40

【 0 2 1 1 】

図 1 1 a 乃至図 1 1 c は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業を説明する図である。

【 0 2 1 2 】

図 1 1 a は、本発明の一実施例に係るシリコンゲートッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業での加重値アップデートを例示する。

【 0 2 1 3 】

図 1 1 a を参考にすると、加重値アップデート動作 1 1 0 0 において、二値化された加重値（W）行列は V I N（2 . 0 又は - 2 . 0 V）で、V W = 0 . 0 V であるアレイから選

50

ばれたシリコンゲーテッドダイオードは、 2.0 V (-2.0 V) の V_{IN} で上昇 (又は下降) した。

【0214】

図11bは、本発明の一実施例に係るシリコンゲーテッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業での待機状態を例示する。

【0215】

図11bを参考にとすると、待機動作1110において、全ての加重値ラインに 1 V が印加され、全ての入力ラインに 0 V が発生する。

【0216】

シリコンゲーテッドダイオードは、非常に低い出力電流 (I_{Diode}) でメモリ状態を維持する。

10

【0217】

図11cは、本発明の一実施例に係るシリコンゲーテッドダイオードを用いた二値化ニューラルネットワーク回路の演算作業での積算演算を例示する。

【0218】

図11cを参考にとすると、積算演算動作1120において、アレイから選ばれたダイオードは、 $V_W = 1.0\text{ V}$ 及び $V_{IN} = 0.0\text{ V}$ 又は $V_{IN} = 1.1\text{ V} \sim 2.0\text{ V}$ であり得る。

【0219】

入力電圧と二値化された加重値との積の I_{OUT} は、出力電流 (I_{Diode}) の和から得ることができる。

20

【0220】

上述した具体的な各実施例において、発明に含まれる構成要素は、提示された具体的な実施例によって単数又は複数で表現された。

【0221】

しかし、単数又は複数の表現は、説明の便宜のために提示した状況に合わせて選ばれたものであって、上述した各実施例は、単数又は複数の構成要素に制限されるものではなく、複数で表現された構成要素であっても単数で構成され、単数で表現された構成要素であっても複数で構成され得る。

【0222】

30

一方、発明の説明では、具体的な実施例について説明したが、多様な実施例が内包する技術的思想の範囲から逸脱しない限度内で様々な変形が可能であることは当然である。

【0223】

そのため、本発明の範囲は、説明した実施例に限定して定めてはならず、後述する特許請求の範囲のみならず、この特許請求の範囲と均等なものによって定めなければならない。

【符号の説明】

【0224】

- 100 シリコンゲーテッドダイオード
- 101 アノード端子
- 102 第1チャンネル領域
- 103 第2チャンネル領域
- 104 カソード端子
- 105 ゲート絶縁膜
- 106 ゲート端子

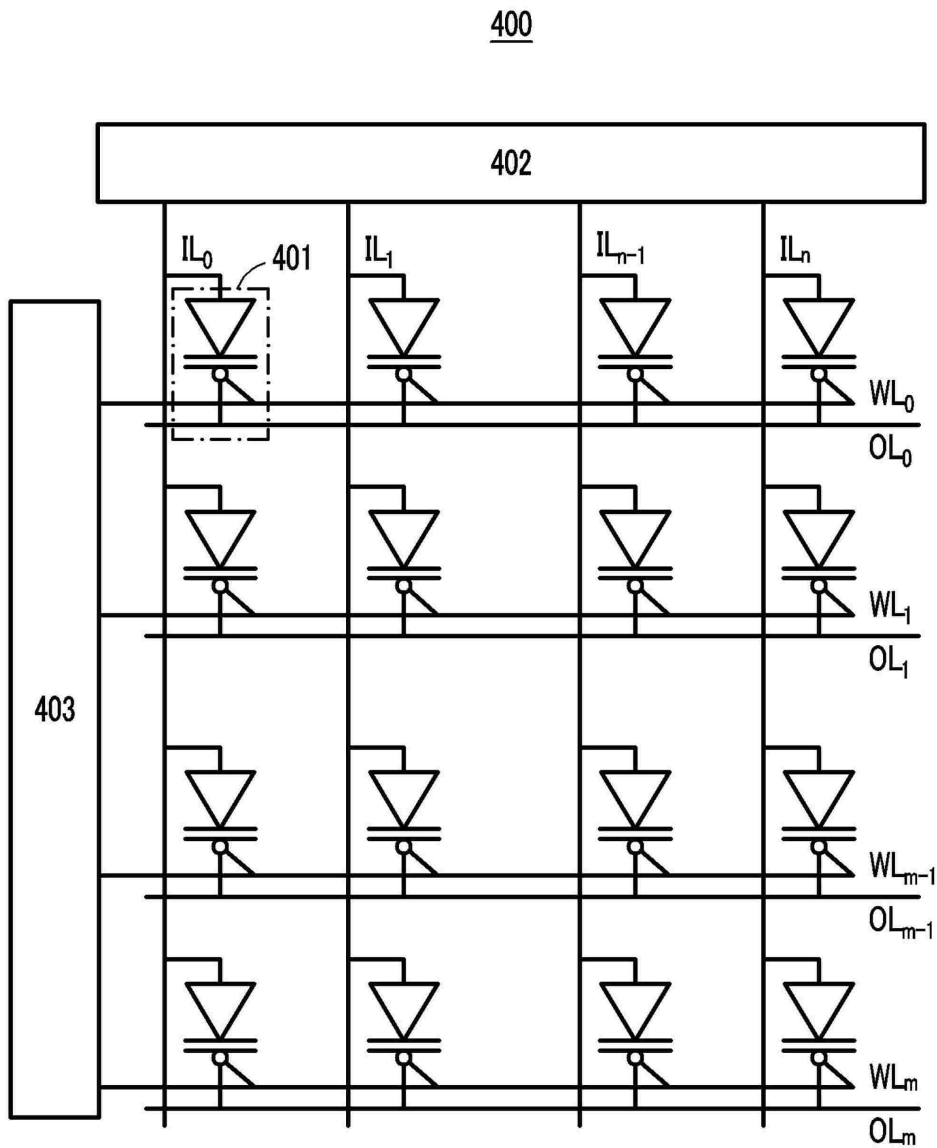
40

【要約】 (修正有)

【課題】 自体的に活性化機能を行う自己活性二値化ニューラルネットワーク回路を提供する。

【解決手段】 ニューラルネットワーク回路 400 は、アノード端子とゲート端子のそれぞれに印加される互いに異なる電圧に基づいてチャネル領域でポテンシャル障壁調節を通じて単方向スイッチングを具現し、陽性フィードバックループによってポテンシャル井戸に正孔又は電子が蓄積されることによってメモリ特性を具現する複数のシリコンゲートッドダイオードを含み、複数のシリコンゲートッドダイオードは、並列に連結したメモリアレイでシナプス素子 401 として動作し、メモリアレイに連結された入力ライン処理部から印加される入力信号及びメモリアレイに連結されたシナプスライン処理部から印加される加重値アップデート信号に基づいて MAC 演算の結果を出力する。

【選択図】 図 4



10

20

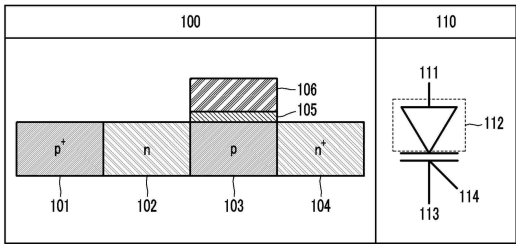
30

40

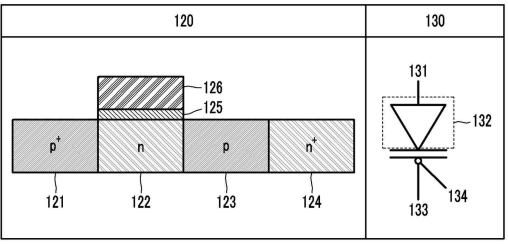
50

【図面】

【図 1 a】

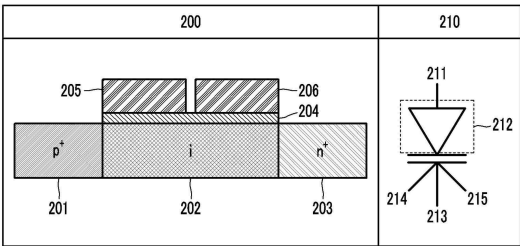


【図 1 b】

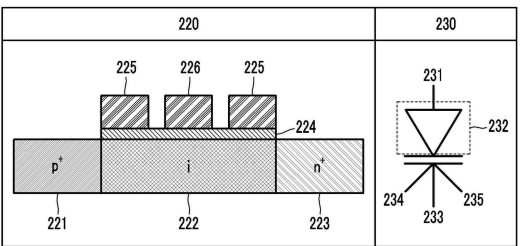


10

【図 2 a】

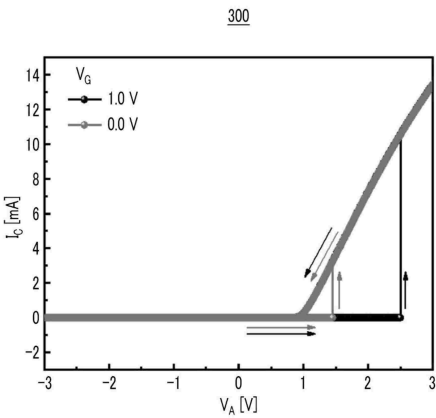


【図 2 b】

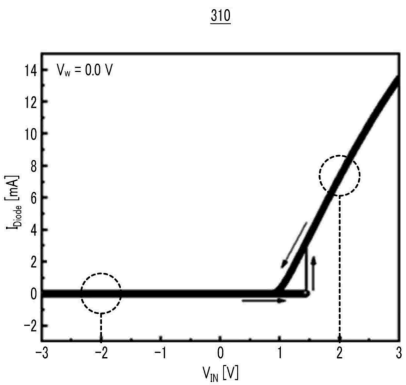


20

【図 3 a】



【図 3 b】

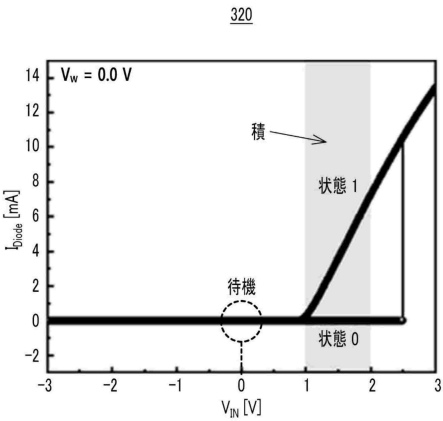


30

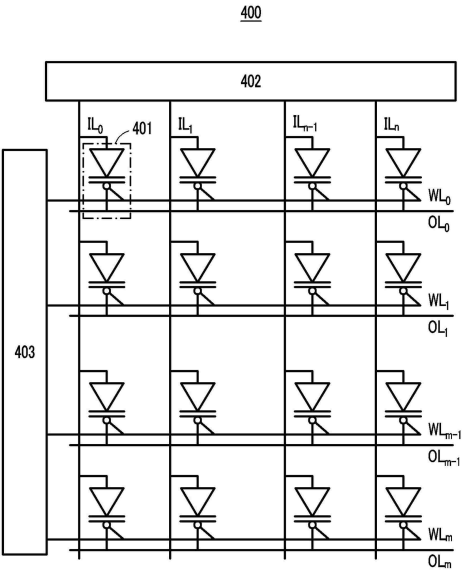
40

50

【図 3 c】



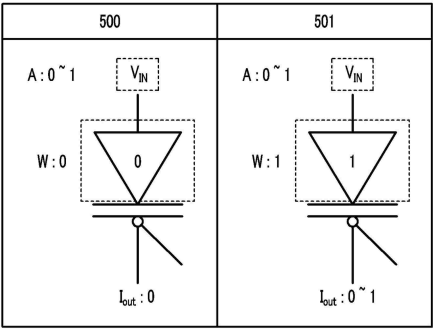
【図 4】



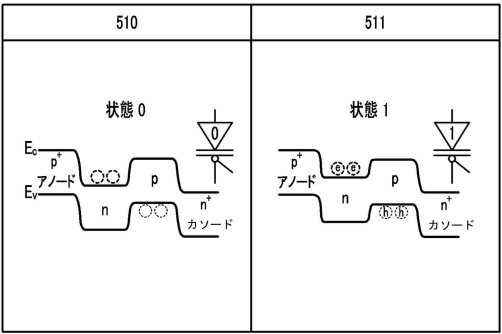
10

20

【図 5 a】



【図 5 b】

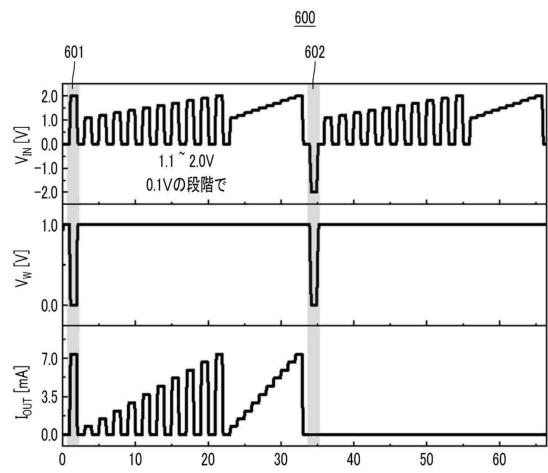


30

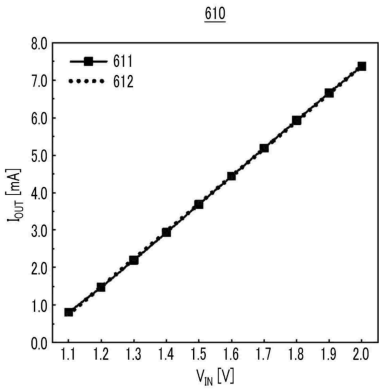
40

50

【図 6 a】



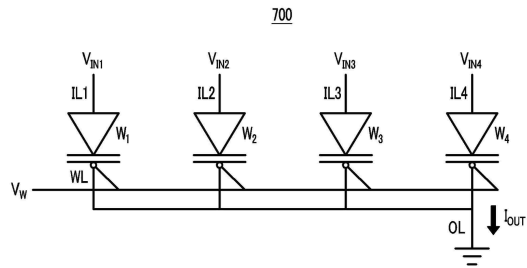
【図 6 b】



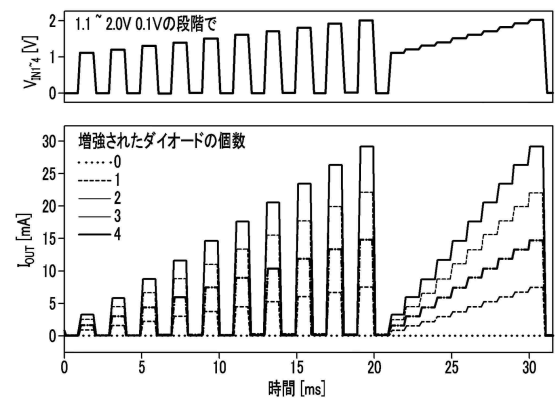
10

20

【図 7 a】



【図 7 b】

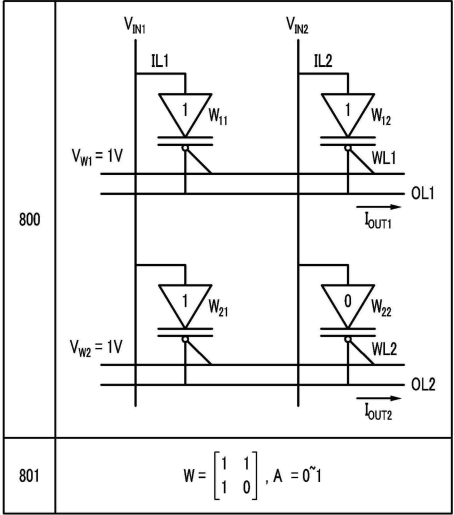


30

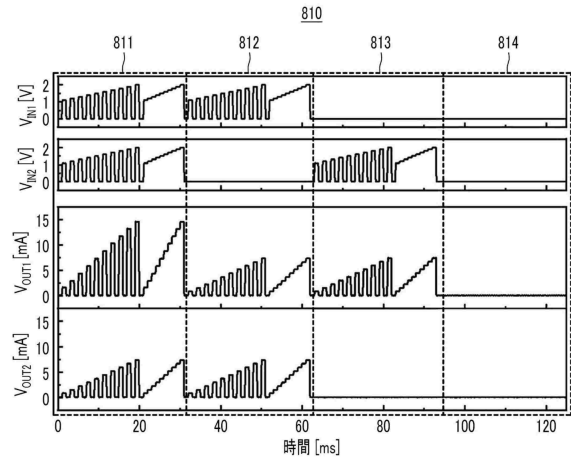
40

50

【図 8 a】



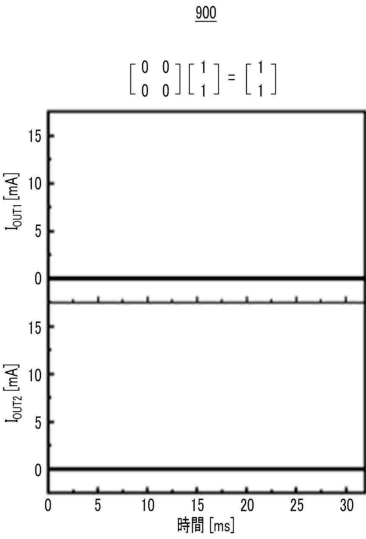
【図 8 b】



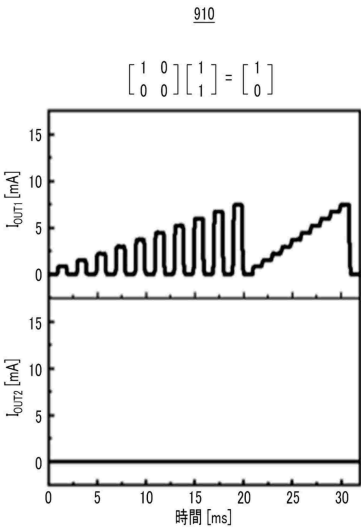
10

20

【図 9 a】



【図 9 b】

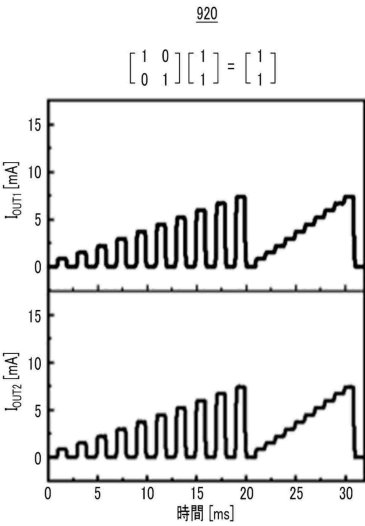


30

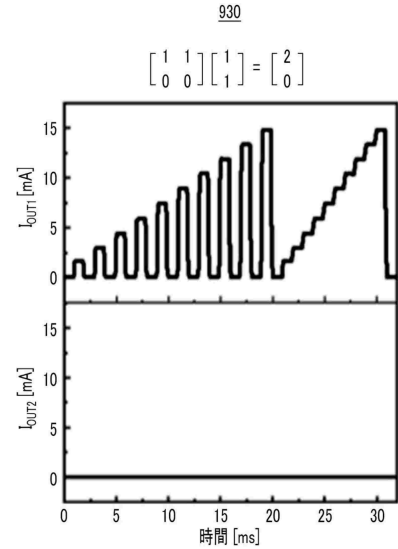
40

50

【図 9 c】



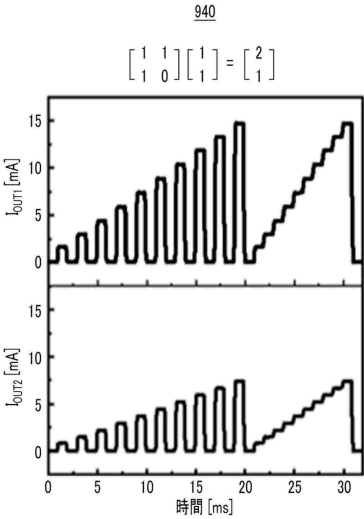
【図 9 d】



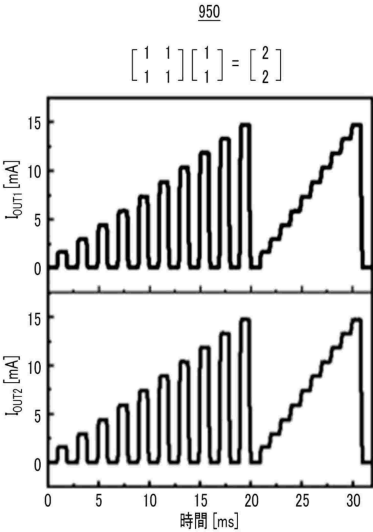
10

20

【図 9 e】



【図 9 f】

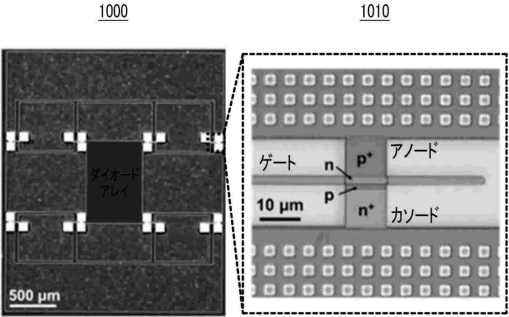


30

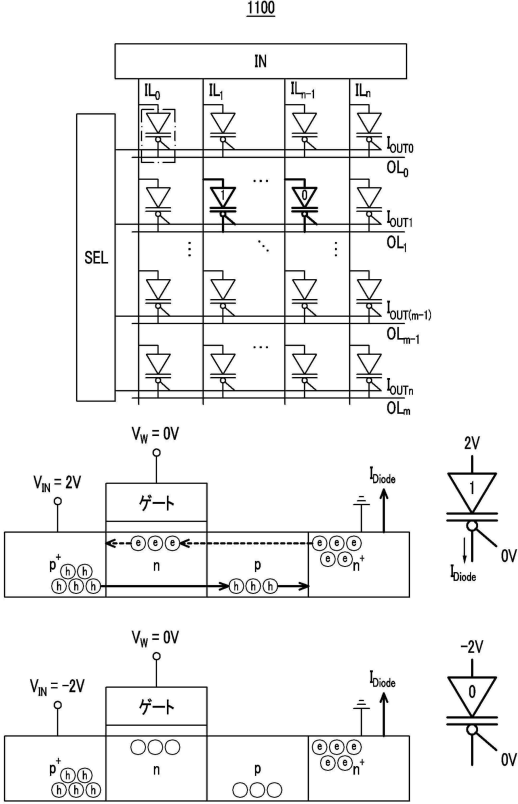
40

50

【図 1 0】



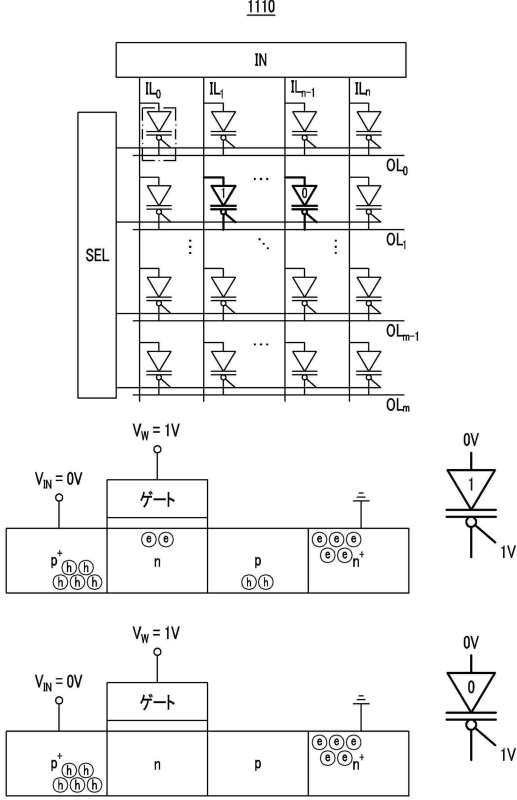
【図 1 1 a】



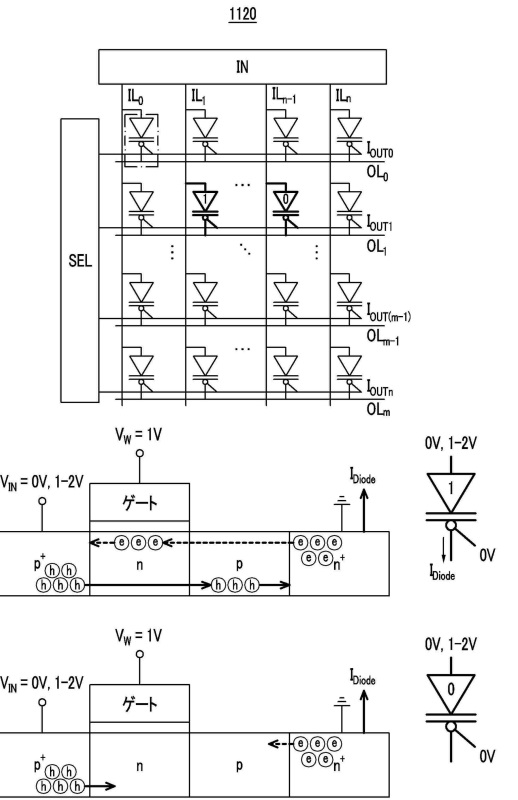
10

20

【図 1 1 b】



【図 1 1 c】



30

40

50

フロントページの続き

- 、 1 0 5 ドン 1 9 0 1 ホ
- (72)発明者 趙 庚娥
大韓民国、 0 4 9 8 9、ソウル、クァンジン - グ、チョンホ - デロ 1 1 0 - ギル、 7 2
- (72)発明者 申 淵佑
大韓民国、 1 4 2 0 7、キョンギ - ド、クァンミョン - シ、サソン - ロ、 9 1、 1 1 4 ドン、 8 0
1 ホ
- 審査官 征矢 崇
- (56)参考文献 米国特許出願公開第 2 0 2 0 / 0 0 7 5 0 9 4 (U S , A 1)
米国特許出願公開第 2 0 2 1 / 0 1 5 0 3 2 0 (U S , A 1)
韓国公開特許第 1 0 - 2 0 2 3 - 0 0 5 3 1 9 5 (K R , A)
国際公開第 9 1 / 0 1 3 4 6 5 (W O , A 1)
国際公開第 2 0 2 1 / 2 5 4 8 3 0 (W O , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
- G 0 6 G 7 / 6 0
G 0 6 N 3 / 0 6 3 - 3 / 0 6 5
G 1 1 C 1 1 / 5 4