

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年11月20日 (20.11.2003)

PCT

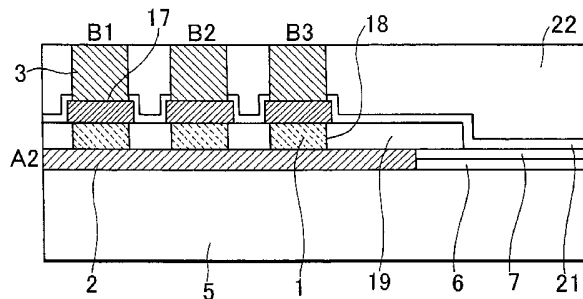
(10) 国際公開番号
WO 03/096423 A1

- | | | |
|---------------|--|--|
| (51) 国際特許分類: | H01L 27/105, | (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-0014 東京都港区芝五丁目7番1号 Tokyo (JP). |
| | G11C 11/15, H01L 43/08 | |
| (21) 国際出願番号: | PCT/JP03/05953 | (72) 発明者; および |
| (22) 国際出願日: | 2003年5月13日 (13.05.2003) | (75) 発明者/出願人 (米国についてのみ): 加藤有光 (KATO, Yuukoh) [JP/JP]; 〒108-0014 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | (74) 代理人: 山下 穰平 (YAMASHITA, Johei); 〒105-0001 東京都港区虎ノ門五丁目13番1号虎ノ門4 O M Tビル 山下国際特許事務所 Tokyo (JP). |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | 特願2002-136484 2002年5月13日 (13.05.2002) JP | (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, |

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体記憶装置およびその製造方法



5, 7, 22: 絶縁膜
6, 21: エッチストップ膜
17: マスク
18: 磁性素子領域
19: 絶縁化領域

5, 7, 22... INSULATION FILM
6, 21... ETCHING STOP FILM
17... MASK
18... MAGNETIC ELEMENT REGION
19... INSULATED REGION

(57) Abstract: Portions excluding magnetic elements of a laminate film of magnetic films or the like constituting magnetic elements (1) are oxidized/nitrided or oxynitrided to be insulated by a plasma processing using a conductive mask (17), whereby a plurality of magnetic elements are separated. This laminate film comprises a magnetic element region (18) formed with magnetic elements (1) and an insulated region (19) consisting of oxides/nitrides or oxynitrides. Upper wiring such as a bit line (3) is formed later. Since the conductive mask used in forming the insulated region is made part of an upper wiring, magnetic elements and an upper wiring can be disposed in contact with each other.

(57) 要約: 磁性素子(1)を構成する磁性体膜などの積層膜の磁性素子以外の部分を、導電性マスク17を用いたプラズマ処理により酸化、窒化または酸化窒化して絶縁化することで、複数の磁性素子の分離を行う。この積層膜は、磁性素子(1)が形成された

[続葉有]



WO 03/096423 A1



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

磁性素子領域（18）と酸化物、窒化物または酸窒化物からなる絶縁化領域（19）とから構成されている。その後、ビット線（3）などの上部配線を形成する。絶縁化領域を形成する際に用いられた導電性マスクが上部配線の一部となることで、磁性素子と上部配線とを密着させて配置することが可能になる。

明細書

半導体記憶装置およびその製造方法

5 技術分野：

本発明は、磁化状態を変化させることができ、その磁化状態により情報を記憶し、この磁化状態を評価することによって記憶された情報を読み出すことのできる素子（以下、磁性素子という）を記憶セルとして用いた半導体記憶装置（メモリ）に関するものである。

10

背景技術：

従来、この種の半導体記憶装置には、例えば、磁気抵抗素子を記憶素子として用いるものがあった。磁気抵抗素子の例として、トンネル磁気抵抗（Tunneling Magneto-resistance）素子（以下、TMRという）と呼ばれる素子を説明する。

15 この素子は、トンネル絶縁膜を2つの磁性体層の間に挟み、磁性体層の磁化の状態によって変化するトンネル絶縁膜の抵抗によって情報を記憶する。

図15に、2000 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS (pp.128-129)で報告されたTMRの例を示す。

20 図15に示すように、FeMnからなる反強磁性体層（10nm厚）101、CoFeからなるピン層（2.4nm厚）102、Al₂O₃からなるトンネル絶縁層103、及びNiFeからなる強磁性体フリー層（5nm厚）104が積層されて、TMRが形成されている。TMRに電圧を印加するために、反強磁性体層101及びフリー層104にはそれぞれ導体配線（図示しない）が接続されている。ピン層102の磁化は、反強磁性体層101により所定の向きに固定されて

25 いる。フリー層104は、所定のある方向に磁化し易いように形成されており、その磁化の向きは外部から磁場を印加することにより変化させることができる。積層膜の水平面内方向（膜面に沿った方向）のうち、磁化し易い方向を容易軸と呼び、容易軸に垂直で磁化し難い方向を困難軸と呼ぶ。フリー層104とピン層102との間に電圧を印加するとトンネル絶縁層103を通して電流が流れるが、

30 フリー層104とピン層102との磁化の向きの関係により抵抗値が変化する。

すなわち、磁化の向きが同じ場合は抵抗が低く、磁化の向きが反対の場合は抵抗が高くなる。

次に、図 1 6 を用いて TMR を不揮発性メモリの記憶素子として用いた例を示す。この例は、2000 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS (pp.130-131) で報告されたものである。図 1 6 の例では、アレイ状に配置された TMR 1 0 7 の上下に、互いに非平行な（即ち交差するような）2 系統の配線が設置される。上部配線（配線 B (B 1、B 2、...) という）1 0 8 は TMR 1 0 7 のフリー層と接続されており、TMR 1 0 7 の反強磁性体層は、第 3 の配線 1 0 9 を介して下層に形成されたトランジスタ 1 1 0 のドレインに接続されている。第 3 の配線 1 0 9 と、その下層の下部配線（配線 D (D 1、D 2、D 3、...) という）1 1 1 との間には、絶縁層（図示されていない）が配置されている。データの記憶の際には、2 つの配線 B、D に電流を流すことでそれらが交差する領域の近傍に合成磁場を発生させて、対応する TMR 1 0 7 のフリー層の磁化を電流の向きに応じた向きに設定する。これにより TMR 1 0 7 の抵抗値を変化させることができる。データの読み出しの際には、読み出す TMR 1 0 7 に接続されたトランジスタ 1 1 0 を読み出しワード線（配線 W (W 1、W 2、W 3、...) という）1 1 2 によりオン状態にして、配線 B より TMR 1 0 7 に電圧を印加し、流れる電流で TMR の抵抗値を評価する。

TMR を素子分離して TMR のための上部電極に上部配線を接続させる方法としては、リフトオフ、CMP (化学的機械的研磨; Chemical Mechanical Polishing) による頭出し、ビアホールを用いる方法などがある。リフトオフ法は、TMR 用材料を成膜した後、リフトオフ用材料を成膜し、TMR 用材料膜及びリフトオフ用材料膜を所望の形状に加工して TMR を形成し素子分離し、その後全面に絶縁膜を形成し、その後リフトオフ用材料膜をエッチングすることによりリフトオフ用材料膜上の絶縁膜をも除去し、TMR 上方に開口を形成する方法である。この後、上部配線用材料を成膜し、加工する。CMP による頭出しは、上記リフトオフ用材料の代わりに上部電極用材料を用いて、同様にして所望の形状に加工して TMR 及び上部電極を形成し素子分離し、その後全面に絶縁膜を形成し、CMP で全面を研磨して上部電極を表面に露出させる方法である。この後、上部配線用材料を成膜し、加工する。ビアホールによる方法は、所望の形状の TMR

を形成し素子分離した後、全面に絶縁膜を形成し、TMRの上方にて開口したレジストマスクを形成し、絶縁膜を部分的にエッチング除去してTMR上方に開口を形成する方法である。このほかの素子分離方法として、上部磁性体を酸化し、かつTMRを所望の形状に加工する方法がある。以下、これに関し説明する。

5 図17乃至図20は、特開2000-353791号公報にて開示された半導体記憶装置の製造方法を示す工程順の断面図であり、図21は、図20のZ-Z'線での断面図である。この半導体記憶装置は、P型シリコン基板120の表面に形成されたNMOSスイッチングトランジスタ121を含む回路を有しており、従来から知られたCMOSプロセスで製作される。まず、P型シリコン基板120の表面
10 部にN⁺領域122が形成され、素子分離のための絶縁領域123が形成される。ゲート領域となるポリシリコン層124が堆積され、N⁺領域122上とポリシリコン層124上に金属層125が形成される。金属層125上に、伝導層126とプラグ導体128とが形成され、その後誘電材料127が充填される。下層配線は、高透磁率層131で囲まれた伝導金属層132とデジット線133とからなり、エッチストップ層129及び二酸化シリコン層130に埋め込まれ、平坦化されている。デジット線133および二酸化シリコン層130を覆って、誘電層134が堆積され、誘電層134及び伝導金属層132を覆って、伝導層135が堆積される。誘電層134は、デジット線133と伝導層135との間に配置され、それらの間における電気的分離を行っている。誘電層134は、プラグ導体128を伝導金属層132を介して伝導層135に電氣的に接続するため
20 に使用される窓136を伝導金属層132上に形成するために、部分的にエッチングされる。窓136が形成された後、伝導層135が約50nmの厚さで誘電層134および伝導金属層132を覆うように堆積される。伝導層135上に磁気メモリエレメントを形成するために、伝導層135の表面はCMPなどにより
25 平坦化される(図17)。

次に、磁気メモリエレメントの形成のための複数の磁気メモリエレメントブランケット層または磁気メモリブランケット層が、物理的堆積法、化学的堆積法またはイオンビーム堆積法のいずれかで、伝導層135の表面上に堆積される。磁気メモリエレメントを構成する底部磁性層140および上部磁性層142には、
30 Ni、Feおよび/またはCoの合金のような磁性材料を用いる。他方、底部磁

性層 1 4 0 と上部磁性層 1 4 2 との間に介在している非磁性層 1 4 1 には、 $A l_2 O_3$ または $C u$ のような材料を使用する。底部磁性層 1 4 0 は、例えば、硬磁性層として機能し、その磁化は固定されるのに対し、上部磁性層 1 4 2 の磁化の向きは、自由である。非磁性層 1 4 1 は、次の方法により形成される。アルミニウム膜が底部磁性層 1 4 0 を覆って堆積され、その後そのアルミニウム膜は、RF 生成酸素プラズマのような酸化源によって酸化される。別の方法では、アルミニウムが非磁性層 1 4 0 上に酸素とともに堆積され、その後、加熱または非加熱のいずれかの酸素雰囲気中で酸化処理が実行される。磁気メモリエlement 中の層は非常に薄く、例えば磁性層の厚さが $0.3 - 20 \text{ nm}$ および非磁性層の厚さが $0.3 - 10 \text{ nm}$ である。次に、マスク層 1 4 3 が上部磁性層 1 4 2 を覆って堆積される (図 1 8)。

このマスク層 1 4 3 をパターンニングして得られるマスクパターンは上部磁性層 1 4 2 上に形成され、これをマスクとして誘電層 1 3 4 までエッチングされる。伝導層 1 3 5 は、磁気メモリエlement とトランジスタ 1 2 1 とをプラグ導体 1 2 8 を介して電氣的に接続する。伝導層 1 3 5 は、誘電層 1 3 4 によってデジタル線 1 3 3 から分離される。次に、新しいマスクパターンがマスク層 1 4 3 上に形成される。そして、これをマスクとしてマスク層 1 4 3 およびブランケット層 1 4 0 ~ 1 4 2 が反応性イオンエッチング法を用いてエッチングされ、複数の磁気メモリエlement 1 4 4 を電氣的に画定するとともに複数の接触金属パッド (あるいは伝導線) 1 4 5 を形成する。複数の接触金属パッド 1 4 5 の形成に続いて、上部磁性層 1 4 2 の一部分が酸化法または窒化法のいずれかを使用して誘電特性を有する材料に変えられる。より詳しくは、上部磁性層 1 4 2 の選択された領域は、絶縁材料に変えられ、不活性部分 1 4 2 b を形成する。上部磁性層 1 4 2 を誘電絶縁物に変化させる過程中、接触金属パッド 1 4 5 はマスクとして働き、その結果、酸化または窒化後、複数の活性領域 1 4 2 a が画定され、新しい絶縁部分 (不活性部分 1 4 2 b) が設けられる (図 1 9)。酸化法または窒化法はブランケット層 1 4 0 ~ 1 4 2 の露出部分を変化させるために用いられ、これによりこれらの部分を絶縁材料に変えると同時にそれらの部分を不活性にする。

図に示されたような磁気メモリエlement またはセル 1 4 4 を形成するための

上部磁性層 1 4 2 の酸化または窒化が完了した後、磁気メモリエlement 1 4 4 および上部磁性層 1 4 2 の不活性部分 1 4 2 b を覆うように誘電層 1 4 6 が堆積される。次に、エッチストップ層 1 4 7 が誘電層 1 4 6 上に堆積され、さらに二酸化シリコン層 1 4 8 がエッチストップ層 1 4 7 上に堆積される。次に、図示しないマスクが二酸化シリコン層 1 4 8 上にパターン化されて形成され、ビット線 1 4 9 を形成するためのトレンチを形成する。このマスクに従って、二酸化シリコン層 1 4 8 は、エッチストップ層 1 4 7 までエッチングされ、ビット線 1 4 9 を埋め込むためのトレンチを作る。次に、パーマロイ層 1 5 0 は、二酸化シリコン層 1 4 8 上およびトレンチ中に堆積される。パーマロイ層 1 5 0 は、不等方性エッチングによってエッチングされ、トレンチの側壁にパーマロイ層 1 5 0 を残すとともに二酸化シリコン層 1 4 8 上およびトレンチの底部にもパーマロイ層 1 5 0 を残す。パーマロイ層 1 5 0 を形成した後、ビット線 1 4 9 となる電氣的に伝導性である層が伝導線（接触金属パッド 1 4 5）の表面上にパーマロイ層 1 5 0 を介して堆積される。すなわち A l , W もしくは C u のような金属がビット線 1 4 9 を形成するために、トレンチ内に充填される。次に、二酸化シリコン層 1 4 8 上の不必要な材料が除去され、そして二酸化シリコン層 1 4 8 およびビット線 1 4 9 の表面が平面に研磨される。最後に、パーマロイ層 1 5 1 が二酸化シリコン層 1 4 8 およびビット線 1 4 9 上に堆積されパターン化される（図 2 0、図 2 1）。パーマロイ層 1 5 0、1 5 1 は、ビット線 1 4 9 を包み込み、それによりビット線 1 4 9 中のビット電流によって発生した磁界を磁気メモリエlement 1 4 4 に集中させ、他の磁気メモリエlement に対してはその中の情報を保護するために遮蔽する。

2 系統の配線及びトランジスタを用いる動作方法は前述と同様である。

しかしながら、以上のような従来のメモリ構造では大容量化が困難であったり、大きな書き込み電流が必要であり、低消費電力化が困難であった。以下、その理由を説明する。

T M R の磁化状態を変化させるため配線に電流を流して磁場を発生させる。磁場の大きさは配線からの距離に反比例する。このため配線と T M R とはできるだけ接近させたい。リフトオフ法は接近させることができるが微細化が難しい技術であり、大容量化は困難である。ビアホールを開ける方法は、T M R 上の絶縁膜

の厚さだけ距離が離れるため、書き込み電流を小さくすることが難しい。CMPによりTMRの頭出しを行う方法は、研磨量のウエハ面内ばらつきをみこんでTMR自体を研磨してしまわないように上部電極をある程度の厚さに残す必要がある。このため、この厚さの分、配線とTMRとが離れてしまい、書き込み電流を
5 小さくすることが難しい。図17～21に示した手法では、接触金属パッド145の厚さの分だけ配線とTMRとの距離は離れてしまい、書き込み電流を小さくすることが難しい。また、接触金属パッド145の形成後に誘電層146及びエッチストップ層147を形成しているにもかかわらず、図20において接触金属パッド145上のみこれらの層が無くなっており、実際には、誘電層146の堆積後のCMPとエッチング、エッチストップ層147の堆積後のCMP等の手法を用いるなどしたもの
10 と推定されるが、このような手法を用いる場合、接触金属パッド145は十分な厚さに形成しておく必要がある。

このように、従来の技術では大容量化及び低消費電力化が困難であるという問題があった。

15

発明の開示：

本発明の目的は、TMRなどの磁性素子と配線とを接近させて配置でき、これにより大容量化及び低消費電力化が可能な半導体記憶装置およびその製造方法を提供することにある。

20 また、本発明の他の目的は、配線電流で発生する磁場をTMRに対して効率よく与えることが可能な半導体記憶装置およびその製造方法を提供することにある。

上記の目的を達成するため、本発明によれば、

第1の導電体配線と、前記第1の導電体配線の上層にこれと交差して敷設された第2の導電体配線と、前記第1及び第2の導電体配線の交差により形成される
25 交差部に配置された磁性素子と、を備えた半導体記憶装置において、

前記磁性素子に隣接して、その少なくとも一部の膜厚において、前記磁性素子を構成する膜の構成材料の高抵抗化変換物、または、前記磁性素子を構成する膜の構成材料と該膜の少なくとも上下の一方に形成された導電性膜の構成材料との高抵抗化変換物からなる領域が形成されていることを特徴とする半導体記憶装置、
30 が提供される。

本発明の一態様においては、前記磁性素子は複数設けられており、前記高抵抗変換物からなる領域は前記磁性素子の隣り合うもの同士の間領域の少なくとも一部である。本発明の一態様においては、前記高抵抗変換物からなる領域は前記磁性素子の隣り合うもの同士の間領域の全体に亘って存在する領域である。

5 本発明の一態様においては、前記磁性素子は前記第1の導電体配線と前記第2の導電体配線との間に位置する。

本発明の一態様においては、前記高抵抗化変換物は、前記磁性素子を構成する膜の構成材料の酸化物、窒化物または酸窒化物、または、前記磁性素子を構成する膜の構成材料と前記導電性膜の構成材料との酸化物、窒化物または酸窒化物で
10 ある。

本発明の一態様においては、前記高抵抗化変換物は、前記磁性素子の領域を画定する際にパターンニングされていない膜の全膜から形成されている。

本発明の一態様においては、前記磁性素子上には、前記高抵抗化変換物を形成する際のマスク体が前記磁性素子のための上部電極の少なくとも一部として形成
15 されている。本発明の一態様においては、前記マスク体は、窒化チタンまたはアルミニウムまたはアルミニウム合金または白金またはイリジウムまたは金またはルテニウムまたはインジウムからなる層を含んで形成されている。

本発明の一態様においては、前記磁性素子上には上部電極が形成されており、前記第2の導電体配線は前記上部電極の上面および少なくとも互いに対向する2
20 側面に接して形成されている。

本発明の一態様においては、前記第1の導電体配線の最上層は、この配線の主成分に比べて酸化が進行し難い導電材料からなる。本発明の一態様においては、前記第1の導電体配線の最上層は、アルミニウムまたは窒化チタンにより形成されている。

25 本発明の一態様においては、前記磁性素子とその下層、および／または、その上層に形成された配線との間にはトンネル絶縁膜が形成されている。本発明の一態様においては、前記トンネル絶縁膜は、誘電率の異なる複数の絶縁膜により構成されている。

本発明の一態様においては、前記磁性素子を構成する膜の下層に形成された前
30 記導電性膜の最上層、および／または、前記磁性素子を構成する膜の上層に形成

された前記導電性膜の最下層は、タンタル以外の酸化されて高抵抗値を示す材料により形成されている。本発明の一態様においては、前記酸化されて高抵抗値を示す材料はシリコンまたはジルコニウムである。

5 本発明の一態様においては、前記高抵抗化変換物は、その全膜厚に及ぶことなく一部が除去され、その除去された空間が堆積絶縁物により充填されている。

本発明の一態様においては、前記第1の導電体配線と前記第2の導電体配線とのうちの少なくとも一方は、平坦な領域に形成された導電体膜の一部を除去して形成された第1配線層と、前記第1配線層上に溝が形成された絶縁膜の該溝を埋め込んで形成された第2配線層と、を有している。

10 本発明の一態様においては、前記磁性素子は、FeMnまたはNiMnまたはIrMnまたはPtMnを主体とする金属材料を含んでいる。

本発明の一態様においては、前記第1の導電体配線及び前記第2の導電体配線の少なくとも一方には、前記磁性素子に面する部分以外の部分の少なくとも一部において磁性体層が付されている。本発明の一態様においては、前記第2の導電体配線の側面に付されている磁性体層は、前記高抵抗変換物からなる領域と接しているか又は20nm以下の距離を隔てて位置している。本発明の一態様においては、前記第2の導電体配線の側面に付されている磁性体層は、膜体積と異方性エッチングとにより形成されたものである。

20 本発明の一態様においては、前記磁性素子を構成する少なくとも一部の磁性体膜と前記導電性膜とが接して形成されており、前記高抵抗変換物からなる領域は前記導電性膜の構成材料と前記磁性素子を構成する少なくとも一部の膜の構成材料との合成材料の酸化物、窒化物または酸窒化物から形成されている。本発明の一態様においては、前記導電性膜がタンタル、アルミニウム、シリコン、ジルコニウム、セリウム、ハフニウムの少なくとも1つを含む材料からなる。

25 本発明の一態様においては、前記磁性素子と前記高抵抗変換物からなる領域との境界部上には酸化物、窒化物または酸窒化物からなる領域が形成されており、前記高抵抗変換物からなる領域は前記酸化物、窒化物または酸窒化物からなる領域の構成材料と前記磁性素子を構成する少なくとも一部の膜の構成材料との合成材料の酸化物、窒化物または酸窒化物から形成されている。本発明の一態様においては、前記酸化物、窒化物または酸窒化物からなる領域がタンタル、アルミニ

ウム、シリコン、ジルコニウム、セリウム、ハフニウムの少なくとも1つを含む材料からなる。

本発明の一態様においては、前記高抵抗変換物からなる領域は、前記磁性素子を構成する膜の全てに対応する膜により構成されている。

5 本発明の一態様においては、前記高抵抗変換物からなる領域は、前記磁性素子を構成する膜の一部に対応する膜により構成されており、前記高抵抗変換物からなる領域の下には前記磁性素子を構成する膜の他の一部と同等な導電性を有する膜が配置されており、該導電性を有する膜により前記磁性素子は前記第1の導電体配線の方向に電気的に接続されている。

10 本発明の一態様においては、前記高抵抗変換物からなる領域は前記磁性素子を構成する少なくとも一部の膜の構成材料を主成分として含む酸化物、窒化物または酸窒化物からなり、前記第2の導電体配線の前記磁性素子に面する側と反対側の面に磁性体膜が形成されており、該磁性体膜の平面形状は前記磁性素子の平面形状と相似である。本発明の一態様においては、前記第2の導電体配線と前記磁
15 性素子との間に前記磁性素子を挟むように一对の磁性体膜が形成されている。

本発明の一態様においては、以上のような構造が複数層積み重ねられている。

本発明によれば、平坦な領域に形成された導電体膜の一部を除去して形成された第1配線層と、前記第1配線層間に充填された第1絶縁膜と、前記第1絶縁膜上に形成された、前記第1配線層の表面の少なくとも一部を露出させる溝を有す
20 る第2絶縁膜と、前記第2絶縁膜の前記溝に埋め込まれた第2配線層と、を有することを特徴とする半導体記憶装置が提供される。

また、上記の目的を達成するため、本発明によれば、

下層導電膜の表面が露出した平坦面上に磁性素子形成膜を堆積する工程と、前記磁性素子形成膜上にマスクを形成する工程と、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換して前記マスク下に孤立した磁性素子を形成する工程と、を有することを特徴とする半導体記憶装置の製造方法、
25 が提供される。

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程は、酸化、窒化または酸窒化により
30

なされる。本発明の一態様においては、前記酸化、窒化または酸窒化は、前記マスクにて保護されていない領域の前記磁性素子形成膜に酸素原子、および／もしくは、窒素原子を含む材料をイオン注入するプロセス、並びに／または、それらの原子のイオン乃至ラジカル乃至オゾンを前記マスクにて保護されていない領域
5 の前記磁性素子形成膜に高温にて接触させるプロセスを含む。

本発明の一態様においては、前記磁性素子形成膜を堆積する工程において前記磁性素子形成膜の少なくとも上下の一方に導電性膜を形成し、前記磁性素子を形成する工程において前記導電性膜の少なくとも一部を含めて前記磁性素子形成膜を酸化、窒化または酸窒化することで前記磁性素子形成膜を高抵抗化変換物に変換する。
10

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の前に、前記マスクにて保護されていない領域の前記磁性素子形成膜に、絶縁化しやすい原子を導入する。本発明の一態様においては、前記絶縁化しやすい原子が、シリコン、ジルコニウム、セリウム、ハフニウムの中の1種または複数種である。
15

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の前に、前記マスクにて保護されていない領域の前記磁性素子形成膜に、前記高抵抗化変換物に変換する工程により強磁性材料となることのない原子を導入する。

本発明の一態様においては、前記絶縁化しやすい原子、または、前記強磁性材料に変換されることのない原子の導入方法が、イオン注入法、または、当該原子を含む膜を前記磁性素子形成膜上に形成し高温拡散もしくは表面に別の原子や分子をあてて膜成分を注入する方法である。
20

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、酸素および／または窒素雰囲気中で高温にて保管する工程をさらに有する。
25

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、前記マスクの少なくとも一部を除去する工程をさらに有する。

本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性
30

素子形成膜を高抵抗化変換物に変換する工程の後に、形成された高抵抗化変換物の一部または全部を除去し、その除去された空間を堆積絶縁物にて充填する工程をさらに有する。

5 本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、全面に絶縁膜を形成する工程と、該絶縁膜に配線溝を形成する工程と、該配線溝を導電性材料で埋め込んで前記磁性素子に電氣的に接続された上層配線を形成する工程と、をさらに有する。

10 本発明の一態様においては、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、前記磁性素子に電氣的に接続された上層配線を形成する工程と、該上層配線をマスクとして、前記高抵抗化変換物の一部を除去して絶縁化溝を形成する工程と、該絶縁化溝および前記上層配線間を埋め込む埋め込み絶縁膜を形成する工程と、をさらに有する。

15 従来の、例えば、図17～図21に示す方法では、TMRなどの磁性素子を形成する膜(ブランケット膜)を2回エッチングして磁性素子間の部分を取り除き、さらに磁性素子を形成する膜の絶縁化処理によって個々の磁性素子セルのパターンを画定するようにしているため、また、凹凸のある面上でのリソグラフィが必要となるので、微細化が困難で大容量化に不向きであった。これに対して、本発明によれば、平坦面での1回のリソグラフィにより磁性素子のパターンの画定が可能であり、微細化に適したプロセスにより磁性素子を形成することができる。

20 そして、磁性素子形成後に平坦面に磁性素子の電極(マスク)を突出させることが可能であるため、磁性素子電極を包み込むように上部配線を形成することが可能であり、これにより、配線と磁性素子とを近接させて配置することができる。その結果、書き込み電流を小さくすることができるという効果が得られ、半導体記憶装置の大容量化および低消費電力化が実現できる。

25

図面の簡単な説明：

図1は、本発明の第1の実施の形態の半導体記憶装置を示す概略平面図である。

図2Aは、図1のX-X'に沿う断面図である。

図2Bは、図1のY-Y'線に沿う断面図である。

30 図3は、本発明の第1の実施の形態の磁性素子の形成方法を説明するための断

面図である。

図 4 A は、本発明の第 1 の実施の形態の変更例を説明するための、図 1 の X - X' 線に沿う断面図に対応する断面図である。

5 図 4 B は、本発明の第 1 の実施の形態の変更例を説明するための、図 1 の Y - Y' 線に沿う断面図に対応する断面図である。

図 4 C は、図 4 A 及び図 4 B の変更例の更なる変更例を説明するための部分断面図である。

図 5 は、本発明の第 2 の実施の形態の半導体記憶装置を示す断面図である。

10 図 6 A は、本発明の第 2 の実施の形態の変更例を説明するための、図 1 の X - X' 線に沿う断面図に対応する断面図である。

図 6 B は、本発明の第 2 の実施の形態の変更例を説明するための、図 1 の Y - Y' 線に沿う断面図に対応する断面図である。

図 6 C は、図 6 A 及び図 6 B の変更例の更なる変更例を説明するための部分断面図である。

15 図 7 は、本発明の第 3 の実施の形態の半導体記憶装置の配線構造を示す断面図である。

図 8 は、本発明の第 1 の実施例の半導体記憶装置の概略平面図である。

図 9 A は、図 8 の X - X' 線に沿う断面図である。

図 9 B は、図 8 の Y - Y' 線に沿う断面図である。

20 図 10 A は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

図 10 B は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

図 10 C は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

図 10 D は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

図 10 E は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

25 図 10 F は、本発明の第 1 の実施例の半導体記憶装置の製造工程断面図である。

図 11 は、本発明の第 1 の実施例の半導体記憶装置の TMR を示す断面図である。

図 12 は、本発明の第 2 の実施例の半導体記憶装置の概略平面図である。

図 13 A は、図 12 の X - X' 線に沿う断面図である。

30 図 13 B は、図 12 の Y - Y' 線に沿う断面図である。

- 図 1 4 A は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 図 1 4 B は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 図 1 4 C は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 図 1 4 D は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 5 図 1 4 E は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 図 1 4 F は、本発明の第 2 の実施例の半導体記憶装置の製造工程断面図である。
- 図 1 5 は、従来の半導体記憶装置の TMR を説明するための断面図である。
- 図 1 6 は、従来の半導体記憶装置を示す概略斜視図である。
- 図 1 7 は、従来の半導体記憶装置の製造工程断面図である。
- 10 図 1 8 は、従来の半導体記憶装置の製造工程断面図である。
- 図 1 9 は、従来の半導体記憶装置の製造工程断面図である。
- 図 2 0 は、従来の半導体記憶装置の製造工程断面図である。
- 図 2 1 は、図 2 0 の Z - Z' 線に沿う断面図である。
- 図 2 2 は、本発明の第 4 の実施形態の半導体記憶装置の要部断面図である。
- 15 図 2 3 は、本発明の第 5 の実施形態の半導体記憶装置の要部断面図である。
- 図 2 4 は、本発明の第 6 の実施形態の半導体記憶装置の要部断面図である。
- 図 2 5 は、本発明の第 7 の実施形態の半導体記憶装置の要部断面図である。
- 図 2 6 は、本発明の第 8 の実施形態の半導体記憶装置の要部断面図である。
- 図 2 7 は、本発明の第 3 の実施例の半導体記憶装置の部分断面図である。
- 20 図 2 8 は、図 2 7 の X - X' 線での断面図である。
- 図 2 9 は、本発明の第 4 の実施例の半導体記憶装置の部分断面図である。
- 図 3 0 は、図 2 9 の X - X' 線での断面図である。
- 図 3 1 は、本発明の第 5 の実施例の半導体記憶装置の部分断面図である。
- 図 3 2 は、本発明の第 6 の実施例の半導体記憶装置の部分平面図である。
- 25 図 3 3 は、図 3 2 の X - X' 線での断面図である。
- 図 3 4 は、本発明の第 7 の実施例の半導体記憶装置の部分平面図である。
- 図 3 5 は、図 3 4 の X - X' 線での断面図である。

発明を実施するための最良の形態：

- 30 本発明の実施の形態を図面を参照して詳細に説明する。

(第1の実施の形態)

図1には、本発明の第1の実施の形態としての半導体記憶装置の要部平面図が示されている。図1に示すように、半導体記憶装置は、複数の磁性素子1と、各磁性素子の近傍に配置された2系統の書き込み用の配線A(A1~A3):2および配線B(B1~B3):3とを有している。2系統の書き込み用の配線A:2および配線B:3の方向は互いに異なっている。図2A及び図2Bには、図1の配線A方向(X-X'線方向)の断面および配線B方向(Y-Y'線方向)の断面がそれぞれ示されている。図2A及び図2Bにおいて示されている構成の下方の層(下層:図示されていない)及び上方の層(上層:図示されていない)には電気的回路が形成されており、該電気的回路はこれらの図に関して説明する磁性素子と電気的に接続され該磁性素子の動作を制御する。本発明の実施の形態で説明する半導体記憶装置では、配線A:2と配線B:3とが図1の平面図において交差しており(本明細書では、このような形態を交差した形態という)、この交差する部分に対応してTMRなどの磁性素子1が配置される。本発明の実施の形態では、磁性素子1は配線Aと配線Bとに挟まれた位置にあり、配線Bと磁性素子1の上部とは電気的に接続されており、配線Aと磁性素子1の下部とは電気的に接続されている。配線B:3(B2)は、配線A:2と同層の引き出し線2aとビアホール4を介して接続されている。図3には、本発明の実施の形態で説明する磁性素子の形成の途中の状態の部分断面図が示されている。

次に、図1乃至図3を参照しながら半導体記憶装置の製造方法について説明する。半導体基板(図示しない)上に上記電気的回路を構成するトランジスタ等の素子や下層配線を形成した後、下層配線との電気的接続を行うプラグ(図示しない)を内蔵し、表面をCMPなどにより平坦化した絶縁膜5を形成する。その後絶縁膜5の全面にエッチストップ膜6及び絶縁膜7を順に形成し、配線を配置する部分の絶縁膜7を除去し、さらにこの配線配置部分に露出したエッチストップ膜6をも除去し、プラグ表面が露出するようにする(図2A及び図2B参照)。

次に、図3に示される導電体膜8と導電体酸化防止膜9とを順にスパッタ法により成膜する。配線配置部分以外の配線材料(導電体膜8と導電体酸化防止膜9)をCMPなどにより除去し、配線A:2となる導電体膜8および導電体酸化防止膜9を残す。図1、図2A及び図2Bの配線A:2は、図3の導電体膜8および

導電体酸化防止膜 9 の積層物に相当する。続けて、導電体膜 10、トンネル膜 11、磁性素子下層膜 12、磁性素子形成膜 13、磁性素子上層膜 14、トンネル膜 15、導電体膜 16、及び酸化が進行し難い金属などからなるマスク材料層 (17) を順次形成する。磁性素子下層膜 12 は、磁性素子 (13) の特性を良好にするために挿入されるものであり、省略することも可能である。磁性素子上層膜 14 は、磁性素子形成膜 13 の表面を保護するため磁性素子上に形成されるものであり、省略することも可能である。磁性素子形成膜 13 は、磁化状態の変化により特性が変わる部分であり、磁性素子 1 の主要構成部分となるものである。後述するように、トンネル膜 15 は省略することも可能である。導電体膜 10 及び導電体膜 16 は、それぞれ磁性素子 1 の下部電極及び上部電極の一部として機能するものであり、省略することも可能である。また、磁性素子下層膜 12 及び磁性素子上層膜 14 も、それぞれ磁性素子 1 の下部電極及び上部電極の一部として機能する。

その後、マスク材料層を所望の形状に加工してマスク 17 を形成する。このとき、磁性素子形成膜 13 の手前まで、マスク材料層と同一のパターンに加工してもよい。マスク 17 は、磁性素子 1 の上部電極の一部として機能する。

次に、全面を酸素プラズマなどにより処理し、マスク 17 で覆われていない部分の導電体膜 10、トンネル膜 11、磁性素子下層膜 12、磁性素子形成膜 13、磁性素子上層膜 14、トンネル膜 15、及び導電体膜 16 を絶縁化する (図 3 参照)。これにより磁性素子形成膜 13 と少なくともそれより下に位置する層 (導電体酸化防止膜 9 より上の層) とが絶縁化された絶縁化領域 19 と、絶縁化領域 19 で分離され孤立した磁性素子領域 18 [図 1 の磁性素子 1 (C1) に相当する] とが形成される。絶縁化は、導電体膜 10 まで完全に行わなくてもよく、セル間の漏れ電流が回路動作上問題ない程度の高抵抗の状態であればよい。次に、配線 A : 2 と同層に形成される引き出し線 2a の、磁性素子領域 18 より上方に形成される配線 B : 3 との接続部の絶縁化領域 19 を除去して、引き出し線 2a の表面を露出させるビアホール 4 を形成する [図 1 及び図 2 B 参照]。

次に、セルアレイ外の領域である絶縁化領域 19 を部分的に除去して絶縁膜 7 を露出させる。次いで、全面にエッチストップ膜 21 と絶縁膜 22 とを順に形成し、これを平坦化する。次に、絶縁膜 22 に配線 B の形状 (パターン) に合わせ

た溝を形成し、且つ露出したエッチストップ膜 2 1 も除去する。マスク 1 7 の表面絶縁化物を除去した後、配線 B の材料を成膜する。配線部以外の配線材料を CMP などにより除去することにより、配線 B : 3 が形成される。

5 この後、さらに以上のような工程を繰り返して配線や磁性素子を多層に形成することもできる。

配線 B の成膜前のエッチストップ膜 2 1 の除去は、マスク 1 7 上面の一部の領域およびビアホール 4 を含む領域のみでもよい。この場合の断面構造は図 4 A 及び図 4 B に示すようになる。図 4 A は、図 1 の X - X' 線に沿う断面図であり、図 4 B は、図 1 の Y - Y' 線に沿う断面図である。

10 エッチストップ膜 2 1 を部分的に除去した後、全面に磁性体膜を堆積しエッチバックによりその平坦部を除去し、続いて導電性膜（配線材料）を堆積し平坦化して不要な部分の配線材料を除去することにより側壁部分に磁性体膜 3 a を配置した配線 B : 3 を形成することもできる〔図 4 C 参照〕。あるいは、磁性体膜と該磁性体膜を導電性膜から分離するための絶縁膜との積層膜、もしくは、磁性体膜とバリアメタルとなる導電膜との積層膜を形成し、エッチバックにより平坦部を
15 除去し、続いて導電性膜を堆積し平坦化することもできる。図 2 A 及び図 2 B に示した半導体記憶装置においても、同様にして、配線 B の形成される絶縁膜 2 2 の側壁に磁性体膜を形成することができる。

磁性素子の周辺の絶縁化を行った後、続けて絶縁化領域 1 9 の一部を除去することも可能である。その場合、除去されるものが絶縁物であるため、除去されたものの再付着があってもショートは発生しない。隣接配線どうしの絶縁性を高めるため、配線 B を形成した後、配線 B の形状を残し、絶縁膜 2 2 及びエッチストップ膜 2 1 を除去し、更には絶縁化領域 1 9 の一部または全部を除去してもよい。
20 この際にも、絶縁物が除去されるため、除去されたものの再付着があってもショートは発生しない。この場合、絶縁物の除去後に絶縁膜をあらためて堆積して、磁性素子 1 間の領域及び配線 B 間の領域を充填する。また、磁性素子の周囲の絶縁化を容易にするため、マスク 1 7 の形成後に、酸素原子や窒素原子を含む材料をイオン注入したり、これらの原子を含むイオンまたはラジカル、あるいはオゾンの高温雰囲気中に曝してもよい。また絶縁化し易い材料（シリコン、ジルコニウム、セリウム、ハフニウムなど）を注入してから絶縁化してもよい。また、磁
25 30

性素子間の磁氣的結合を小さくするため、マスク17の形成後に、絶縁化処理を経た後に絶縁化領域19が強磁性特性を持つことのないような原子をイオン注入したり、そのような原子を含む材料を成膜して高温で拡散させ又はイオン（又は原子や分子）を当てて押し込むなどの手法を用いて上記原子やイオンを導入してもよい。このための材料としては、常磁性体乃至反強磁性体材料であるAl、Cr、反磁性材料であるCuなどが挙げられる。高温拡散乃至押し込む手法は、絶縁化し易い材料の導入の際にイオン注入法に代えて用いてもよい。配線材料としてはAlやCuおよびこれらの化合物がある。

磁性素子1の下部にある配線が絶縁化しないように配線上面部に設ける導電体酸化防止膜9は、酸化が進行し難い導電性材料例えばTiNまたはAlを用いて形成することができる。導電体膜8自体が酸化し難い導電性材料ないし酸化が進行し難い導電性材料であるとき、導電体酸化防止膜9の形成を省略することができる。また、磁性素子1の上下に設けるトンネル膜11、15は、厚さ3nm程度のSiO₂やAl₂O₃などの膜により形成される。トンネル膜は、省略することもできるが、電流はトンネル現象で流れるため、この膜を設けたことにより磁性素子動作に問題が生じることはない。また2種類以上の誘電率の積層構造トンネル膜を用いることで磁性素子1の動作に非線形特性を持たせることもできる。磁性素子上下の配線間の絶縁性を高めるために、磁性素子形成膜13の上下に設けられ絶縁化される導電体膜10、16にはアモルファスシリコンやZrなどを用いることができる。これらの導電体膜の全部または一部は省略可能であるが、これらを用いる場合は、磁性素子1に対応するこれらの部分には電流が流れ、絶縁化されたこれらの部分は絶縁体となる。磁性素子1の周辺を酸化するために用いられるマスクは、導電体材料の場合には、TiN、Au、Al、Al合金、Pt、Irなどの酸化し難い材料ないし酸化が進行し難い材料、あるいはRu、Inなどの酸化しても導電性のある材料が望ましい。絶縁化後にマスク材料を除去してもよい。また、マスクは絶縁体でもよく、この場合、素子周辺絶縁化処理後にマスクを除去する。磁性素子形成膜13の材料は、酸化もしくは窒化して絶縁体になる原子で構成されているものが望ましく、反強磁性体ではFeMnやNiMnなどがある。

次に、この半導体記憶装置の使用方法について説明する。配線A1と配線B1

との交差点およびその近傍にある磁性素子の磁化状態を変化させる場合、書き込み用の配線 A 1、B 1 に電流を流し、磁性素子に合成磁場を与える。2つの書き込み配線に流す電流の量、電流の向きおよび配線方向により合成磁場の大きさ及び向きを設定し、磁性素子を所望の磁化状態にする。磁性素子としては前述の TMR のような磁気抵抗素子、磁気光学素子などがある。また、設定された状態を読み出すには、この磁性素子に電氣的、光学的又は力学的変化を与え、応答を検知することで行う。電圧又は電流の印加を行う場合には書き込み配線を読み出しに兼用する。光を与え反射波の強度の相違を検知してもよい。

このような半導体記憶装置においては、書き込みの磁場を発生する磁性素子上部の配線と磁性素子との距離を非常に近接させることができる。このため、配線電流で発生する磁場を効率よく磁性素子に与えることができ、書き込み電流を小さくしても良好な書き込み動作が可能となり、低消費電力化を図ることができるという効果がもたらされる。

(第2の実施の形態)

図5には、本発明の第2の実施の形態としての半導体記憶装置の要部断面図が示されている。本実施の形態の半導体記憶装置の平面図は、第1の実施の形態の図1と同様であり、図5は、図1の X - X' 線に沿う断面図に相当する。図5に示すように、本実施の形態の半導体記憶装置は、複数の磁性素子 1 と、各素子の上下に配置された2系統の書き込み用の配線 A : 2 (A 2) 及び配線 B : 3 (B 1 ~ B 3) とを有する。2系統の書き込み用の配線 A、B の敷設方向は互いに異なる。図5において示されている構成の下方の層(下層: 図示されていない)及び上方の層(上層: 図示されていない)には電氣的回路が形成されており、該電氣的回路は図示された磁性素子と電氣的に接続されて該磁性素子の動作を制御する。

本実施の形態の半導体記憶装置では、配線 A : 2 と配線 B : 3 とが平面図で見えて交差しており、磁性素子 1 は、その交差部に対応して配置される。本実施の形態では、磁性素子 1 は配線 A と配線 B とに挟まれた位置にあり、配線 B : 3 と磁性素子 1 の上部とは電氣的に接続されており、配線 A : 2 と磁性素子 1 の下部とは電氣的に接続されている。磁性素子の部分は、第1の実施の形態のものと同様である。

次に、製造方法について説明する。絶縁化処理までは第1の実施の形態と同様である。絶縁化処理の後、マスク（図2A及び図2Bのマスク17）を除去し、配線Bの材料を成膜する。配線B：3を所望の形状に形成した後、引き続き配線部以外の絶縁化領域19を途中まで除去する（即ち厚さ方向に関し一部除去する）。

5 その後、全面に絶縁膜22を形成し、その後、平坦化する。

このような半導体記憶装置においては、第1の実施の形態の特徴に加えて絶縁化領域を一部除去しているため、メモリセル（磁性素子）間の漏れ電流を小さくできるという効果をもたらされる。この半導体装置の使用方法は、第1の実施の形態と同様である。

10 配線B：3の成膜前に、絶縁性のエッチングストップ膜21を形成し、該エッチングストップ膜21の磁性素子1上の一部の領域およびビアホールを含む領域を除去してもよい。この場合の断面構造は、図6A及び図6Bに示すようになる。図6Aは、図1のX-X'線に沿う断面図に相当し、図6Bは、図1のY-Y'線に沿う断面図に相当する。

15 配線B：3を形成した後、全面に磁性体膜、または、配線Bから磁性体膜を分離するための絶縁膜と該磁性体膜との積層膜、または、バリアメタルとなる導電性膜と磁性体膜との積層膜を形成し、エッチバックにより平坦部を除去することで、側壁部分に磁性体膜3aを配置した配線B：3を形成することもできる〔図6C参照〕。この磁性体膜の形成は、図5に示された半導体記憶装置に対しても同様に
20 行うことができる。この場合、磁性体膜の堆積は、絶縁化領域19の一部除去の前後のいずれで行ってもよい。

（第3の実施の形態）

図7には、本発明の第3の実施の形態としての半導体記憶装置の配線構造の要部断面図が示されている。半導体記憶装置の配線は、第1の配線（配線膜）25
25 と第2の配線（配線膜）26とを有する。2つの配線膜は一部または全部が接しており、接している部分の配線膜の配線方向は実質的に一致している（すなわち、平行な配線膜を密接させる）。このような配線構造は、必要な部分を厚くする配線に適しており、例えば、半導体記憶装置に適用した場合、これに用いる配線の全部もしくは磁性素子上及びその近傍の部分を厚くする。この場合、2つの配線膜
30 を密着させることで1つの厚い配線と見なせることになるので、配線方向に電流

を流すと、磁性素子近傍に多量の電流が流れて大きな磁場が与えられることになる。この配線構造は、第 1 の実施の形態や第 2 の実施の形態の半導体記憶装置のための配線構造に用いることができる（図 2 A 及び図 2 B、並びに図 5 など）。また、後述の実施例（図 9 A 及び図 9 B、並びに図 1 3 A 及び及び図 1 3 B など）

5 の配線構造にも適用できる。

次に、本実施の形態における半導体記憶装置の配線構造の製造方法について説明する。半導体基板（図示しない）上にトランジスタ等の素子や下層配線を形成した後、下層配線との電気的接続を行うプラグを内蔵し表面を C M P などにより平坦化した絶縁膜 5 を形成する。その後、絶縁膜全面に第 1 の配線 2 5 を形成す
10 るための導電膜を堆積し、これを所望の形状に加工して第 1 の配線 2 5 を形成した後、全面に絶縁膜 2 7 を形成する。全体を平坦化し、第 1 の配線 2 5 を表面に出す。全面にエッチストップ膜 2 8 及び絶縁膜 2 9 を順に形成し、第 2 の配線 2 6 を配置する部分の絶縁膜 2 9 を除去し、さらに配線配置部分にて露出したエッチストップ膜 2 8 も除去する。全面に第 2 の配線 2 6 の材料を堆積し、配線配置
15 部分以外の配線材料を C M P などにより除去することにより第 2 の配線 2 6 を絶縁膜 2 9 に埋め込み形成する。

このような半導体記憶装置の配線構造において、第 1 の配線膜を薄く形成できるため、厚い膜を一度に加工しようとした場合に比べ微細な加工が実現できると
20 という効果をもたらされる。

（第 4 の実施の形態）

図 2 2 を参照すると、本発明の第 4 の実施形態の半導体記憶装置の要部断面図が示されている。

本実施形態は、所望の形状を持つ磁性体膜 2 0 0 と、これに隣接する高抵抗膜 2 0 1 と、所望の形状に加工された導電体膜 2 0 2 とを有する。磁性体膜 2 0 0
25 の一面と導電体膜 2 0 2 の一面とが接している。高抵抗膜 2 0 1 は、磁性体膜 2 0 0 の材料と導電体膜 2 0 2 の材料のそれぞれの少なくとも一部からなる複合材料の酸化物又は窒化物又は酸窒化物である。

（第 5 の実施の形態）

図 2 3 を参照すると、本発明の第 5 の実施形態の半導体記憶装置の要部断面図
30 が示されている。

本実施形態は、所望の形状を持つ磁性体膜 200 と、これに隣接する高抵抗膜 201 と、化合物膜 203 とを有する。化合物膜 203 は磁性体膜 200 と高抵抗膜 201 との境界の近傍に配置されている。化合物膜 203 の一面の少なくとも一部が高抵抗膜 201 と接している。高抵抗膜 201 は、磁性体膜 200 の材料と化合物膜 203 の材料のそれぞれの少なくとも一部からなる複合材料の酸化物又は窒化物又は酸窒化物である。

(第 6 の実施の形態)

図 24 を参照すると、本発明の第 6 の実施形態の半導体記憶装置の要部断面図が示されている。

本実施形態は、所望の形状を持つ第 1 の磁性体膜 200 と、これに隣接する高抵抗膜 201 と、所望の形状を持つ第 2 の磁性体膜 204 と、層間膜 205 とを有する。第 1 の磁性体膜 200 と層間膜 205 の一方の面とが対向して配置され、層間膜 205 のもう一方の面が第 2 の磁性体膜 204 が第 2 の磁性体膜 204 と対向して配置されている。高抵抗膜 201 は、第 1 の磁性体膜 200 の材料の少なくとも一部を含む酸化物又は窒化物又は酸窒化物である。層間膜 205 は導電体でもよい。また、第 1 の磁性体膜 200 と第 2 の磁性体膜 204 とを自己整合的に形成することで、相似形にしてもよい。

(第 7 の実施の形態)

図 25 を参照すると、本発明の第 7 の実施形態の半導体記憶装置の要部断面図が示されている。

本実施形態は、所望の形状を持つ第 1 の磁性体膜 200 と、これに隣接する高抵抗膜 201 と、導電体配線 206 と、第 2 の磁性体膜 207 とを有する。導電体配線 206 と第 1 の磁性体膜 200 及び高抵抗膜 201 とが対向して配置されている。また、第 2 の磁性体膜 207 と導電体配線 206 の側面とが対向して配置されている。高抵抗膜 201 は、第 1 の磁性体膜 200 の材料の少なくとも一部を含む酸化物又は窒化物又は酸窒化物である。第 2 の磁性体膜 206 の端部と高抵抗膜 201 との距離は 20 nm 以下にすることも、接することも可能である。また、第 2 の磁性体膜 207 の端部と第 1 の磁性体膜 200 との距離を自己整合的に決定することも可能である。

(第 8 の実施の形態)

図 26 を参照すると、本発明の第 8 の実施形態の半導体記憶装置の要部断面図が示されている。

本実施形態は、所望の形状を持つ第 1 の磁性体膜 200 と、これに隣接する高抵抗膜 201 と、導電体配線 206 と、第 2 の磁性体膜 208 と、第 3 の磁性体膜 209 とを有する。導電体配線 206 と第 1 の磁性体膜 200 及び高抵抗膜 201 とが対向して配置されている。また、第 2 の磁性体膜 208 と第 3 の磁性体膜 209 とは、互いに平行であり、第 1 の磁性体膜 200 と導電体配線 206 との間に配置されている。第 1 の磁性体膜 200 の中心が第 2 の磁性体膜 208 と第 3 の磁性体膜 209 との間に位置する。高抵抗膜 201 は、第 1 の磁性体膜 200 の材料の少なくとも一部を含む酸化物又は窒化物又は酸窒化物である。

実施例：

(第 1 の実施例)

図 8、図 9A、図 9B、図 10A～図 10F 及び図 11 を参照して、本発明の第 1 の実施例を説明する。図 8 は、本発明の第 1 の実施例の半導体記憶装置の平面図であり、図 9A は、図 8 の X-X' 線での断面図であり、図 9B は、図 8 の Y-Y' 線での断面図である。図 10A～図 10F は、この実施例の半導体記憶装置の製造工程断面図である。

この実施例の半導体記憶装置は、ワード線 (W1、W2、W3) 50、ビット線 (B1、B2、B3) 51、及び磁性素子としての TMR (C1) 52 を有する。TMR 52 は、図 8 の平面図におけるワード線 50 とビット線 51 との交差部に対応して配置されており、ワード線 50 上に形成されている。ビット線 51 と TMR 52 の上部磁性体層とは電氣的に接続されており、ワード線 50 と TMR 52 の下部磁性体層とは電氣的に接続されている。図 11 に TMR (C1) の断面図を示す。図 11 に示すように、FeMn からなる反強磁性体層 (10nm 厚) 101、CoFe からなるピン層 (2.4nm 厚) 102、Al₂O₃ からなるトンネル絶縁層 103、及び NiFe からなるフリー層 (5nm 厚) 104 が積層されて TMR 52 が形成されている。反強磁性体層及びフリー層には、それぞれ、これらの間に電圧が印加できるように、Ta からなる下部電極 105 及び上部電極 106 が接続されている。下部電極 105 及び上部電極 106 は、それ

5 ぞれワード線 5 0 及びビット線 5 1 の一部を構成してもよい。ピン層の磁化は、反強磁性体層により所定の向きに固定されている。フリー層は、所定のある方向に磁化し易いように形成されており、その磁化の向きは、外部から磁場を印加することにより変化させることができる。積層膜の水平方向（膜の表面と平行な方向）のうち、磁化し易い方向を容易軸、容易軸に垂直で磁化し難い方向を困難軸と呼ぶ。フリー層とピン層との間に電圧を印加するとトンネル絶縁層を通して電流が流れるが、フリー層とピン層との磁化の向きの関係により TMR の抵抗値が変化する。すなわち磁化の向きが同じ場合は抵抗が低くなり、磁化の向きが反対の場合は抵抗が高くなる。

10 次に、半導体記憶装置の製造方法について説明する。シリコン基板（図示しない）上にトランジスタ等の素子や配線 5 3 などからなる電氣的回路を形成し、シリコン酸化膜 5 4 をプラズマ CVD 法により形成し CMP により平坦化する。尚、図 9 A 及び図 9 B は、シリコン基板上に形成されたシリコン酸化膜 5 4 に被覆された配線 5 3 から上の構造を図示する。半導体基板に形成された素子や配線と接
15 続された配線 5 3 は、その上層に形成された TMR に接続される。この配線 5 3 と磁性素子との電氣的接続を達成するために、シリコン酸化膜 5 4 に配線 5 3 の表面を露出する接続孔をフォトリソグラフィ技術とドライエッチング技術で形成し、シリコン酸化膜 5 4 の表面と接続孔内部にタングステン (W) を堆積させ、再度 CMP により接続孔以外の W を除去してプラグ 5 5 を形成する。その後、シ
20 リコン酸化膜 5 4 の全面にシリコン窒化膜 5 6 及びシリコン酸化膜 5 7 を順に形成し、配線（ワード線 5 0）を配置する部分のシリコン酸化膜 5 7 をフォトリソグラフィ技術とドライエッチング技術で除去し〔図 10 A〕、さらに、配線配置部分に露出したシリコン窒化膜 5 6 もドライエッチングで除去して、プラグ 5 5 表面が露出するようにする。レジストをアッシング除去した後、Ti 層（10 nm
25 厚）、TiN 層（30 nm 厚）、及び AlSiCu 層（200 nm）をスパッタ法により連続して成膜して配線材料層 5 8 を形成する〔図 10 B〕。配線配置部以外の配線材料層を CMP により除去し、配線配置部に AlSiCu を 50 nm 厚さに残してワード線 5 0 およびこれと同層の引き出し線 5 0 a（図 8 参照）を形成する。

30 次に、Ta 層（10 nm 厚）、FeMn 層（10 nm 厚）、CoFe 層（2.4

n m厚)、A l層 (1.5 n m厚)をスパッタ法で連続して成膜した後、酸素雰囲気
5 中に保管してA l層を酸化する。その後、N i F e層 (5 n m厚)、T a層 (1
0 n m厚)およびマスク64となるA l層 (20 n m厚)をスパッタ法により連
続して形成する。フォトリソグラフィ技術により、レジストを、T M R 5 2に対
5 応する0.5 μ m \times 0.8 μ mの長方形に残す。その後、ドライエッチング技術
によりA l層及びT a層を加工する〔図10C〕。レジストをアッシング除去した
後、全面を酸素プラズマ処理し、A l層で覆われていない部分のN i F e層、C
o F e層、F e M n層及びT a層を酸化する。これにより絶縁化領域 (高抵抗化
10 領域)である磁性材料酸化物膜59で分離され孤立したT M R 5 2が形成される
〔図10D〕。

次に、下層の引き出し線50aとの接続部となる領域の磁性材料酸化物膜59
をフォトリソグラフィ技術とイオンミリング技術により除去して、引き出し線5
0 aの表面を露出させるビアホール60を形成する〔図9B参照〕。全面にシリコ
ン窒化膜61を20 n m、シリコン酸化膜62を400 n mの膜厚に堆積し、C
15 M P技術により平坦化する〔図10E〕。フォトリソグラフィ技術とドライエッチ
ング技術によりシリコン酸化膜62にビット線51に対応する形状の溝を形成し、
露出したシリコン窒化膜61も除去する。レジストをアッシング除去した後、イ
オンミリングによりマスク64とT M Rのための上部電極であるT a膜との露出
部分の表面酸化物を除去した後、T i層 (10 n m厚)、T i N層 (30 n m厚)
20 及びA l S i C u層 (600 n m厚)をスパッタ法により連続して成膜する。次
に、配線配置部以外の配線材料をC M Pにより除去することにより、ビット線5
1を形成する〔図10F〕。この後、シリコン酸窒化膜を形成し、それにボンディ
ングパッド部を開口するか、さらに前述の工程を繰り返して配線やT M R (磁性
素子)を多層に形成することもできる。

25 隣接セル間の漏れ電流を小さくするためT M Rの周辺酸化を行った後、続けて
磁性材料酸化物膜59を厚さ方向に関し一部除去することも可能である。この場
合、除去されるものが酸化物であるため、除去物の再付着があってもショートは
発生しない。隣接配線どうしの絶縁性を高めるため、ビット線を形成した後、シ
リコン酸化膜62およびシリコン窒化膜61を除去した上で、ビット線で覆われ
30 ていない磁性材料酸化物膜59の一部または全部を除去してもよい。この場合、

酸化物が除去されるため、再付着があってもショートは発生しない。除去後、シリコン酸化膜を堆積し、TMR間を絶縁性の高いシリコン酸化膜で充填する。TMR周囲の酸化を容易にするために、Al層及びTa層の加工後に、酸素原子を含む材料をイオン注入したり、酸素イオン、酸素ラジカル、オゾンの高温雰囲気中に保管してもよい。また、酸化しやすいシリコン、ジルコニウム、セリウム又はハフニウムをイオン注入してから酸化してもよい。また、周辺からの磁性の影響を小さくするため、Al層及びTa層の加工後に、絶縁化処理後に層が強磁性特性を持つことのないような原子をイオン注入し、またはこのような原子を含む材料を成膜して原子を高温拡散させ或いはイオンを当てて押し込むことで上記原子を膜内に導入してもよい。配線材料としてはAlCuやCuなどを用いてもよい。下部配線が酸化しにくくなるように、下部配線上面にTiNが残るようにしたり、Alが表面層となるようにしてもよい。また、下部配線を形成した後、全面に3nm程度のSiO₂やAl₂O₃の絶縁薄膜を形成してもよい。TMR部分では電流はトンネル現象で流れるため、絶縁薄膜を形成しても問題にはならない。

2種類以上の誘電率の層の積層構造を挟むことで磁性素子に非線形特性を持たせることもできる。下部配線と接続しない部分でも磁性材料酸化膜を除去しても良い。TMRの上下配線間の絶縁性を高めるため、磁性素子材料とともに全面にアモルファスシリコンやZrなどの導電性材料を堆積してもよい。これらはTMR部分では電流を流し、酸化された部分では絶縁体となる。TMR周囲の酸化のためのマスクは、導電体材料の場合、TiN、Al、Pt、Irなどの酸化しにくい材料、Ru、Inなどの酸化しても導電性のある材料が望ましい。酸化後にマスク材料は除去してもよい。また、マスク材料は、絶縁体でもよく、この場合周辺酸化処理後ドライエッチング技術により除去する。TMRは反強磁性体層がトンネル膜の上側にある構造でもよく、また反強磁性体層がない構造でもよい。

磁性体材料は酸化して絶縁体になる原子で構成されている物が望ましく、反強磁性体ではFeMnやNiMnなどである。磁気抵抗素子は、磁性体の磁気抵抗効果を用いたAMRや、1対の磁性体のあいだに導電体薄膜を挟んだGMRとよばれる素子でもよい。ビット線、ワード線の上下関係は交換可能である。

次に、この半導体記憶装置の使用方法について述べる。この半導体記憶装置はTMRを記憶素子とした不揮発性メモリを構成している。まず、データの書き込

みについて説明する。ワード線W1に電流を流し、ビット線B1にデータに相当する向きの電流を流すと、これらの交差点に対応して位置するTMRには合成磁場が印加され、ビット線の電流の向きに従ってフリー層が磁化される。電流を止めた後も、また電源を切ったあとも、フリー層は強磁性体からなるため磁化の向きは保持され、不揮発性メモリとして動作する。

次に、データの読み出しについて説明する。ビット線B1をフローティングにし、積分回路に接続する。ワード線W1に0.5V程度を印加する。その他の配線は接地する。W1とB1との交差点に対応して位置するTMRは磁化の向きにより抵抗値が変わっているため、積分回路に流れ込む電流量が異なる。ある時間積分した後、基準値と比較することで磁化の向きを判別し、書き込まれていたデータを読み出すことができる。

この実施例では、上部配線の電流がTMRの上部電極のTa層にも流れるため、書き込み電流と磁性素子であるTMRのフリー層とを近接して配置させることができる。本例の場合は両者を密着させることができる。

15 (第2の実施例)

次に、図12、図13A、図13B、及び図14A～図14Fを参照して第2の実施例を説明する。図12は、本発明の第2の実施例の半導体記憶装置の平面図であり、図13Aは図12のX-X'線での断面図であり、図13Bは図12のY-Y'線での断面図である。図14A～図14Fは、この実施例の半導体記憶装置の製造工程断面図である。

この実施例の半導体記憶装置は、図12に示すように、書き込みワード線(WW1、WW2)70、読み出しワード線71、引き出し線72、ビット線(BW1、BW2、BW3)51、及びTMR52を有する。TMR52は、書き込みワード線70とビット線51との交差部に対応する位置に形成される。ビット線51とTMR52の上部磁性体層とは電氣的に接続されており、読み出しワード線71と引き出し線72とTMR52の下部磁性体層とは電氣的に接続されている。図示されていないが、各セルの読み出しワード線71は、基板に形成されたMOSトランジスタのドレインに接続されている。該トランジスタのソースは接地され、ゲートはトランジスタをオン、オフする制御線に接続されている。TMR52の構造は、図11と同じである。

次に、半導体記憶装置の製造方法について説明する。図 1 3 A 及び図 1 3 B は、書き込みワード線 7 0 及び読み出しワード線 7 1 を含む基板最上層の配線の層から上の構造を図示する。シリコン基板（図示しない）上にトランジスタ等の素子を形成し、書き込みワード線 7 0 及び読み出しワード線 7 1 を形成した後、シリコン酸化膜 5 4 をプラズマ C V D 法により形成し C M P により平坦化する。シリコン酸化膜 5 4 に配線との接続孔をフォトリソグラフィ技術とドライエッチング技術で形成し、この接続孔の内部を含めてシリコン酸化膜 5 4 上の全面にタングステン（W）を堆積し、再度 C M P により接続孔以外の W を除去してプラグ 5 5 を形成する。その後全面にシリコン窒化膜 5 6 及びシリコン酸化膜 5 7 を順に形成し、配線を配置する部分のシリコン酸化膜 5 7 をフォトリソグラフィ技術とドライエッチング技術で除去し、さらに、配線配置部分に露出したシリコン窒化膜 5 6 もドライエッチングで除去し、プラグ 5 5 の表面が露出するようにする。レジストをアッシング除去した後 T i 層（1 0 n m 厚）、T i N 層（3 0 n m 厚）、及び A l S i C u 層（2 0 0 n m 厚）をスパッタ法により連続して成膜して配線材料層 5 8 を形成する〔図 1 4 A〕。

次に、配線配置部以外の配線材料を C M P により除去し、配線配置部に A l S i C u 層を 5 0 n m 厚に残して引き出し線 7 2、7 2 a〔図 1 2、図 1 3 B 参照〕を形成する。さらに、T a 層（1 0 n m 厚）、F e M n 層（1 0 n m 厚）、C o F e 層（2. 4 n m 厚）、及び A l 層（1. 5 n m 厚）をスパッタ法で連続して成膜した後、酸素プラズマにより A l 層を酸化する。その後、N i F e 層（5 n m 厚）、T a 層（1 0 n m 厚）およびマスク 6 4 となる A l 層（2 0 n m 厚）をスパッタ法により連続して成膜する。さらに、フォトリソグラフィ技術により、A l 層上にレジスト膜を、形成すべき T M R 5 2 の形状に、形成する。その後ドライエッチング技術により A l 層及び T a 層を加工してマスク 6 4 を形成する〔図 1 4 B〕。レジスト膜をアッシング除去した後、全面を酸素プラズマ処理し、A l 層で覆われていない部分の N i F e 層、C o F e 層、F e M n 層、及び T a 層を酸化する。これにより絶縁化領域である磁性材料酸化物膜 5 9 で分離され孤立した T M R 5 2 が形成される。次に、引き出し線 7 2 a の接続部となる部分の磁性材料酸化物膜 5 9 をフォトリソグラフィ技術とイオンミリング技術を用いて除去し、引き出し線 7 2 a の表面を露出させてビアホール 6 0 を形成する〔図 1 3 B 参照〕。

レジスト膜をアッシング除去した後に、イオンミリング処理によりマスク64とTa膜との露出部分の表面酸化物を除去した後、全面にTiN層(20nm厚)及びAlSiCu層(50nm厚)を順に形成し、フォトリソグラフィ技術とドライエッチング技術によりビット線51の形状に加工し、第1配線層63を形成する〔図14C〕。さらに、磁性材料酸化物膜59のNiFe層、CoFe層、及びFeMn層のそれぞれの酸化部分の一部をアルゴン及び塩素を主成分とするエッチングガスにより除去する。この際オーバーエッチングしても、除去物が酸化物であるので再付着してもTMR内のトンネル膜が側壁でショートすることはない。全面にシリコン酸化膜74を形成し〔図14D〕、配線が表面に出るまでCMPにより平坦化する。その後全面にシリコン窒化膜61を20nm厚、シリコン酸化膜62を400nm厚に形成する〔図14E〕。フォトリソグラフィ技術及びドライエッチング技術によりシリコン酸化膜62にビット線51に対応する形状の溝を形成し、露出したシリコン窒化膜61も除去する。レジストをアッシング除去した後、Ti層(10nm厚)、TiN層(30nm厚)、及びAlSiCu層(600nm厚)をスパッタ法により連続して成膜する。配線配置部以外の配線材料をCMPにより除去することにより、厚いビット線51の第2配線層73を形成する。第2配線層73および第1配線層63は、ビット線51を構成する〔図14F〕。この実施例に対しても、第1の実施例で説明した手法を適用することができる。

次に、この半導体記憶装置の使用方法について説明する。この半導体記憶装置は、TMRを記憶素子とした不揮発性メモリを構成している。まず、データの書き込みについて説明する。C1のTMRに書き込みを行う場合、書き込みワード線WW1に電流を流し、ビット線BW1にデータに相当する向きの電流を流すと、これらの交差点に対応して位置するTMR(C1)には合成磁場が印加され、ビット線の電流の向きに従ってフリー層が磁化される。電流を止めた後も、また電源を切ったあとも、フリー層は強磁性体からなるため磁化方向は保持され、不揮発性メモリとして動作する。

次に、データの読み出しについて説明する。WW1とBW1との交差点に対応して位置するセルのMOSトランジスタのみをオン状態に設定し、BW1に電流を注入すると、TMRは磁化の向きに応じて抵抗値が変わっているため、生起さ

れる電圧が異なる。この値を基準電圧と比較することで磁化の向きを判別し、書き込まれていたデータを読み出すことができる。

この実施例では、上部配線の電流がTMR上部電極のTa層にも流れるため、書き込み電流とTMRのフリー層とを近接して配置させることができる。さらに
5 TMR材料酸化部分の一部が除去されているため、隣接TMR間に流れる漏れ電流を小さくできる。

(第3の実施例)

図27及び図28を参照して、本発明の第3の実施例を説明する。図27は本発明の第3の実施例の半導体記憶装置の部分断面図であり、図28は図27のX-X'線での断面図である。
10

この実施例の半導体記憶装置では、ワード線400、ビット線401、及び磁性素子としてのTMR402を有する。TMR402は、ワード線400とビット線401との交差部に対応して配置されており、ワード線400上に形成されている。ビット線401とTMR402の上部磁性体層とは電氣的に接続されており、ワード線400とTMR402の下部磁性体層とは電氣的に接続されている。TMR402は基本的には上記実施例のものと同様である。
15

次に、半導体記憶装置の製造方法について説明する。シリコン基板（図示しない）上にトランジスタ等の素子や配線などからなる電氣的回路を形成し、シリコン酸化膜404をプラズマCVD法により形成しCMPにより平坦化する。尚、
20 図では、シリコン基板上に形成されたシリコン酸化膜404から上の構造を図示する。シリコン酸化膜404の一部をフォトリソグラフィ技術とドライエッチング技術で除去し、配線（ワード線）400を埋め込むための深さ300nm程度の溝を形成する。その後、Ta層（10nm厚）、NiFe層（10nm厚）、Ta層（5nm厚）及びCu層（400nm）を全面にスパッタ法により連続して
25 成膜する。再度CMPにより配線400以外のCuを除去する。続けてTa層（10nm厚）、NiFe層（2nm厚）、FeMn層（10nm厚）、CoFe層（2.4nm厚）、Al層（1.5nm厚）をスパッタ法で連続して成膜した後、酸素雰囲気中に保管してAl層を酸化する。その後、NiFe層（5nm厚）、Ta層（10nm厚）およびマスク414となるAl層（20nm厚）及びTiN層（20
30 nm厚）をスパッタ法により連続して形成する。フォトリソグラフィ技術により、

レジストをTMR 402に対応する $0.5\mu\text{m}\times 0.8\mu\text{m}$ の長方形に残す。その後、ドライエッチング技術によりTiN層、Al層及びTa層（途中まで）を加工する。レジストをアッシング除去した後、 250°C 程度で全面を酸素プラズマ処理し、Al層で覆われていない部分のTa層の残り、NiFe層、CoFe層、FeMn層及びTa層を酸化する。Taは酸化とともにNiFe層に拡散し、混合酸化物が形成される。これにより絶縁化領域（高抵抗化領域）であるTMR材料酸化物膜（酸化領域）409で分離され孤立したTMR 402が形成される。

次に、図示していないが、後の工程で上部配線との接続のためのビアホールをあける部分の酸化領域をフォトリソグラフィ技術とイオンミリング技術により除去する。

次に、ワード線400より $0.1\mu\text{m}$ 程度広い形になるように、フォトリソグラフィ技術とミリング技術によりNiFe層、 Al_2O_3 層、CoFe層、FeMn層、Ta層を加工する。次に、全面にTi層（ 10nm 厚）、TiN層（ 30nm 厚）、AlSiCu層（ 500nm ）、Ta層（ 10nm 厚）、NiFe層（ 8nm 厚）、Ta層（ 20nm 厚）をスパッタ法で連続して成膜する。その後、配線部以外の配線材料をエッチングで除去してビット線401を形成する。この時、磁性体酸化膜は加工されにくいため、NiFeの酸化物の層の表面で加工が止まる。次に、全面にTa層（ 10nm 厚）、NiFe層（ 10nm 厚）、Ta層（ 10nm 厚）をスパッタ法により連続して形成する。続けて、全面をエッチバックすることで、ビット線401の側面にNiFe層及びTa層を残す。

酸化領域上に残す材料として、タンタルと同様に酸化し易いシリコン、ジルコニウム、セリウム、ハフニウムを用いてもよい。

この実施例では、配線の周囲を磁性体を取り囲むため、電流により発生する磁場が効率よくTMRに与えられる。また、配線周囲の磁性体の先端は、TMRのフリー層を構成する層の酸化領域の上方にて近接して位置するため、従来例に比べてフリー層の近くに配置でき、より小さい電流での書き込みが可能となる。

（第4の実施例）

図29及び図30を参照して、本発明の第4の実施例を説明する。図29は、本発明の第4の実施例の半導体記憶装置の部分断面図であり、図30は図29のX-X'線での断面図である。

この実施例の半導体記憶装置では、ワード線400、ビット線401、及び磁性素子としてのTMR402を有する。TMR402は、ワード線400とビット線401との交差部に対応して配置されており、ワード線400上に形成されている。ビット線401とTMR402の上部磁性体層とは電氣的に接続されており、ワード線400とTMR402の下部磁性体層とは電氣的に接続されている。TMR402は基本的には上記実施例のものと同様である。

次に、半導体記憶装置の製造方法について説明する。シリコン基板（図示しない）上にトランジスタ等の素子や配線などからなる電氣的回路を形成し、シリコン酸化膜404をプラズマCVD法により形成しCMPにより平坦化する。尚、図では、シリコン基板上に形成されたシリコン酸化膜404から上の構造を図示する。シリコン酸化膜404上に、Ti層（10nm厚）、AlCu層（300nm厚）、Ta層（10nm厚）IrMn層（10nm厚）、CoFe層（2.4nm厚）、Al層（1.5nm厚）をスパッタ法で連続して成膜した後、酸素雰囲気中に保管してAl層を酸化する。その後、NiFe層（5nm厚）、Ta層（10nm厚）をスパッタ法により連続して形成する。フォトリソグラフィ技術とドライエッチング技術により、Ta層、NiFe層、Al₂O₃層、CoFe層、IrMn層、Ta層、AlCu層、Ti層をワード線400の形状に加工する。全面にシリコン酸化膜（SiO₂）を成膜しCMPで平坦化した後、エッチバックにより配線（ワード線）400の形状に加工された線状構造の表面を露出させる。この時、オーバーエッチングしても、この線状構造の側面にはシリコン酸化膜からなるサイドウォールが形成される（図30参照）。

マスク414となるAl層（20nm厚）及びTiN層（20nm厚）をスパッタ法により全面に連続して形成する。フォトリソグラフィ技術により、レジストをTMR402に対応する0.5μm×0.8μmの長方形に残す。その後、ドライエッチング技術によりTiN層、Al層及びTa層を加工する。レジストをアッシング除去した後、全面にTa層（3nm厚）を形成し、250℃程度で全面を酸素プラズマ処理し、Al層で覆われていない部分のTa層、NiFe層を酸化する。Taは酸化とともにNiFe層に拡散し、混合酸化物が形成される。これにより絶縁化領域（高抵抗化領域）であるTMR材料酸化物膜（酸化領域）409で分離され孤立したTMR402が形成される。

次に、図示していないが、後の工程で上部配線との接続のためのピアホールをあける部分の酸化領域をフォトリソグラフィ技術とイオンミリング技術により除去する。

次に、SiN層（20nm厚）、SiO₂層（300nm厚）を順にプラズマCVD法により形成する。TMRの上方のSiO₂層、SiN層及びTaO層を除去してピアホールを形成し、更に全面にTi層（10nm厚）、TiN層（30nm厚）、AlSiCu層（500nm）、Ta層（10nm厚）、NiFe層（8nm厚）、Ta層（20nm厚）をスパッタ法で連続して成膜する。その後、配線部以外の配線材料をエッチングで除去してビット線401を形成する。この時、SiO₂層のエッチングの際にSiNに対するエッチング選択比が大きくなる加工条件に変更し、SiN層で加工を終了する。次に、全面にTa層（10nm厚）、NiFe層（10nm厚）、Ta層（10nm厚）をスパッタ法により連続して形成する。続けて、全面をエッチバックすることで、ビット線401の側面にNiFe層及びTa層を残す。

酸化領域上に成膜する材料として、タンタルと同様に酸化し易いシリコン、ジルコニウム、セリウム、ハフニウムを用いてもよい。

この実施例では、配線とTMRとの間に厚い絶縁膜を介在させているが、配線側面に形成した磁性体層の先端を酸化領域に十分に近づけることができるので、より小さい電流での書き込みが可能となる。また、磁性体層の先端と酸化領域との間に絶縁膜であるSiN層を挟むことができるので、酸化領域の抵抗が低くても上下配線の絶縁性を確保できる。

（第5の実施例）

図31を参照して、本発明の第5の実施例を説明する。図31は、本発明の第5の実施例の半導体記憶装置の部分断面図である。

この実施例の半導体記憶装置では、ワード線400、ビット線401、及び磁性素子としてのTMR402を有する。TMR402は、ワード線400とビット線401との交差部に対応して配置されており、ワード線400上に形成されている。ビット線401とTMR402の上部磁性体層とは電氣的に接続されており、ワード線400とTMR402の下部磁性体層とは電氣的に接続されている。TMR402は基本的には上記実施例のものと同様である。

次に、半導体記憶装置の製造方法について説明する。シリコン基板（図示しない）上にトランジスタ等の素子や配線などからなる電氣的回路を形成し、シリコン酸化膜404をプラズマCVD法により形成しCMPにより平坦化する。尚、図では、シリコン基板上に形成されたシリコン酸化膜404から上の構造を図示する。シリコン酸化膜404上に、Ti層（10nm厚）、AlCu層（300nm厚）、Ta層（10nm厚）IrMn層（10nm厚）、CoFe層（2.4nm厚）、Al層（1.5nm厚）をスパッタ法で連続して成膜した後、酸素雰囲気中に保管してAl層を酸化する。その後、NiFe層（5nm厚）、Ta層（10nm厚）をスパッタ法により連続して形成する。フォトリソグラフィ技術とドライエッチング技術により、Ta層、NiFe層、Al₂O₃層、CoFe層、IrMn層、Ta層、AlCu層、Ti層をワード線400の形状に加工する。全面にシリコン酸化膜（SiO₂）を成膜しCMPで平坦化した後、エッチバックにより配線（ワード線）400の形状に加工された線状構造の表面を露出させる。この時、オーバーエッチングしても、この線状構造の側面にはシリコン酸化膜からなるサイドウォールが形成される（図30と同様）。

マスク414となるAl層（20nm厚）及びTiN層（20nm厚）をスパッタ法により連続して形成する。フォトリソグラフィ技術により、レジストをTMR402に対応する短径0.5μm×長径0.8μmの楕円形に残す。その後、ドライエッチング技術によりTiN層、Al層及びTa層（途中まで）を加工する。レジストをアッシング除去した後、230℃程度で全面を酸素プラズマ処理し、Al層で覆われていない部分のTa層の残り、NiFe層及びCoFe層を酸化する。Taは酸化とともにNiFe層に拡散し、混合酸化物が形成される。これにより絶縁化領域（高抵抗化領域）であるTMR材料酸化物膜（酸化領域）409で分離され孤立したTMR402が形成される。

次に、図示していないが、後の工程で上部配線との接続のためのピアホールをあける部分の酸化領域をフォトリソグラフィ技術とイオンミリング技術により除去する。

次に、全面にTa層（10nm厚）、AlCu層（500nm）、Ta層（10nm厚）、NiFe層（8nm厚）、Ta層（20nm厚）をスパッタ法で連続して成膜する。その後、配線部以外の配線材料をエッチングで除去してビット線4

01を形成する。この時、配線幅はTMR用のマスクの幅より小さくする。これにより、マスク414の最上層のTiNによりエッチングが妨げられるので、マスク全体が残る。次に、全面にTa層(10nm厚)、NiFe層(10nm厚)、Ta層(10nm厚)をスパッタ法により連続して形成する。続けて、全面をエッチバックすることで、ビット線401の側面にNiFe層及びTa層を残す。

この実施例では、TMRの極く近くに、また自己整合的に、マスクの側面に磁性体層を形成することができるため、磁性素子に効率的に磁場を与えることができ、より小さい電流での書き込みが可能となる。

(第6の実施例)

10 図32及び図33を参照して、本発明の第6の実施例を説明する。図32は、本発明の第6の実施例の半導体記憶装置の部分平面図であり、図33は図32のX-X'線での断面図である。

この実施例の半導体記憶装置では、ワード線400、ビット線401、及び磁性素子としてのTMR402を有する。TMR402は、ワード線400とビット線401との交差部に対応して配置されており、ワード線400上に形成されている。ビット線401とTMR402の上部磁性体層とは電氣的に接続されており、ワード線400とTMR402の下部磁性体層とは電氣的に接続されている。TMR402は基本的には上記実施例のものと同様である。

次に、半導体記憶装置の製造方法について説明する。シリコン基板(図示しない)上にトランジスタ等の素子や配線などからなる電氣的回路を形成し、シリコン酸化膜404をプラズマCVD法により形成しCMPにより平坦化する。尚、図では、シリコン基板上に形成されたシリコン酸化膜404から上の構造を図示する。シリコン酸化膜404上に、Ti層(10nm厚)、AlCu層(300nm厚)、Ta層(10nm厚)PtMn層(10nm厚)、CoFe層(2.4nm厚)、Al層(1.5nm厚)をスパッタ法で連続して成膜した後、酸素雰囲気中に保管してAl層を酸化する。その後、NiFe層(5nm厚)、Ta層(10nm厚)をスパッタ法により連続して形成する。フォトリソグラフィ技術とドライエッチング技術により、Ta層、NiFe層、Al₂O₃層、CoFe層、PtMn層、Ta層、AlCu層、Ti層をワード線400の形状に加工する。全面にシリコン酸化膜(SiO₂)を成膜しCMPで平坦化した後、エッチバックに

より配線（ワード線）400の形状に加工された線状構造の表面を露出させる。この時、オーバーエッチングしても、この線状構造の側面にはサイドウォールが形成される（図33参照）。

マスク414となるAl層（50nm厚）、Ta層（5nm厚）、NiFe層（5nm厚）、Ta層（5nm厚）を全面にスパッタ法により連続して形成する。フォトリソグラフィ技術により、レジストをTMR402に対応する短径0.5 μ m \times 長径0.8 μ mの楕円形に残す。その後、ドライエッチング技術によりTa層、NiFe層、Ta層、Al層及びTa層の一部を加工する。レジストをアッシング除去した後、230 $^{\circ}$ C程度で全面を酸素プラズマ処理し、Al層で覆われていない部分のTa層の残り、NiFe層を酸化する。Taは酸化とともにNiFe層に拡散し、混合酸化物が形成される。これにより絶縁化領域（高抵抗化領域）であるTMR材料酸化物膜（酸化領域）409で分離され孤立したTMR402が形成される。

次に、図示していないが、後の工程で上部配線との接続のためのビアホールをあける部分の酸化領域をフォトリソグラフィ技術とイオンミリング技術により除去する。

次に、SiN層（20nm厚）及びSiO₂層（400nm厚）をプラズマCVD法で連続して成膜する。その後、ビット線401を形成すべき領域のSiO₂層及びSiN層を溝状（図32参照）に除去すると、図34に示されるように、TMR用マスク414の一部が露出する。次いで、全面にTi層（10nm厚）、TiN層（30nm厚）、Cu層（500nm厚）をスパッタ法により連続して形成する。配線部以外の配線材料をCMPで除去してビット線401を形成する。配線401を流れる電流はマスク414のAl層を通過する。即ち、マスクは配線の一部として機能する。

この実施例では、配線上にTMRと同形状の磁性体層を形成することができ、この磁性体層により配線電流磁場が上方に広がるのを抑制できるので、TMRに効率よく磁場を与えることができる。

（第7の実施例）

図34及び図35を参照して、本発明の第7の実施例を説明する。図34は本発明の第7の実施例の半導体記憶装置の部分平面図であり、図35は図34のX

— X' 線での断面図である。

この実施例の半導体記憶装置では、ワード線 400、ビット線 401、及び磁性素子としての TMR 402 を有する。TMR 402 は、ワード線 400 とビット線 401 との交差部に対応して配置されており、ワード線 400 上に形成され
5 ている。ビット線 401 と TMR 402 の上部磁性体層とは電氣的に接続されており、ワード線 400 と TMR 402 の下部磁性体層とは電氣的に接続されている。TMR 402 は基本的には上記実施例のものと同様である。

次に、半導体記憶装置の製造方法について説明する。図 27 及び図 28 におけるマスク 414 で覆われていない部分を酸化する工程までは、第 3 の実施例と同様である。但し、マスク 414 は、TiN 層 (5 nm 厚) 及び Al 層 (20 nm
10 厚) からなるものとする。次に、図示していないが、後の工程で上部配線との接続のためのビアホールをあける部分の酸化領域をフォトリソグラフィ技術とイオンミリング技術により除去する。

次に、マスク 414 の Al 層を除去する。全面に NiFe 層 (10 nm 厚) を
15 形成し、図示されるように TMR を挟むような形状に加工する。全面に Ta 層 (10 nm 厚)、TiN 層 (30 nm 厚)、AlSiCu 層 (500 nm 厚)、Ta 層 (10 nm 厚)、NiFe 層 (8 nm 厚)、Ta 層 (20 nm 厚) をスパッタ法により連続して形成する。配線部以外の配線材料をエッチングしてビット線 401 を形成する。次に、全面に Ta 層 (10 nm 厚)、NiFe 層 (10 nm 厚)、Ta 層
20 (10 nm 厚) をスパッタ法により成膜する。続けて全面をエッチバックすることで、ビット線 401 の側面に NiFe 層及び Ta 層を残すとともに、配線の外にはみ出た NiFe 層及び Ta 層を除去する。

この実施例では、配線下部にも電流磁場集中用の磁性体層が配置され、磁性体層の先端と磁性素子とを近づけることができるので、磁性素子に効率よく磁場を
25 印加することができる。

なお、本発明は、上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

産業上の利用可能性：

30 以上説明したように、本発明によれば、上部配線と磁性素子とを密着させて配

置できる。また、磁性素子自体を分離するための材料除去加工が不要であるため、磁性素子同士を近接して配置することができる。これにより高集積、低消費電力の半導体記憶装置を提供することができる。

請求の範囲

1. 第1の導電体配線と、前記第1の導電体配線の上層にこれと交差して敷設された第2の導電体配線と、前記第1及び第2の導電体配線の交差により形成される交差部に配置された磁性素子と、を備えた半導体記憶装置において、
- 5 前記磁性素子に隣接して、その少なくとも一部の膜厚において、前記磁性素子を構成する膜の構成材料の高抵抗化変換物、または、前記磁性素子を構成する膜の構成材料と該膜の少なくとも上下の一方に形成された導電性膜の構成材料との高抵抗化変換物からなる領域が形成されていることを特徴とする半導体記憶装置。
- 10 2. 前記磁性素子は複数設けられており、前記高抵抗変換物からなる領域は前記磁性素子の隣り合うもの同士の間領域の少なくとも一部であることを特徴とする、請求項1に記載の半導体記憶装置。
3. 前記高抵抗変換物からなる領域は前記磁性素子の隣り合うもの同士の間領域の全体に亘って存在する領域であることを特徴とする、請求項2に記載の半導体記憶装置。
- 15 4. 前記磁性素子は前記第1の導電体配線と前記第2の導電体配線との間に位置することを特徴とする、請求項1に記載の半導体記憶装置。
5. 前記高抵抗化変換物は、前記磁性素子を構成する膜の構成材料の酸化物、窒化物または酸窒化物、または、前記磁性素子を構成する膜の構成材料と前記導電性膜の構成材料との酸化物、窒化物または酸窒化物であることを特徴とする、請求項1に記載の半導体記憶装置。
- 20 6. 前記高抵抗化変換物は、前記磁性素子の領域を画定する際にパターンニングされていない膜の全膜から形成されていることを特徴とする、請求項1に記載の半導体記憶装置。
- 25 7. 前記磁性素子上には、前記高抵抗化変換物を形成する際のマスク体が前記磁性素子のための上部電極の少なくとも一部として形成されていることを特徴とする、請求項1に記載の半導体記憶装置。
8. 前記マスク体は、窒化チタンまたはアルミニウムまたはアルミニウム合金または白金またはイリジウムまたは金またはルテニウムまたはインジウムからなる層を含んで形成されていることを特徴とする、請求項7に記載の半導体記
- 30

憶装置。

9. 前記磁性素子上には上部電極が形成されており、前記第2の導電体配線は前記上部電極の上面および少なくとも互いに対向する2側面に接して形成されていることを特徴とする、請求項1に記載の半導体記憶装置。

5 10. 前記第1の導電体配線の最上層は、この配線の主成分に比べて酸化が進行し難い導電材料からなることを特徴とする、請求項1に記載の半導体記憶装置。

11. 前記第1の導電体配線の最上層は、アルミニウムまたは窒化チタンにより形成されていることを特徴とする、請求項10に記載の半導体記憶装置。

10 12. 前記磁性素子とその下層、および／または、その上層に形成された配線との間にはトンネル絶縁膜が形成されていることを特徴とする、請求項1に記載の半導体記憶装置。

13. 前記トンネル絶縁膜は、誘電率の異なる複数の絶縁膜により構成されていることを特徴とする、請求項12に記載の半導体記憶装置。

15 14. 前記磁性素子を構成する膜の下層に形成された前記導電性膜の最上層、および／または、前記磁性素子を構成する膜の上層に形成された前記導電性膜の最下層は、タンタル以外の酸化されて高抵抗値を示す材料により形成されていることを特徴とする、請求項1に記載の半導体記憶装置。

20 15. 前記酸化されて高抵抗値を示す材料はシリコンまたはジルコニウムであることを特徴とする、請求項14に記載の半導体記憶装置。

16. 前記高抵抗化変換物は、その全膜厚に及ぶことなく一部が除去され、その除去された空間が堆積絶縁物により充填されていることを特徴とする、請求項1に記載の半導体記憶装置。

25 17. 前記第1の導電体配線と前記第2の導電体配線とのうちの少なくとも一方は、平坦な領域に形成された導電体膜の一部を除去して形成された第1配線層と、前記第1配線層上に溝が形成された絶縁膜の該溝を埋め込んで形成された第2配線層と、を有していることを特徴とする、請求項1に記載の半導体記憶装置。

30 18. 前記磁性素子は、FeMnまたはNiMnまたはIrMnまたはPtMnを主体とする金属材料を含んでいることを特徴とする、請求項1に記載の

半導体記憶装置。

19. 前記第1の導電体配線及び前記第2の導電体配線の少なくとも一方には、前記磁性素子に面する部分以外の部分の少なくとも一部において磁性体層が付されていることを特徴とする、請求項1に記載の半導体記憶装置。

5 20. 前記第2の導電体配線の側面に付されている磁性体層は、前記高抵抗変換物からなる領域と接しているか又は20nm以下の距離を隔てて位置していることを特徴とする、請求項19に記載の半導体記憶装置。

21. 前記第2の導電体配線の側面に付されている磁性体層は、膜体積と異方性エッチングとにより形成されたものであることを特徴とする、請求項19
10 に記載の半導体記憶装置。

22. 前記磁性素子を構成する少なくとも一部の磁性体膜と前記導電性膜とが接して形成されており、前記高抵抗変換物からなる領域は前記導電性膜の構成材料と前記磁性素子を構成する少なくとも一部の膜の構成材料との合成材料の酸化物、窒化物または酸窒化物から形成されていることを特徴とする、請求項1
15 に記載の半導体記憶装置。

23. 前記導電性膜がタンタル、アルミニウム、シリコン、ジルコニウム、セリウム、ハフニウムの少なくとも1つを含む材料からなることを特徴とする、請求項22に記載の半導体記憶装置。

24. 前記磁性素子と前記高抵抗変換物からなる領域との境界部上には酸
20 化物、窒化物または酸窒化物からなる領域が形成されており、前記高抵抗変換物からなる領域は前記酸化物、窒化物または酸窒化物からなる領域の構成材料と前記磁性素子を構成する少なくとも一部の膜の構成材料との合成材料の酸化物、窒化物または酸窒化物から形成されていることを特徴とする、請求項1に記載の半導体記憶装置。

25 25. 前記酸化物、窒化物または酸窒化物からなる領域がタンタル、アルミニウム、シリコン、ジルコニウム、セリウム、ハフニウムの少なくとも1つを含む材料からなることを特徴とする、請求項24に記載の半導体記憶装置。

26. 前記高抵抗変換物からなる領域は、前記磁性素子を構成する膜の全てに対応する膜により構成されていることを特徴とする、請求項1に記載の半導
30 体記憶装置。

27. 前記高抵抗変換物からなる領域は、前記磁性素子を構成する膜の一部に対応する膜により構成されており、前記高抵抗変換物からなる領域の下には前記磁性素子を構成する膜の他の一部と同等な導電性を有する膜が配置されており、該導電性を有する膜により前記磁性素子は前記第1の導電体配線の方向に電
5 氣的に接続されていることを特徴とする、請求項1に記載の半導体記憶装置。

28. 前記高抵抗変換物からなる領域は前記磁性素子を構成する少なくとも一部の膜の構成材料を主成分として含む酸化物、窒化物または酸窒化物からなり、前記第2の導電体配線の前記磁性素子に面する側と反対側の面に磁性体膜が形成されており、該磁性体膜の平面形状は前記磁性素子の平面形状と相似である
10 ことを特徴とする、請求項1に記載の半導体記憶装置。

29. 前記第2の導電体配線と前記磁性素子との間に前記磁性素子を挟むように一对の磁性体膜が形成されていることを特徴とする、請求項28に記載の半導体記憶装置。

30. 請求項1乃至29のいずれかに記載された構造が複数層積み重ねられて
15 いることを特徴とする半導体記憶装置。

31. 平坦な領域に形成された導電体膜の一部を除去して形成された第1配線層と、前記第1配線層間に充填された第1絶縁膜と、前記第1絶縁膜上に形成された、前記第1配線層の表面の少なくとも一部を露出させる溝を有する第2絶縁膜と、前記第2絶縁膜の前記溝に埋め込まれた第2配線層と、を有すること
20 を特徴とする半導体記憶装置。

32. 下層導電膜の表面が露出した平坦面上に磁性素子形成膜を堆積する工程と、前記磁性素子形成膜上にマスクを形成する工程と、前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換して前記マスク下に孤立した磁性素子を形成する工程と、を有することを特徴とする半導体記憶
25 装置の製造方法。

33. 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程は、酸化、窒化または酸窒化によりなされることを特徴とする、請求項32に記載の半導体記憶装置の製造方法。

34. 前記酸化、窒化または酸窒化は、前記マスクにて保護されていない
30 領域の前記磁性素子形成膜に酸素原子、および／もしくは、窒素原子を含む材料

をイオン注入するプロセス、並びに／または、それらの原子のイオン乃至ラジカル乃至オゾンの前記マスクにて保護されていない領域の前記磁性素子形成膜に高温にて接触させるプロセスを含むことを特徴とする、請求項 3 3 に記載の半導体記憶装置の製造方法。

5 3 5 . 前記磁性素子形成膜を堆積する工程において前記磁性素子形成膜の少なくとも上下の一方に導電性膜を形成し、前記磁性素子を形成する工程において前記導電性膜の少なくとも一部を含めて前記磁性素子形成膜を酸化、窒化または酸窒化することで前記磁性素子形成膜を高抵抗化変換物に変換することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

10 3 6 . 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の前に、前記マスクにて保護されていない領域の前記磁性素子形成膜に、絶縁化しやすい原子を導入することを特徴とする請求項 3 2 に記載の半導体記憶装置の製造方法。

15 3 7 . 前記絶縁化しやすい原子が、シリコン、ジルコニウム、セリウム、ハフニウムの中の 1 種または複数種であることを特徴とする、請求項 3 6 に記載の半導体記憶装置の製造方法。

20 3 8 . 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の前に、前記マスクにて保護されていない領域の前記磁性素子形成膜に、前記高抵抗化変換物に変換する工程により強磁性材料となることのない原子を導入することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

25 3 9 . 前記絶縁化しやすい原子、または、前記強磁性材料に変換されることのない原子の導入方法が、イオン注入法、または、当該原子を含む膜を前記磁性素子形成膜上に形成し高温拡散もしくは表面に別の原子や分子をあてて膜成分を注入する方法であることを特徴とする、請求項 3 6 又は 3 8 に記載の半導体記憶装置の製造方法。

30 4 0 . 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、酸素および／または窒素雰囲気中で高温にて保管する工程をさらに有することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

4 1. 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、前記マスクの少なくとも一部を除去する工程をさらに有することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

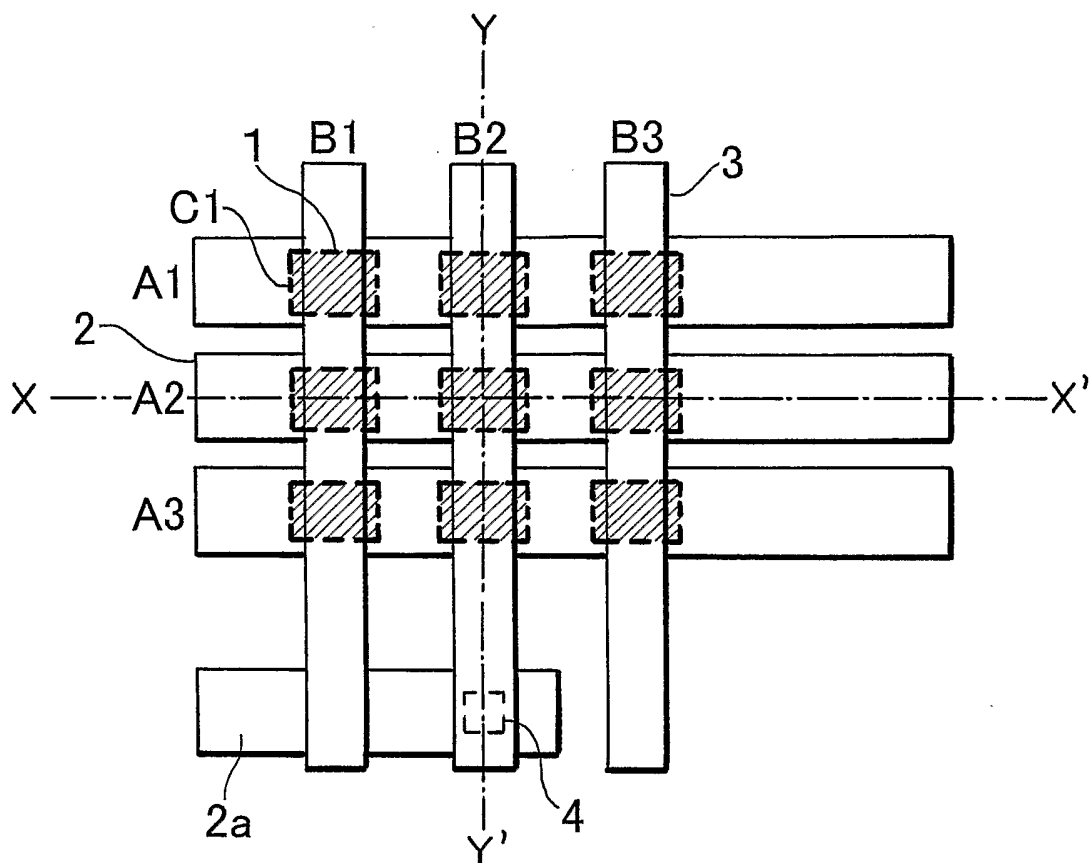
5 4 2. 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、形成された高抵抗化変換物の一部または全部を除去し、その除去された空間を堆積絶縁物にて充填する工程をさらに有することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

10 4 3. 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、全面に絶縁膜を形成する工程と、該絶縁膜に配線溝を形成する工程と、該配線溝を導電性材料で埋め込んで前記磁性素子に電氣的に接続された上層配線を形成する工程と、をさらに有することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

15 4 4. 前記マスクにて保護されていない領域の前記磁性素子形成膜を高抵抗化変換物に変換する工程の後に、前記磁性素子に電氣的に接続された上層配線を形成する工程と、該上層配線をマスクとして、前記高抵抗化変換物の一部を除去して絶縁化溝を形成する工程と、該絶縁化溝および前記上層配線間を埋め込む埋め込み絶縁膜を形成する工程と、をさらに有することを特徴とする、請求項 3 2 に記載の半導体記憶装置の製造方法。

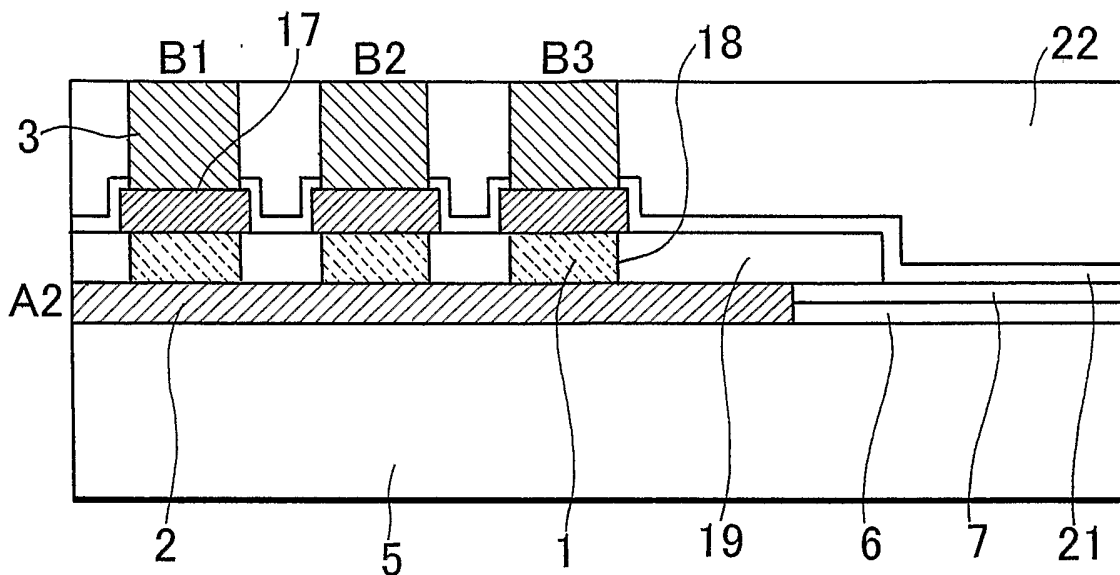
20

FIG. 1



- 1: 磁性素子
- 2: 配線A
- 2a: 引き出し線
- 3: 配線B
- 4: ビアホール

FIG.2A



5,7,22:絶縁膜
 6,21:エッチストップ膜
 17:マスク
 18:磁性素子領域
 19:絶縁化領域

FIG.2B

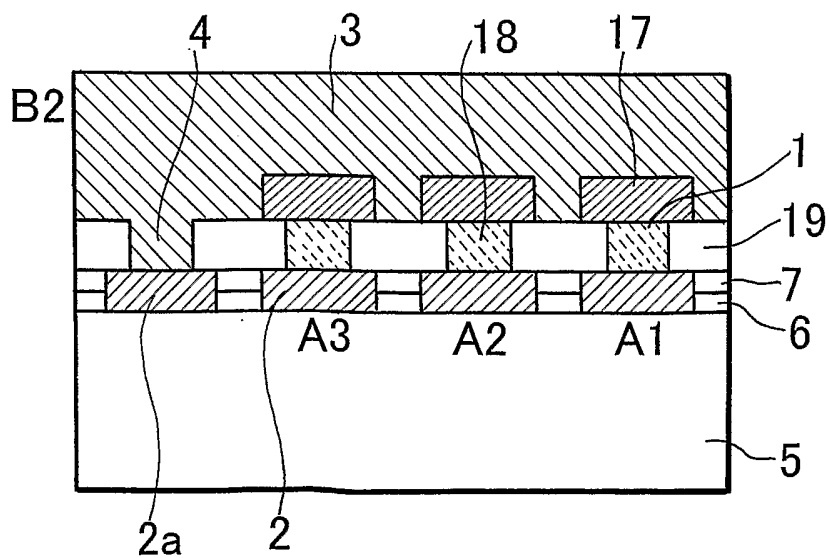
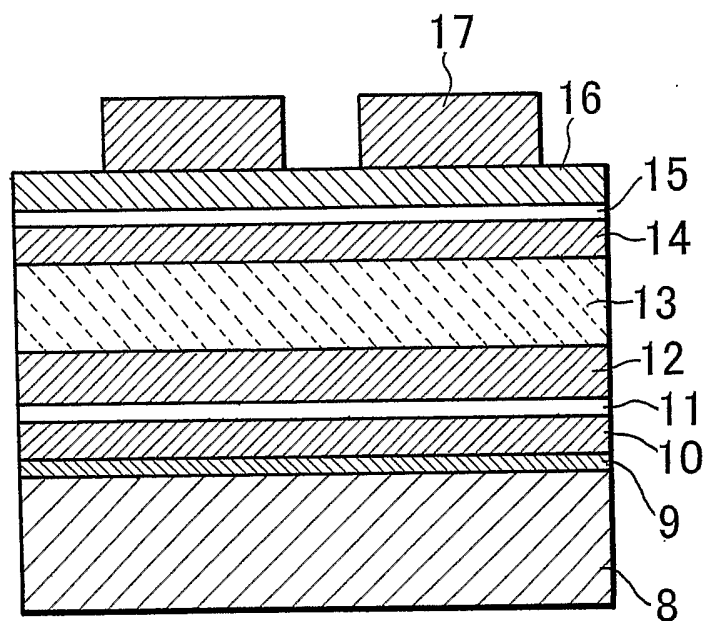


FIG.3



- 8,10,16: 導電体膜
- 9: 導電体酸化防止膜
- 11,15: トンネル膜
- 12: 磁性素子下層膜
- 13: 磁性素子形成膜
- 14: 磁性素子上層膜
- 17: マスク

FIG.4A

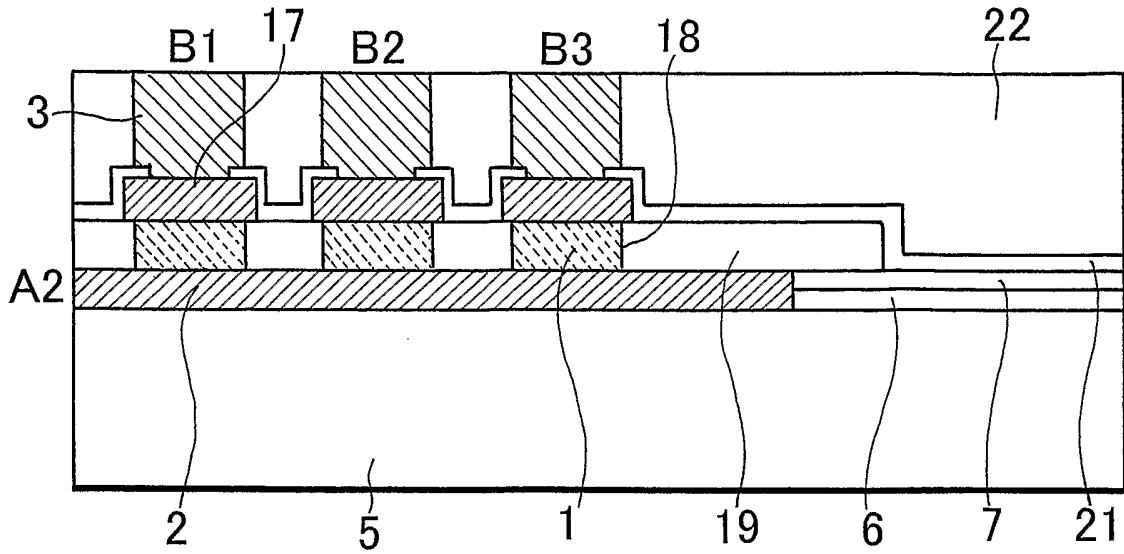


FIG.4B

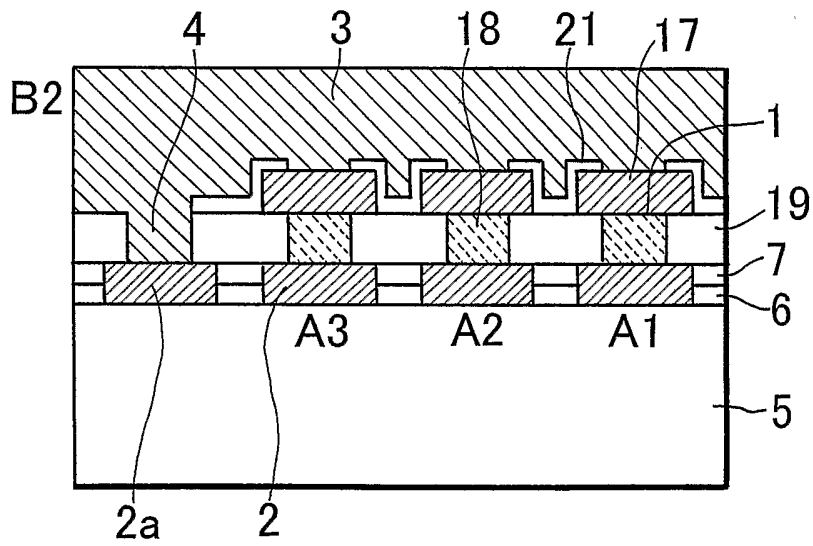


FIG.4C

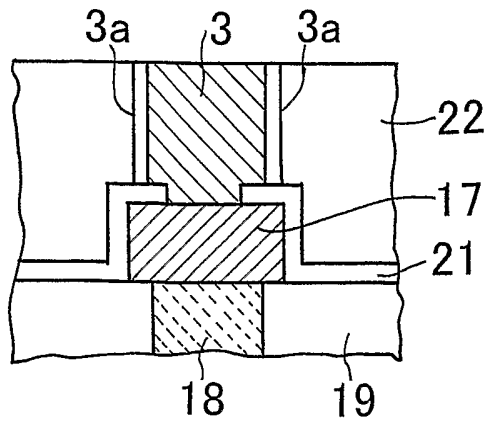


FIG.5

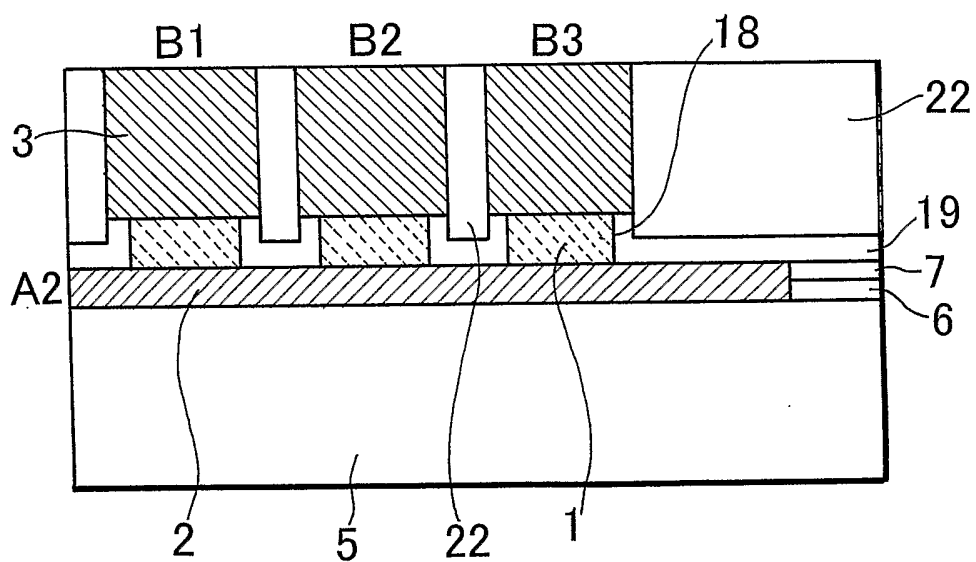


FIG. 6A

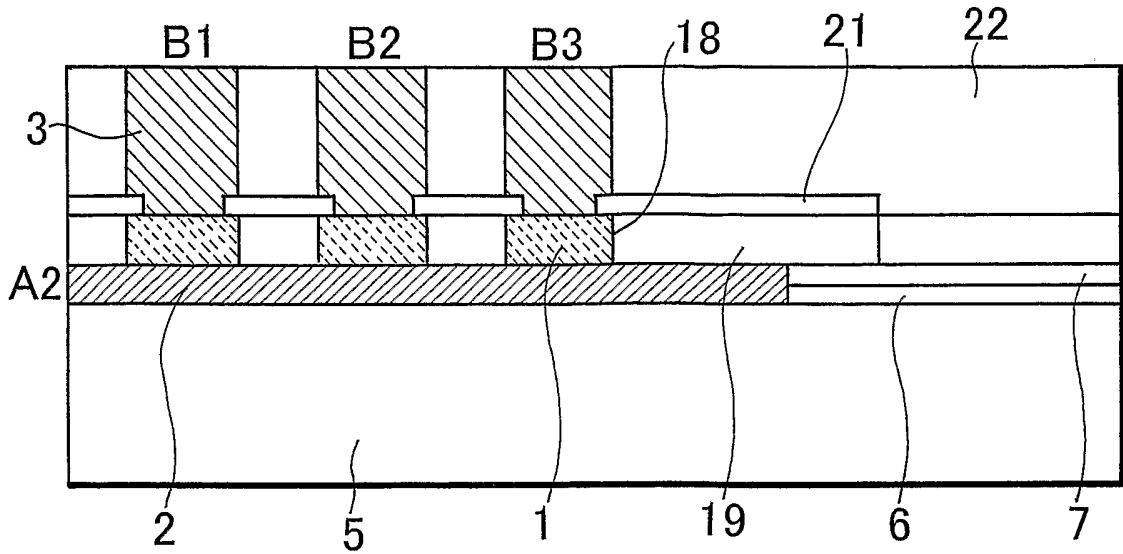


FIG. 6B

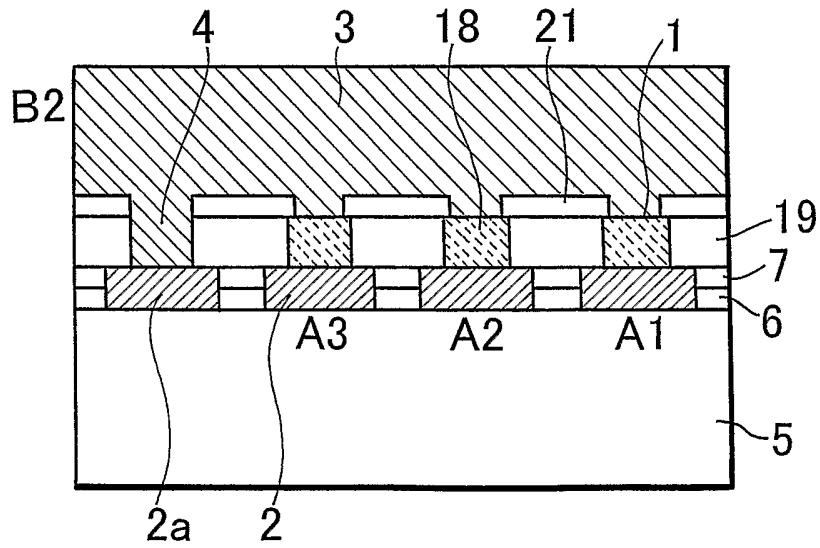


FIG. 6C

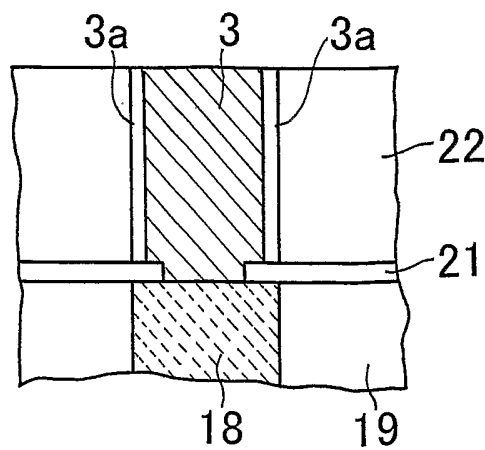


FIG.7

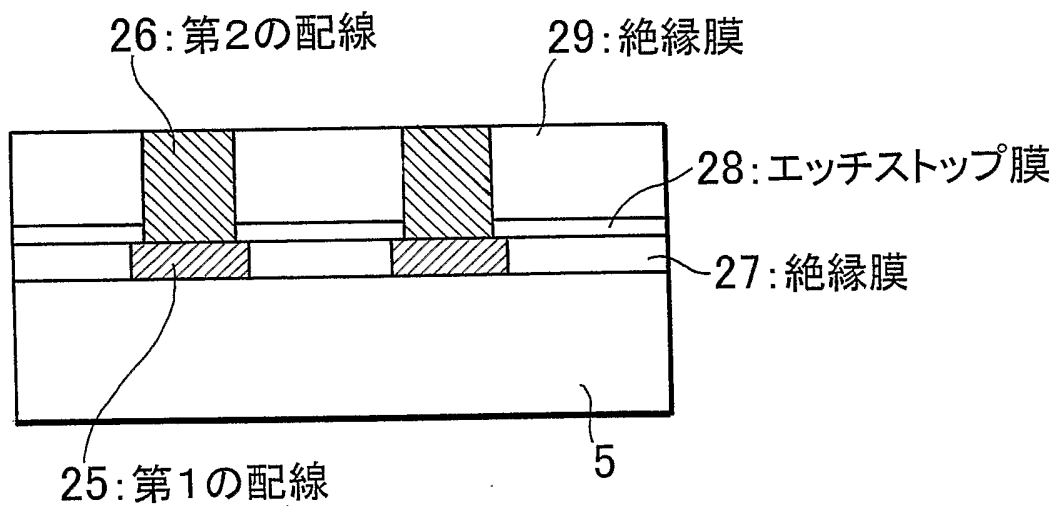
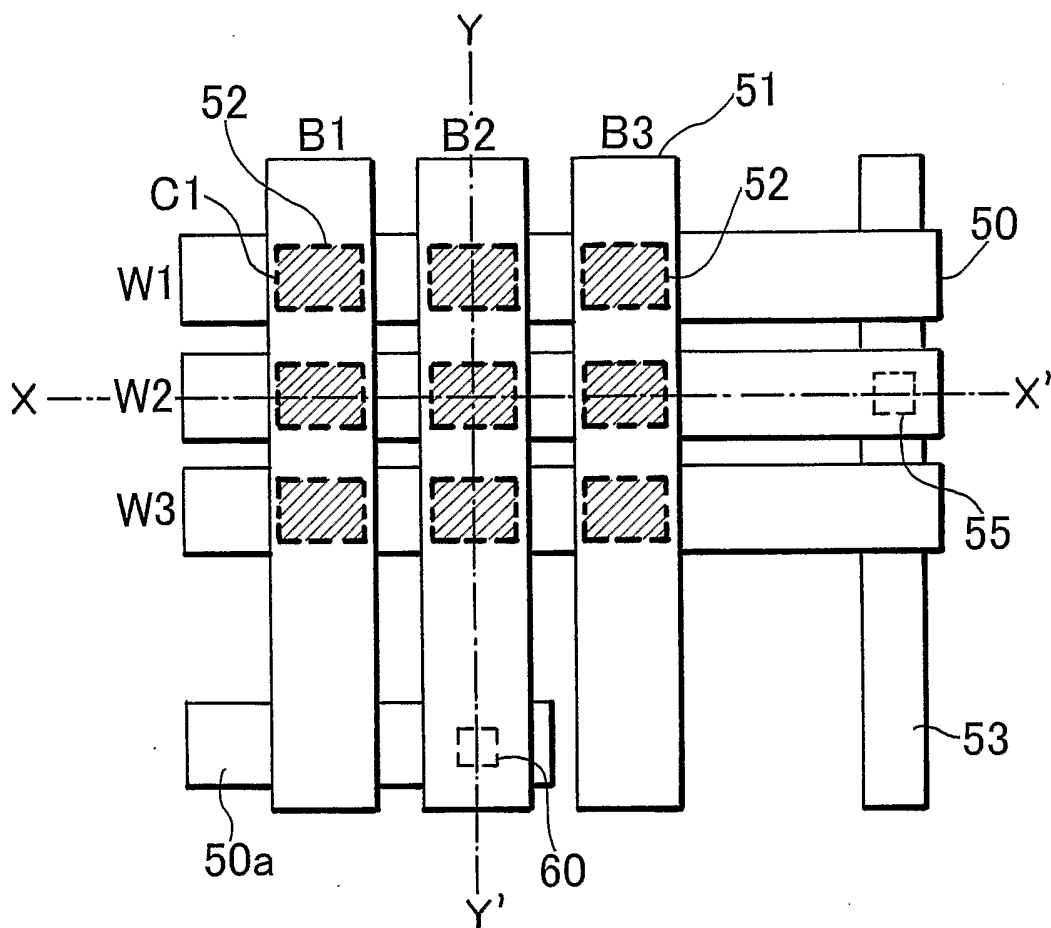
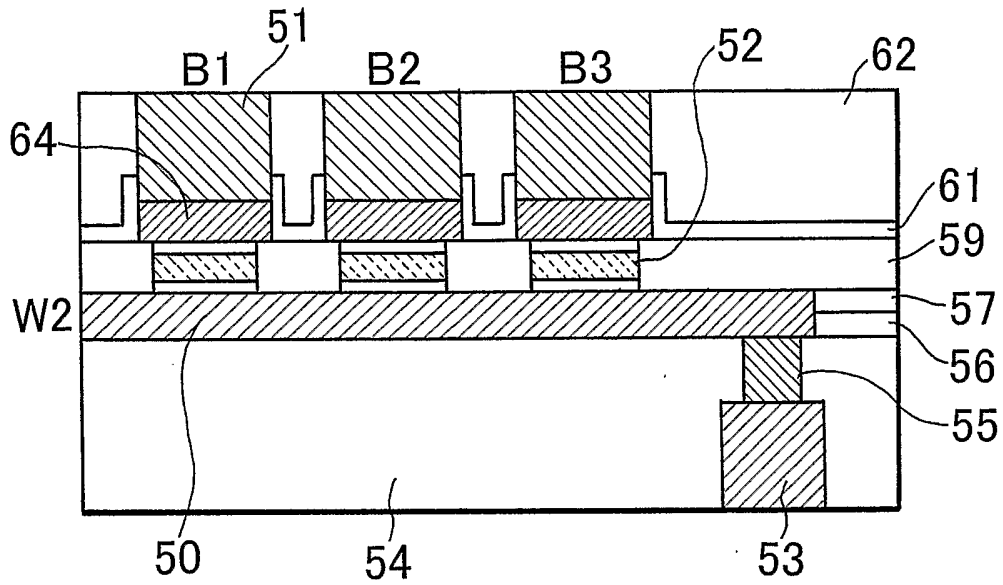


FIG.8



- 50:ワード線
- 50a:引き出し線
- 51:ビット線
- 52:TMR
- 53:配線
- 55:プラグ
- 60:ビアホール

FIG.9A



54,57,62:シリコン酸化膜
 56,61:シリコン窒化膜
 59:磁性材料酸化物膜
 64:マスク

FIG.9B

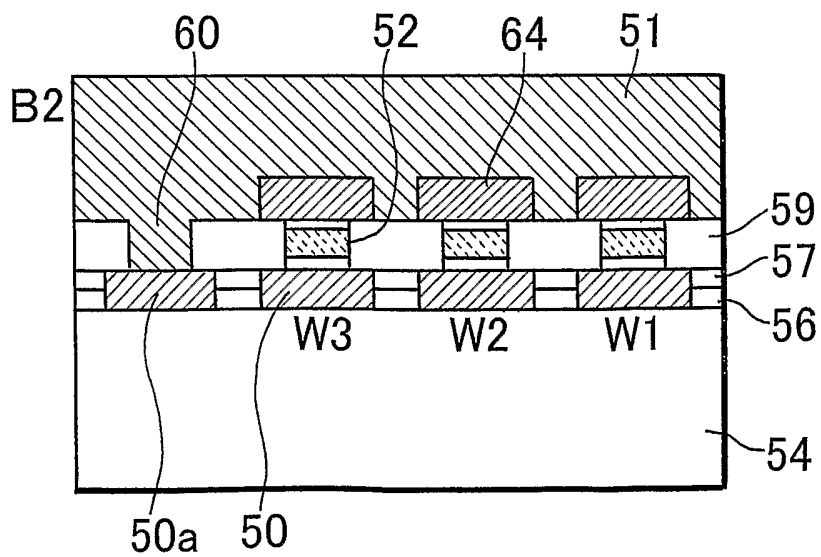


FIG. 10A

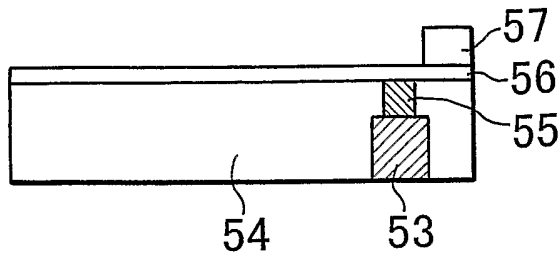


FIG. 10B

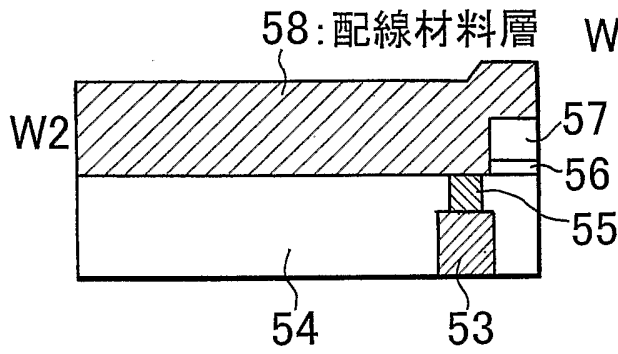


FIG. 10D

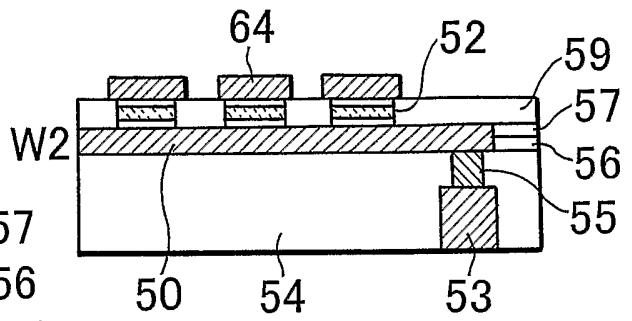


FIG. 10E

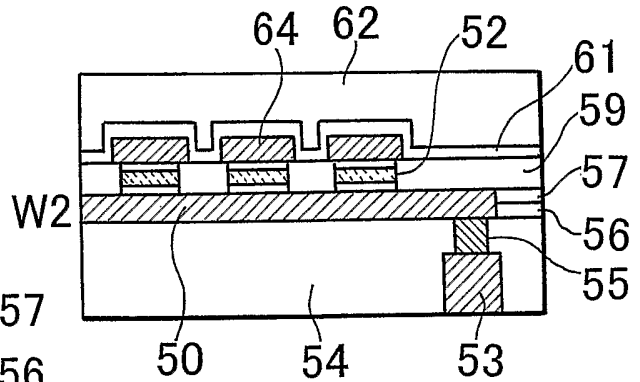


FIG. 10C

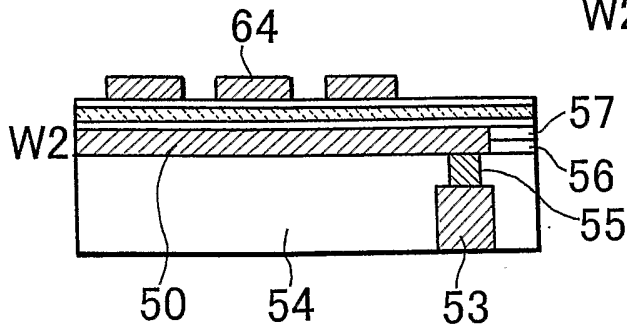


FIG. 10F

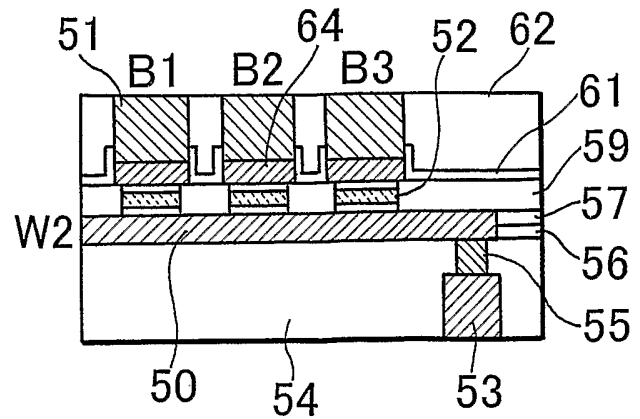


FIG. 11

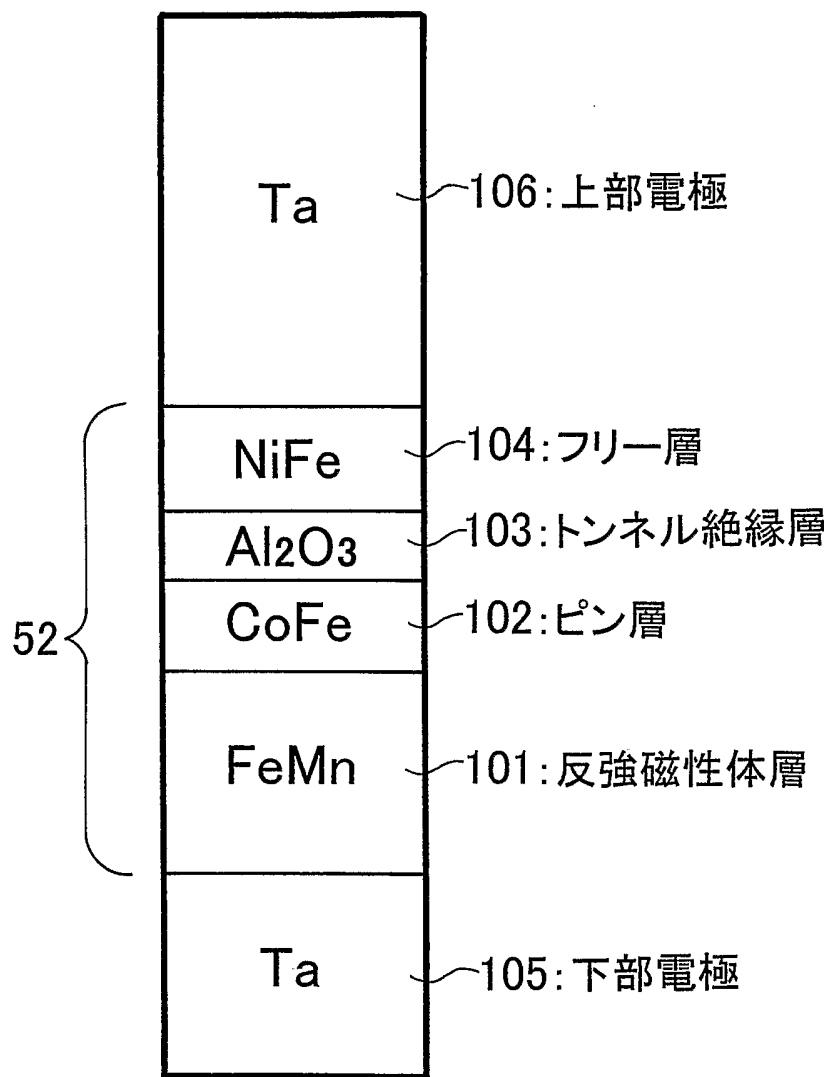
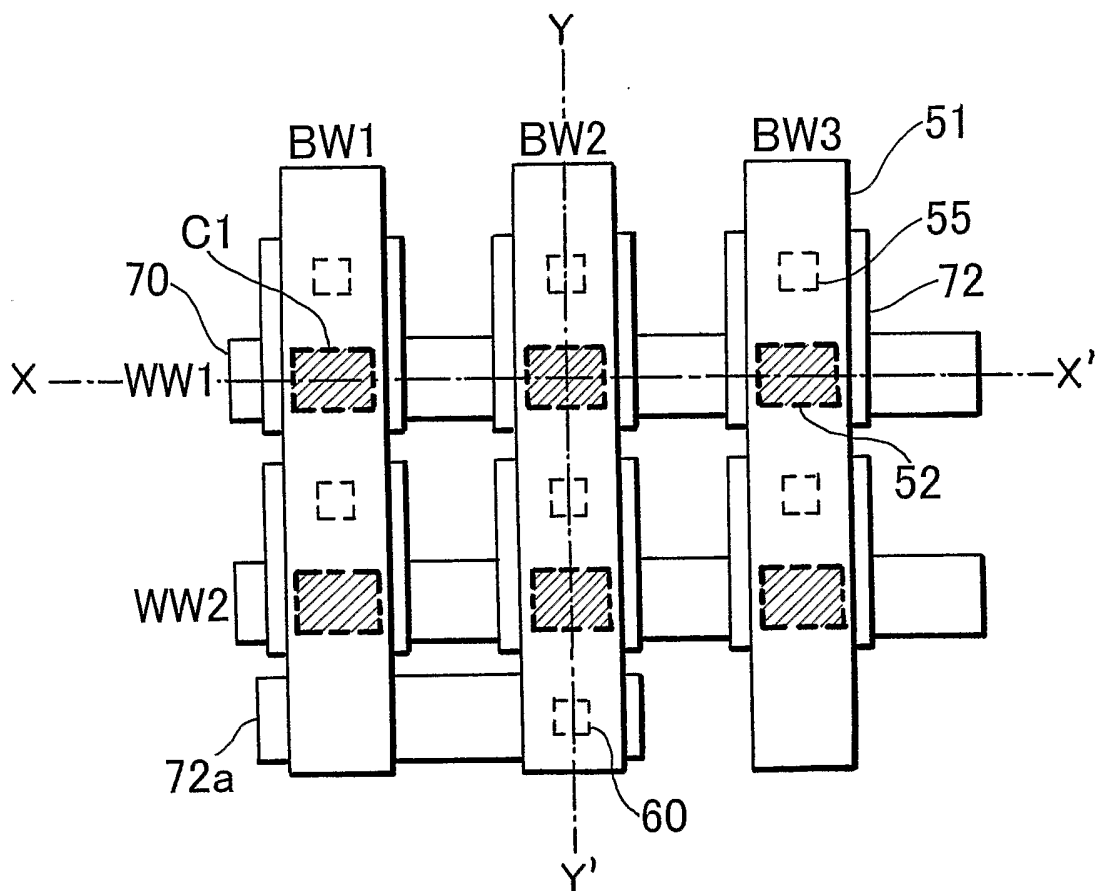


FIG. 12



70: 書き込みワード線
72, 72a: 引き出し線

FIG.13A

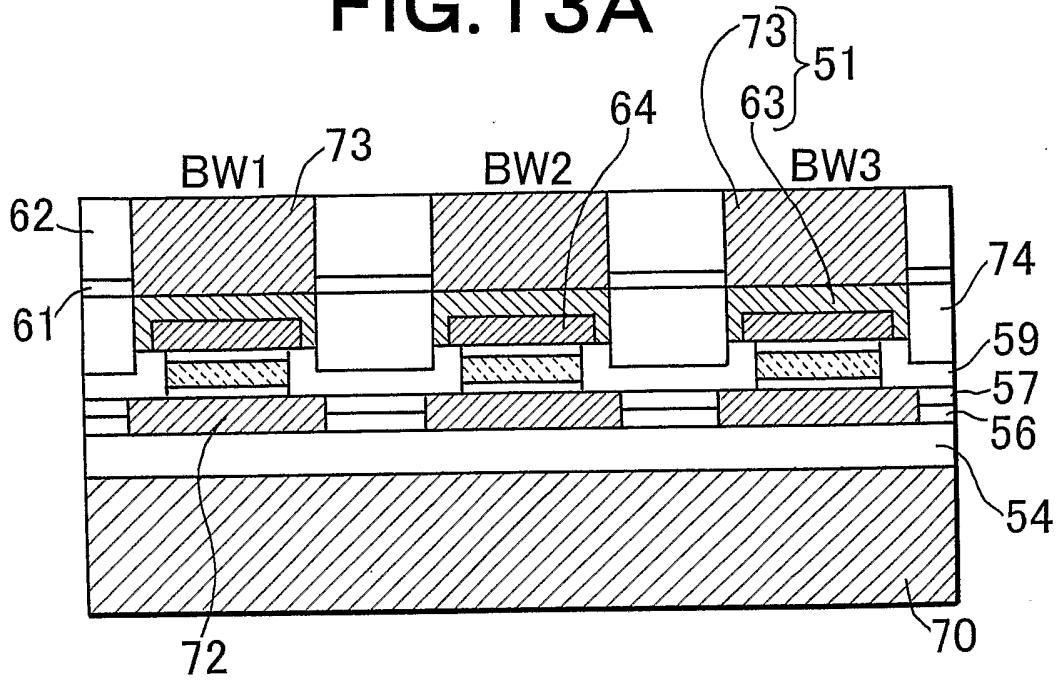


FIG.13B

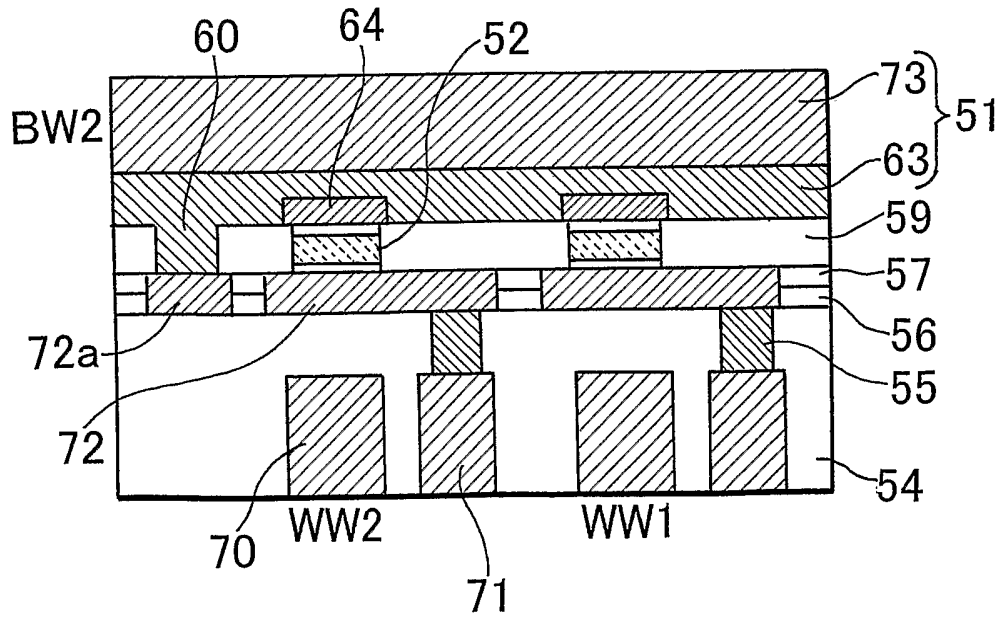


FIG. 14A

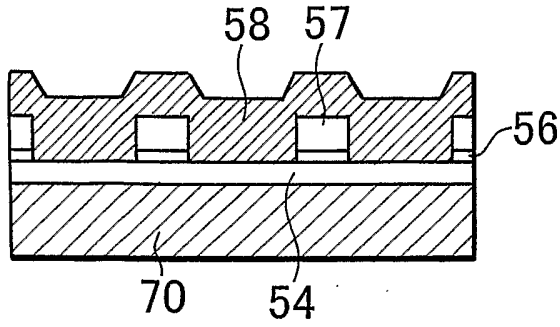


FIG. 14B

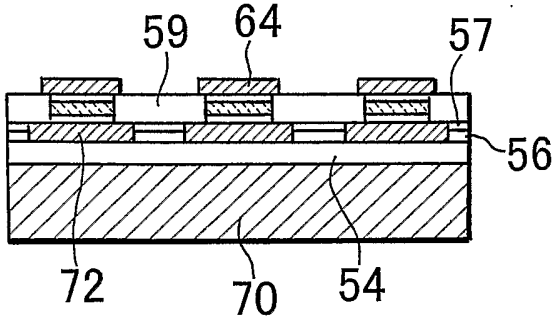


FIG. 14C

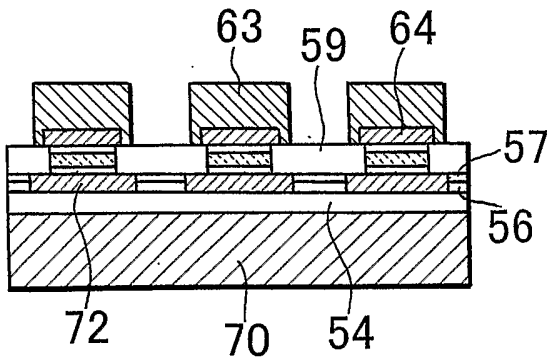


FIG. 14D

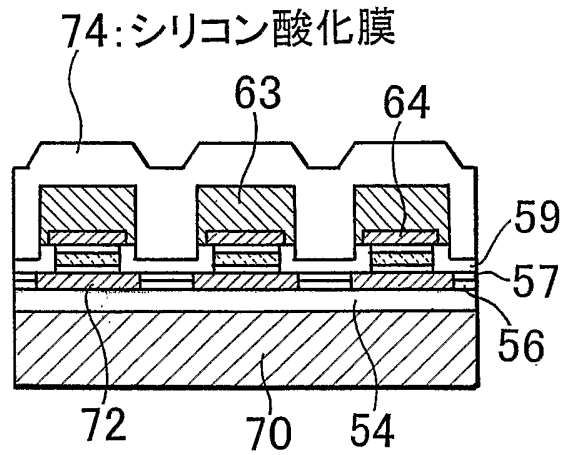


FIG. 14E

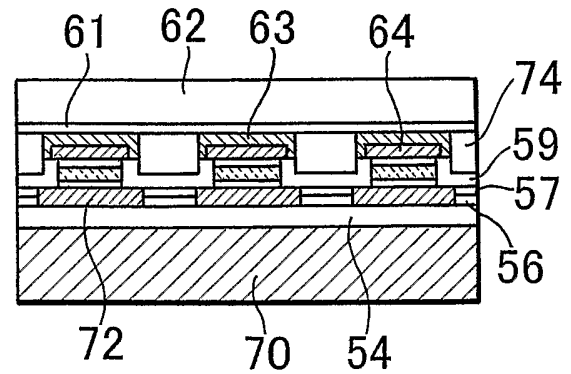


FIG. 14F

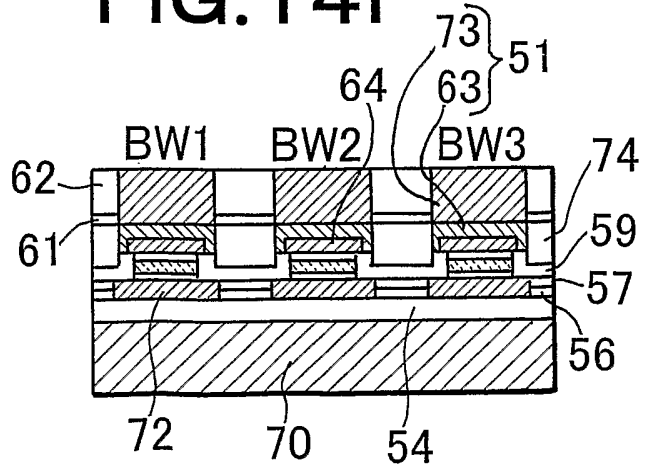


FIG. 15

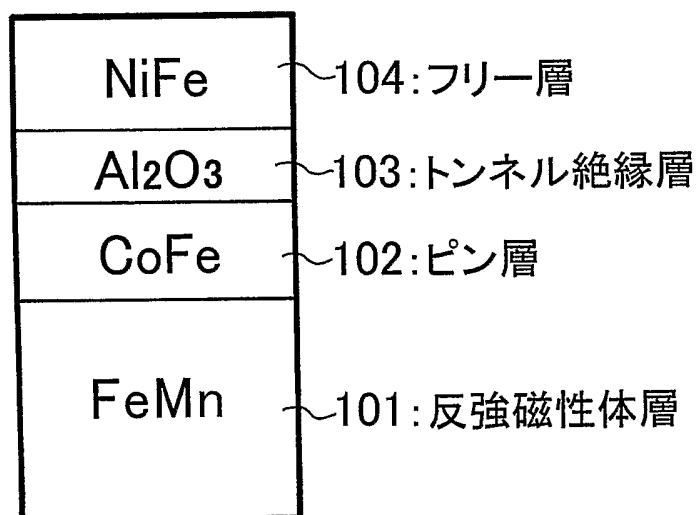
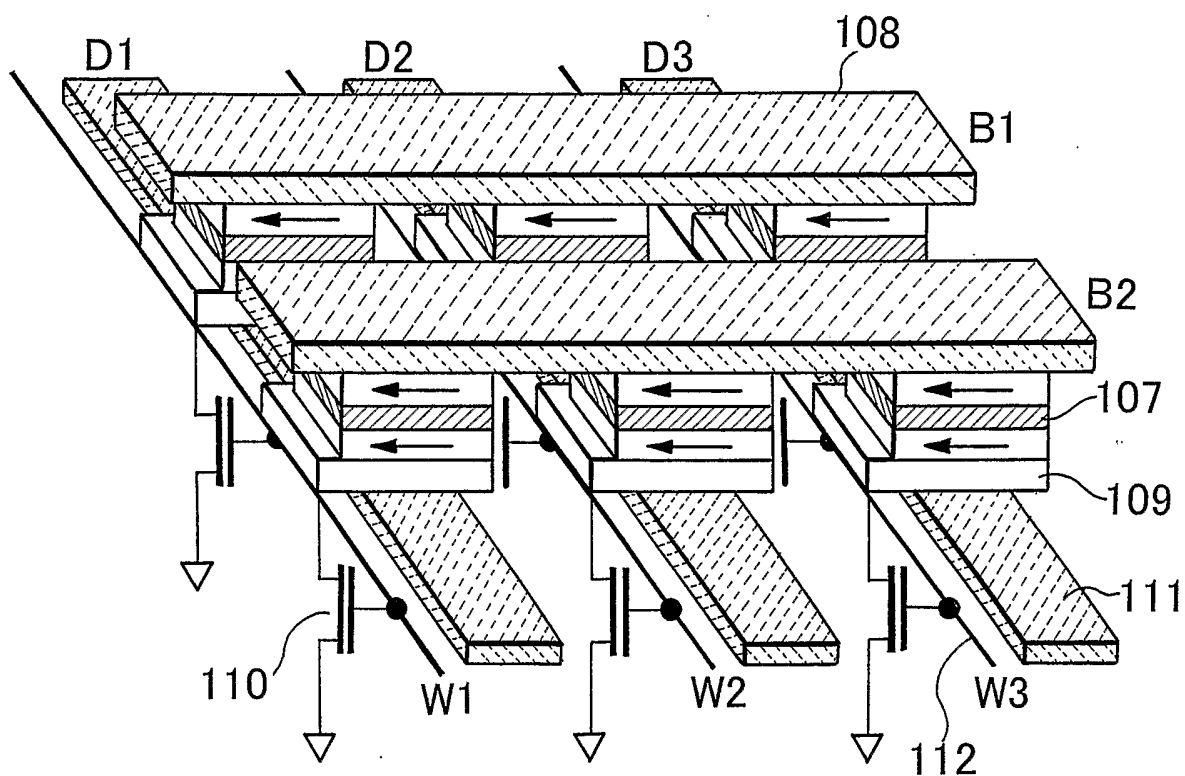
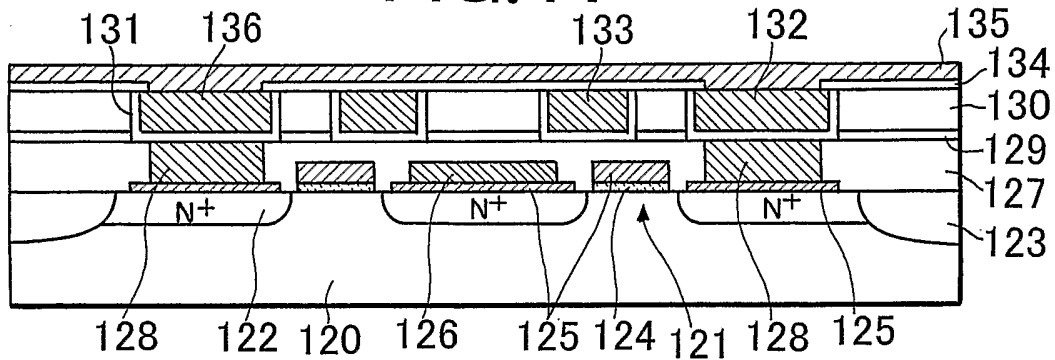


FIG. 16



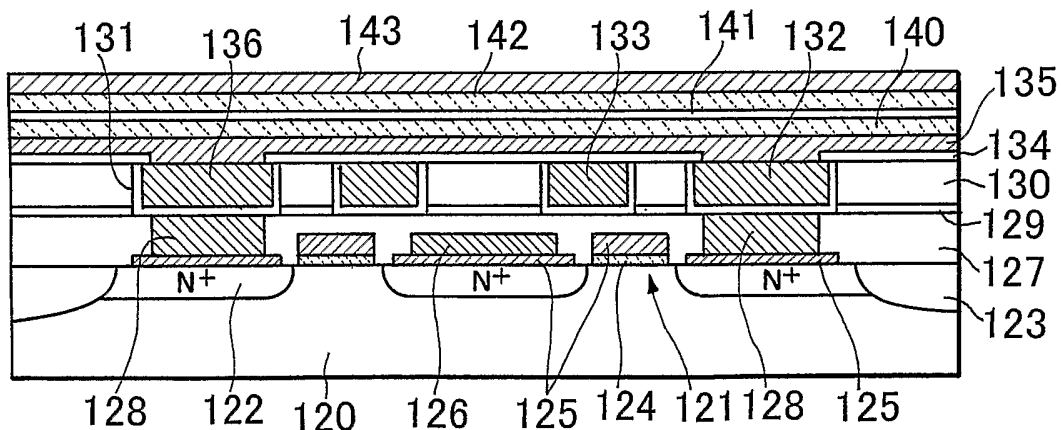
- 107: TMR
- 108: 上部配線
- 109: 第3の配線
- 110: トランジスタ
- 111: 下部配線
- 112: 読み出しワード線

FIG.17



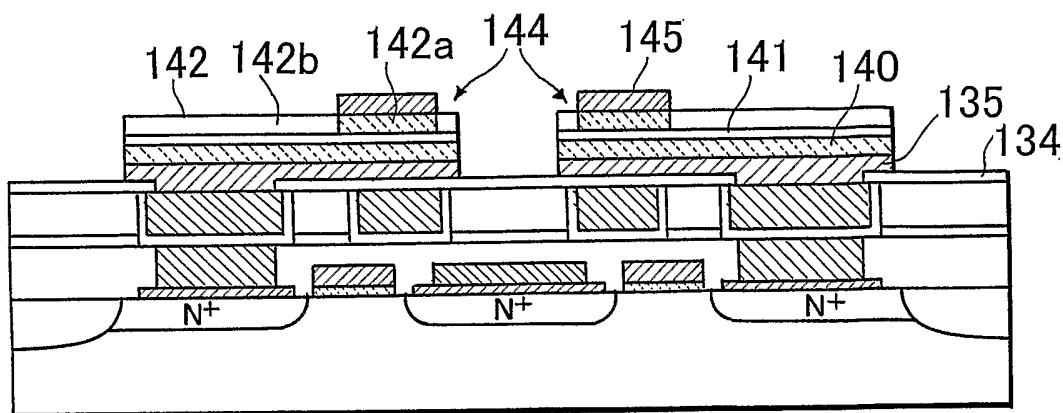
- | | |
|-----------------------|---------------|
| 120: P型シリコン基板 | 129: エッチストップ層 |
| 121: NMOSスイッチングトランジスタ | 130: 二酸化シリコン層 |
| 122: N+領域 | 131: 高透磁率層 |
| 123: 絶縁領域 | 132: 伝導金属層 |
| 124: ポリシリコン層 | 133: デジット線 |
| 125: 金属層 | 134: 誘電層 |
| 126: 伝導層 | 135: 伝導層 |
| 127: 誘電材料 | 136: 窓 |
| 128: プラグ導体 | |

FIG.18



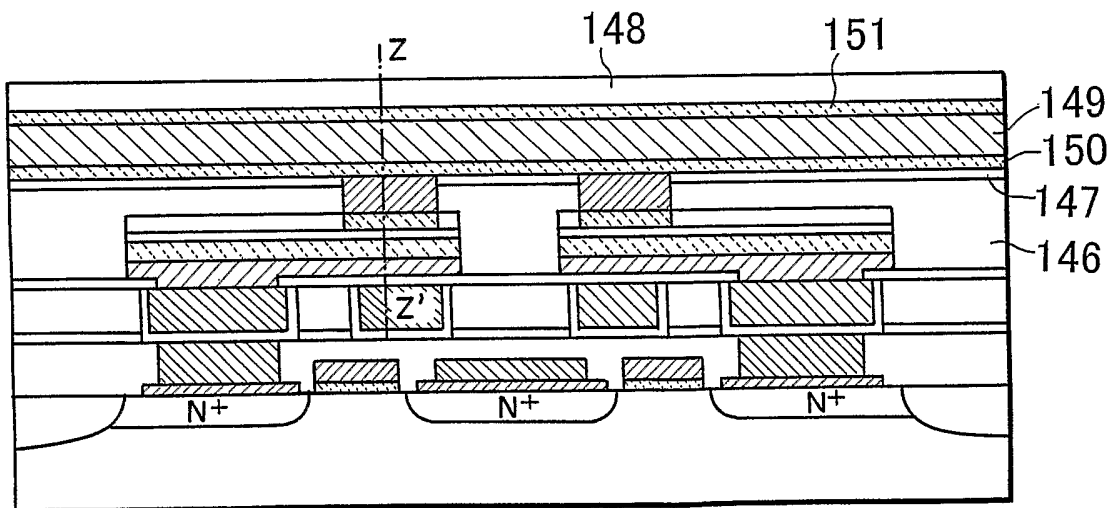
- | | |
|-----------------------|-------------|
| 120: P型シリコン基板 | 131: 高透磁率層 |
| 121: NMOSスイッチングトランジスタ | 132: 伝導金属層 |
| 122: N+領域 | 133: デジット線 |
| 123: 絶縁領域 | 134: 誘電層 |
| 124: ポリシリコン層 | 135: 伝導層 |
| 125: 金属層 | 136: 窓 |
| 126: 伝導層 | 140: 底部磁性層 |
| 127: 誘電材料 | 141: 非磁性層 |
| 128: プラグ導体 | 142: 上部磁性層 |
| 129: エッチストップ層 | 143: マスキング層 |
| 130: 二酸化シリコン層 | |

FIG.19



- 142a: 活性領域
- 142b: 不活性部分
- 144: 磁性メモリエlement
- 145: 接触金属パッド

FIG.20



- 146: 誘電層
- 147: エッチストップ層
- 148: 二酸化シリコン層
- 149: ビット線
- 150,151: パーマロイ層

FIG.21

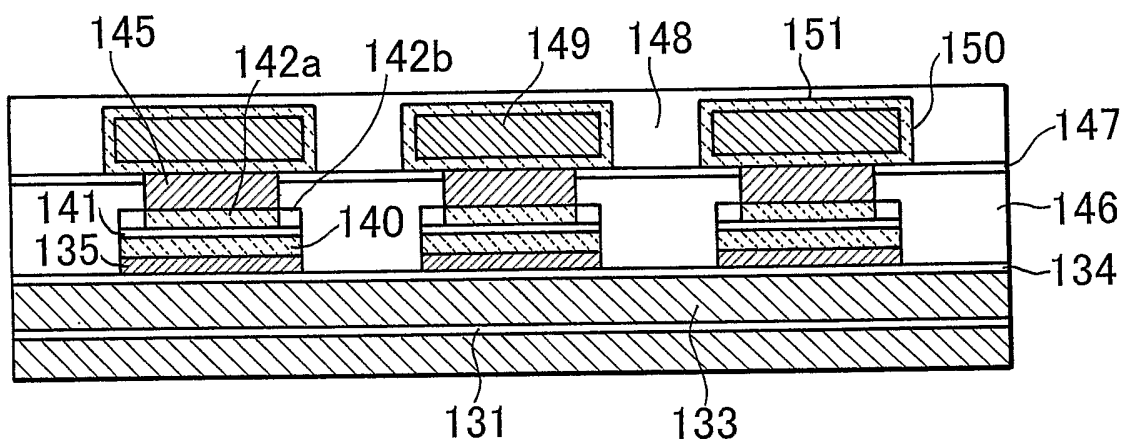


FIG.22

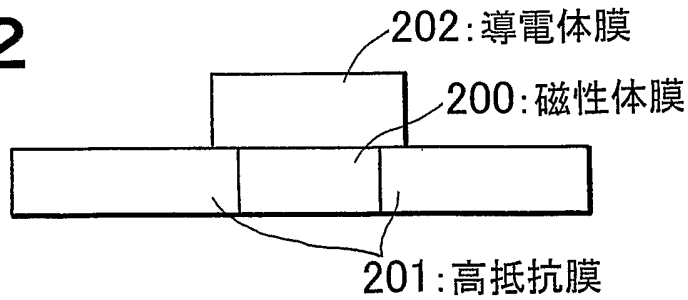


FIG.23

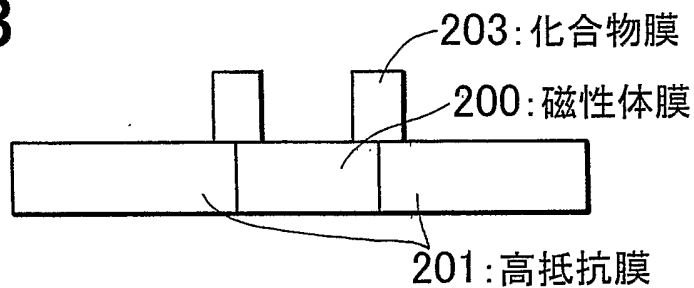


FIG.24

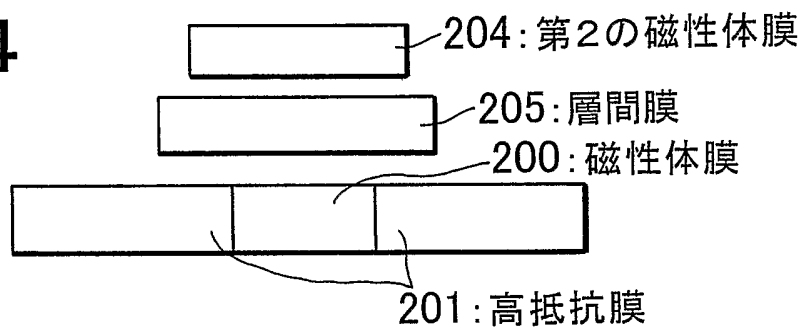


FIG.25

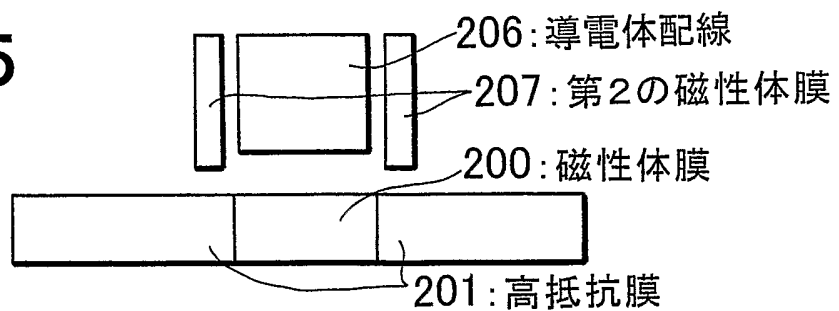


FIG.26

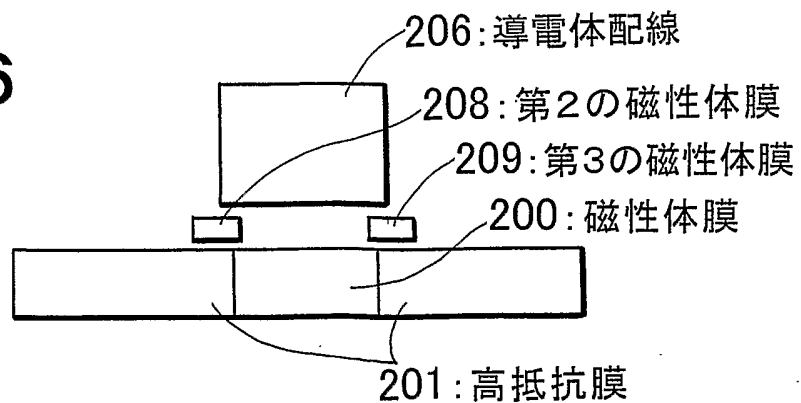


FIG.27

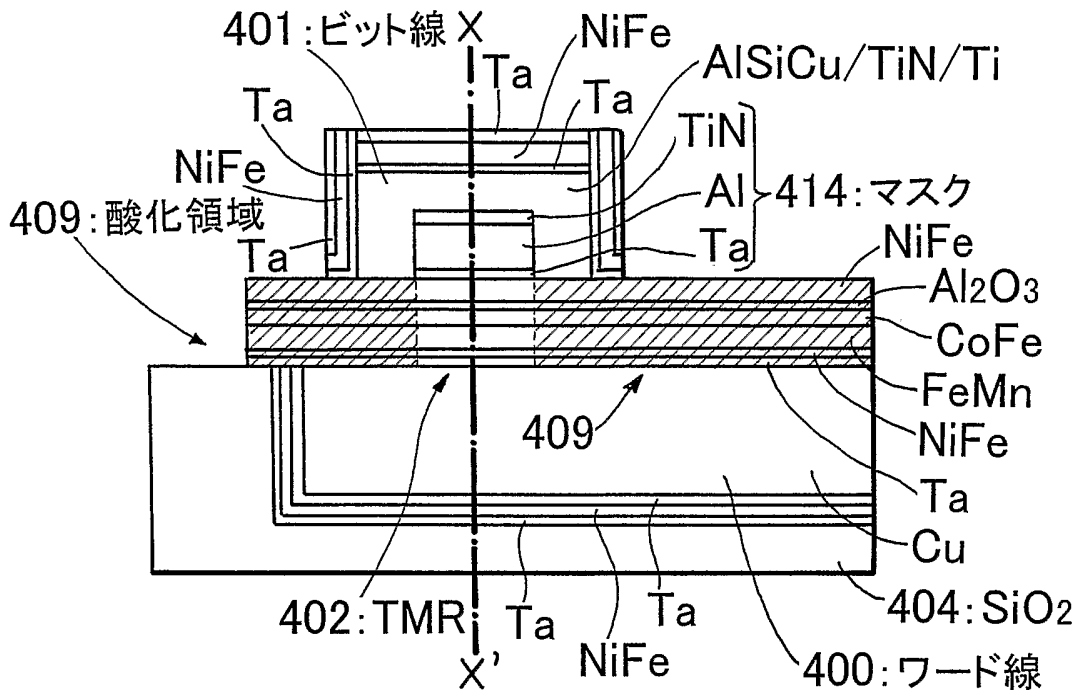


FIG.28

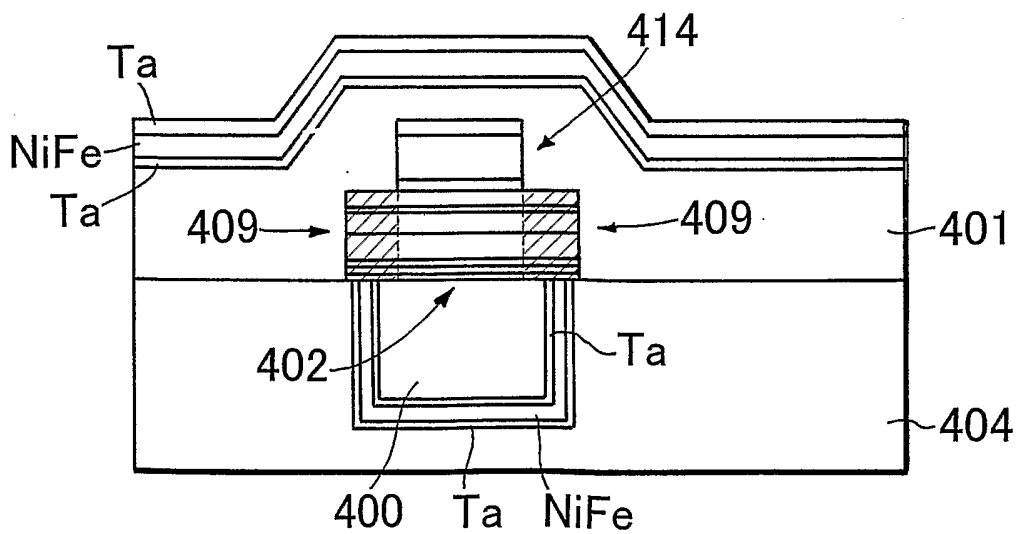


FIG.29

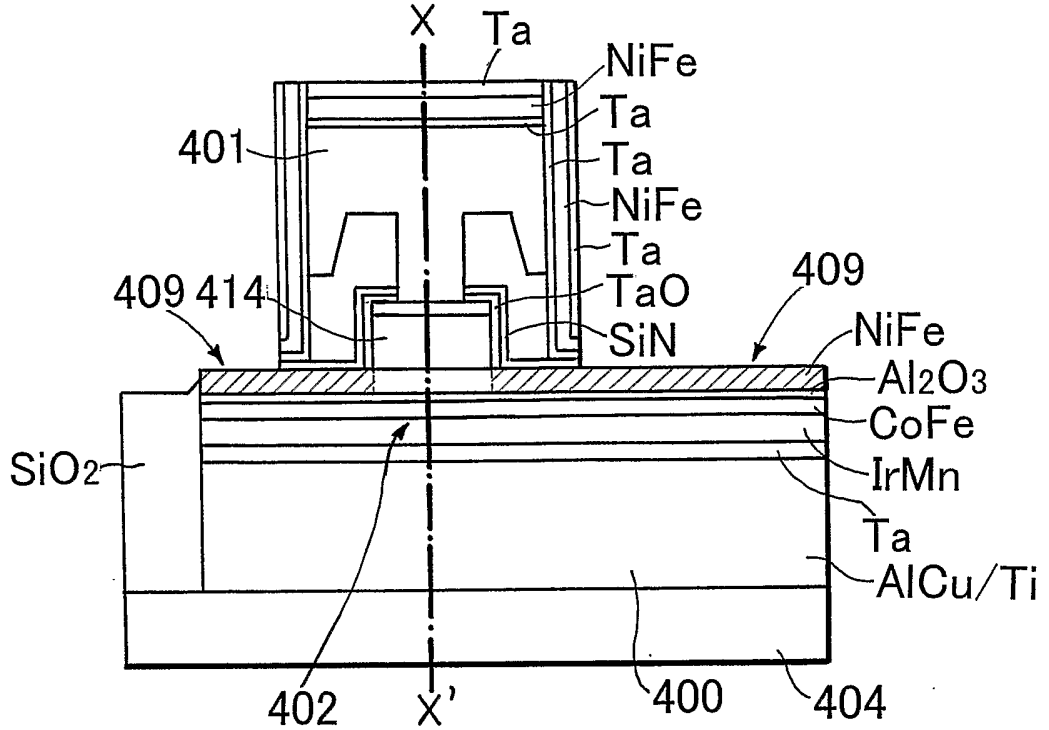
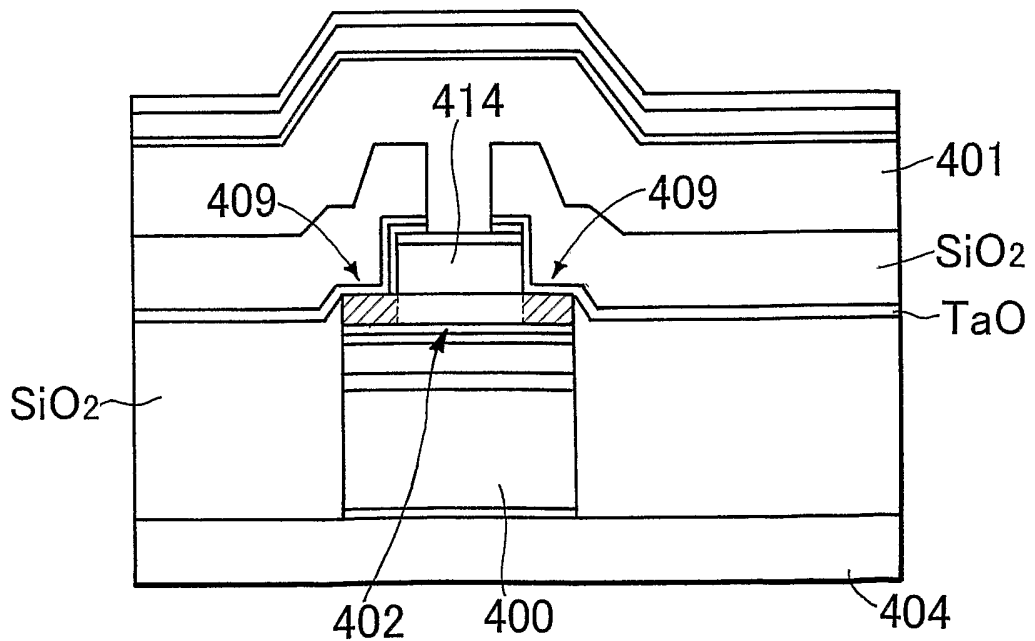


FIG.30



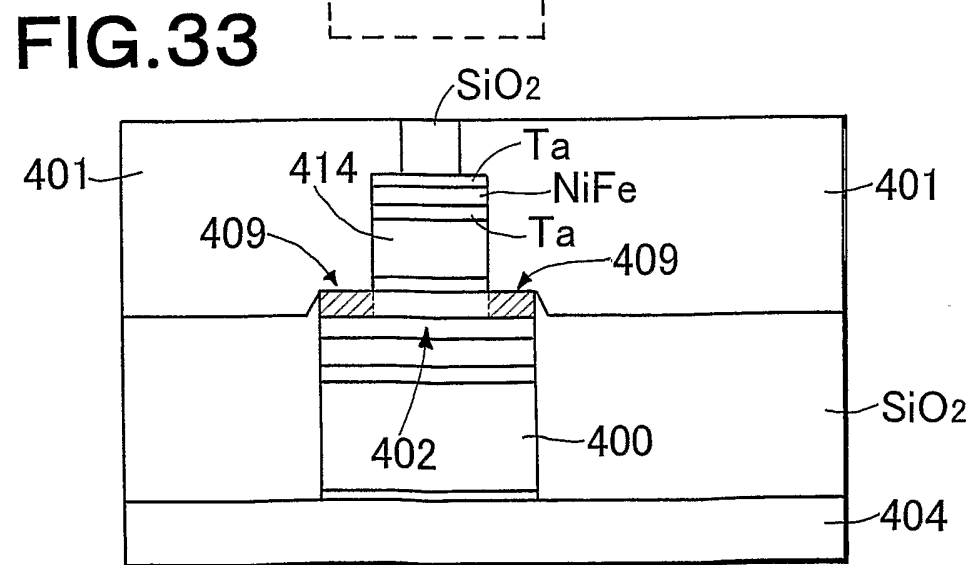
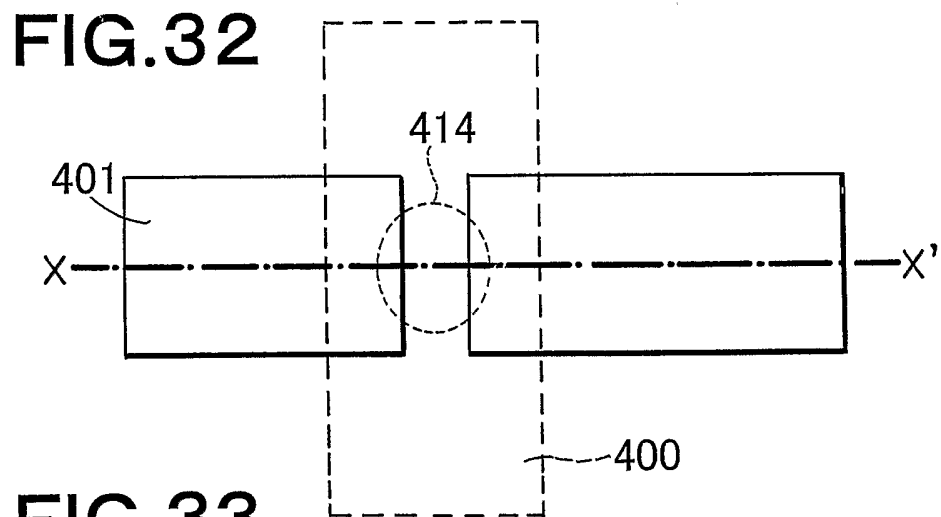
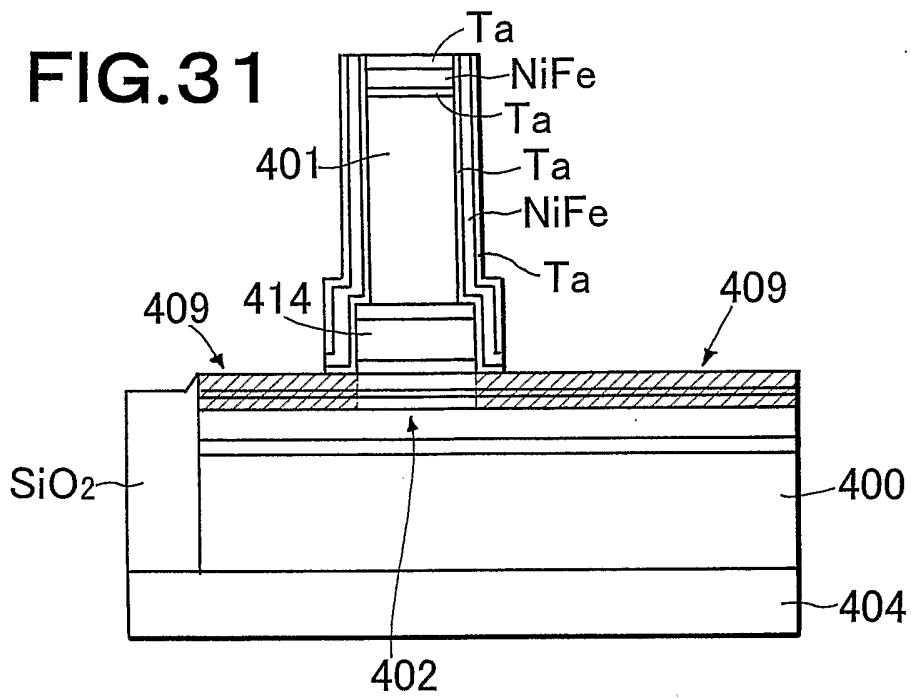


FIG.34

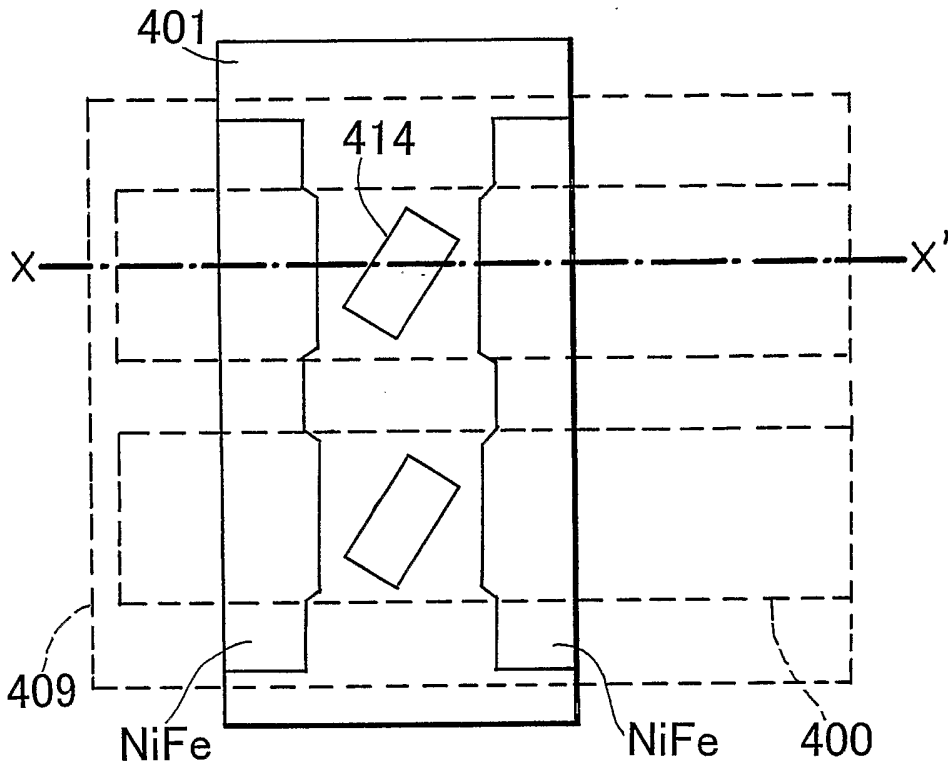
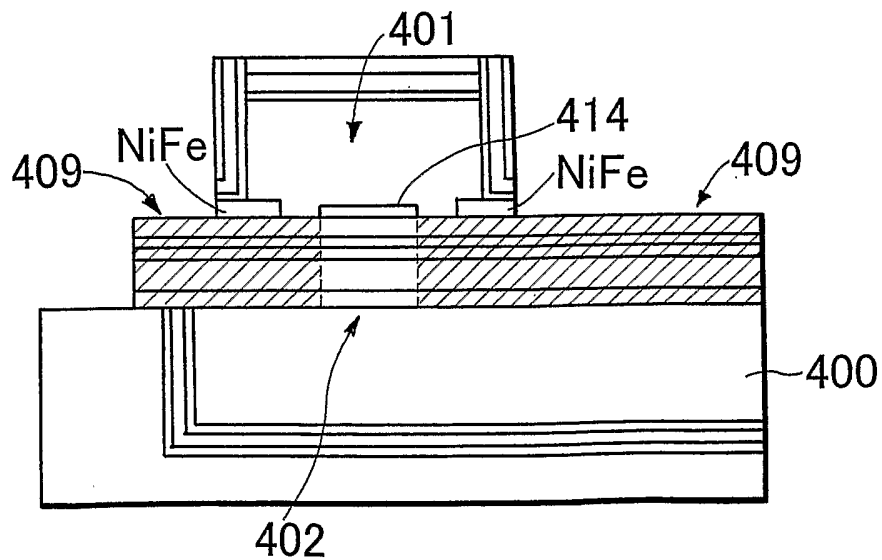


FIG.35



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/05953

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H01L27/105, G11C11/15, H01L43/08</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ H01L27/105, G11C11/15, H01L43/08</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>US 2001/0040778 A1 (David William ABRAHAM), 15 November, 2001 (15.11.01), Figs. 13a to 13c & JP 11-288585 A Figs. 24 to 26 & EP 936624 A2 & KR 99-72260 A</td> <td>1-3 30</td> </tr> <tr> <td>Y</td> <td>JP 2001-217398 A (Rohm Co., Ltd.), 10 August, 2001 (10.08.01), Figs. 1, 5, 8 (Family: none)</td> <td>30</td> </tr> </tbody> </table> <p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p> <p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p> <table border="1"> <tr> <td>Date of the actual completion of the international search 25 July, 2003 (25.07.03)</td> <td>Date of mailing of the international search report 05 August, 2003 (05.08.03)</td> </tr> <tr> <td>Name and mailing address of the ISA/ Japanese Patent Office</td> <td>Authorized officer</td> </tr> <tr> <td>Facsimile No.</td> <td>Telephone No.</td> </tr> </table>		Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	US 2001/0040778 A1 (David William ABRAHAM), 15 November, 2001 (15.11.01), Figs. 13a to 13c & JP 11-288585 A Figs. 24 to 26 & EP 936624 A2 & KR 99-72260 A	1-3 30	Y	JP 2001-217398 A (Rohm Co., Ltd.), 10 August, 2001 (10.08.01), Figs. 1, 5, 8 (Family: none)	30	Date of the actual completion of the international search 25 July, 2003 (25.07.03)	Date of mailing of the international search report 05 August, 2003 (05.08.03)	Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	Facsimile No.	Telephone No.
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.														
X Y	US 2001/0040778 A1 (David William ABRAHAM), 15 November, 2001 (15.11.01), Figs. 13a to 13c & JP 11-288585 A Figs. 24 to 26 & EP 936624 A2 & KR 99-72260 A	1-3 30														
Y	JP 2001-217398 A (Rohm Co., Ltd.), 10 August, 2001 (10.08.01), Figs. 1, 5, 8 (Family: none)	30														
Date of the actual completion of the international search 25 July, 2003 (25.07.03)	Date of mailing of the international search report 05 August, 2003 (05.08.03)															
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer															
Facsimile No.	Telephone No.															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05953

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Whereas for a group of inventions to fulfill the requirement of unity of invention, there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, a group of inventions described in claims 1-44 are linked only in terms of a matter of "a semiconductor storage device"; this matter is publicly known without citing documents, and therefore it cannot constitute a special technical feature.

Therefore, there exists among a group of inventions in claims 1-44 no special technical features for linking the group of inventions so as to form a single general inventive concept. Accordingly, it is clear that the group of inventions in claims 1-44 do not fulfill the requirement of unity of invention. (continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05953

Continuation of Box No.II of continuation of first sheet(1)

According to the specific mode of inventions described in an independent claim, claims 1-44 in this international application is divided into three groups, claims 1-30, claim 31 and claims 32-44.

Next, the number of groups of inventions, that is, the number of inventions described in the claims of this international application and linked so as to form a general inventive concept will be studied.

Claims 1-30:

Although a group of inventions in claims 1-30 are linked only in terms of a matter having "the high-resistance conversion element of the constituting material of a film for forming a magnetic element" in " a semiconductor storage device provided with magnetic elements disposed at an intersection formed by crossing first and second conductive wirings each other", this matter is disclosed in prior-art documents, for example, US 2001/0040778 A1 (David William ABRAHAM) 2001. 11. 15, and therefore it cannot constitute a special technical feature.

According to the specific mode of inventions in claims, claims 1-30 in this international application describe 18 inventions classified as claims 1-3, 30, claim 4, claim 5, claim 6, claims 7-8, claim 9, claims 10-11, claims 12-13, claims 14-15, claim 16, claim 17, claim 18, claims 19-21, claims 22-23, claims 24-25, claim 26, claim 27, claims 28-29.

Claims 32-44:

Although a group of inventions in claims 32-44 are linked only in terms of a matter having "the step of converting a magnetic element-forming film in a region not protected by a mask into a high-resistance conversion element to form isolated magnetic elements under the mask", this matter is disclosed in prior-art documents, for example, US 2001/0040778 A1 (David William ABRAHAM) 2001. 11. 15, and therefore it cannot constitute a special technical feature.

According to the specific mode of inventions in claims, claims 32-44 in this international application describe 9 inventions classified as claims 32-34, claim 35, claims 36-37, 39, claim 38, claim 40, claim 41, claim 42, claim 43, claim 44.

Accordingly, claims 1-30, 31, 32-44 in this international application describe 28 inventions.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H01L27/105, G11C11/15, H01L43/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H01L27/105, G11C11/15, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	US 2001/0040778 A1 (David William ABRAHAM) 2001.11.15 第13a図～第13c図 & JP 11-288585 A (第24図～第26図) & EP 936624 A2 & KR 99-72260 A	1-3 30
Y	JP 2001-217398 A (ローム株式会社) 2001.08.10 第1図、第5図、第8図 (ファミリーなし)	30

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願


の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日
 25.07.03

国際調査報告の発送日
 05.08.03

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 正山 旭  印
 4M 9276
 電話番号 03-3581-1101 内線 3460

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1～44に記載されている一群の発明は、「半導体記憶装置装置」であるという事項でのみ連関していると認めるが、この事項は文献を挙げるまでもなく周知であるため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1～44に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲1～44に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。(以下、特別ページ参照)

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第1ページの続葉(1)の第II欄の続き)

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1～44は、請求の範囲1～30と請求の範囲31と請求の範囲32～44の3群に区分されるものと認める。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

・請求の範囲1～30

請求の範囲1～30に記載されている一群の発明は、「第1及び第2の導電体配線の交差により形成される交差部配置された磁性素子を備えた半導体記憶装置」において「磁性素子を構成する膜の構成材料の高抵抗化変換物」を有する事項でのみ連関していると認めるが、この事項は先行技術文献、例えば、US 2001/0040778 A1(David William ABRAHAM) 2001.11.15に記載されているため、特別な技術的特徴とはなり得ない。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1～30には、請求の範囲1～3, 30と請求の範囲4と請求の範囲5と請求の範囲6と請求の範囲7～8と請求の範囲9と請求の範囲10～11と請求の範囲12～13と請求の範囲14～15と請求の範囲16と請求の範囲17と請求の範囲18と請求の範囲19～21と請求の範囲22～23と請求の範囲24～25と請求の範囲26と請求の範囲27と請求の範囲28～29とに区分される18個の発明が記載されていると認める。

・請求の範囲32～44

請求の範囲32～44に記載されている一群の発明は、「マスクにて保護されていない領域の磁性素子形成膜を高抵抗化変換物に変換して前記マスク下に孤立した磁性素子を形成する工程」を有する事項でのみ連関していると認めるが、この事項は先行技術文献、例えば、US 2001/0040778 A1(David William ABRAHAM) 2001.11.15に記載されているため、特別な技術的特徴とはなり得ない。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲32～44には、請求の範囲32～34と請求の範囲35と請求の範囲36～37, 39と請求の範囲38と請求の範囲40と請求の範囲41と請求の範囲42と請求の範囲43と請求の範囲44とに区分される9個の発明が記載されていると認める。

従って、この国際出願の請求の範囲1～30, 31, 32～44には、28個の発明が記載されていることとなる。