

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年12月24日 (24.12.2008)

PCT

(10) 国際公開番号
WO 2008/155802 A1

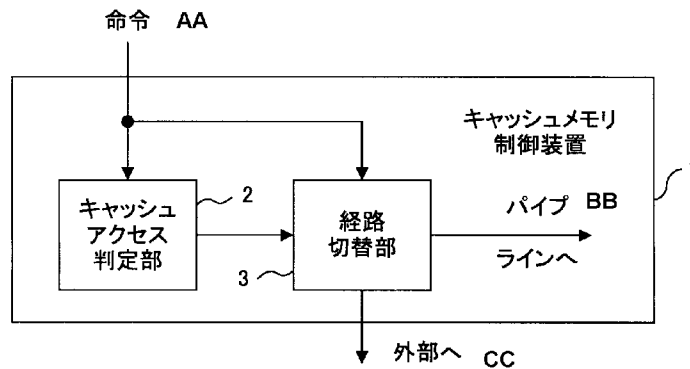
- (51) 国際特許分類:
G06F 12/08 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000660
- (22) 国際出願日: 2007年6月20日 (20.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 清水野光憲 (SHIMIZUNO, Koken) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 石村直也 (ISHIMURA, Naoya) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

[続葉有]

(54) Title: CASH MEMORY CONTROL DEVICE AND PIPELINE CONTROL METHOD

(54) 発明の名称: キャッシュメモリ制御装置、およびパイプライン制御方法

[図2]



- AA COMMAND
- 1 CASH MEMORY CONTROL DEVICE
- 2 CASH ACCESS DETERMINATION SECTION
- 3 ROUTE SWITCHING SECTION
- BB TO PIPELINE
- CC TO THE OUTSIDE

(57) Abstract: For the purpose of reducing the congestion of a pipeline for cash memory access in a multi-core system, for example, a cash memory control device is provided with a determination section for determining whether the command that is given by each core, for example, is the command to have access to the cash memory in the execution or the command not to have the access, and a route switching section for inputting the command that is determined to have the access into pipeline processing and outputting the command that is determined not to have the access directly outside without inputting it into pipeline processing.

[続葉有]



WO 2008/155802 A1



TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 例えばマルチ・コア・システムにおけるキャッシュメモリアクセスのためのパイプラインの混雑緩和を目的として、キャッシュメモリ制御装置が、例えば各コアから与えられる命令が、その実行時にキャッシュメモリにアクセスが行われる命令か、行われずと判定される命令かを判定する判定部と、アクセスが行われると判定された命令をパイプライン処理に投入し、行われずと判定された命令をパイプライン処理に投入せずに、直接外部に出力するための経路切替部とを備える。

明 細 書

キャッシュメモリ制御装置、およびパイプライン制御方法

技術分野

- [0001] 本発明は、コンピュータシステムのキャッシュメモリ制御方式に係り、さらに詳しくはパイプライン処理方式が用いられるキャッシュメモリの制御装置において、パイプラインの混雑を回避するために有効なキャッシュメモリ制御装置、およびパイプライン制御方法に関する。

背景技術

- [0002] キャッシュメモリは従来からコンピュータシステムにおいて使用されている。その使用の目的は、例えば中央処理装置（CPU）によって使用されたデータがすぐに再び使われることを予測して、そのデータを高速のキャッシュメモリに保持し、そのデータに対するアクセスを高速化可能とすることによって、主記憶装置のアクセス速度の制限を克服することである。
- [0003] しかしながら、近年においてコンピュータシステムがマルチ・コア・システムとなり、しかもキャッシュメモリへのアクセス方式としてパイプライン処理方式が用いられるようになり、パイプラインの混雑が進み、その緩和のための対策が必要となっているという問題点がある。
- [0004] 図1は、マルチ・コア・システムにおけるパイプライン制御方式の従来例の説明図である。同図においてMI（ムーブ・イン）－PORTは、例えばマルチ・コア・システムの各コアから送られる新しいリクエストとしての命令を格納するポートである。このポートに格納された命令に対しては、PR（プライオリティ）1のステージで、それぞれのコアから出力された命令間での優先度が判定される。続いてPR2のステージで他のポート、すなわちコアからキャッシュ側への応答や、コアからのムーブ・アウト・データを格納するMO（ムーブ・アウト）－PORT、システム・コントローラ（SC）から与えられるオーダを格納するSC－PORTとの間で命令の優先度が判定され、優先度の高い命令からキャッシュメモリへのアクセス処理のた

めのパイプラインのステージ、すなわちX P 0からX P 6に次々と命令が投入され、このパイプラインを抜けた命令はシステム・コントローラへのリクエストS C - R E Qとして、C P Uの外部インターフェース部に出力される。

[0005] この従来例においては、その命令の実行に当たってキャッシュメモリへのアクセスが必要となる命令は当然のこととして、またキャッシュメモリへのアクセスが必要とならない命令、例えばA S I（アドレス・スペース・アイデンティファイ）レジスタへのデータのライト、あるいはリードのための命令のような命令も、図1のX P 0からX P 6のパイプラインを通して外部インターフェース部に与えられていたために、マルチ・コア・システムにおいてコアの数が増え、処理すべき命令の数が大幅に増加すると、パイプラインの混雑がひどくなるという問題点があった。

[0006] このようなキャッシュメモリの制御に関する従来技術としての特許文献1には、バス上のアドレスが所定のアドレス範囲に入っている時にはM P Uから出力されたアドレス、およびデータを直接メインメモリ側に供給するバイパス経路側にバスを切り替えることによって、キャッシュメモリに移さないノンキャッシュ領域として指定されたメインメモリ上の領域の一部を高速でアクセス可能とする技術が開示されている。

[0007] 次に特許文献2には、プロセッサからのキャッシュにないメモリ位置へのアクセスの頻度の値を検査し、その値が閾値を超えていればキャッシュにアクセスを実行し、閾値を超えていなければキャッシュをバイパスすることによって、キャッシュメモリの使用効率を改善する技術が開示されている。

特許文献1：特開平2-32436号公報 「バッファ記憶装置」

特許文献2：特許第2735781号公報 「キャッシュ・メモリ制御システム及び方法」

[0008] しかしながらこのような従来技術を用いても、コアの数が増加したマルチ・コア・システムにおいて、その命令の実行時にキャッシュメモリにアクセスを行わない命令を含めて、全ての命令をキャッシュメモリアクセスのため

のパイプラインを通す場合に、パイプラインの混雑がひどくなるという問題を解決することはできなかった。

発明の開示

- [0009] 本発明の目的は、例えばマルチ・コア・システムを構成する複数のコアのそれぞれから送られる命令のうちで、その実行時にキャッシュメモリにアクセスを行わないノンキャッシュ系の命令を、キャッシュメモリ制御のためのパイプラインを通すことなく、外部にバイパスさせることによって、パイプラインの混雑を緩和し、システム性能の向上を図ることである。
- [0010] 本発明のキャッシュメモリ制御装置は、キャッシュメモリにアクセスする命令のパイプライン処理を制御する装置であり、少なくともキャッシュアクセス判定手段と、経路切替手段とを備える。
- [0011] キャッシュアクセス判定手段は、外部、例えばマルチ・コア・システムを構成する複数のコアのそれぞれから与えられる命令が、その実行時にキャッシュメモリにアクセスが行われない命令か、あるいはアクセスが行われる命令かを判定するものであり、経路切替手段は、キャッシュメモリにアクセスが行われると判定された命令を前記パイプライン処理に投入し、アクセスが行われないと判定された命令を前記パイプライン処理に投入せずに、直接外部に出力するものである。
- [0012] 本発明のパイプライン制御方法は、キャッシュメモリへのアクセスのためのパイプライン処理の制御方法であり、前述のキャッシュメモリ制御装置におけると同様に、外部から与えられる命令が、その実行時にキャッシュメモリにアクセスが行われない命令か、行われる命令かを判定し、アクセスが行われると判定された命令をパイプライン処理に投入し、アクセスが行われないと判定された命令をパイプライン処理に投入せずに、直接外部に出力するものである。
- [0013] 以上のように本発明によれば、例えばマルチ・コア・システムを構成するコアのそれぞれから与えられる命令のうちで、その実行時にキャッシュメモリにアクセスが行われる命令のみがパイプライン処理に投入され、アクセス

が行われない命令はパイプライン処理に投入されることなく、直接外部に出力される。

- [0014] 本発明によれば、例えばマルチ・コア・システムを構成するコアの数が多くなり、それぞれのコアから与えられる命令の総数が非常に多くなっても、キャッシュメモリにアクセスするためのパイプラインの混雑を緩和することが可能となり、システム性能の向上に寄与するところが大きい。

図面の簡単な説明

- [0015] [図1]パイプライン制御方式の従来例の説明図である。
[図2]本実施形態におけるキャッシュメモリ制御装置の構成ブロック図である。
[図3]本実施形態におけるマルチ・コア・システムの構成例の全体構成ブロック図である。
[図4]キャッシュ部の基本構成のブロック図である。
[図5]本実施形態におけるパイプライン制御方式の説明図である。
[図6]ムーブ・イン・ポートのデータ格納例の説明図である。
[図7]経路切替制御部の構成例の回路図である。

発明を実施するための最良の形態

- [0016] 図2は、本実施形態におけるキャッシュメモリ制御装置の構成ブロック図である。同図においてキャッシュメモリ制御装置1は、キャッシュアクセス判定部2、および経路切替部3を備える。
- [0017] キャッシュアクセス判定部2は、外部、例えばマルチ・コア・システムを構成する複数のコアのそれぞれから与えられる命令が、その実行時にキャッシュメモリにアクセスが行われない命令か、あるいはアクセスが行われる命令かを判定するものである。
- [0018] 経路切替部3は、キャッシュメモリにアクセスすると判定された命令をパイプライン処理に投入し、アクセスが行われないと判定された命令をパイプラインに投入することなく、直接外部に出力するものである。
- [0019] 図3は、マルチ・コア・システムの構成例のブロック図である。同図のシ

システム内には中央処理装置（CPU）が2台備えられ、2つのCPU10₁、10₂は、システム・コントローラ12を介してメモリ11と接続されている。システム・コントローラ（SC）12は、2つのCPU10₁、10₂とメモリ11との間でのリクエストやデータのやり取りを制御する装置であるが、例えば図示しない外部の装置の制御も行うものである。

[0020] それぞれのCPU10₁、10₂の内部には、それぞれ2個ずつのコア部15、各コア部15と接続されたキャッシュ部16、キャッシュ部16とシステム・コントローラ12との間に介在する外部インターフェース部17を備えている。

[0021] 図4は、図3のキャッシュ部16の構成ブロック図である。同図においてキャッシュ部は、3つのポートMI-PORT20、MO-PORT21、SC-PORT22、プライオリティ決定部23、パイプライン24、TAG25、およびムーブ・イン・バッファ（MIB）26を備えている。キャッシュメモリとしては、データを保持するデータ部が当然必要であるが、図4においては省略されている。

[0022] 図4のプライオリティ決定部23は、3つのポート20、21、22に格納されているリクエスト（命令）の優先度を決定し、その優先度に対応してポート20、21、22からのリクエストをパイプライン24に投入する。パイプライン24は、投入されたリクエストのアドレス(adrs)を用いてTAG25の検索を行い、キャッシュにヒットすればコア部15に対して要求されたデータを返す。一方、キャッシュにミスした場合にはムーブ・イン・バッファ26の内部にムーブ・イン・データを格納すべき領域を確保し、システム・コントローラ12に対してムーブ・イン要求、すなわちSC-REQを発行する。なお、ムーブ・イン・バッファ26に格納されたデータに対しては、パイプライン24によって検索が行われ、ヒットした場合にはアドレスマッチ信号(adrs-match)がパイプライン24に与えられる。

[0023] 図5は、本実施形態におけるパイプライン制御方式の説明図である。同図において、PR0からPR3は図4のプライオリティ決定部23による処理

のステージを表わし、この処理ステージでMI-PORT 20、MO-PORT 21、およびSC-PORT 22に格納されたリクエスト（命令）の優先順位の決定が行われる。

[0024] X P 0からX P 6は、P R 0からP R 3後のキャッシュメモリアクセスのためのパイプライン処理のステージを表わし、各ステージにおいてパイプライン上の処理が行われ、必要に応じて外部インターフェース部17に対して、例えば図4のムーブ・イン・バッファ26からのSC-REQが与えられる。

[0025] 本実施形態においては、P R 0で各コア部から送られたリクエスト（命令）がMI-PORT 20に格納され、これらのリクエストのうちで、その実行時にキャッシュメモリアクセスが行われるキャッシュ系のリクエストと、キャッシュメモリアクセスが行われないノンキャッシュ系などのリクエストとが区別されて、リクエストの経路の切替が切替処理30によって行われる。そしてリクエスト経路の切替は後述するように、MI-PORT 20に格納された命令のデータを用いて、切替制御処理31によって制御される。なお切替処理30は、ハードウェア構成（回路）としては、例えばアドレスバスやデータバスなどに対する切替スイッチに相当するが、ここでは処理の流れを中心に説明している。

[0026] その実行時にキャッシュメモリへのアクセスが行われない、すなわちキャッシュを持たないリクエスト（命令）として、ノンキャッシュ系リクエストとA S I系リクエストとがある。ノンキャッシュ系リクエストは、例えばメインメモリ上でキャッシュメモリにデータが移されることがない領域、すなわちノンキャッシュ領域に対応するリクエストである。ノンキャッシュ系リクエストの種類としては、ノンキャッシュ・リード、ノンキャッシュ・ライト、ノンキャッシュ・ブロック・リード、ノンキャッシュ・ブロック・ライトの4種類がある。A S I系リクエストとは、ソフトウェアからのライト／リードが可能なA S I（アドレス・スペース・アイデンティファイ）レジスタへのデータのライト／リードのリクエストであり、A S Iリード、A S I

ライトの2種類がある。

[0027] これらのキャッシュアクセスを持たないリクエストは、切替処理30によってキャッシュメモリへのアクセスのパイプラインとは別の経路にバイパスされ、PR1でコア間の優先順位が決定された後に、NA（ノンキャッシュASI）-REQとして外部インターフェース部に直接与えられる。これに対して、その実行時にキャッシュメモリへのアクセスが行われるキャッシュ系のリクエストに対しては、PR1でコア間、PR2でポート間の優先順位が決定され、その優先順位に対応してXP0からXP6までのパイプラインに投入される。これによってこのパイプラインに投入されるリクエストは、マルチ・コア・システムにおいても大幅に減少させることが可能となり、パイプラインの混雑は大幅に緩和される。

[0028] 図6、図7は、図5の切替制御処理31の説明図である。図6は、MI-PORTに格納される命令（リクエスト）のデータを示し、例えばn+1個のエントリのそれぞれに、コア部から送られた命令のデータが格納される。そのデータは、まずバリッド・フラグ（VLD）、命令の種類を示すコマンド（CMD）、例えばメモリアクセスのためのアドレス（ADRS）、リクエストの識別子（REQID）、およびその他のデータである。このうちCMDは、例えば6ビットが命令の種類を示し、その上位2ビットが“00”の時にパイプラインに投入すべき命令を、“01”の時にパイプラインに投入することなく、外部インターフェース部に直接出力すべき命令を示すものとする。

[0029] 図7は、図5の切替制御処理31に相当する切替制御部の構成例の回路図である。同図において、2つの3入力ANDゲート35、36によって切替制御部が構成される。ANDゲート35には、バリッド・フラグ（VLD）の値と、CMD6ビットのうちで0ビット目からみて上位2ビット、すなわち5ビット目と4ビット目の値が与えられる。ここで、CMDの5ビット目の値は反転されてANDゲート35に入力し、ANDゲート35からは入力したCMDに対するリクエストがパイプライン処理をバイパスして外部イン

ターフェース部に直接出力されるべきことを示すNA-REQが出力され、図5の切替処理30に相当する切替スイッチに与えられる。

- [0030] これに対してANDゲート36には、VLDの値がそのまま、またCMDの5ビット目と4ビット目の値がそれぞれ反転されて与えられる。これによって、ANDゲート36からは入力したCMDに対応するリクエストがパイプラインに投入されるべきことを示すPIPE-REQが出力され、切替スイッチに与えられることになる。
- [0031] 切替スイッチでは、ANDゲート35から出力されるNA-REQあるいはANDゲート36から出力されるPIPE-REQの値に応じて、リクエストを出力すべき経路を選択・切り替える。
- [0032] 最後に本実施形態の効果についてさらに説明する。この効果はノンキャッシュ系の命令とASI系の命令が多いほど大きくなる。例えばシステム起動時には命令のうち半数以上がノンキャッシュ系であり、残りの命令にはASI系も含まれる。これに対してOSの通常起動時には命令のほぼすべてがキャッシュ系となるが、ASI系も含まれる。ただしこのとき、例えば外部ディスクなどへのアクセスがあればノンキャッシュ系命令が発行される。
- [0033] 従ってシステム起動時にノンキャッシュ系命令が大量に発行される場合、またOS通常起動時にも外部ディスクへのアクセスが集中する場合などに、パイプライン混雑の緩和効果が大きくなる。

請求の範囲

- [1] キャッシュメモリにアクセスする命令のパイプライン処理を制御するキャッシュメモリ制御装置であって、
- 外部から与えられる命令が、その実行時にキャッシュメモリにアクセスが行われる命令か、あるいはキャッシュメモリのアクセスが行われない命令かを判定するキャッシュアクセス判定手段と、
- キャッシュメモリにアクセスが行われると判定された命令を前記パイプライン処理に投入する一方、キャッシュメモリへのアクセスが行われないと判定された命令は前記パイプライン処理に投入せずに外部に出力するよう、命令の経路を切り替える経路切替手段とを備えることを特徴とするキャッシュメモリ制御装置。
- [2] 前記キャッシュメモリ制御装置が、マルチ・コア・システムを構成する複数のコアに接続され、
- 前記キャッシュアクセス判定手段が、該複数のコアのそれぞれから与えられる命令に対する判定を行うことを特徴とする請求項1に記載のキャッシュメモリ制御装置。
- [3] 前記キャッシュメモリ制御装置が、前記複数のコアのそれぞれから出力され、その実行時に前記キャッシュメモリにアクセスが行われないと判定された複数の命令に対して、前記直接外部に出力する優先度を決定することを特徴とする請求項2に記載のキャッシュメモリ制御装置。
- [4] 前記キャッシュアクセス判定手段が、前記外部から与えられる命令のデータの一部をデコードして、そのデコード結果に対応して前記判定を行うことを特徴とする請求項1に記載のキャッシュメモリ制御装置。
- [5] 前記実行時にキャッシュメモリにアクセスが行われない命令が、ソフトウェアからのデータのライト／リードが可能なレジスタに対するデータのライト、またはリードの命令を含むことを特徴とする請求項1に記載のキャッシュメモリ制御装置。
- [6] キャッシュメモリアクセスのためのパイプライン制御方法であって、

外部から与えられる命令が、その実行時にキャッシュメモリにアクセスが行われる命令か、あるいはアクセスが行われない命令かを判定するステップと、

キャッシュメモリにアクセスが行われると判定された命令を前記パイプラインに投入し、アクセスが行われないと判定された命令を前記パイプラインに投入せずに、直接外部に出力するステップとを備えることを特徴とするパイプライン制御方法。

[7] 前記キャッシュメモリアクセスのためのパイプラインの制御装置が、マルチ・コア・システムを構成する複数のコアに接続され、

前記判定のステップにおいて、該複数のコアのそれぞれから与えられる命令に対する判定を行うことを特徴とする請求項6に記載のパイプライン制御方法。

[8] 前記複数のコアのそれぞれから出力され、その実行時に前記キャッシュメモリにアクセスが行われないと判定された複数の命令に対して、さらに前記直接外部に出力する優先度を決定することを特徴とする請求項7に記載のパイプライン制御方法。

[9] メモリと、

演算処理を行う演算処理部と、

前記メモリから読み出された情報を保持するキャッシュメモリに対するアクセスのパイプライン処理制御を実行するキャッシュ部と、を備え、

前記キャッシュ部は、

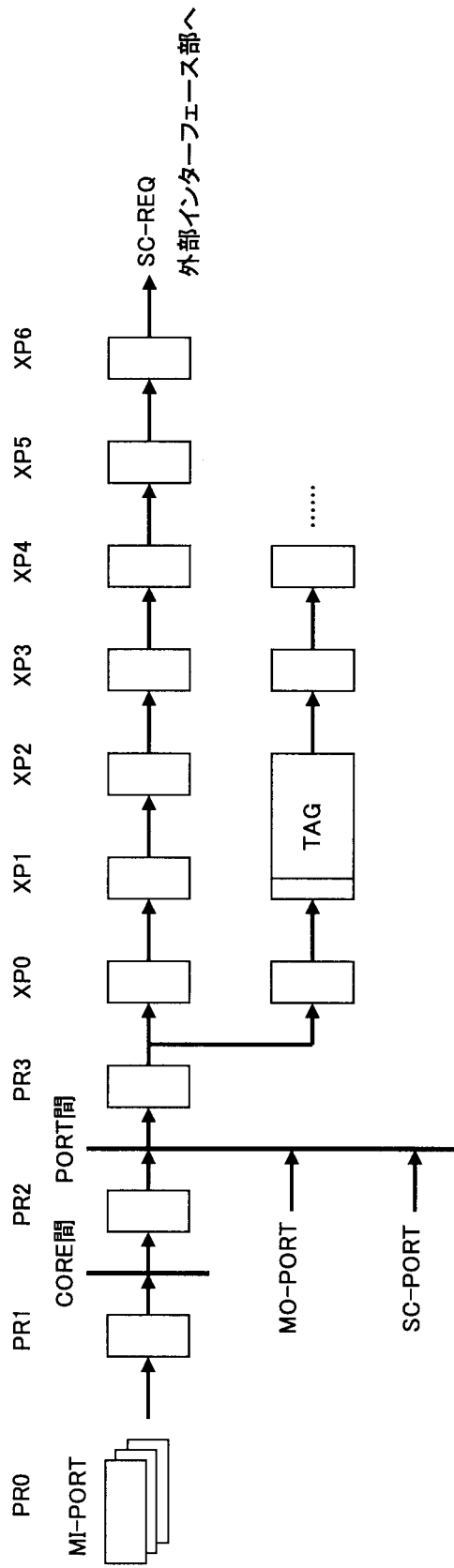
命令が、その実行時にキャッシュメモリへのアクセスを要する命令か、あるいはキャッシュメモリへのアクセスを要さない命令かを判定する判定部と、

前記判定部の判定結果に応じて、前記命令がキャッシュメモリへのアクセスを要する命令である場合には当該命令を前記パイプライン処理にする側に命令の経路を切り替え、前記命令がキャッシュメモリへのアクセスを要さない命令である場合には当該命令を前記パイプライン処理に投入せずに外部に

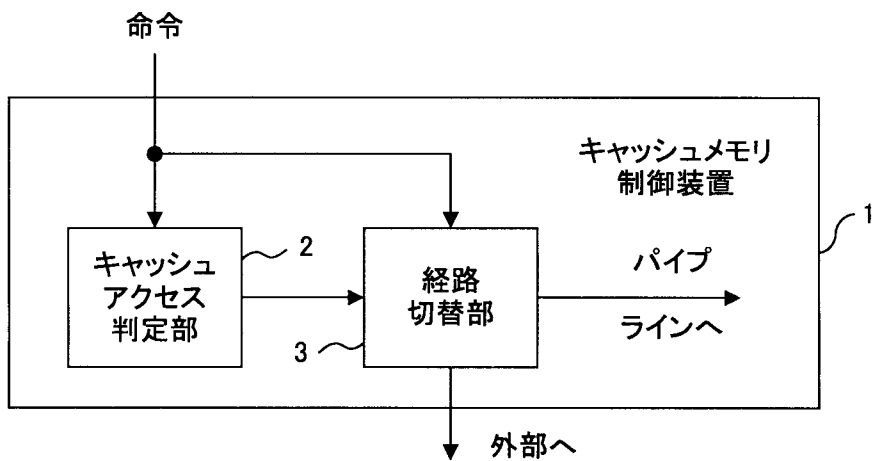
出力する側に命令の経路をきりかえる切替部と、を備えることを特徴とする情報処理装置。

- [10] 前記情報処理装置において、前記演算処理部と前記キャッシュ部とは、同一の演算処理装置の一部を構成することを特徴とする、請求項9に記載の情報処理装置。
- [11] 前記情報処理装置において、前記キャッシュ部は、複数の演算処理部によって共有されていることを特徴とする、請求項9に記載の情報処理装置。

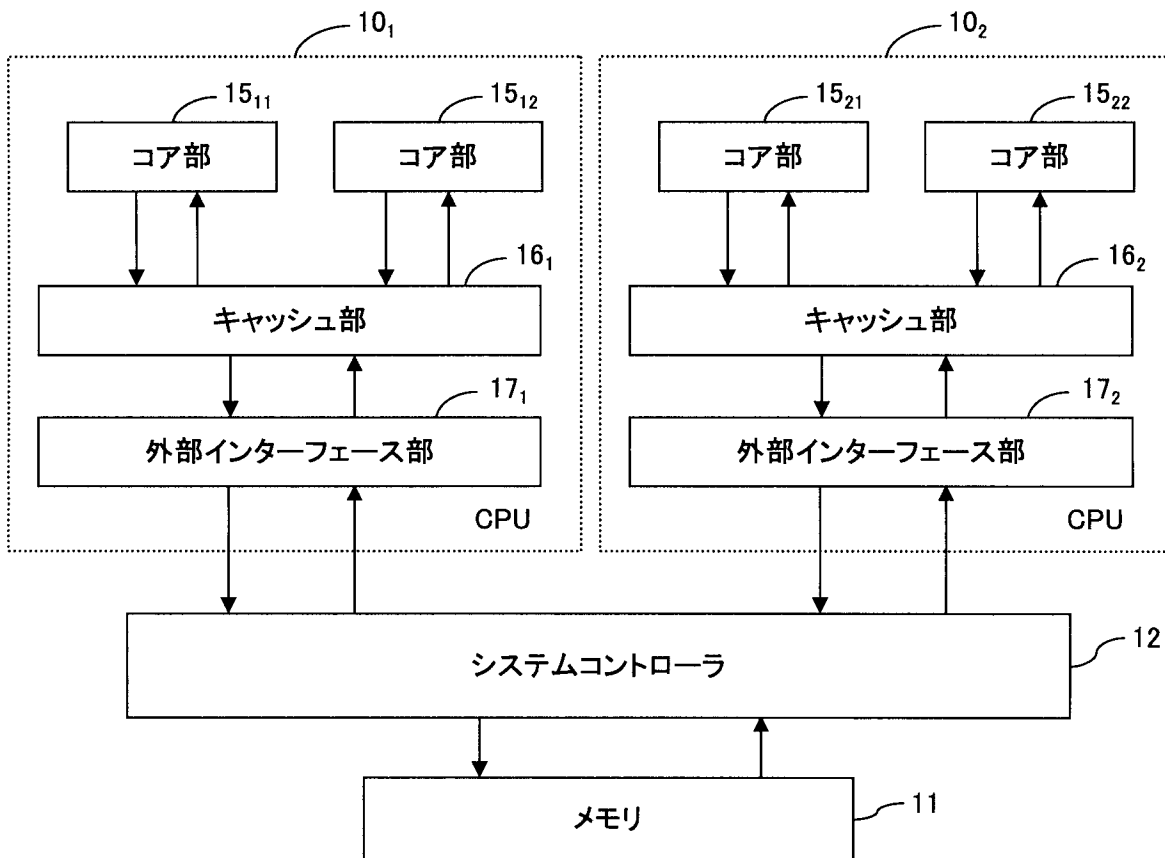
[図1]



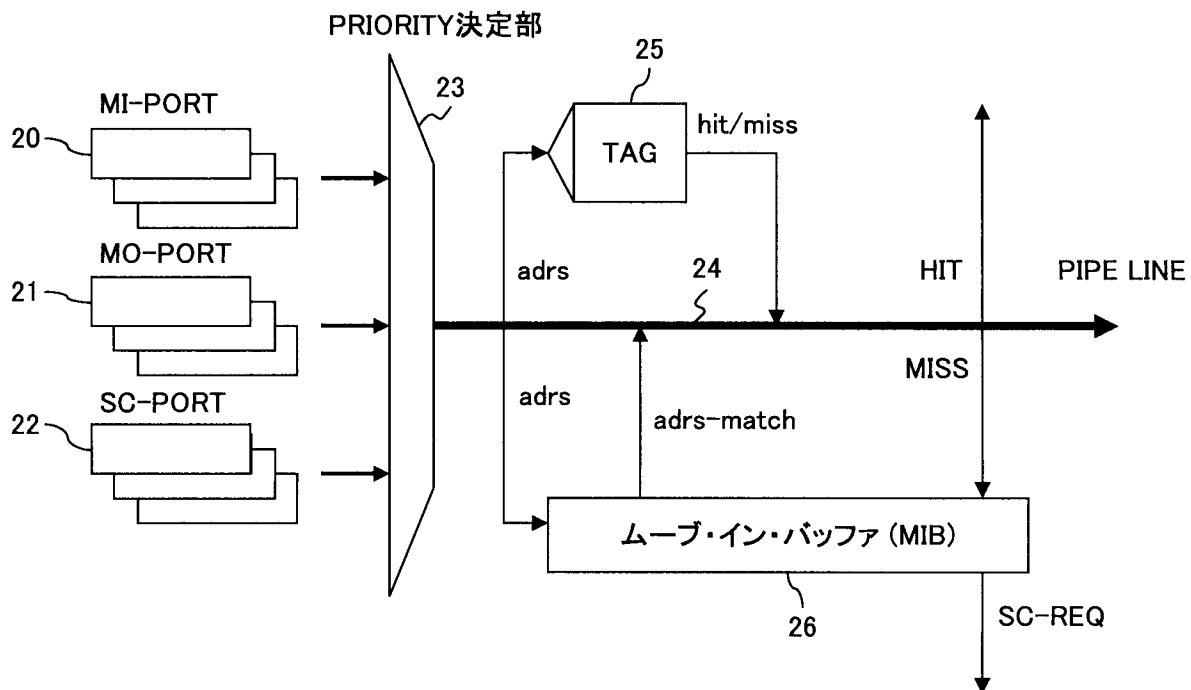
[図2]



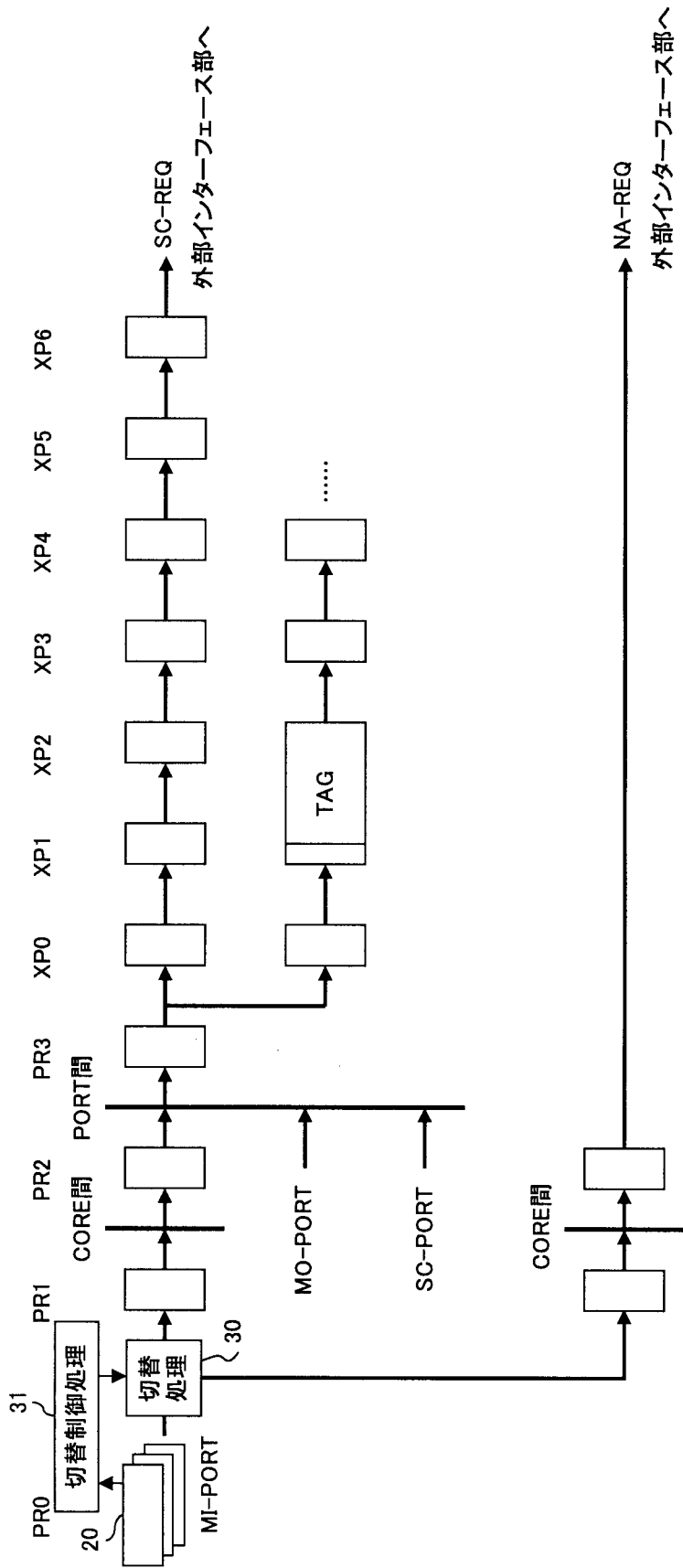
[図3]



[図4]



[図5]

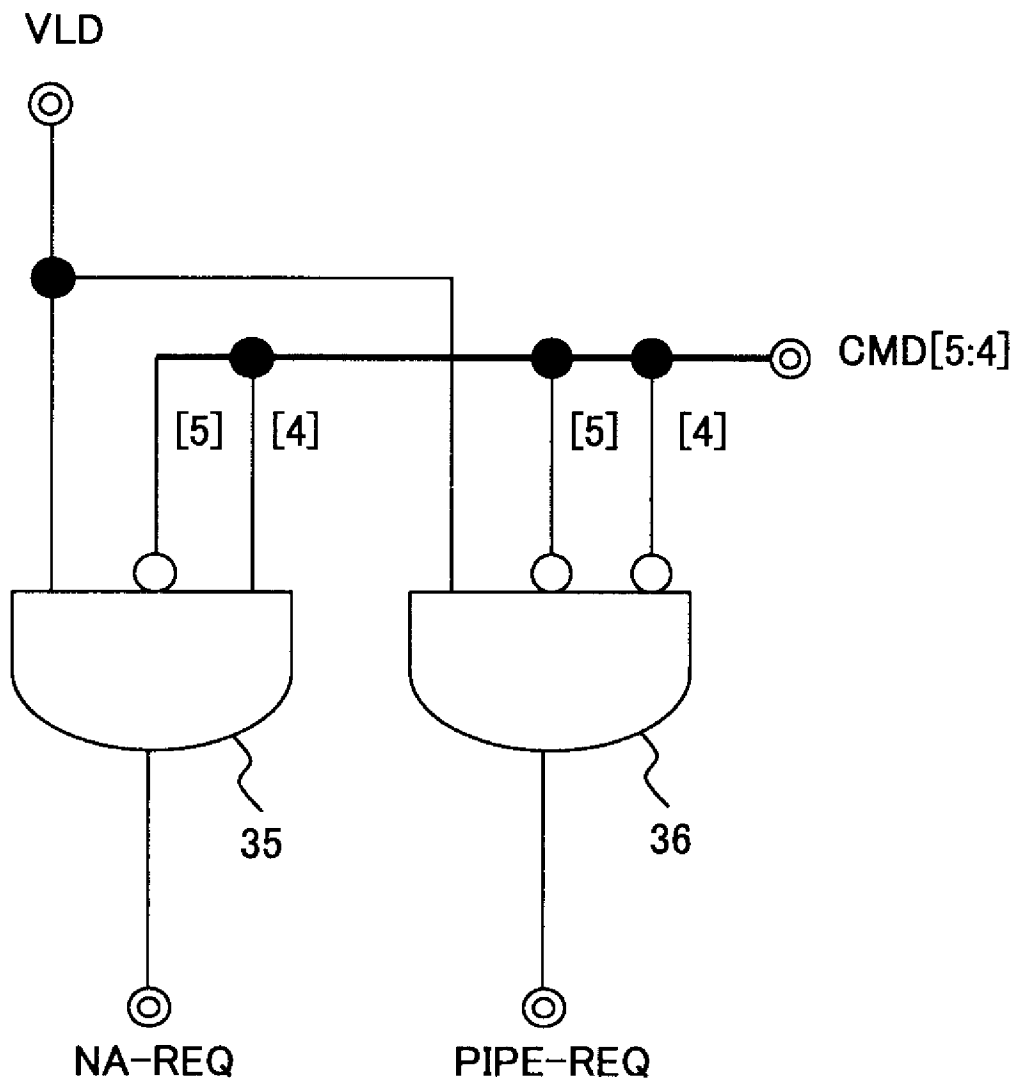


[图6]

物理番号

n					
⋮	⋮				
2					
1					
0	VLD	CMD	ADRS	REQID	etc

[图7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/000660

A. CLASSIFICATION OF SUBJECT MATTER
G06F12/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-22578 A (International Business Machines Corp.), 26 January, 2001 (26.01.01), Par. Nos. [0012] to [0018]; Figs. 3, 4 & KR 2001-0015045 A	1-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 October, 2007 (16.10.07)	Date of mailing of the international search report 30 October, 2007 (30.10.07)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F12/08(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F12/08-12/12			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
A	J P 2 0 0 1 - 2 2 5 7 8 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2 0 0 1 . 0 1 . 2 6 , 【0012】 - 【0018】 , 【図3】 , 【図4】 & K R 2 0 0 1 - 0 0 1 5 0 4 5 A		1-11
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 16. 10. 2007		国際調査報告の発送日 30. 10. 2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 清木 泰	5 N 9 6 4 3
		電話番号 03-3581-1101	内線 3586