

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6336430号
(P6336430)

(45) 発行日 平成30年6月6日(2018.6.6)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int.Cl.	F I
GO 1 S 7/03 (2006.01)	GO 1 S 7/03 2 2 0
GO 1 S 7/02 (2006.01)	GO 1 S 7/03 2 3 0
GO 1 S 7/35 (2006.01)	GO 1 S 7/02 2 1 0
GO 1 S 13/34 (2006.01)	GO 1 S 7/35
HO 1 Q 13/08 (2006.01)	GO 1 S 13/34

請求項の数 26 外国語出願 (全 41 頁) 最終頁に続く

(21) 出願番号	特願2015-249619 (P2015-249619)	(73) 特許権者	501209070
(22) 出願日	平成27年12月22日 (2015.12.22)		インフィネオン テクノロジーズ アーゲー
(65) 公開番号	特開2016-166859 (P2016-166859A)		ー
(43) 公開日	平成28年9月15日 (2016.9.15)		I N F I N E O N T E C H N O L O G I
審査請求日	平成27年12月22日 (2015.12.22)		E S A G
(31) 優先権主張番号	62/096, 421		ドイツ連邦共和国 8 5 5 7 9 ノイビー
(32) 優先日	平成26年12月23日 (2014.12.23)		ベルク アム カンペオン 1-15
(33) 優先権主張国	米国 (US)	(74) 代理人	110002077
(31) 優先権主張番号	62/201, 895		園田・小林特許業務法人
(32) 優先日	平成27年8月6日 (2015.8.6)	(72) 発明者	トロッタ, サヴェーリオ
(33) 優先権主張国	米国 (US)		ドイツ国 8 0 5 3 8 ミュンヘン, テ
(31) 優先権主張番号	62/222, 058		ィールシュシュトラーセ 44
(32) 優先日	平成27年9月22日 (2015.9.22)	(72) 発明者	バヘティ, アストッシュ
(33) 優先権主張国	米国 (US)		ドイツ国 8 1 5 4 1 ミュンヘン, ホ
			ーエンヴァルテックシュトラーセ 29
			最終頁に続く

(54) 【発明の名称】 R F I C 及びアンテナシステムを有する R F システム

(57) 【特許請求の範囲】

【請求項 1】

レーダーシステムであって、
複数の受信アンテナと、
複数の送信アンテナと、
前記複数の受信アンテナに結合された複数の受信回路と、前記複数の送信アンテナに結合された複数の送信回路と、を有するレーダーフロントエンド回路と、
前記複数の送信回路に結合された出力を有する発振器と、
前記複数の受信回路の出力及び前記発振器の制御入力に結合されたレーダー処理回路と、を有し、
前記レーダーフロントエンド回路の前記複数の受信回路は前記レーダーフロントエンド回路の第 1 エッジに配設され、
前記レーダーフロントエンド回路の前記複数の送信回路の第 1 部分は前記レーダーフロントエンド回路の第 2 エッジに配設され、
前記レーダーフロントエンド回路の前記複数の送信回路の第 2 部分は前記レーダーフロントエンド回路の第 3 エッジに配設され、
前記第 2 エッジは、前記第 1 エッジに隣接しており、且つ、前記第 3 エッジは、前記第 1 エッジに隣接している、システム。

【請求項 2】

前記レーダー処理回路は、前記発振器の前記制御入力に結合された位相ロックループを

有する請求項 1 に記載のレーダーシステム。

【請求項 3】

前記位相ロックループは、前記発振器の前記制御入力及び前記レーダー処理回路に結合されたアナログ位相ロックループを有する請求項 2 に記載のレーダーシステム。

【請求項 4】

前記位相ロックループは、デジタル - アナログコンバータと、前記デジタル - アナログコンバータの出力と前記発振器の前記制御入力の間において結合された積分器とを有するソフトウェア PLL を有する請求項 2 に記載のレーダーシステム。

【請求項 5】

前記レーダー処理回路は、前記発振器の前記制御入力に結合された周波数変調連続波 (F M C W) 生成器を有する請求項 1 に記載のレーダーシステム。

10

【請求項 6】

前記 F M C W 生成器は、 $2\text{ GHz} \sim 8\text{ GHz}$ という変調帯域幅、 $6\text{ KHz} \sim 9\text{ KHz}$ という最小中間周波数 (I F)、及び $150\text{ KHz} \sim 250\text{ KHz}$ という最大 I F を生成するように構成されている請求項 5 に記載のレーダーシステム。

【請求項 7】

前記 F M C W 生成器は、 $2\text{ GHz} \sim 8\text{ GHz}$ という変調帯域幅、 $3\text{ KHz} \sim 5\text{ KHz}$ という最小中間周波数 (I F)、及び $800\text{ KHz} \sim 1.2\text{ MHz}$ という最大 I F を生成するように構成されている請求項 5 に記載のレーダーシステム。

【請求項 8】

20

前記発振器の中心周波数は、 $50\text{ GHz} \sim 70\text{ GHz}$ である請求項 1 に記載のレーダーシステム。

【請求項 9】

前記複数の受信回路の対応する出力に結合された入力を有する複数のアナログ - デジタルコンバータを更に有する請求項 1 に記載のレーダーシステム。

【請求項 10】

前記複数のアナログ - デジタルコンバータの出力に結合されたデジタルインターフェイスを更に有する請求項 9 に記載のレーダーシステム。

【請求項 11】

前記複数のアナログ - デジタルコンバータの出力に結合されたデジタル信号プロセッサを更に有する請求項 10 に記載のレーダーシステム。

30

【請求項 12】

前記デジタル信号プロセッサは、前記複数のアナログ - デジタルコンバータの前記出力のそれぞれに対して重み付けされた F F T を実行すると共に前記重み付けされた F F T の結果を合計して重み付けされた合計を形成するように構成されている請求項 11 に記載のレーダーシステム。

【請求項 13】

前記デジタルインターフェイスは、U S B インターフェイスを有する請求項 10 に記載のレーダーシステム。

【請求項 14】

40

前記レーダー処理回路は、第 1 期間にわたって前記複数の送信回路のうちの第 1 の送信回路を起動し、且つ、次いで、前記第 1 期間の後に第 2 期間にわたって前記複数の送信回路のうちの第 2 の送信回路を起動するように構成されている請求項 1 に記載のレーダーシステム。

【請求項 15】

前記複数の受信アンテナは、複数の Y a g i - U d a 受信アンテナを有し、且つ、前記複数の送信アンテナは、Y a g i - U d a 送信アンテナを有する請求項 1 に記載のレーダーシステム。

【請求項 16】

前記複数の受信アンテナは、複数のパッチ受信アンテナを有し、且つ、

50

前記複数の送信アンテナは、複数のパッチ送信アンテナを有する請求項 1 に記載のレーダーシステム。

【請求項 17】

前記複数のパッチ受信アンテナは、前記レーダーフロントエンド回路の第 1 エッジに隣接した状態において構成され、

前記複数のパッチ送信アンテナの第 1 部分は、前記レーダーフロントエンド回路の第 2 エッジ上において構成され、且つ、

前記複数のパッチ送信アンテナの第 2 部分は、前記レーダーフロントエンド回路の第 3 エッジ上において構成されている請求項 16 に記載のレーダーシステム。

【請求項 18】

印刷回路基板 (PCB) であって、低 ϵ_r PCB 材料を含む印刷回路基板をさらに含み

少なくとも、前記複数の受信アンテナと、前記複数の送信アンテナとが前記印刷回路基板に搭載される、請求項 1 に記載のレーダーシステム。

【請求項 19】

前記低 ϵ_r PCB 材料は FR4 材料を含む、請求項 18 に記載のレーダーシステム。

【請求項 20】

前記低 ϵ_r PCB 材料は Rogers PCB 材料を含む、請求項 18 に記載のレーダーシステム。

【請求項 21】

前記 PCB は、さらに、銅接地層を含む、請求項 18 に記載のレーダーシステム。

【請求項 22】

前記銅接地層は前記 PCB の下部層である、請求項 21 に記載のレーダーシステム。

【請求項 23】

前記 PCB は約 165 μm の厚さであり、前記銅接地層は約 35 μm の厚さである、請求項 21 に記載のレーダーシステム。

【請求項 24】

少なくとも前記レーダーフロントエンド回路、前記発振器、及び前記レーダー処理回路が前記 PCB に取り付けられたパッケージに収容される、請求項 18 に記載のレーダーシステム。

【請求項 25】

前記複数の受信アンテナと前記複数の送信アンテナが前記パッケージに統合される、請求項 24 に記載のレーダーシステム。

【請求項 26】

前記パッケージの下部が前記 PCB の上部から離隔される、請求項 24 に記載のレーダーシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2014 年 12 月 23 日に出願された米国仮特許出願第 62/096,421 号の利益、2015 年 8 月 6 日に出願された米国仮特許出願第 62/201,895 号の利益、及び 2015 年 9 月 22 日に出願された米国仮特許出願第 62/222,058 号の利益を主張するものであり、これらの出願は、引用により、そのすべてが本書に包含される。

【0002】

関連出願に対する相互参照

本特許出願は、同時係属中であると共に本出願人に譲渡された「RF System with an RFIC and Antenna System」という名称の _____ 付けで出願された米国特許出願第 _____ 号 (代理人ドケット番号 2014 P52192US01) 及び「System and Method for Rada

10

20

30

40

50

r」という名称の_____付けで出願された米国特許出願第_____号（代理人ドケット番号2015P51802US01）に更に關するものであり、これらの出願は、引用により、そのすべてが本書に包含される。

【0003】

本開示は、一般に、電子装置に關し、詳しくは、RF集積回路（Radio Frequency Integrated Circuit：RFIC）及びアンテナシステムを有する高周波（Radio Frequency：RF）システムに關する。

【背景技術】

【0004】

過去数十年間にわたり、シリコンゲルマニウム（SiGe）や微細形状の相補型金属酸化膜半導体（Complementary Metal-Oxide Semiconductor：CMOS）プロセスなどの低費用の半導体技術の迅速な発展に起因し、ミリメートル波周波数領域における用途が大きな関心を集めている。高速のバイポーラ及び金属酸化膜半導体（MOS）トランジスタの利用可能性は、60GHz、77GHz、及び80GHz、並びに、100GHz超におけるmm波用途用の集積回路に対する需要の成長をもたらしている。このような用途は、例えば、自動車レーダーシステム及びマルチギガビット通信システムを含む。

【0005】

いくつかのレーダーシステムにおいては、レーダーとターゲットの間の距離は、周波数変調信号を送信し、周波数変調信号の反射を受信し、且つ、周波数変調信号の送信と受信の間の時間遅延及び／又は周波数差に基づいて距離を判定することにより、判定されている。従って、いくつかのレーダーシステムは、RF信号を送信する送信アンテナ、RFを受信する受信アンテナのみならず、送信信号の生成及びRF信号の受信に使用される関連付けられたRF回路をも含む。いくつかのケースにおいては、フェーズドアレイ技法を使用して指向性ビームを実装するべく、複数のアンテナが使用されてもよい。

【発明の概要】

【課題を解決するための手段】

【0006】

一実施形態によれば、パッケージ化された高周波（RF）回路は、RFICの第1エッジにおいて受信ポートに結合された複数のレシーバ回路と、RFICの第2エッジにおいて第1送信ポートに結合された第1送信回路と、を有する基板上に配設された高周波集積回路（RFIC）を含む。又、パッケージ化されたRF回路は、RFICの第1エッジに隣接した状態においてパッケージ基板上に配設された受信アンテナシステムと、RFICの第2エッジに隣接した状態においてパッケージ基板上に配設されると共にRFICの第1送信ポートに電氣的に結合された第1送信アンテナと、をも含む。受信アンテナシステムは、対応する受信ポートにそれぞれが結合された複数の受信アンテナ要素を含む。

【0007】

以下、本発明及びその利点について更に十分に理解するべく、添付図面とともになされる以下の説明を参照されたい。

【図面の簡単な説明】

【0008】

【図1】一実施形態のレーダーシステムを含む。

【図2a】図2a～図2cを含み、一実施形態のRFシステム／アンテナパッケージ及び対応する回路基板を示す。

【図2b】図2a～図2cを含み、一実施形態のRFシステム／アンテナパッケージ及び対応する回路基板を示す。

【図2c】図2a～図2cを含み、一実施形態のRFシステム／アンテナパッケージ及び対応する回路基板を示す。

【図3】一実施形態のRFシステム／アンテナパッケージの平面図を示す。

【図4a】図4a、図4b、及び図4cを含み、更なる実施形態のRFシステム／アンテ

10

20

30

40

50

ナパッケージ及び対応する回路基板を示す。

【図 4 b】図 4 a、図 4 b、及び図 4 c を含み、更なる実施形態の R F システム / アンテナパッケージ及び対応する回路基板を示す。

【図 4 c】図 4 a、図 4 b、及び図 4 c を含み、更なる実施形態の R F システム / アンテナパッケージ及び対応する回路基板を示す。

【図 5】一実施形態のパッチアンテナシステムによって生成されるアンテナパターンを示す。

【図 6 a】図 6 a 及び図 6 b を含み、一実施形態の高周波集積回路 (R F I C) の回路図及びレイアウトを示す。

【図 6 b】図 6 a 及び図 6 b を含み、一実施形態の高周波集積回路 (R F I C) の回路図及びレイアウトを示す。

【図 7】一実施形態のレーダーシステムのブロックダイアグラムを示す。

【図 8 a】図 8 a、図 8 b、図 8 c、及び図 8 d を含み、周波数変調連続波 (F M C W) レーダーシステムの動作を示す図を提供する。

【図 8 b】図 8 a、図 8 b、図 8 c、及び図 8 d を含み、周波数変調連続波 (F M C W) レーダーシステムの動作を示す図を提供する。

【図 8 c】図 8 a、図 8 b、図 8 c、及び図 8 d を含み、周波数変調連続波 (F M C W) レーダーシステムの動作を示す図を提供する。

【図 8 d】図 8 a、図 8 b、図 8 c、及び図 8 d を含み、周波数変調連続波 (F M C W) レーダーシステムの動作を示す図を提供する。

【図 9 a】図 9 a、図 9 b、図 9 c、及び図 9 d を含み、実施形態のレーダーシステム及び一実施形態のアンテナ構成のブロックダイアグラムを示す。

【図 9 b】図 9 a、図 9 b、図 9 c、及び図 9 d を含み、実施形態のレーダーシステム及び一実施形態のアンテナ構成のブロックダイアグラムを示す。

【図 9 c】図 9 a、図 9 b、図 9 c、及び図 9 d を含み、実施形態のレーダーシステム及び一実施形態のアンテナ構成のブロックダイアグラムを示す。

【図 9 d】図 9 a、図 9 b、図 9 c、及び図 9 d を含み、実施形態のレーダーシステム及び一実施形態のアンテナ構成のブロックダイアグラムを示す。

【図 10 a】図 10 a、図 10 b、図 10 c、及び図 10 d を含み、様々な実施形態のレーダーシステムの回路基板を示す。

【図 10 b】図 10 a、図 10 b、図 10 c、及び図 10 d を含み、様々な実施形態のレーダーシステムの回路基板を示す。

【図 10 c】図 10 a、図 10 b、図 10 c、及び図 10 d を含み、様々な実施形態のレーダーシステムの回路基板を示す。

【図 10 d】図 10 a、図 10 b、図 10 c、及び図 10 d を含み、様々な実施形態のレーダーシステムの回路基板を示す。

【図 11】一実施形態のレーダーコントローラのブロックダイアグラムを示す。

【図 12】一実施形態の自動トリガ動作モードのフローチャートを示す。

【図 13】一実施形態の手動トリガ動作モードのフローチャートを示す。

【図 14】一実施形態の処理システムのブロックダイアグラムを示す。

【発明を実施するための形態】

【 0 0 0 9 】

異なる図中における同様な符号及びシンボルは、一般に、そうではない旨を特記しない限り、同様な部分を意味している。添付図面は、好適な実施形態の関連する態様を明瞭に示すべく描かれており、且つ、必ずしも正確な縮尺で描かれてはいない。特定の実施形態を更に明瞭に示すべく、同一の構造、材料、又はプロセスステップの変形を示す文字が図面の符号に後続している場合がある。

【 0 0 1 0 】

以下、現時点において好適な実施形態の実施及び使用法について詳細に説明する。但し、本発明は、様々な特定の文脈において実施されうる多くの適用可能な発明概念を提供し

10

20

30

40

50

ていることを理解されたい。説明対象の特定の実施形態は、本発明を実施及び使用するための特定の方法を例示するものに過ぎず、本発明の範囲を限定するものではない。

【0011】

本発明については、特定の文脈において、カメラ検知システム及び携帯型消費者装置に使用されるレーダーシステムなどのレーダーシステム用のシステム及び方法の好適な実施形態との関係において説明することとする。本発明は、一般的なレーダーシステム及び無線通信システムなどのその他のシステム及び用途に対して適用されてもよい。

【0012】

本発明の実施形態においては、RF回路及びアンテナを含む高周波RFシステムは、単一のボールグリッドアレイ(Ball Grid Array: BGA)パッケージ内において実装されている。RFシステムは、チップの第1エッジ上の受信インターフェイスと、チップの隣接した又は反対側のエッジ上の送信インターフェイスと、を有する集積回路を含む。マルチ要素パッチアンテナが、チップの第1エッジに隣接した状態においてパッケージの表面上に配設されると共にチップの第1エッジにおいて複数の受信チャンネルインターフェイスに対して結合されている。同様に、信号を送信するパッチアンテナが、送信インターフェイスに隣接した状態においてチップの隣接した又は反対側のエッジ上においてパッケージの再配線層(redistribution layer)上に配設されている。一実施形態においては、少なくとも1つの送信チャンネルが、入射レーダー信号又はデータ信号を選択的に送信するべく使用されてもよい。本発明のその他の実施形態においては、集積回路は、回路基板上に配設されたマルチ要素パッチアンテナに隣接した状態で回路基板上において直接的に取り付けられてもよい。

【0013】

送信アンテナと受信アンテナの間の絶縁を提供するべく、接地壁が、第1エッジに隣接した状態においてパッケージ内に配設されている。この接地壁は、再配線層内において接地層を使用することにより、且つ/又は、接地されたはんだボールのアレイを使用することにより、実装されてもよい。更には、ファンアウトエリア内において、特に、パッチアンテナに隣接したパッケージの領域内において、機械的安定性をパッケージに対して提供するべく、ダミーはんだボールが使用されてもよい。

【0014】

一実施形態においては、ビームの操向及び指向性をRF信号の送信及び受信に付与するべく、レーダーシステムにおいて広く使用されているビーム形成概念が使用されてもよい。このような実施形態は、例えば、自動車レーダー、カメラシステム、携帯型システム、装用可能な装置、TVセット、タブレットコンピュータ、及びその他の用途に適用されてもよい。例えば、カメラシステムにおいては、焦点及び露出設定を判定するべく、レーダーシステムを使用して写真撮影対象の物体までの距離を判定してもよい。この距離は、例えば、7GHz帯域幅などのように約2GHz~8GHzの帯域幅を有する一実施形態の60GHzレーダーシステムを使用することにより、正確に且つ高分解能によって判定されてもよい。又、このような距離情報は、レーダー測距データがカメラデータとマージされているスマート検知システムのために使用されてもよい。

【0015】

又、実施形態のビーム形成概念は、ジェスチャ認識システムを実装するべく使用されてもよい。過去においては、ジェスチャ認識システムは、光学カメラ、圧力センサ、PAL、及びその他の装置を使用することにより、実装されている。実施形態のレーダーシステムを使用することにより、ジェスチャ認識システムは、プラスチック又はその他の丈夫な材料から製造された不透明なカバーの背後に便利に隠蔽された状態で、正確な距離計測を実行しうる。

【0016】

図1は、本発明の一実施形態によるレーダーシステム100を示している。図示のように、レーダートランシーバ装置102は、入射RF信号を送信アンテナ120a及び/又は送信アンテナ120bを介して物体132に向かって送信すると共に反射されたRF信

10

20

30

40

50

号を受信アンテナ122a~dを含むアンテナアレイを介して受信するように構成されている。レーダートランシーバ装置102は、受信アンテナ122a~dに結合されたレシーバフロントエンド112と、送信アンテナ120aに結合された第1トランスミッタフロントエンド104と、送信アンテナ120bに結合された第2トランスミッタフロントエンド110と、を含む。レーダー回路106は、送信対象の信号を第1及び第2トランスミッタフロントエンド104及び110に提供し、且つ、レシーバフロントエンド112によって受信された信号を受信及び/又は処理する。

【0017】

一実施形態においては、第2トランスミッタフロントエンド110に対する入力、スイッチ109によって表された回路を介して、レーダー回路106の出力と通信回路108の出力の間において選択可能である。第2トランスミッタフロントエンド110がレーダー回路106から入力を受け取った際に、第1トランスミッタフロントエンド104及び第2トランスミッタフロントエンド110の両方は、ホログラフィックレーダーを構築するべく使用することができる。その一方で、第2トランスミッタフロントエンド110が通信回路108からその入力を受け取った際には、第1トランスミッタフロントエンド104は、レーダー信号を送信アンテナ120aに提供し、且つ、第2トランスミッタフロントエンド110は、通信信号を送信アンテナ120bに提供する。この通信信号は、搬送波変調信号であってもよい。一例においては、第2トランスミッタフロントエンド110は、バイポーラ位相偏移変調(Bipolar Phase-Shift Keyed: BPSK)によって変調された信号をデータを収容する衛星レーダー装置130に送信してもよい。いくつかの実施形態においては、レーダートランシーバ装置102と衛星レーダー装置130の間のデータリンクは、レーダートランシーバ装置102と衛星レーダー装置130の間のRF送信及び受信を調整してフェーズアレイビームの操向を実装するべく、使用されてもよい。又、いくつかの実施形態においては、衛星レーダー装置130は、データ送信の能力を有してもよく、且つ、レーダートランシーバ装置102は、衛星レーダー装置130からアンテナ122a~dを介してデータを受け取るように構成されてもよい。

【0018】

一実施形態においては、レーダートランシーバ装置102又はレーダートランシーバ装置102の一部分は、第1トランスミッタフロントエンド104、第2トランスミッタフロントエンド110、レシーバフロントエンド112のみならず、送信アンテナ120a及び120b並びに受信アンテナ122a~dをも収容するパッケージ内において実装されてもよい。図2aは、レーダー回路106と、アンテナ120a、120b、及び122a~dを実装するべく使用されるパッチアンテナ208と、を収容するボールグリッドアレイ(BGA)パッケージの断面を示している。代替実施形態においては、パッチアンテナに加えて、その他のアンテナ要素が使用されてもよく、例えば、パッケージ化されたチップ及びアンテナモジュールの側部からの検知を提供するべくYagi-Udaアンテナが使用されてもよい。図示のように、パッケージ化されたチップ及びアンテナモジュール202は、はんだボール210を介して回路基板204に結合されている。

【0019】

一実施形態においては、レーダーシステム100の動作周波数は、本明細書において開示されているその他の実施形態においても、約57GHz~約66GHzである。或いは、この代わりに、実施形態のシステムは、この範囲外の周波数において動作してもよい。

【0020】

図2bは、パッケージ化されたチップ及びアンテナモジュール202の平面図を示している。図示のように、RFチップ206は、パッケージ再配線層220上に配設されており、且つ、RFチップ206の第1エッジ上に配設されたレシーバフロントエンド112と、RFチップ206の第1エッジに隣接した第2エッジに結合された第1トランスミッタフロントエンド104と、こちらもレーダー回路106の第1エッジに隣接した第3エッジに結合された第2トランスミッタフロントエンド110と、を有する。或いは、この

代わりに、トランスミッタ回路は、RFチップ206の第1エッジの反対側の第4エッジにも結合されうるであろう。

【0021】

受信パッチアンテナ222は、RFチップ206の第1エッジと同一の側に位置決めされるが、受信パッチアンテナ222とRFチップ206の間に且つ受信パッチアンテナ222と送信パッチアンテナ214及び216の間に絶縁を提供する接地壁212によって分離されている。接地壁212は、例えば、接地されたはんだボール210gを使用することにより、且つ/又は、パッケージ再配線層220内の接地された導電層を介して、実装されてもよい。図示のように、送信パッチアンテナ214は、第1トランスミッタフロントエンド104に結合され、且つ、第1トランスミッタフロントエンド104と同一のRFチップ206のエッジに隣接した状態において配設されている。同様に、送信パッチアンテナ216は、第1トランスミッタフロントエンド104に結合され、且つ、第1トランスミッタフロントエンド104と同一のRFチップ206のエッジに隣接した状態において配設されている。

10

【0022】

ダミーはんだボール210dが、受信パッチアンテナ222に隣接した状態においてパッケージのファンアウトエリア内に配設されており、且つ、機械的安定性をパッケージ化されたチップ及びアンテナモジュール202に対して提供している。同様に、コーナーはんだボール210cが、機械的安定性をパッケージに対して提供するのみならず、パッケージ化されたチップ及びアンテナモジュール202が印刷回路基板(PCB)上に設置されると共にこれに対してはんだ付けされた際に支持をパッケージ再配線層220のコーナーに対して提供している。いくつかの実施形態においては、ダミーはんだボール210d及びコーナーはんだボール210cは、RFチップ206に対する電氣的接続を提供する接続はんだボール210r上における機械的応力を軽減することにより、反復された温度サイクリングなどの様々な機械的応力にパッケージ再配線層220が耐えられるようにしている。

20

【0023】

図2cは、再配線層又は基板253上に配設されたRFチップ251を含む一実施形態のレーダートランシーバ装置250を示している。送信受信パッチアンテナ252並びに受信パッチアンテナ254及び256が、RFチップ251に結合されており、且つ、z方向における放射パターン270を有する。更には、送信受信Yagi-Udaアンテナ252並びに受信Yagi-Udaアンテナ258及び260が、RFチップ251に結合されており、且つ、y方向における放射パターン272を有する。いくつかの実施形態において、受信パッチアンテナ254及び256並びにYagi-Udaアンテナ258及び260は、「ハーフボール」放射パターン274を形成するべく組み合わせられている。

30

【0024】

図3は、本発明の別の実施形態によるパッケージ基板300を示している。図示のように、RFチップ304が、パッケージ基板300上において配設されており、且つ、それぞれ、送信回路TX1及びTX2を介して送信パッチアンテナ310a及び送信パッチアンテナ310bに結合されている。受信パッチアンテナ308a~dを含む受信パッチアンテナシステム306は、RFチップ304上において受信回路RX1、RX2、RX3、及びRX4に結合されている。図示のように、パッケージ基板300のレイアウトは、アンテナを幾何学的に離隔させることにより、且つ、アンテナを接地壁314を介して絶縁することにより、受信パッチアンテナシステム306と送信パッチアンテナ310a及び310bの間の絶縁を提供している。一実施形態においては、接地壁314は、接地されたはんだボールのアレイを使用して実装されている。

40

【0025】

RFチップ304に対する電氣的接続を提供するはんだボール316に加えて、受信パッチアンテナシステム306に隣接した状態において配設されたダミーはんだボール31

50

2 及びコーナダミーはんだボール 3 1 8 は、機械的安定性をパッケージに対して提供しているのみならず、更なる機械的接続及びアライメント能力をパッケージ基板 3 0 0 がはんだ付けされる基板に対して提供している。一実施形態においては、パッケージ基板 3 0 0 の物理的寸法は、約 1 4 m m × 1 4 m m である。或いは、この代わりに、パッケージ基板 3 0 0 は、異なるサイズであってもよい。

【 0 0 2 6 】

一実施形態においては、受信パッチアンテナシステム 3 0 6 は、R F システムによって送信される信号周波数の波長 のなんらかの倍数又は分数 \times だけ離隔した中心を有する正方形構成において構成された正方形のパッチアンテナ 3 0 8 a、3 0 8 b、3 0 8 c、及び 3 0 8 d を含む。いくつかの実施形態においては、 \times は、約 1 / 2 ~ 約 2 / 3 である。或いは、この代わりに、 \times は、この範囲外であってもよい。代替実施形態においては、特定のシステムの仕様に応じて、受信パッチアンテナシステム 3 0 6 を実装するべく、4 超又は 4 未満の数のパッチアンテナが使用されてもよい。

【 0 0 2 7 】

図 4 a は、回路基板 4 2 4 上に配設された一実施形態の R F システム / アンテナパッケージ 4 2 0 の断面図を示している。埋め込み型のウエハレベルのボールグリッドアレイ (e m b e d d e d W a f e r L e v e l B a l l g r i d a r r a y : e W L B) パッケージを対象とした特定の実施形態においては、R F システム / アンテナパッケージ 4 2 0 は、厚さが約 4 5 0 μ m のモルディング材料層 4 0 2 と、厚さが約 2 0 μ m のモルディング材料層の下方に配設された低温度係数 (L o w T e m p e r a t u r e C o e f f i c i e n t : L T C) 層 4 0 4 と、を含む。様々なパッチアンテナは、7 . 5 μ m の再配線層 (R D L) 4 0 6 を使用することにより、実装されている。一実施形態においては、様々な送信及び受信回路を含む R F チップ 4 1 0 は、モルディング材料 4 0 2 内の空洞内に配設されている。いくつかの実施形態においては、R F システム / アンテナパッケージ 4 2 0 は、パッケージの基板内の様々な受動型装置のルーティング及び / 又は実装のために使用される更なる導電層を含んでもよい。又、本発明の代替実施形態においては、B G A 又は A T S P L (A d v a n c e d T h i n S m a l l L e a d l e s s) パッケージなどのその他のパッケージタイプが使用されてもよい。

【 0 0 2 8 】

一実施形態においては、R F システム / アンテナパッケージ 4 2 0 は、はんだボール 4 0 8 を介して回路基板 4 2 4 上に取り付けられている。回路基板 4 2 4 は、銅接地層 4 1 4 上に配設された F R 4 材料を使用することにより、実装されてもよい。或いは、この代わりに、R o g e r s の P C B 材料などのその他の材料が使用されてもよい。いくつかの実施形態においては、回路基板 4 2 4 は、当技術分野において既知の更なる導電性及び絶縁性層を含んでもよい。F R 4 材料 4 1 2 は、厚さが 1 6 5 μ m であってもよく、且つ、銅接地層 4 1 4 は、いくつかの実装形態においては、厚さが約 3 5 μ m であってもよいが、その他の厚さが使用されてもよい。一実施形態においては、アンテナパッチと銅接地層 4 1 4 の間に十分に大きなギャップを提供するべく、R F システム / アンテナパッケージ 4 2 0 の下部部分は、約 2 5 0 ミクロンだけ、回路基板 4 2 4 の上部部分から離隔している。このような離隔は、回路基板 4 2 4 の下部層として銅接地層 4 1 4 を有することにより、更に改善されてもよい。

【 0 0 2 9 】

図 4 b は、回路基板 4 2 4 上に配設された R F システム / アンテナパッケージ 4 2 0 の切取三次元図を示している。チップ 4 1 0 を収容する R F システム / アンテナパッケージ 4 2 0 のセクションは、R F システム / アンテナパッケージ 4 2 0 の残りの部分に対するチップ 4 1 0 の相対的な位置を示すべく、領域 4 2 2 として表記されている。図 4 c は、はんだボール 4 0 8 を介して回路基板 4 2 4 上に取り付けられた R F システム / アンテナパッケージ 4 2 0 の断面図を示している。

【 0 0 3 0 】

R F システム / アンテナパッケージ 4 2 0 の様々な層及び R F システムパッケージが配

10

20

30

40

50

設される基板に使用される様々な例示用の物理的寸法及び様々な材料は、特定の例に過ぎないことを理解されたい。本発明の代替実施形態においては、その他の物理的寸法及び適切な材料が様々な層に使用されてもよい。

【0031】

図5は、図3に示されている実施形態の4要素受信アンテナシステム306のアンテナパターン500を示す三次元プロットを示している。図示のように、アンテナパターン500は、Z方向において方向付けられたメインローブと、X軸及びY軸と交差するサイドローブと、を有する。一実施形態においては、それぞれのサイドローブは、4つの受信パッチアンテナのそれぞれに対応している。代替実施形態によるパッチアンテナは、異なるアンテナパターンを有してもよいことを理解されたい。

10

【0032】

図6aは、上述の様々な実施形態に示されているRFチップを実装するべく使用される実施形態のRFIC600を示している。一実施形態においては、RFIC600は、RFIC600の上部エッジに沿って配設された4つの受信チャンネルと、それぞれ、RFIC600の左及び右側上に配設された2つの送信チャンネルと、を含む。図示のように、個々の受信チャンネルのそれぞれは、ピンRF__RX1、RF__RX2、RF__RX3、及びRF__RX4において受信された個々のRF信号をラインIF1、IF2、IF3、及びIF4において中間周波数にダウン変換する個々の変圧器602及びミキサ604を含む。第1送信チャンネルは、ピンRF__TX1p及びRF__TX1nに信号を供給する変圧器624及びパワー増幅器622を含み、且つ、第2送信チャンネルは、変圧器618及びミキサ616を含む。一実施形態においては、ミキサ616は、ピンBPSKにおいて導入されたバイポーラ位相偏移変調(BPSK)データを使用して搬送波を変調するべく、起動されている。従って、ミキサ616は、BPSK変調器として機能してもよい。特定の実施形態においては、ミキサ616を使用することにより、約1000MB/sのデータレートがサポートされている。代替実施形態においては、データは、その他のデータレートにおいて、且つ、その他の変調方式を使用することにより、変調されてもよい。ミキサ616が、例えば、第2送信チャンネルが入射レーダー信号を提供している期間において起動されない際には、局部発振器(LO)バッファ612によって提供される信号は、出力ピンRF__TX2p及びRF__TX2nに提供される。

20

【0033】

第1及び第2送信チャンネルは、送信されたパワーを計測するべく、個々のパワーセンサ626及び620を更に含んでもよく、これらのパワーセンサは、当技術分野において既知のパワーセンサ回路及びシステムを使用して実装される。このようなパワーセンサは、限定を伴うことなしに、ダイオード検出器及び対数パワー検出器を含んでもよい。パワーセンサ626及び620の出力のみならず、温度センサ630の出力は、マルチプレクサ634を介して外部ピンにおいて選択可能である。いくつかの実施形態においては、第1及び第2送信チャンネルの出力振幅は、デジタル-アナログコンバータ614を使用して調節されてもよい。このような出力振幅に対する調節は、パワーセンサ620及び626によって計測されるパワーに基づいて実施されてもよい。

30

【0034】

一実施形態においては、様々なミキサ及びトランスミッタに結合されたLO信号は、約57GHz~約66GHzの周波数を有するが、特定の実施形態及びその仕様に応じて、この範囲外の周波数が使用されてもよい。図示のように、LO信号は、VCO636を使用して生成され、且つ、パワースプリッタ608によって分割される前に、まずは、LOバッファ628によってバッファされている。図示のように、3路ウィルキンソンパワースプリッタが使用されているが、その他の実施形態においては、ウィルキンソンパワースプリッタは、LO信号を3つよりも多くの又は少ない数の出力に分割してもよい。更には、当技術分野において既知のその他のパワースプリッタ回路、システムトポロジーが使用されてもよい。一実施形態においては、VCO636の周波数は、ピンVtuneを介して外部位相ロックループ(Phase Locked Loop: PLL)回路(図示さ

40

50

れてはいない)を使用することにより、チューニングされている。パワースプリッタ608の出力は、LOバッファ606、610、及び612の出力に結合されている。

【0035】

分割された出力を外部PLL回路に提供するべく、周波数分割器632が使用されてもよい。特定の一実施形態においては、周波数分割器632の分割器比率は、16と8192の間において選択可能である。或いは、この代わりに、特定の用途及びその仕様に依じて、その他の分割器比率が使用されてもよい。又、更なる代替実施形態においては、位相検出器及びチャージポンプなどの残りのPLLコンポーネントがRFIC600上に配設されてもよい。

【0036】

一実施形態においては、RFIC600の様々なモード及び機能は、シリアル周辺機器インターフェイス(Serial Peripheral Interface: SPI)638を介してデジタル方式で制御されてもよい。或いは、この代わりに、I2CインターフェイスMIPI/RFFEなどのその他のインターフェイスを使用することもできよう。

【0037】

図6bは、図6aに示されている回路図に対応したRFIC600の例示用のレイアウトを示している。一実施形態においては、RFIC600は、SiGeプロセスにおいて実装されている。或いは、この代わりに、RFIC600を実装するべく、その他のプロセスが使用されてもよい。

【0038】

図7は、実施形態の概念を使用した一実施形態のレーダーに基づいたジェスチャ認識システム700を示している。図示のように、レーダートランシーバ装置702は、入射RF信号を送信アンテナ720a及び/又は送信アンテナ720bを介してジェスチャを実行する手732に送信すると共に反射されたRF信号を受信アンテナ722a~dを含むアンテナアレイを介して受信するように構成されている。レーダートランシーバ装置702は、受信アンテナ722a~dに結合されたレシーバフロントエンド712と、送信アンテナ720aに結合された第1トランスミッタフロントエンド704、及び送信アンテナ720bに結合された第2トランスミッタフロントエンド710を含む。レーダー回路706は、第1及び第2トランスミッタフロントエンド704及び710に送信される信号を提供すると共にレシーバフロントエンド712を介して信号を受信する。処理回路708は、受信された信号を処理するのみならず、第1トランスミッタフロントエンド704及び第2トランスミッタフロントエンド710によって生成される送信を制御している。いくつかの実施形態においては、レーダーに基づいたジェスチャ認識システム700は、アンテナの前方の視野(Field of View: FOV)内のそれぞれのターゲットの相対速度、距離、及び位相が計測されるように、デジタルビーム形成ホログラフィックレーダーを実現するべく、2つの送信チャネル及び4つの受信チャネルを有する周波数変調連続波(FMCW)レーダーセンサとして実装されている。

【0039】

動作の際に、手732の位置及びジェスチャは、レーダートランシーバ装置702及び/又はこれに対して結合されたその他の処理回路によって検出されうる。例えば、レーダートランシーバ装置702は、コンピュータシステム、機器、又はその他の装置に結合されてもよく、且つ、検出されたジェスチャは、コンピュータシステム又は様々な装置に対する入力として使用されてもよい。例えば、2つの指が互いに軽く叩くジェスチャは、「ボタンの押下」として解釈することが可能であり、或いは、親指とその他の指を回転させるジェスチャは、ダイヤルを回しているものとして解釈してもよい。

【0040】

本明細書において記述されているその他の実施形態と同様に、レーダートランシーバ装置702又はレーダートランシーバ装置702の一部は、第1トランスミッタフロントエンド704、第2トランスミッタフロントエンド710、レシーバフロントエンド71

10

20

30

40

50

2のみならず、送信アンテナ720a及び720b並びに受信アンテナ722a～dを収容するパッケージ内において実装されてもよい。いくつかの実施形態においては、レーダートランシーバ装置702は、回路基板上に配設された1つ又は複数の集積回路として実装されてもよく、且つ、送信アンテナ720a及び720b並びに受信アンテナ722a～dは、集積回路に隣接した状態で回路基板上において実装されてもよい。

【0041】

図8a～8dは、FMCWレーダーの基本的動作を示している。図8aは、プロセッサ802、送信回路804、送信アンテナ808、受信回路806、及び受信アンテナ810を含むFMCWレーダーシステム800の概略図を示している。動作の際に、送信回路804は、近接したターゲット812及び離れたターゲット814によって反射される可変周波数を有するRF信号を送信する。反射されたRFエネルギーは、アンテナ810及び受信回路806によって受信され、且つ、受信された信号は、当技術分野において既知の様々なターゲット分類アルゴリズムを実行するプロセッサ802によって処理される。

【0042】

図8bは、FMCWシステムの波形図を示している。信号822は、送信回路804によって送信されたレーダー信号の周波数を表しており、信号824は、近接したターゲット812によって反射された信号の周波数を表しており、且つ、信号826は、離れたターゲット814によって反射された信号を表している。送信信号の送信から近接したターゲット812によって反射された信号の受信までの遅延は、 t_a であり、且つ、送信された信号から離れたターゲット814によって反射された信号の受信までの遅延は、 t_b である。これらの受信における時間遅延は、送信された信号と受信された信号の間の周波数オフセットを生成する。様々な実施形態において、送信された信号は、送信された信号と受信された信号の間の周波数の差を表す中間周波数信号を生成するべく、受信された信号と混合されている。又、図示されているように、送信された信号822から近接したターゲット812からの受信された反射信号824までの周波数の差は、 IF_{1a} であり、且つ、送信された信号822から離れたターゲット814からの受信された反射信号826までの周波数の差は、 IF_{1b} である。図示のように、FMCWレーダーシステムの帯域幅BWは、最大及び最小送信信号の間の差に関係付けられている。

【0043】

図示のように、図8cにおいて、FMCWシステムの分解能は、システムの上述の帯域幅BWと関係付けられている。具体的には、距離分解能は、次式のように表現することが可能であり、

$$\Delta R = \frac{c}{2BW} = \frac{c}{2\Delta f}, \quad (1)$$

ここで、 c は、光の速度であり、 f は、傾斜した周波数の最小及び最大周波数の間の差である。実施形態においては、弁別されうる2つの近接したターゲットの間の最小距離は、 R である。図8dに示されているように、実施形態のFMCWシステムによって識別されうる最小及び最大距離は、それぞれ、50cmと5mである。

【0044】

図9aは、例えば、一実施形態のジェスチャ認識システムにおいて使用されうる実施形態のレーダーシステム900のブロックダイアグラムを示している。図示のように、レーダーシステム900は、ベースバンド処理回路901に結合されたRFフロントエンド902を含む。レーダーシステム900の受信経路は、受信アンテナ922a～d、RFフロントエンド902内の受信信号経路、ベースバンドフィルタ912、及び帯域通過フィルタ912の出力をデジタル化するベースバンド処理回路901内の4チャンネルアナログ-デジタルコンバータ(ADC)を含む。このデジタル化された受信信号は、FFTコア924及びベースバンド処理回路901内のその他のデジタル信号処理要素によって更に処理されてもよい。

【 0 0 4 5 】

送信経路は、レーダーシステム 9 0 0 の様々な要素の間において共有されうるクロック生成回路を含む。一実施形態においては、R F フロントエンド 9 0 2 内のオンボード V C O を制御するべく、掃引周波数信号が位相ロックループ (P L L) 回路 9 1 0 を使用して生成されている。図示のように、P L L 9 1 0 は、水晶発振器 9 0 8 を基準として参照しており、この水晶発振器 9 0 8 も、クロック分割器 9 1 4 を介してベースバンド処理回路 9 0 1 にクロックを提供している。一代替実施形態においては、ベースバンド処理回路 9 0 1 内において実装されたソフトウェア P L L が、デジタル - アナログコンバータ (D A C) 9 1 6 及び低域通過フィルタ及び / 又は積分器 9 0 6 を介して R F フロントエンド 9 0 2 内のオンボード V C O の周波数を制御している。それぞれ、R F フロントエンド 9 0 2 、ベースバンド処理回路 9 0 1 内のアナログ回路、及びベースバンド処理回路 9 0 1 内のデジタル回路用の調節された電源電圧を提供するべく、別個の電圧レギュレータ 9 3 2 、 9 3 4 、及び 9 3 6 が使用されてもよい。

10

【 0 0 4 6 】

一実施形態においては、R F フロントエンド 9 0 2 は、本明細書において記述されているパッケージ化された R F システム / アンテナパッケージを使用して実装されてもよい。例えば、図 6 a 及び図 6 b の実施形態による R F I C は、一実施形態のパッケージ化されたアンテナ内において配設されてもよく、或いは、パッチアンテナを有する回路基板上において取り付けられてもよい。

【 0 0 4 7 】

一実施形態においては、レーダーシステム 9 0 0 は、視野 (F O V) をスキャンするべく、高速のチャープを使用している。例えば、レーダーシステム 9 0 0 の周波数生成回路は、1 2 5 μ s において 7 G H z を掃引するように構成されてもよい。或いは、この代わりに、その他の周波数範囲及び掃引時間が使用されてもよい。圧縮パルスと呼称されうる相対的に高速のチャープを使用することにより、相対的に小さなピークパワーを生成し、これにより、周波数における様々な放出マスク要件の充足を容易にしてもよい。更には、いくつかの実施形態においては、掃引周波数信号を使用することにより、鋭いパルス生成器の使用を回避している。

20

【 0 0 4 8 】

上述のように、レーダーシステム 9 0 0 は、P L L 9 1 0 を利用してもよく、これは、いくつかの実施形態においては、フラクショナル N 型 P L L として実装されてもよい。一例においては、フラクショナル N 型 P L L は、約 4 G H z の出力周波数を生成する 1 6 という分割比率を有する分割器によって後続された 6 4 G H z の V C O を使用することにより、実装されている。いくつかの実施形態においては、V C O 及び分割器は、図 6 a に示されている R F I C 6 0 0 と同様の方式により、R F フロントエンド回路 9 0 2 内において実装されてもよく、且つ、P L L 9 1 0 内において、位相 - 周波数検出器 (P h a s e - F r e q u e n c y D e t e c t o r : P F D) 、チャージポンプ、及びループフィルタが実装されている。或いは、この代わりに、例えば、フラクショナルモードにおける P L L の最小分割器比率、P L L ループ帯域幅、帯域内位相ノイズを低減すると共にスパーを高周波数にシフトさせるための最大 P F D 周波数、ランプにおける周波数分解能、低ノイズの小型高周波水晶発振器の利用可能性などを考慮することにより、その他の V C O 周波数及び分割器比率が選択されてもよい。図示の実施形態においては、水晶発振器 9 0 8 は、8 0 M H z の周波数を生成しているが、その他の実施形態においては、その他の水晶発振器周波数が使用されてもよい。

30

40

【 0 0 4 9 】

その他の実施形態においては、ソフトウェア P L L が使用されてもよい。図示のように、ソフトウェア P L L は、R F フロントエンド回路 9 0 2 (V C O 及び分割器を含む) 、R F フロントエンド 9 0 2 の分割器の出力をサンプリングする A D C 9 2 2 、周波数の線形化をチューニングするアルゴリズムを適用するマイクロコントローラ、D A C 9 1 6 及び低域通過フィルタ、並びに / 或いは、R F フロントエンド回路 9 0 2 内の V C O 用のチ

50

ューニング電圧を提供する積分器 906 を含むループを有する。いくつかの実施形態においては、RF システム 900 は、動作のためにいずれかが選択されるように、PLL 910 と、DAC 916 及び低域通過フィルタ及び / 又は積分器 906 を利用したソフトウェア PLL と、の両方を有するように構成されてもよい。

【0050】

水晶発振器 908 が 80 MHz において約 2 ps の RMS ジッタを有するクロックを生成している一実施形態においては、プリスケアラの分割器比率は、信号に関連するジッタが、水晶発振器 908 に関連するジッタよりも一桁だけ大きくなるように選択されてもよい。従って、性能に対する ADC 922 のサンプリングのジッタの影響は、相対的に小さい。いくつかのケースにおいては、プリスケアラの分割器比率は、出力周波数が ADC の帯域幅内に含まれることを保証するべく、十分に大きくなるように選択されている。一実施形態においては、プリスケアラの出力周波数が 7 MHz の範囲内となるように、8172 という分割器比率が使用されている。いくつかの実施形態においては、ADC 922 のサンプリングレートは、RF フロントエンド 902 の出力周波数がアンダーサンプリングされるように、選択されてもよい。例えば、一実施形態においては、7 MHz の出力は、約 2 Msps のサンプリングレートにおいてサンプリングされている。或いは、この代わりに、特定の実施形態及びその仕様に依拠して、その他の分割器比率、出力周波数、及びサンプリング周波数が使用されてもよい。

【0051】

一実施形態においては、IF 信号のフルダイナミックレンジが ADC 922 のフルスケールインプットに対応するように IF 信号の利得をスケールリングするべく、可変利得増幅器 (Variable Gain Amplifier: VGA) 921 が RF フロントエンド 902 の中間周波数 (IF) 出力と ADC 922 の間において結合されている。エイリアシングを防止すると共に / 又は IF 信号の周波数成分を対象のスキャンング範囲に制限するべく、帯域通過フィルタ 912 が ADC の前段に結合されてもよい。例えば、一実施形態においては、帯域通過フィルタ 912 は、5 cm ~ 1 m などの対象のスキャンング範囲に周波数成分を制限するべく、約 8 KHz という最小周波数及び約 250 KHz という最大周波数を有する。或いは、この代わりに、その他のスキャンング範囲を容易にするべく、その他の帯域幅が使用されてもよい。

【0052】

一実施形態においては、当技術分野において既知の電源回路及びシステムを使用することにより、電圧レギュレータ 932、934、及び 936 が実装されてもよい。例えば、様々なコンポーネント用の約 3.3 V の DC 電圧を提供するべく、低ドロップアウト (Low Dropout: LDO) レギュレータが使用されてもよい。いくつかの実施形態においては、相対的に高い局所的電圧を提供するべく、チャージポンプが使用されてもよい。例えば、相対的に高いチューニング電圧を有する VCO を利用した実施形態においては、VCO のフルチューニング範囲を使用するべく、チャージポンプを使用して 3.3 V 電源電圧を最大で 5 V に変換してもよい。3.3 V 及び 5 V は、例示用の例に過ぎず、且つ、その他の実施形態のシステムにおいては、その他の電圧が生成されてもよいことを理解されたい。

【0053】

一実施形態においては、ベースバンド処理回路 901 は、実施形態のレーダーシステム 900 との間の通信を促進するべく、ユニバーサルシリアルバス (Universal Serial Bus: USB) インターフェイス 918 を更に含んでもよい。例えば、レーダーシステム 900 の状態が設定されてもよく、且つ、計測されたデータは、USB インターフェイス 918 を使用して受信されてもよい。USB インターフェイス 918 は、当技術分野において既知の USB インターフェイス回路を使用して実装されてもよい。又、ベースバンド処理回路 901 は、SPI インターフェイス 904 を介して RF フロントエンド 902 を制御するのみならず、VGA 921 及び PLL 910 などのその他のシステムコンポーネントを制御するべく、シリアル周辺機器インターフェイス (SPI) 9

10

20

30

40

50

20を含んでもよい。又、RFフロントエンド902の様々なアンテナ構成を迅速に判定するべく、ベースバンド処理回路901内にルックアップテーブル(Lookup Table: LUT)917が含まれてもよい。

【0054】

一例においては、レーダーシステム900は、上述の式(1)に従って約2cmという距離分解能に対応した約7GHzという変調帯域幅を有することにより、約50cmという最大距離 R_{max} を有するように構成されてもよい。従って、50cmの最大検出距離 R_{max} は、25個の距離ゲートに対応している。

【0055】

一例においては、最小IF周波数及び最大IF周波数は、次式のように表現されうる。

10

$$IF_{min} = \frac{BW}{\tau} \frac{2\Delta R}{c}, \quad (2)$$

$$IF_{max} = \frac{BW}{\tau} \frac{2R_{max}}{c}, \quad (3)$$

【0056】

上述の式(2)及び(3)によれば、7GHzという帯域幅及び $\tau = 125 \mu s$ という掃引時間の場合に、最小IF周波数 IF_{min} は、約8kHzであり、最大IF周波数 IF_{max} は、約200kHzである。いくつかの実施形態においては、最小IF周波数 IF_{min} は、受信された信号の周波数成分を受信されたIF出力の1/fノイズコーナー周波数を上回るようにシフトさせるべく、選択されている。いくつかのケースにおいては、相対的に低い1/fノイズコーナー周波数は、相対的に低速の周波数ランプに対応している。従って、SiGeバイポーラトランジスタなどの相対的に低い1/fノイズコーナー周波数を有する装置は、相対的に小さな帯域幅を有する実施形態のRFシステムと互換性を有しうる。逆に、CMOSなどの相対的に高い1/fノイズコーナー周波数を有する技術は、相対的に高速のランプ及び相対的に大きな帯域幅を使用することにより、サポートされうる。

20

30

【0057】

この例においては、ADC922のために、 $2Ms/s$ というサンプルレートが使用されてもよく、この結果、エイリアシングを防止するべく、 $10\times$ のオーバーサンプリング比率が得られる。更には、ADC922に先行する帯域通過フィルタ912を成形するべく、IF周波数 IF_{min} 及び最大IF周波数 IF_{max} が使用されてもよい。

【0058】

送信側においては、約0.5V～約5.5Vというチューニング範囲及び約1GHz/Vという最小利得 K_{vc} を有するVCOを使用することにより、7GHzの帯域幅が実装されてもよい。DAC916及びレベルシフタを使用することにより、チューニング電圧が生成されてもよい。一実施形態においては、 $5Ms/s$ において動作する2つの12ビットDACが、VCO用のチューニング電圧を提供するべく使用されている。 $5Ms/s$ において、 $125 \mu s$ の周波数掃引は、両方の12ビットDACについてマイクロコントローラのLUT内に保存される約625個の点又は約1.25kHzに対応している。これらの仮定の下に、2つの隣接する周波数点の間の周波数ステップは、約5.6MHzである。一実施形態においては、積分器906のために、約130nsという時定数が使用されている。

40

【0059】

更なる例においては、レーダーシステム900は、上述の式(1)による約2cmという距離分解能に対応した約7GHzという変調帯域幅を有することにより、約5mという最大距離 R_{max} を有するように構成されてもよい。従って、約5mという最大検出距離

50

R_{max} は、250個の距離ゲートに対応している。

【0060】

上述の式(2)及び(3)によれば、7GHzという帯域幅及び $\tau = 250\mu s$ という掃引時間の場合に、最小IF周波数 f_{min} は、約4kHzであり、且つ、最大IF周波数 f_{max} は、約1MHzである。一例においては、約2Ms/s～約2.4Ms/sというサンプリングレートがADC922について使用されてもよく、これは、エイリアシングを防止するべく、2x～2.4xというオーバーサンプリング比率に対応している。

【0061】

送信側において、7GHzという帯域幅は、約0.5V～約5.5Vというチューニング範囲及び約1GHz/Vという最小利得Kvcoを有するVCOを使用することにより、実装されてもよく、ここで、チューニング電圧は、以前の例と同様に、5Ms/sにおいて動作する2つの12ビットDACによって提供される。或いは、この代わりに、7GHzを下回る帯域幅が使用されてもよい。例えば、いくつかの実施形態においては、2GHz～8GHzという帯域幅が使用されてもよい。或いは、この代わりに、特定のシステム及びその仕様に応じて、この範囲外の帯域幅が使用されてもよい。5Ms/sにおいて、250 μs の周波数送信は、両方の12ビットDACについてマイクロコントローラのLUT内に保存される約1250個の点又は約2.5kBに対応している。これらの仮定の下に、2つの隣接した周波数点の間の周波数ステップは、約2.8MHzである。一実施形態においては、積分器906のために、約250nsという時定数が使用されている。

【0062】

上述の様々なパラメータは、実施形態のレーダーシステムに適用されうるパラメータのいくつかの例に過ぎないことを理解されたい。代替実施形態においては、その他の帯域幅、チューニング範囲、IF周波数、サンプリングレート、ビット分解能、掃引時間、及びLUT幅が使用されてもよい。

【0063】

図9bは、図9aのシステムが実装されうる1つの方法を示す一実施形態のレーダーシステム950のブロックダイアグラムを示している。図示のように、レーダーシステム950は、マイクロコントローラ集積回路(IC)954に結合されたRFフロントエンド952を含む。RFフロントエンド952は、4つの受信チャンネルRx1～Rx4と、2つの送信チャンネルTx1及びTx2と、を含むトランシーバ回路958を含む。或いは、この代わりに、トランシーバ回路958は、更に多くの又は少ない数の送信及び/又は受信チャンネルを含んでもよい。トランシーバ回路958は、信号集積回路上において、或いは、複数の集積された且つ/又は個別の回路を使用することにより、実装されてもよい。

【0064】

マイクロコントローラ回路は、トランシーバ958のIF出力をアナログからデジタルのドメインに変換するADC回路960を含む。ADC回路960のデジタル出力は、USBインターフェイス966に直接的にルーティングされてもよく、或いは、デジタル処理ブロック962にルーティングされてもよい。代替実施形態においては、USBインターフェイス966は、低電圧差分信号(Low Voltage Differential Signaling: LVDS)又はモバイル産業プロセッサインターフェイス(Mobile Industry Processor Interface: MIPI)などのその他のタイプの並列又は直列インターフェイスを使用して実装されてもよい。

【0065】

いくつかの実施形態においては、低ドロップアウトレギュレータ956が、RFフロントエンド952及びマイクロコントローラ集積回路954に対して電源電圧を提供している。様々な実施形態においては、マイクロコントローラ集積回路954は、汎用の又は用途固有の集積回路を使用して実装されてもよい。

【0066】

10

20

30

40

50

動作の際に、トランシーバ回路 958 は、送信チャネル $T \times 1$ 及び $T \times 2$ からの送信のための変化する周波数の信号を生成するべく、タイミング基準をソフトウェア PLL 965 から受け取っている。この変化する周波数の信号は、傾斜した正弦波であるか、或いは、レーダー送信用のその他の適切な信号であってもよい。一実施形態においては、タイミング基準は、RF フロントエンド 952 内の VCO (図示されていない) 用の制御電圧であってもよい。

【0067】

いくつかの実施形態においては、マイクロコントローラ集積回路 954 は、RF フロントエンド、トランシーバ回路 958 と ADC 回路 960 の間において結合されている VGA (図示されていない)、ソフトウェア PLL 965 を制御するべく、使用されてもよい。或いは、この代わりに、VGA が外部回路又は RF フロントエンド 952 上において配設されてもよい。又、様々な実施形態においては、マイクロコントローラ集積回路 954 は、実施形態のレーダーシステムのその他のコンポーネントを収容するシステム基板上に配設されたその他の回路を制御するように構成されてもよい。

【0068】

マイクロコントローラ集積回路 954 は、汎用集積回路を使用して実装されてもよく、或いは、用途固有の集積回路を使用して実装されてもよい。様々な実施形態においては、マイクロコントローラ集積回路 954 は、フラッシュメモリなどのプログラム可能な不揮発性メモリ内に保存されているファームウェアを含んでもよい。このファームウェアは、例えば、動作の際に、レーダーシステム 950 を構成するべく使用されてもよく、且つ、レーダーシステム 950 の未加工データを生成する機能を有効にするべく使用されてもよい。

【0069】

一実施形態においては、トランシーバ回路 958 は、アンテナアレイに結合されており、且つ、当技術分野において既知のフェーズアレイ技法を使用して指向性ビームを提供するように構成されている。例えば、様々な遅延が受信チャネル $R \times 1 \sim R \times 4$ の受信に対して適用されてもよい。受信角度は、それぞれの受信チャネルの間の相対的遅延、受信された信号の波長、及びアンテナ要素の間の距離 d に基づいている。いくつかの実施形態においては、マイクロコントローラ集積回路 954 は、本明細書において記述されている様々な実施形態の FMCW 方式の周波数生成を実装するソフトウェア PLL に結合された FMCW 生成器を含む。

【0070】

図 9c は、様々な実施形態の RF システムにおいて使用されうるソフトウェア PLL 970 のブロックダイアグラムを示している。ソフトウェア PLL は、高周波部分 972、ベースバンド部分 971、及び外部低域通過フィルタ 986 を含む。様々な実施形態においては、高周波部分 972 は、図 9a に示されている RF フロントエンド 902 などのフロントエンド集積回路上において実装されてもよく、且つ、ベースバンド部分 971 は、ベースバンド処理回路 901 などのベースバンド回路上において実装されてもよい。動作の際に、VCO 974 は、入力電圧 V_{tune} に従って設定された周波数を有する局部発振器出力信号 LO を提供する。局部発振器信号 LO は、分割された信号 $DivOut$ を生成するべく、分割器 976 を使用して分割され、分割された信号 $DivOut$ は、ADC 978 を介してデジタル化される。ADC 978 の機能は、例えば、サンプルを時間多重化することによるなどのように、図 9a に示されている ADC 921 を使用することにより、実装されてもよく、或いは、別個のアナログ-デジタルコンバータを使用することによって実装されてもよい。高速フーリエ変換 (FFT) 980 が、デジタル化された分割器出力を取得し、且つ、DAC 984 によって生成される制御電圧に FFT の出力をマッピングするべく、ルックアップテーブル 982 が使用される。良好な位相ノイズ性能を保証するべく、低域通過フィルタ 986 が DAC 984 の出力からの熱ノイズ及び量子化ノイズに対して使用されてもよい。様々な実施形態においては、FFT 980 は、当技術分野において既知のデジタル信号処理ハードウェア及びソフトウェアを使用することにより

10

20

30

40

50

、実装されてもよい。

【 0 0 7 1 】

ソフトウェア P L L を利用した一実施形態においては、6 0 G H z の V C O の位相ノイズに関し、以下の仮定が実施されている。

$P N s s b @ 1 0 k H z = - 5 0 d B c / H z$ 、

$P N s s b @ 1 0 0 k H z = - 8 0 d B c / H z$ 、

$P N s s b @ 1 M H z = - 1 0 0 d B c / H z$ 、及び

$P N s s b @ 1 0 M H z = - 1 2 0 d B c / H z$

【 0 0 7 2 】

図 9 d に示されているように、レーダー信号を送信アンテナ T 1 及び T 2 から別個の時点において送信することにより、合成受信チャンネルが実装されてもよい。例えば、第 1 期間において、第 1 レーダー信号が、アンテナ T 2 上ではなく、アンテナ T 1 上において送信され、且つ、結果的に得られた反射信号は、受信信号の第 1 の組を形成するべく、アンテナ要素 R 1、R 2、R 3、及び R 4 によってキャプチャされる。第 2 期間において、第 2 レーダー信号が、アンテナ T 1 上ではなく、アンテナ T 2 上において送信され、且つ、結果的に得られた反射信号は、受信信号の第 2 の組を形成するべく、アンテナ要素 R 1、R 2、R 3、及び R 4 によってキャプチャされる。アンテナ T 1 及び T 2 の間の空間的な相違に起因し、受信信号の第 1 及び第 2 の組を組み合わせてることにより、実施形態のレーダーシステムによって検知及び監視されている様々なターゲットの空間的情報を生成してもよい。

【 0 0 7 3 】

図 1 0 a は、送信パッチアンテナ 1 0 0 2 及び 1 0 0 4 並びに受信パッチアンテナ 1 0 0 6 が回路基板上において配設されている一実施形態のレーダーシステムの回路基板 1 0 0 0 を示している。いくつかの実施形態においては、回路基板 1 0 0 0 は、R o g e r s の 3 0 0 3 シリーズ P C B 材料などの低 ϵ_r P C B 材料を使用して実装されてもよい。又、回路基板 1 0 0 0 上には、R F フロントエンド I C 1 0 2 2、P L L I C 1 0 1 0、P L L I C 1 0 1 0 をサポートするべく使用されうる積分器 I C 1 0 0 8、V G A 1 0 1 2、マイクロコントローラ 1 0 1 4、並びに、低ドロップアウト電圧レギュレータ 1 0 1 6、1 0 1 8、及び 1 0 2 0 も示されている。パッチアンテナが使用されている実施形態においては、層積層体の接地プレーンは、変調された帯域幅全体をカバーするように、最適化されてもよい。様々な実施形態においては、P C B 上のアンテナ層と接地の間の距離は、数百ミクロンであり、この結果、アンテナ要素に十分な帯域幅及び利得を提供するギャップが可能となる。このようなギャップを実現するべく、接地プレーンは、P C B の第 2 層上に配置されてもよい。いくつかの実施形態の回路基板は、熱を P C B の相対的に下方の層に伝達するべく、R F フロントエンド I C 1 0 2 2 の下方において、且つ、マイクロコントローラ 1 0 1 4 の周辺において、ブラインドビアを含んでもよく、この場合には、レーダー回路によって生成される熱を拡散させるべく、アルミニウムなどの伝導性層が使用される。

【 0 0 7 4 】

図 1 0 b は、すべてのパッチアンテナが R F フロントエンドを収容するパッケージ 1 0 3 0 内に埋め込まれている一実施形態のレーダーシステムの回路基板 1 0 5 0 を示している。図 1 0 c は、パッケージ 1 0 5 4 が配設されている回路基板 1 0 5 0 の斜視図及び断面を示している。一実施形態においては、パッケージ 1 0 5 4 は、R F フロントエンド I C 1 0 5 2 のみならず、様々なパッチアンテナを含む。このような実施形態は、図 2、図 3、及び図 4 の実施形態のとの関係において上述した原理を適用してもよい。

【 0 0 7 5 】

図 1 0 d は、図 1 0 b の実施形態に対応した部品搭載前の回路基板を示している。図示のように、R F フロントエンド I C が配設されるランディングエリアは、F R 4 材料の第 1 層の下方の接地プレーンのみならず、熱ビアをも含む。

【 0 0 7 6 】

10

20

30

40

50

図 1 1 は、一実施形態のシステムの制御アーキテクチャ 1 1 0 0 のブロックダイアグラムを示している。一実施形態においては、制御アーキテクチャは、マイクロコントローラ、マイクロプロセッサ、及び当技術分野において既知のその他の制御回路を使用することにより、実装されてもよい。制御アーキテクチャは、不揮発性メモリなどの一時的ではないコンピュータ可読媒体上に保存されているソフトウェア又はファームウェアを使用してプログラムされてもよく、或いは、システムが電源投入された際に揮発性メモリに読み込まれてもよい。

【 0 0 7 7 】

レーダーシステム 1 1 0 4 は、全体的なフロー制御及びすべてのファームウェアモジュールの調整の責任を担っており、且つ、チャープを処理すると共にデータの後処理をリアルタイムで提供するべく、フレームシーケンサ 1 1 0 8 が使用されている。受信及び送信アンテナを有効にすると共に実施形態のレーダーシステム内のアナログ及び RF 回路用のパワー制御を提供するべく、アンテナコントローラ 1 1 1 2 が使用されている。チャープ生成器 1 1 1 0 は、ハードウェア PLL チップを制御するように構成されており、且つ/又は、ソフトウェアチャープ生成のためにデータを DAC するように構成されてもよい。

【 0 0 7 8 】

通信プロトコル 1 1 0 2 は、ホストコンピュータとの間におけるやり取りを提供しており、且つ、メッセージデータをフォーマットすると共にデータの完全性をチェックするように構成されてもよく、且つ、ターゲット検出アルゴリズム 1 1 0 6 は、サンプリングされた IF データを後処理するためのデジタル信号処理 (Digital Signal Processing: DSP) 機能を提供しており、且つ、ターゲット及びジェスチャを検出するように構成されてもよい。フロントエンドチップドライバ 1 1 1 4 は、フロントエンド構成レジスタとインターフェイスしており、且つ、フロントエンド構成レジスタとの間において SPI インターフェイス上において伝達される SPI データをセットアップする。一実施形態においては、PLL チップドライバ 1 1 1 3 は、PLL チップ構成レジスタとインターフェイスしているのみならず、PLL チップに対して SPI インターフェイス上において伝達される日付をセットアップしている。SPI ドライバ 1 1 2 0 は、データを SPI インターフェイス上において送信するべく低レベル周辺機器レジスタ設定を処理しており、且つ、ADC ドライバ 1 1 2 2 は、ADC 用の低レベル周辺機器レジスタ設定を処理するのみならず、ADC 用のダイレクトメモリアクセス (Direct Memory Access: DMA) をセットアップしている。DAC ドライバ 1 1 1 8 は、DAC 用の低レベル周辺機器レジスタ設定を処理しており、且つ、タイマドライバ 1 1 2 4 は、リアルタイム処理のために定義されたインターバルにおいて信号を生成している。又、タイマドライバ 1 1 2 4 は、ADC 用のサンプルクロックを生成してもよい。USB/VCOM ブロック 1 1 1 6 は、低レベル USB 周辺機器レジスタ設定を処理しており、且つ、USB 通信スタックを実装している。

【 0 0 7 9 】

様々な実施形態において、制御アーキテクチャ 1 1 0 0 は、自動トリガモード又は手動トリガモードにおいて、一実施形態のレーダーシステムを制御してもよい。自動トリガモードにおいては、コントローラは、フレームを構築するチャープのシーケンスをセットアップし、且つ、固定されたユーザー定義インターバルにおいてフレームを処理している。動作の際に、未加工のデータは、外部ホストコンピュータに送信され、且つ/又は、未加工データは、ターゲット及びジェスチャを検出するべく処理され、この場合に、処理済みのターゲット及びジェスチャデータは、外部ホストコンピュータに送信される。アンテナセットアップの再構成は、フレームのチャープの間において実行されてもよい。

【 0 0 8 0 】

一実施形態においては、フレームシーケンサは、開始コメントを外部ホストコンピュータから受信した際に動作を開始し、且つ、停止コメントが外部ホストコンピュータから受け取られる時点まで、動作を継続する。いくつかの実施形態においては、フレームシーケンサは、所与の数のフレームの後に自動的に停止している。電力を節約するべく、コント

10

20

30

40

50

ローラは、フレームの間において R F 回路を部分的にターンオフしてもよい。

【 0 0 8 1 】

図 1 2 は、一実施形態の自動トリガ動作モードのフロー図 1 2 0 0 を示している。ライン 1 2 0 2、1 2 0 4、及び 1 2 0 6 に沿ったボックスは、それぞれのステップにおけるデータの流れを示している。ライン 1 2 0 2 上のボックスは、通信プロトコルブロック 1 1 0 2 によって実行される活動を表しており、且つ、ライン 1 2 0 4 上のボックスは、レーダーシステム 1 1 0 4、フレームシーケンサ 1 1 0 8、アンテナコントローラ 1 1 1 2、及びチャープ生成器 1 1 1 0 などの制御ブロックによって実行される活動を表している。ライン 1 2 0 6 上のボックスは、様々な低レベルドライバによって実行される活動を表している。

10

【 0 0 8 2 】

ステップ 1 2 1 0 において、外部コンピュータが A D C 及びチャープパラメータを送信している。パラメータは、サンプルレートなどの A D C の動作を定義すると共に、送信される周波数ランプの特性を定義している。ステップ 1 2 1 2 において、レーダーシステム 1 1 0 4 が、所与のパラメータによって A D C を構成している。ステップ 1 2 1 4 において、外部コンピュータが、フレームシーケンス設定をフレームシーケンサ 1 1 0 8 に送信しており、且つ、ステップ 1 2 1 6 において、レーダーシステム 1 1 0 4 が、送信された周波数ランプを定義するチャープシーケンスにより、フレームシーケンサ 1 1 0 8 をセットアップしている。

20

【 0 0 8 3 】

ステップ 1 2 1 8 において、開始コマンドが外部コンピュータから受信されている。この開始コマンドが受信されたら、レーダーシステム 1 1 0 4 は、ステップ 1 2 2 0 において、R F 回路をパワーアップし、ステップ 1 2 2 2 において、現在のチップ設定により、チャープ生成器 1 1 1 0 又はハードウェア P L L を構成し、且つ、ステップ 1 2 2 4 において、フレームシーケンサ 1 1 0 8 を開始する。フレームシーケンサ 1 1 0 8 は、システムが停止する時点まで、望ましいレートにおいてフレームをトリガする（ステップ 1 2 2 6）。

【 0 0 8 4 】

一実施形態においては、フレームシーケンサ 1 1 0 8 は、ステップ 1 2 2 8 ~ 1 2 4 2 に従ってフレームをトリガしている。ステップ 1 2 2 8 において、フレームシーケンサ 1 1 0 8 がフレームをトリガしている。ステップ 1 2 3 0 において、受信及び送信アンテナが、次のチャープのために有効とされており、且つ、ステップ 1 2 3 2 において、フレームシーケンサ 1 1 0 8 が、I F サンプルデータのための D M A チャンネルをセットアップしている。ステップ 1 2 3 4 において、フレームシーケンサ 1 1 0 8 が、周波数ランプを生成するようにチャープ生成器 1 1 1 0 をトリガしている。次に、ステップ 1 2 3 6 において、フレームシーケンサ 1 1 0 8 が A D C サンプリングを開始している。チャープが完了した際に、フレームシーケンサ 1 1 0 8 は、サンプリングされたデータを外部コンピュータに送信し（ステップ 1 2 3 8）、且つ、フレームの次のチャープが処理される（ステップ 1 2 4 0）。いくつかの実施形態においては、フレームシーケンサ 1 1 0 8 は、ステップ 1 2 4 2 において、電力を節約するべく、アンテナをターンオフしている。ステップ 1 2 4 4 において、停止コマンドが外部コンピュータから受け取られた際に、レーダーシステムは、ステップ 1 2 4 6 において、R F 回路を電源切断する。

30

40

【 0 0 8 5 】

一実施形態の手動トリガモードにおいては、アナログ R F 回路は、外部ホストコンピュータからの開始コマンドの後に、電源投入されている。但し、いくつかの実施形態においては、R F 回路は、継続的に電源投入されている。外部ホストコンピュータからコマンドを受け取った際に、チャープがトリガされ、且つ、チャープが完了した後に、サンプリングされた I F データが外部ホストコンピュータに送信される。一実施形態においては、サンプリングされたデータには、なんらの処理も適用されていない。アンテナセットアップは、新しい設定を有する開始コマンドを送信することにより、任意の時点において変更さ

50

れてもよい。チャープ設定は、いくつかの実施形態においては、任意の時点において変更されてもよい。

【0086】

図13は、一実施形態の手動トリガ動作モードのフロー図1300を示している。ライン1302、1304、及び1306に沿ったボックスは、それぞれのステップにおけるデータの流れを示している。ライン1302上のボックスは、通信プロトコルブロック1102によって実行される活動を表しており、且つ、ライン1304上のボックスは、レーダーシステム1104、フレームシーケンサ1108、アンテナコントローラ1112、及びチャープ生成器1110などの制御ブロックによって実行される活動を表している。ライン1306上のボックスは、様々な低レベルドライバによって実行される活動を表している。

10

【0087】

一実施形態においては、ステップ1310において、開始コマンドが外部コンピュータから受け取られている。この開始コマンドの受信の際に、レーダーシステム1104は、レーダーシステム内のRF回路を電源投入（ステップ1312）、現在のチャープ設定によってチャープ生成器1110又はハードウェアPLLを構成し（ステップ1314）、且つ、レーダーシステム内の受信及び送信アンテナを有効にする（ステップ1316）。ステップ1318において、レーダーシステム1104は、サンプリングされたデータのための内部ルーティングをセットアップしている。

【0088】

20

ステップ1320において、ADCパラメータ及びチャープパラメータが外部コンピュータから受信されており、且つ、ステップ1322において、レーダーシステム1104が、受け取ったパラメータによってADCを構成している。ステップ1324において、レーダーシステム1104が、新しく受け取られたチャープ設定により、チャープ生成器1110又はハードウェアPLLを構成している。

【0089】

ステップ1326において、トリガコマンドが外部コンピュータから受け取られた際に、レーダーシステム1104は、IFサンプルデータのためのDMAチャネルをセットアップし（ステップ1328）、ステップ1330において、周波数ランプを生成するようにチャープ生成器1110をトリガし、且つ、ADCサンプリングを開始している（ステップ1332）。1334において、チャープ又は周波数ランプが完了した際に、レーダーシステム1104は、サンプリングされたデータをステップ外部コンピュータに送信している。外部コンピュータからの停止コマンドの受信の際に（ステップ1336）、レーダーシステム1104は、レーダーシステム内のRF回路を電源切断している（ステップ1338）。

30

【0090】

次に、図14参照すれば、処理システム1400のブロックダイアグラムが本発明の一実施形態に従って提供されている。処理システム1400は、実施形態のレーダーシステム及び/又は実施形態のレーダーシステムにインターフェイスされる外部コンピュータ又は処理装置の各部分を実装するべく使用されうる汎用プラットフォーム及び一般的なコンピュータポネント及び機能を示している。処理システム1400は、例えば、上述のプロセスを実行するように構成されたバス1408に接続された中央処理装置（Central Processing Unit: CPU）1402、メモリ1404、及びマストレージ装置1406を含んでもよい。処理システム1400は、適宜、ローカルディスプレイ1412に対する接続性を提供するビデオアダプタ1410と、マウス、キーボード、プリンタ、テープドライブ、CDドライブ、又はこれらに類似したものなどの1つ又は複数の入出力装置1416用の入出力インターフェイスを提供する入出力（I/O）アダプタ1414と、を更に含んでもよい。

40

【0091】

又、処理システム1400は、ネットワークインターフェイス1418をも含み、これ

50

は、Ethernetケーブル、USBインターフェイス、又はこれらに類似したものなどの有線ラインに結合されるように、且つ/又は、ネットワーク1420との通信のための無線/セルラーリンクに結合されるように、構成されたネットワークアダプタを使用して実装されてもよい。又、ネットワークインターフェイス1418は、無線通信のための適切なレシーバ及びトランスミッタを有してもよい。処理システム1400は、その他のコンポーネントを含んでもよいことに留意されたい。例えば、処理システム1400は、電源、ケーブル、マザーボード、着脱自在のストレージ媒体、ケース、及びこれらに類似したものを含んでもよい。図示されてはいないが、これらのその他のコンポーネントは、処理システム1400の一部と見なされる。

【0092】

本発明の実施形態を以下に要約する。その他の実施形態も、本明細書及び本出願において出願されている請求項の全体を形成するものと理解されたい。1つの一般的な態様は、パッケージ基板上において配設された高周波集積回路(RFIC)、RFICの第1エッジに隣接した状態においてパッケージ基板上に配設された受信アンテナシステム、RFICの第2エッジに隣接した状態においてパッケージ基板上に配設されると共にRFICの第1送信ポートに電氣的に結合された第1送信アンテナ、RFICに隣接した状態においてパッケージ基板上に配設されると共にRFICに電氣的に接続された第1の複数のはんだボール、電氣的にフローティング状態にある受信アンテナシステムに隣接した状態においてパッケージ基板上に配設された第2の複数のはんだボール、及びRFICと受信アンテナシステムの間においてパッケージ基板上に配設された接地壁を有するパッケージ化された高周波(RF)回路を含む。RFICは、RFICの第1エッジにおいて受信ポートに結合された複数のレシーバ回路と、第1エッジとは異なるRFICの第2エッジにおいて第1送信ポートに結合された第1送信回路と、を含み、且つ、受信アンテナシステムは、それぞれが対応する受信ポートに電氣的に結合された複数の受信アンテナ要素を含む。

【0093】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。パッケージ化されたRF回路において、RFICは、第1エッジと異なると共に第2エッジとも異なるRFICの第3エッジにおいて第2送信ポートに結合された第2送信回路を更に含み、且つ、RF回路は、RFICの第3エッジに隣接した状態においてパッケージ基板上に配設されると共にRFICの第2送信ポートに電氣的に結合された第2送信アンテナを更に含む。いくつかの実施形態においては、第2送信回路は、変調されていない搬送波と変調された搬送波の間において選択可能である入力を含む。RFICは、第2送信回路に結合されたパイポーラ位相偏移変調(BPSK)変調器を更に含んでもよい。

【0094】

一実施形態においては、第2エッジ及び第3エッジは、それぞれ、第1エッジに隣接している。複数の受信アンテナ要素のそれぞれは、パッチアンテナを含んでもよく、且つ、第1送信アンテナは、パッチアンテナを含んでもよい。いくつかの実施形態においては、受信アンテナシステムは、正確に4つの受信アンテナ要素を含む。接地壁は、受信アンテナシステムとRFICの間において配設された複数の接地されたはんだボールを含んでもよい。いくつかの実装形態においては、パッケージ化されたRF回路は、ボールグリッドアレイ(BGA)パッケージである。

【0095】

別の一般的な態様は、パッケージ基板上において配設された高周波集積回路(RFIC)を有するパッケージ化された高周波(RF)回路と、第1の複数のはんだボール、第2の複数のはんだボール、及び接地されたはんだボールを介してパッケージ化された高周波(RF)回路に結合された回路基板と、を含むシステムを含む。RFICは、RFICの第1エッジにおいて受信ポートに結合された複数のレシーバ回路と、第1エッジとは異なるRFICの第2エッジにおいて第1送信ポートに結合された第1送信回路と、を含む。RFICは、対応する受信ポートにそれぞれが電氣的に結合された複数の受信パッチアンテナ要素を含むRFICの第1エッジに隣接した状態においてパッケージ基板上に配設さ

れた受信パッチアンテナと、R F I C の第 2 エッジに隣接した状態においてパッケージ基板上に配設されると共に R F I C の第 1 送信ポートに電氣的に結合された第 1 送信パッチアンテナと、R F I C の第 2 エッジに隣接した状態においてパッケージ基板上に配設されると共に R F I C の第 2 送信ポートに電氣的に結合された第 2 送信パッチアンテナと、R F I C に隣接した状態においてパッケージ基板上に配設されると共に R F I C に電氣的に接続された第 1 の複数のはんだボールと、受信パッチアンテナシステムに隣接した状態においてパッケージ基板上に配設された第 2 の複数のはんだボールであって、電氣的にフローティング状態にある第 2 の複数のはんだボールと、R F I C と受信パッチアンテナシステムの間においてパッケージ基板上に配設された接地壁であって、接地されたはんだボールを含む接地壁と、を更に含む。又、パッケージ化された高周波 (R F) 回路は、第 1 の複数のはんだボール、第 2 の複数のはんだボール、及び接地されたはんだボールを介してパッケージ化された高周波 (R F) 回路に結合された回路基板をも含む。

10

【 0 0 9 6 】

実装形態は、以下の特徴のうちの 1 つ又は複数を含んでもよい。システムにおいて、回路基板は、F R 4 層及び接地プレーンを含み、接地プレーンは、パッケージ化された高周波 (R F) 回路とは反対の回路基板の面上に配設されている。いくつかの実施形態においては、受信パッチアンテナシステムは、正確に 4 つの受信パッチアンテナ要素を含む。いくつかの実施形態においては、パッケージ化された R F 回路は、ボールグリッドアレイ (B G A) パッケージを含む。

【 0 0 9 7 】

20

更なる一般的な態様は、回路基板と、回路基板上に配設された高周波集積回路 (R F I C) であって、R F I C の第 1 エッジにおいて受信ポートに結合された複数のレシーバ回路及び第 1 エッジとは異なる R F I C の第 2 エッジにおいて第 1 送信ポートに結合された第 1 送信回路を含む R F I C と、R F I C の第 1 エッジに隣接した状態において回路基板上に配設された受信パッチアンテナシステムであって、対応する受信ポートにそれぞれが電氣的に結合された複数の受信パッチアンテナ要素を含む受信パッチアンテナシステムと、R F I C の第 2 エッジに隣接した状態において回路基板上に配設されると共に R F I C の第 1 送信ポートに電氣的に結合された第 1 送信パッチアンテナと、R F I C の第 2 エッジに隣接した状態において回路基板上に配設されると共に R F I C の第 2 送信ポートに電氣的に結合された第 2 送信パッチアンテナと、R F I C に隣接した状態において回路基板上に配設されると共に R F I C に電氣的に接続された第 1 の複数のはんだボールと、受信パッチアンテナシステムに隣接した状態において回路基板上に配設された第 2 の複数のはんだボールであって、電氣的にフローティング状態にある第 2 の複数のはんだボールと、R F I C と受信パッチアンテナシステムの間において回路基板上に配設された接地壁であって、接地されたはんだボールを含む接地壁と、を含むシステムを含む。

30

【 0 0 9 8 】

実装形態は、以下の特徴のうちの 1 つ又は複数を含んでもよい。システムにおいて、回路基板は、F R 4 層及び接地プレーンを含み、接地プレーンは、R F I C とは反対の回路基板の面上に配設されている。システムにおいて、受信パッチアンテナシステムは、正確に 4 つの受信パッチアンテナ要素を含む。システムにおいて、R F I C は、周波数変調連続波 (F M C W) レーダーフロントエンドを含む。システムは、R F I C に結合されたベースバンドジェスチャ認識回路を更に含む。システムにおいて、ベースバンドジェスチャ認識回路は、R F I C の中間周波数受信出力に結合された複数のアナログ - デジタルコンバータ (A D C) と、複数の A D C に結合された中間周波数プロセッサと、を含む。

40

【 0 0 9 9 】

別の一般的な態様は、複数の受信アンテナと、複数の送信アンテナと、複数の受信アンテナに結合された複数の受信回路及び複数の送信アンテナに結合された複数の送信回路を含むレーダーフロントエンド回路と、複数の送信回路に結合された出力を有する発振器と、複数の受信回路の出力及び発振器の制御入力に結合されたレーダー処理回路と、を含むレーダーシステムを含む。

50

【 0 1 0 0 】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。レーダーシステムにおいて、レーダー処理回路は、発振器の制御入力に結合された位相ロックループを含む。いくつかの実施形態においては、位相ロックループは、発振器及びレーダー処理回路の制御入力に結合されたアナログ位相ロックループを含む。位相ロックループは、デジタル - アナログコンバータの出力と発振器の制御入力の間において結合されたデジタル - アナログコンバータ及び積分器を有するソフトウェアPLLを含んでもよい。

【 0 1 0 1 】

いくつかの実施形態においては、レーダー処理回路は、発振器の制御入力に結合された周波数変調連続波 (F M C W) 生成器を含む。 F M C W 生成器は、 2 G H z ~ 8 G H z という変調帯域幅、 6 K H z ~ 9 K H z という最小中間周波数 (I F)、 1 5 0 K H z ~ 2 5 0 K H z という最大 I F を生成するように構成されてもよい。レーダーシステムは、複数のアナログ - デジタルコンバータの出力に結合されたデジタル信号プロセッサを更にも含む。一実施形態においては、デジタル信号プロセッサは、重み付けされた F F T を複数のアナログ - デジタルコンバータの出力のそれぞれに対して実行すると共に重み付けされた F F T の結果を合計して重み付けされた合計を形成するように、構成されている。更なる実施形態においては、 F M C W 生成器は、 2 G H z ~ 8 G H z という変調帯域幅、 3 K H z ~ 5 K H z という最小中間周波数 (I F)、 8 0 0 K H z ~ 1 . 2 M H z という最大 I F を生成するように構成されている。発振器の中心周波数は、 5 0 G H z ~ 7 0 G H z となるように設定されてもよい。いくつかの実施形態においては、レーダーシステムは、複数の受信回路の対応する出力に結合された入力を有する複数のアナログ - デジタルコンバータを更にも含む。

【 0 1 0 2 】

様々な実施形態においては、レーダーシステムは、複数のアナログ - デジタルコンバータの出力に結合されたデジタルインターフェイスを更にも含む。デジタルインターフェイスは、例えば、 U S B インターフェイスを使用して実装されてもよい。一実施形態においては、レーダー処理回路は、第1の期間にわたって複数の送信回路のうちの第1の送信回路を起動し、次いで、第1の期間の後に第2の期間にわたって複数の送信回路のうちの第2の送信回路を起動するように構成されている。アンテナが実装される方式との関係において、複数の受信アンテナは、複数の Y a g i - U d a 受信アンテナを含んでもよく、且つ、複数の送信アンテナは、 Y a g i - U d a 送信アンテナを含む。その他の実施形態においては、複数の受信アンテナは、複数のパッチ受信アンテナを含み、且つ、複数の送信アンテナは、複数のパッチ送信アンテナを含む。複数のパッチ受信アンテナは、複数のパッチ送信アンテナの第1部分がレーダーフロントエンド回路の第2エッジ上において構成され、且つ、複数のパッチ送信アンテナの第2の部分がレーダーフロントエンド回路の第3エッジ上において構成されるように、レーダーフロントエンド回路の第1エッジに隣接した状態において構成されてもよい。いくつかの実施形態においては、第2エッジは、第1エッジに隣接しており、且つ、第3エッジは、第1エッジに隣接している。

【 0 1 0 3 】

別の一般的な態様は、チャープパラメータ及びフレームシーケンス設定を含むホストからのレーダー構成データを受信するステップを含むレーダーシステムを動作させる方法を含む。方法は、レーダー構成データを受信した後にホストから開始コマンドを受信するステップと、開始コマンドを受信した後に、チャープパラメータによって周波数生成回路を構成するステップと、フレームシーケンス設定によってフレームシーケンスを構成するステップと、予め選択されたレートにおいてレーダーフレームをトリガするステップと、を更にも含む。

【 0 1 0 4 】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。方法は、ホストから停止コマンドを受信するステップと、停止コマンドの受信の際にレーダーフレームのトリガを停止するステップと、を更にも含む。方法は、停止コマンドの受信の際にレーダーシステ

ムのRF回路を電源切断するステップを更に含んでもよく、且つ、開始コマンドを受信した際にレーダーシステムのRF回路を電源投入するステップを更に含んでもよい。いくつかの実施形態においては、レーダーフレームをトリガするステップは、チャープパラメータに基づいて周波数ランプを生成するように周波数生成回路をトリガするステップと、レーダーシステムのレシーバに結合されたアナログ - デジタルコンバータからサンプルを受信するステップと、受信したサンプルをホストに送信するステップと、を含む。トリガによってレーダーフレームをトリガするステップは、レーダーフレームの開始時点においてレーダーシステムの受信及び送信アンテナを有効にするステップと、レーダーフレームの終了時点においてレーダーシステムの受信及び送信アンテナを無効にするステップと、を更に含んでもよい。

10

【0105】

更なる一般的な態様は、チャープパラメータを含むレーダー構成データをホストから受信するステップを含むレーダーシステムを動作させる方法を含む。レーダー構成データの受信の際に、周波数生成回路がチャープパラメータによって構成され、トリガコマンドがホストから受信され、且つ、トリガコマンドの受信の際に、周波数生成回路がチャープパラメータに基づいて周波数ランプを実行するようにトリガされ、サンプルがレーダーシステムから受信され、且つ、受信されたサンプルがホストに送信される。

【0106】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。方法は、ホストから開始コマンドを受信するステップと、開始コマンドの受信の際に、レーダーシステムのRF回路を電源投入し、且つ、レーダーシステムの受信及び送信アンテナを有効にするステップと、ホストから停止コマンドを受信するステップと、停止コマンドの受信の際に、RF回路を電源切断するステップと、を含む。方法は、開始コマンドの受信の際に、サンプリングされたデータのための内部ルーティングを構成するステップを更に含んでもよい。いくつかの実施形態においては、方法は、トリガコマンドの受信の際に、サンプリングを開始するようにレーダーシステムのレシーバに結合されたアナログ - デジタルコンバータを起動するステップを更に含む。

20

【0107】

更なる態様は、レーダーハードウェアに結合されるように構成されたプロセッサ回路と、プロセッサ回路に結合された一時的ではないコンピュータ可読媒体と、を有するレーダーシステムを含む。一時的ではないコンピュータ可読媒体は、ホストからレーダー構成データを受信するステップであって、レーダー構成データは、チャープパラメータ及びフレームシーケンス設定を含む、ステップと、レーダー構成データを受信した後にホストから開始コマンドを受信するステップと、を実行するようにプロセッサ回路に命令する実行可能プログラムを含む。開始コマンドを受信した後に、実行可能プログラムは、チャープパラメータによって周波数生成回路を構成し、フレームシーケンス設定によってフレームシーケンスを構成し、且つ、予め選択されたレートにおいてレーダーフレームをトリガするように、プロセッサ回路に対して命令する。

30

【0108】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。レーダーシステムにおいて、実装可能なプログラムは、ホストから停止コマンドを受信するステップと、停止コマンドの受信の際にレーダーフレームのトリガを停止するステップと、を更に実行するように、プロセッサ回路に対して命令する。実行可能プログラムは、停止コマンドの受信の際にレーダーシステムのRF回路を電源切断する更なるステップを実行すると共に、又は開始コマンドの受信の際にレーダーシステムのRF回路を電源投入する更なるステップを実行するように、プロセッサ回路に対して更に命令してもよい。いくつかの実施形態においては、レーダーフレームをトリガする実行可能プログラム命令ステップは、チャープパラメータに基づいて周波数ランプを生成するように周波数生成回路をトリガするステップと、レーダーシステムのレシーバに結合されたアナログ - デジタルコンバータからサンプルを受信するステップと、受信したサンプルをホストに送信するステップと、を含む。様

40

50

々な実施形態においては、レーダーフレームをトリガする実行可能プログラム命令ステップは、レーダーフレームの開始時点においてレーダーシステムの受信アンテナ及び送信アンテナを有効にするステップと、レーダーフレームの終了時点においてレーダーシステムの受信アンテナ及び送信アンテナを無効にするステップと、を更に含む。いくつかの実施形態においては、レーダーシステムは、RF回路及び周波数生成回路を含みうるレーダーハードウェアを更に含む。

【0109】

別の一般的な態様は、レーダーハードウェアに結合されるように構成されたプロセッサ回路と、プロセッサ回路に結合された一時的ではないコンピュータ可読媒体と、を有するレーダーシステムを含む。一時的ではないコンピュータ可読媒体は、ホストからレーダー構成データを受信するステップであって、レーダー構成データは、チャープパラメータを含む、ステップと、レーダー構成データの受信の際に、チャープパラメータによって周波数生成回路を構成するステップと、ホストからトリガコマンドを受信するステップと、トリガコマンドの受信の際に、チャープパラメータに基づいて周波数ランプを実行するように周波数生成回路をトリガするステップと、レーダーシステムからサンプルを受信するステップと、受信したサンプルをホストに送信するステップと、を実行するように、プロセッサ回路に対して命令する実行可能プログラムを含む。

【0110】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。レーダーシステムにおいて、実行可能プログラムは、ホストから開始コマンドを受信するステップと、開始コマンドの受信の際に、レーダーシステムのRF回路を電源投入するステップと、レーダーシステムの受信及び送信アンテナを有効にするステップと、ホストから停止コマンドを受信するステップと、停止コマンドの受信の際に、RF回路を電源切断するステップと、を更に実行するようにプロセッサ回路に対して命令する。実行可能プログラムは、開始コマンドの受信の際にサンプリングされたデータのための内部ルーティングを構成するステップ及び/又はトリガコマンドの受信の際にサンプリングを開始するようにレーダーシステムのレシーバに結合されたアナログ-デジタルコンバータを起動するステップを更に実行するようにプロセッサ回路に対して命令してもよい。いくつかの実施形態においては、レーダーシステムは、レーダーハードウェアを更に含む。レーダーハードウェアは、例えば、RF回路及び周波数生成回路を含んでもよい。

【0111】

別の一般的な態様は、回路基板上において配設された高周波集積回路(RFIC)を含む高周波システムを動作させる方法を含む。方法は、RFICの第1エッジに隣接した状態において回路基板上に配設された対応する複数の受信パッチアンテナ要素に電氣的に結合されたRFICの複数のレシーバ回路を使用して第1RF信号を受信するステップを含む。又、方法は、RFICの第2エッジに隣接した状態において回路基板上に配設された第1送信パッチアンテナに電氣的に結合されたRFICの第1送信回路を使用することにより、且つ、RFICの第3エッジに隣接した状態において回路基板上に配設された第2アンテナに電氣的に結合されたRFICの第2送信回路を使用することにより、第2RF信号を送信するステップをも含む。第1エッジ、第2エッジ、及び第3エッジは、互いに異なっている。又、方法は、RFICに隣接した状態において回路基板上に配設されると共にRFICに電氣的に接続された第1の複数のはんだボール、複数の受信パッチアンテナ要素に隣接した状態において回路基板上に配設された第2の複数の電氣的にフローティング状態のはんだボール、及びRFICと複数の受信パッチアンテナ要素の間において回路基板上に配設された接地されたはんだボールを含む接地壁を使用して第1RF信号を遮蔽するステップを含む。

【0112】

実装形態は、以下の特徴のうちの1つ又は複数を含んでもよい。方法において、第2アンテナは、Yagi-Udaアンテナであるパッチアンテナを含む。方法は、中間周波数信号を形成するべく受信された第1RF信号を中間周波数にダウン変換するステップを更

10

20

30

40

50

に含んでもよい。いくつかの実施形態においては、方法は、中間周波数信号のアナログ - デジタル変換を実行するステップを更に含んでもよい。

【 0 1 1 3 】

本発明の実施形態の利点は、小型で費用効率の優れたパッケージ内において高周波レーダーシステムを実装する能力を含む。ダミーはんだボールを利用した実施形態は、機械的に安定していると共に、はんだボール自体が多数の温度サイクルにわたってその完全性を維持するという点において有利である。いくつかの実施形態においては、それぞれのはんだボールは、500回超の温度サイクルに耐えるように構成されうる。

【 0 1 1 4 】

更なる利点は、小型のフォームファクタにおいて正確なジェスチャ認識システムを提供する能力を含む。いくつかの実施形態の更なる利点は、設計者が、高周波遷移設計について懸念することなしに、高周波RFシステムを設計する能力を含む。従って、実施形態のRFレーダーシステムのシステム設計者は、実施形態のRFハードウェアによって生成される未加工のデータを処理するアルゴリズムの開発に集中してもよい。

【 0 1 1 5 】

以上、例示用の実施形態を参照して本発明について説明したが、この説明は、限定の意味において解釈されることを意図したものではない。説明を参照することにより、当業者には、例示用の実施形態のみならず、本発明のその他の実施形態の様々な変更及び組合せが明らかとなるう。

また、本願は以下に記載する態様を含む。

(態 様 1)

レーダーシステムであって、
 複数の受信アンテナと、
 複数の送信アンテナと、
 前記複数の受信アンテナに結合された複数の受信回路と、前記複数の送信アンテナに結合された複数の送信回路と、を有するレーダーフロントエンド回路と、
 前記複数の送信回路に結合された出力を有する発振器と、
 前記複数の受信回路の出力及び前記発振器の制御入力に結合されたレーダー処理回路と、
 を有するシステム。

(態 様 2)

前記レーダー処理回路は、前記発振器の前記制御入力に結合された位相ロックループを有する態様1に記載のレーダーシステム。

(態 様 3)

前記位相ロックループは、前記発振器の前記制御入力及び前記レーダー処理回路に結合されたアナログ位相ロックループを有する態様2に記載のレーダーシステム。

(態 様 4)

前記位相ロックループは、デジタル - アナログコンバータと、前記デジタル - アナログコンバータの出力と前記発振器の前記制御入力の間において結合された積分器とを有するソフトウェアPLLを有する態様2に記載のレーダーシステム。

(態 様 5)

前記レーダー処理回路は、前記発振器の前記制御入力に結合された周波数変調連続波 (F M C W) 生成器を有する態様1に記載のレーダーシステム。

(態 様 6)

前記 F M C W 生成器は、2 G H z ~ 8 G H z という変調帯域幅、6 K H z ~ 9 K H z という最小中間周波数 (I F)、及び 1 5 0 K H z ~ 2 5 0 K H z という最大 I F を生成するように構成されている態様5に記載のレーダーシステム。

(態 様 7)

前記 F M C W 生成器は、2 G H z ~ 8 G H z という変調帯域幅、3 K H z ~ 5 K H z という最小中間周波数 (I F)、及び 8 0 0 K H z ~ 1 . 2 M H z という最大 I F を生成す

10

20

30

40

50

るように構成されている態様 5 に記載のレーダーシステム。

(態様 8)

前記発振器の中心周波数は、50GHz～70GHzである態様 1 に記載のレーダーシステム。

(態様 9)

前記複数の受信回路の対応する出力に結合された入力を有する複数のアナログ - デジタルコンバータを更に有する態様 1 に記載のレーダーシステム。

(態様 10)

前記複数のアナログ - デジタルコンバータの出力に結合されたデジタルインターフェイスを更に有する態様 9 に記載のレーダーシステム。

(態様 11)

前記複数のアナログ - デジタルコンバータの出力に結合されたデジタル信号プロセッサを更に有する態様 10 に記載のレーダーシステム。

(態様 12)

前記デジタル信号プロセッサは、前記複数のアナログ - デジタルコンバータの前記出力のそれぞれに対して重み付けされたFFTを実行すると共に前記重み付けされたFFTの結果を合計して重み付けされた合計を形成するように構成されている態様 11 に記載のレーダーシステム。

(態様 13)

前記デジタルインターフェイスは、USBインターフェイスを有する態様 10 に記載のレーダーシステム。

(態様 14)

前記レーダー処理回路は、第 1 期間にわたって前記複数の送信回路のうちの第 1 の送信回路を起動し、且つ、次いで、前記第 1 期間の後に第 2 期間にわたって前記複数の送信回路のうちの第 2 の送信回路を起動するように構成されている態様 1 に記載のレーダーシステム。

(態様 15)

前記複数の受信アンテナは、複数のYagi-Uda受信アンテナを有し、且つ、前記複数の送信アンテナは、Yagi-Uda送信アンテナを有する態様 1 に記載のレーダーシステム。

(態様 16)

前記複数の受信アンテナは、複数のパッチ受信アンテナを有し、且つ、前記複数の送信アンテナは、複数のパッチ送信アンテナを有する態様 1 に記載のレーダーシステム。

(態様 17)

前記複数のパッチ受信アンテナは、前記レーダーフロントエンド回路の第 1 エッジに隣接した状態において構成され、

前記複数のパッチ送信アンテナの第 1 部分は、前記レーダーフロントエンド回路の第 2 エッジ上において構成され、且つ、

前記複数のパッチ送信アンテナの第 2 部分は、前記レーダーフロントエンド回路の第 3 エッジ上において構成されている態様 16 に記載のレーダーシステム。

(態様 18)

前記第 2 エッジは、前記第 1 エッジに隣接しており、且つ、前記第 3 エッジは、前記第 1 エッジに隣接している態様 17 に記載のレーダーシステム。

(態様 19)

レーダーシステムであって、
レーダーフロントエンド回路に結合されるように構成されたレーダー処理回路を有し、
前記レーダー処理回路は、
前記レーダーフロントエンド回路の複数の受信回路の出力に結合されるように構成された入力を有する第 1 アナログ - デジタルコンバータと、

10

20

30

40

50

<u>前記第 1 アナログ - デジタルコンバータの出力に結合されたデジタル信号プロセッサと、</u>	
<u>ホストに結合されるように構成されたデジタルインターフェイスと、</u>	
<u>周波数変調連続波 (F M C W) 生成器と、</u>	
<u>前記 F M C W 生成器の出力に結合された入力と、前記レーダーフロントエンド回路の発振器回路に結合されるように構成された出力と、有する P L L 回路と、</u>	
<u>を有する、システム。</u>	
(態様 2 0)	
<u>前記 F M C W 生成器は、前記レーダーフロントエンド回路の送信出力において 2 G H z ~ 8 G H z という変調帯域幅を生成し、前記複数の受信回路の出力において 6 K H z ~ 9 K H z という最小中間周波数 (I F) を生成し、且つ、前記複数の受信回路の出力において 1 5 0 K H z ~ 2 5 0 K H z という最大 I F を生成するように、構成されている態様 1 9 に記載のレーダーシステム。</u>	10
(態様 2 1)	
<u>前記 F M C W 生成器は、前記レーダーフロントエンド回路の送信出力において 2 G H z ~ 8 G H z という変調帯域幅を生成し、前記複数の受信回路の前記出力において 3 K H z ~ 5 K H z という最小中間周波数 (I F) を生成し、且つ、前記複数の受信回路の前記出力において 8 0 0 K H z ~ 1 . 2 M H z という最大 I F を生成するように、構成されている態様 1 9 に記載のレーダーシステム。</u>	20
(態様 2 2)	
<u>前記 P L L 回路は、</u>	
<u>分割された発振器周波数に結合されるように構成された入力を有する第 2 アナログ - デジタルコンバータと、</u>	
<u>前記第 2 アナログ - デジタルコンバータに結合された入力を有する F F T 回路と、</u>	
<u>前記 F F T 回路の出力に結合された入力を有するルックアップテーブルと、</u>	
<u>前記ルックアップテーブルの出力に結合された入力と、前記レーダーフロントエンド回路の前記発振器回路に結合されるように構成された出力と、を有するデジタル - アナログコンバータと、</u>	
<u>を有する態様 1 9 に記載のレーダーシステム。</u>	
(態様 2 3)	30
<u>前記第 2 アナログ - デジタルコンバータは、前記第 1 アナログ - デジタルコンバータとは異なっている態様 2 2 に記載のレーダーシステム。</u>	
(態様 2 4)	
<u>前記レーダーフロントエンド回路を更に有する態様 1 9 に記載のレーダーシステム。</u>	
(態様 2 5)	
<u>レーダーシステムを動作させる方法であって、</u>	
<u>周波数変調連続波 (F M C W) 信号を生成するステップと、</u>	
<u>複数の送信アンテナを介して前記 F M C W 信号を送信するステップと、</u>	
<u>反射された F M C W 信号を複数の受信アンテナを介して受信するステップと、</u>	
<u>前記受信された反射された F M C W 信号を中間周波数に対して混合して I F 信号を形成するステップと、</u>	40
<u>前記 I F 信号を処理するステップと、</u>	
<u>デジタルインターフェイス介して前記処理済みの I F 信号をホストに送信するステップと、</u>	
<u>を有する方法。</u>	
(態様 2 6)	
<u>前記 I F 信号を処理するステップは、前記 I F 信号に対して F F T を実行するステップを有する態様 2 5 に記載の方法。</u>	
(態様 2 7)	
<u>前記処理済みの I F 信号を前記ホストに送信するステップは、 U S B インターフェイス</u>	50

を介して前記ホストに前記処理済みの I F 信号を送信するステップを有する態様 25 に記載の方法。

(態様 28)

前記 F M C W 信号を前記複数の送信アンテナ上において送信するステップは、前記 F M C W 信号を複数の送信パッチアンテナ上において送信するステップを有し、且つ

前記反射された F M C W 信号を前記複数の受信アンテナ上において受信するステップは、前記 F M C W 信号を複数の受信パッチアンテナ上において受信するステップを有する態様 25 に記載の方法。

(態様 29)

前記 F M C W 信号を前記複数の送信アンテナ上において送信するステップは、前記 F M C W 信号を少なくとも 1 つの Y a g i - U d a 送信アンテナ上において送信するステップを有し、且つ、

前記反射された F M C W 信号を前記複数の受信アンテナ上において受信するステップは、前記 F M C W 信号を複数の Y a g i - U d a 受信アンテナ上において受信するステップを有する態様 25 に記載の方法。

(態様 30)

前記 F M C W 信号を生成するステップは、前記 I F 信号が 6 K H z ~ 9 K H z という最小中間周波数 (I F) 及び 150 K H z ~ 250 K H z という最大 I F を有するように、2 G H z ~ 8 G H z という変調帯域幅を有するべく前記 F M C W 信号を生成するステップを有する態様 25 に記載の方法。

(態様 31)

前記 F M C W 信号を生成するステップは、前記 I F 信号が 3 K H z ~ 5 K h z という最小中間周波数 (I F) 及び 800 K H z ~ 1.2 M H z という最大 I F を有するように、2 G H z ~ 8 G H z という変調帯域幅を有するべく前記 F M C W 信号を生成するステップを有する態様 25 に記載の方法。

【符号の説明】

【 0 1 1 6 】

- 100 レーダーシステム
- 104 第1トランスミッタフロントエンド
- 110 第2トランスミッタフロントエンド
- 112 レーダーフロントエンド
- 120 a、120 b 送信アンテナ
- 122 a ~ d 受信アンテナ
- 130 衛星レーダー装置
- 132 物体
- 202 アンテナモジュール
- 204 回路基板
- 206 R F チップ
- 208 パッチアンテナ
- 210 はんだボール
- 210 c コーナーはんだボール
- 210 d ダミーはんだボール
- 210 g はんだボール
- 210 r 接続はんだボール
- 212 接地壁
- 214 送信パッチアンテナ
- 216 送信パッチアンテナ
- 220 パッケージ再配線層
- 222 受信パッチアンテナ
- 250 レーダートランシーバ装置

10

20

30

40

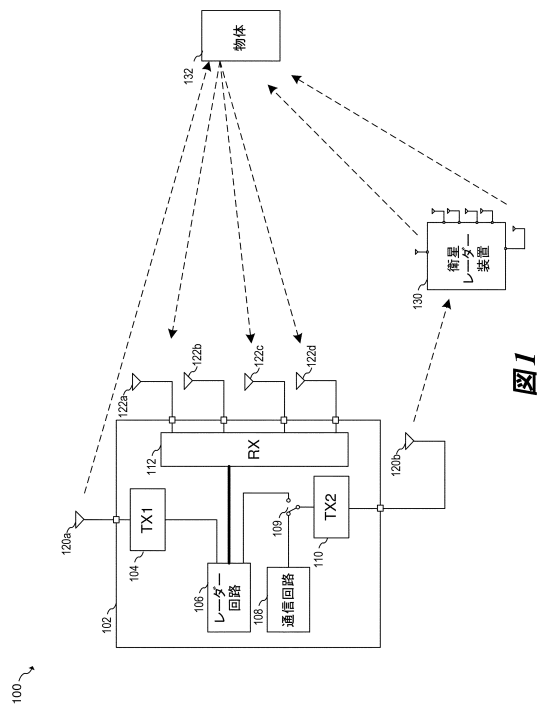
50

2 5 1	R F チップ	
2 5 2	送信受信パッチアンテナ	
2 5 3	基板	
2 5 4	受信パッチアンテナ	
2 5 8	U d a アンテナ	
2 7 0	放射パターン	
2 7 2	放射パターン	
2 7 4	放射パターン	
3 0 0	パッケージ基板	
3 0 4	R F チップ	10
3 0 6	受信パッチアンテナシステム	
3 0 8 a ~ d	受信パッチアンテナ	
3 1 0 a	送信パッチアンテナ	
3 1 0 b	送信パッチアンテナ	
3 1 2	ダミーはんだボール	
3 1 4	接地壁	
3 1 6	はんだボール	
3 1 8	コーナードミューはんだボール	
4 0 2	モルディング材料層	
4 0 4	層	20
4 0 8	はんだボール	
4 1 0	R F チップ	
4 1 2	F R 4 材料	
4 1 4	銅接地層	
4 2 0	アンテナパッケージ	
4 2 2	領域	
4 2 4	回路基板	
5 0 0	アンテナパターン	
6 0 2	変圧器	
6 0 4	ミキサ	30
6 0 6	L O バッファ	
6 0 8	パワースプリッタ	
6 1 0	バッファ	
6 1 2	バッファ	
6 1 4	アナログコンバータ	
6 1 6	ミキサ	
6 1 8	変圧器	
6 2 0	パワーセンサ	
6 2 2	パワー増幅器	
6 2 4	変圧器	40
6 2 6	パワーセンサ	
6 2 8	L O バッファ	
6 3 0	温度センサ	
6 3 2	周波数分割器	
6 3 4	マルチプレクサ	
7 0 0	ジェスチャ認識システム	
7 0 2	レーダートランシーバ装置	
7 0 4	第 1 トランスミッタフロントエンド	
7 0 6	レーダー回路	
7 0 8	処理回路	50

7 1 0	第 2 トランスミッタフロントエンド	
7 1 2	レシーバフロントエンド	
7 2 0 a	送信アンテナ	
7 2 0 b	送信アンテナ	
7 2 2 a	受信アンテナ	
7 3 2	手	
8 0 0	F M C W レーダーシステム	
8 0 2	プロセッサ	
8 0 4	送信回路	
8 0 6	受信回路	10
8 0 8	送信アンテナ	
8 1 0	受信アンテナ	
8 1 2	ターゲット	
8 1 4	ターゲット	
8 2 2	信号	
8 2 4	反射信号	
8 2 6	反射信号	
9 0 0	レーダーシステム	
9 0 1	ベースバンド処理回路	
9 0 2	R F フロントエンド	20
9 0 4	S P I インターフェイス	
9 0 6	積分器	
9 0 8	水晶発振器	
9 1 0	P L L	
9 1 2	帯域通過フィルタ	
9 1 4	クロック分割器	
9 1 8	U S B インターフェイス	
9 2 1	V G A	
9 2 2 a	受信アンテナ	
9 2 4	F F T コア	30
9 3 2	電圧レギュレータ	
9 3 4	電圧レギュレータ	
9 5 0	レーダーシステム	
9 5 2	R F フロントエンド	
9 5 4	マイクロコントローラ集積回路	
9 5 6	低ドロップアウトレギュレータ	
9 5 8	トランシーバ回路	
9 6 0	A D C 回路	
9 6 2	デジタル処理ブロック	
9 6 5	ソフトウェア P L L	40
9 6 6	U S B インターフェイス	
9 7 0	ソフトウェア P L L	
9 7 1	ベースバンド部分	
9 7 2	高周波部分	
9 7 6	分割器	
9 8 2	ルックアップテーブル	
9 8 6	低域通過フィルタ	
1 0 0 0	回路基板	
1 0 0 2	送信パッチアンテナ	
1 0 0 6	受信パッチアンテナ	50

1 0 1 2	V G A	
1 0 1 4	マイクロコントローラ	
1 0 1 6	低ドロップアウト電圧レギュレータ	
1 0 1 8	低ドロップアウト電圧レギュレータ	
1 0 3 0	パッケージ	
1 0 5 0	回路基板	
1 0 5 4	パッケージ	
1 1 0 0	制御アーキテクチャ	
1 1 0 2	通信プロトコルブロック	
1 1 0 4	レーダーシステム	10
1 1 0 6	ターゲット検出アルゴリズム	
1 1 0 8	フレームシーケンサ	
1 1 1 0	チャープ生成器	
1 1 1 2	アンテナコントローラ	
1 1 1 3	P L Lチップドライバ	
1 1 1 4	フロントエンドチップドライバ	
1 1 1 6	V C O Mブロック	
1 1 1 8	D A Cドライバ	
1 1 2 0	S P Iドライバ	
1 1 2 2	A D Cドライバ	20
1 1 2 4	タイマドライバ	
1 2 0 0	フロー図	
1 2 0 2	ライン	
1 2 0 4	ライン	
1 2 0 6	ライン	
1 3 0 0	フロー図	
1 3 0 2	ライン	
1 3 0 4	ライン	
1 3 0 6	ライン	
1 4 0 0	処理システム	30
1 4 0 4	メモリ	
1 4 0 6	マスストレージ装置	
1 4 0 8	バス	
1 4 1 0	ビデオアダプタ	
1 4 1 2	ローカルディスプレイ	
1 4 1 4	アダプタ	
1 4 1 6	入出力装置	
1 4 1 8	ネットワークインターフェイス	
1 4 2 0	ネットワーク	

【図 1】



【図 2 a】

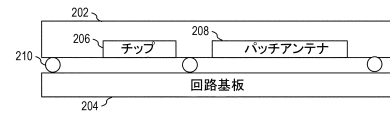


図2a

【図 2 b】

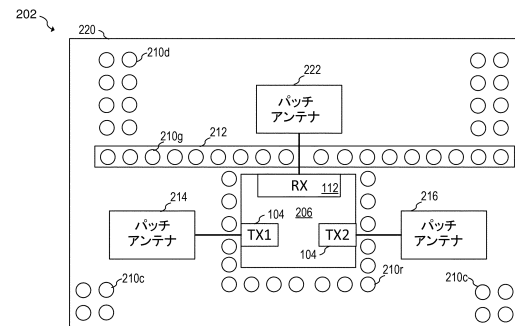


図2b

【図 2 c】

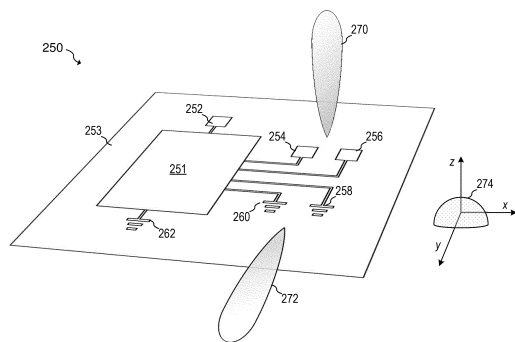


図2c

【図 3】

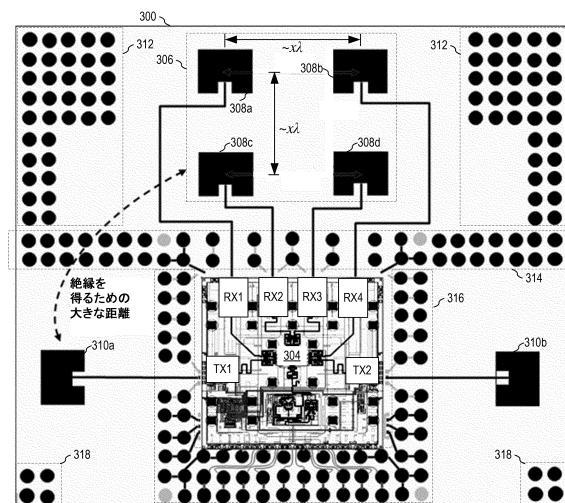
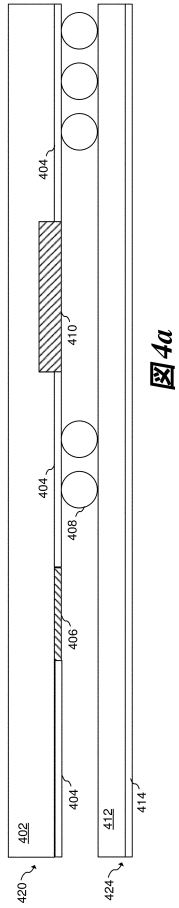
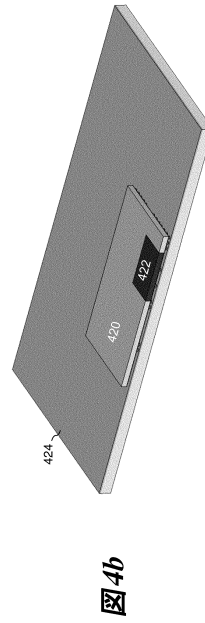


図3

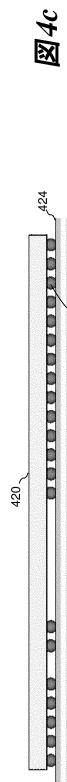
【図 4 a】



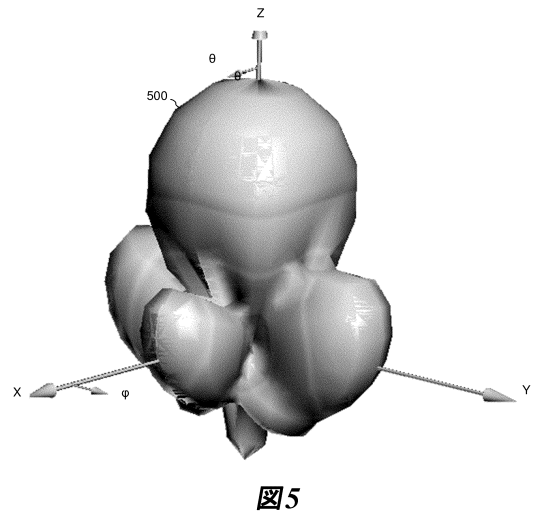
【図 4 b】



【図 4 c】



【図 5】



【図 6 a】

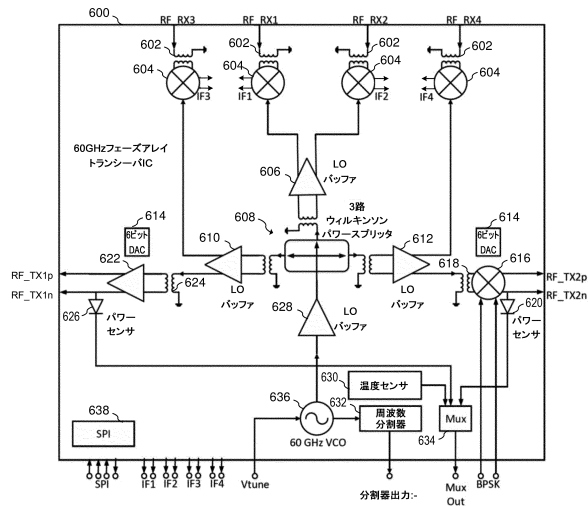


図6a

【図 6 b】

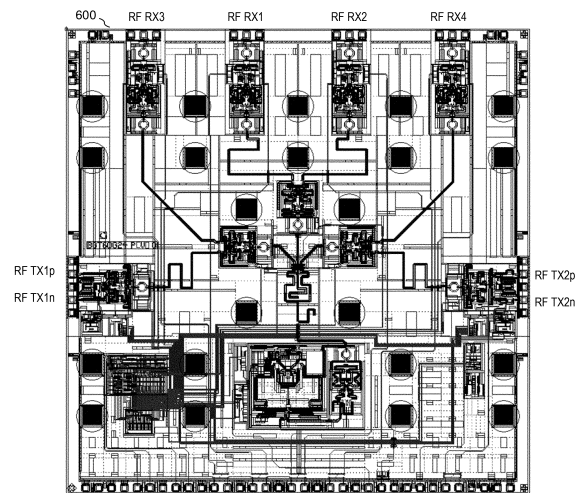


図6b

【図 7】

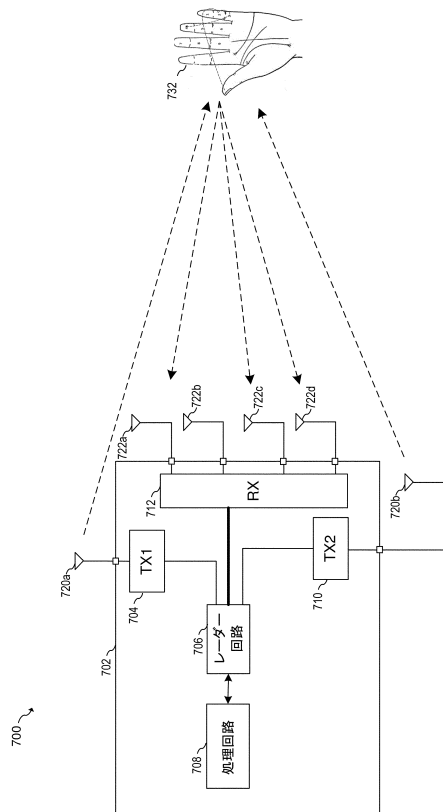


図 7

【図 8 a】

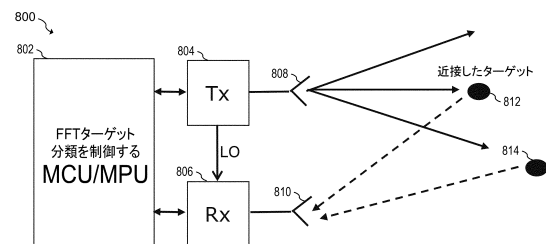


図8a

【 図 8 b 】

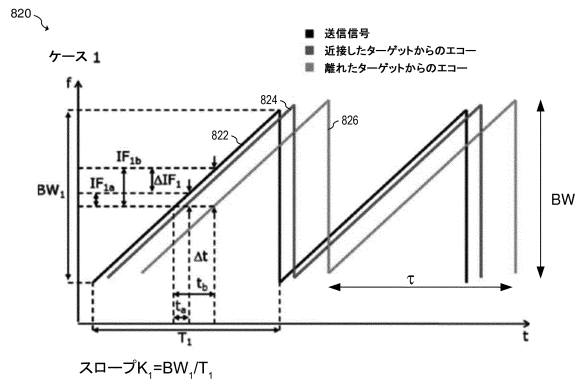


図 8b

【 図 8 c 】

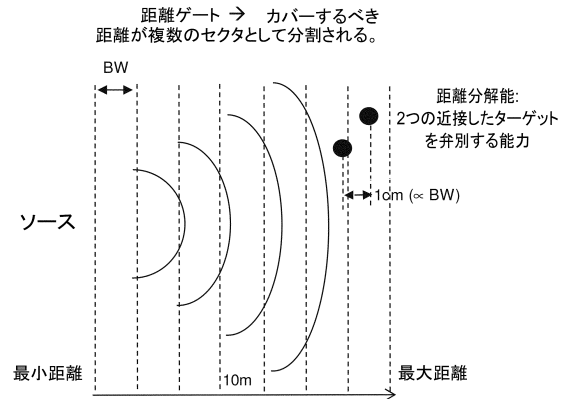


図8c

【 図 8 d 】

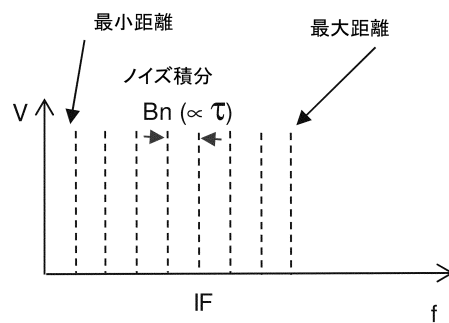


図 8d

【 図 9 a 】

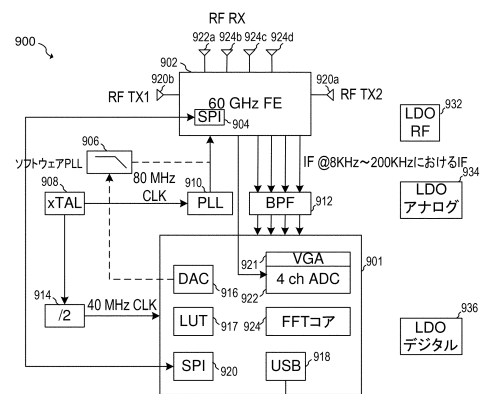
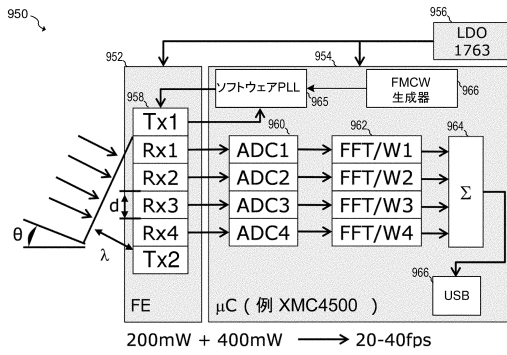
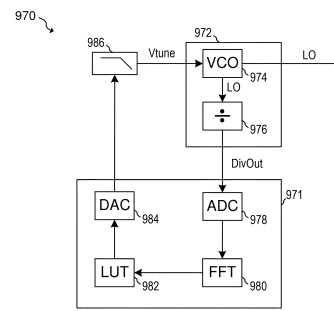


図 9a

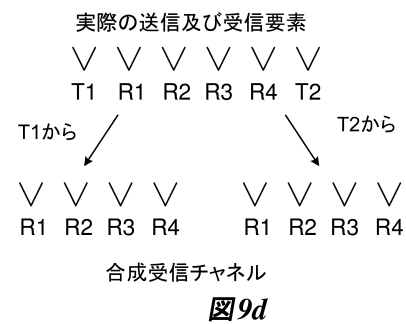
【図 9 b】



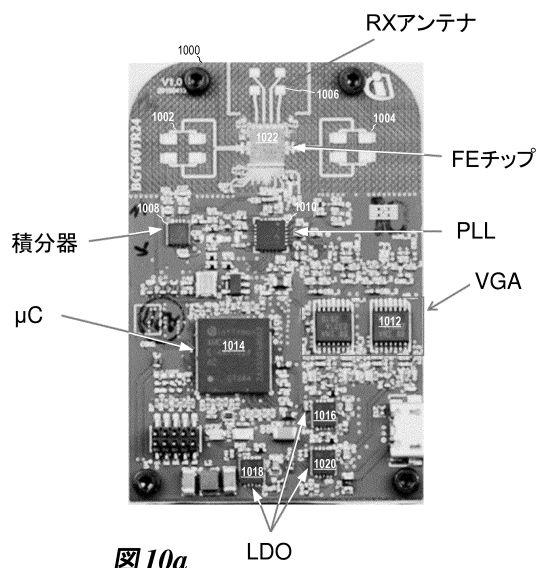
【図 9 c】



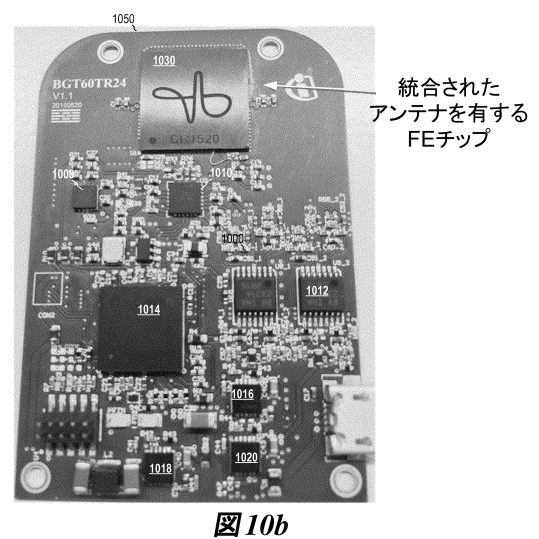
【図 9 d】



【図 10 a】



【図 10 b】



【図10c】

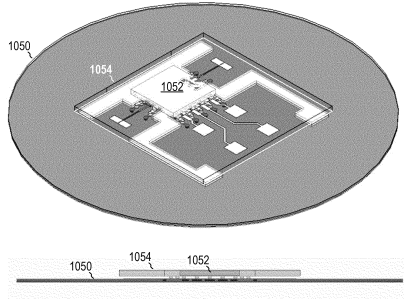


図10c

【図10d】

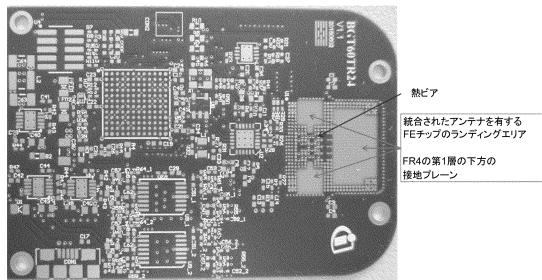


図10d

【図11】

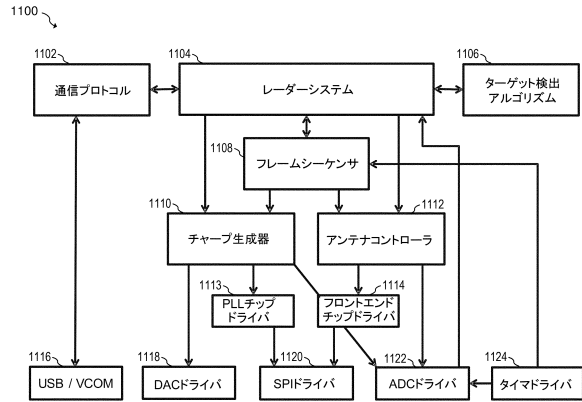


図11

【図12】

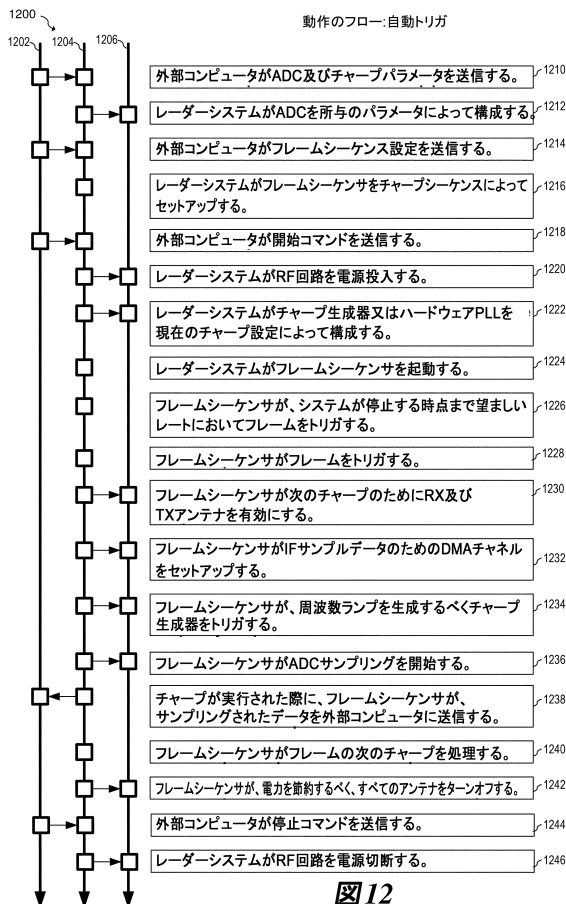


図12

【図13】

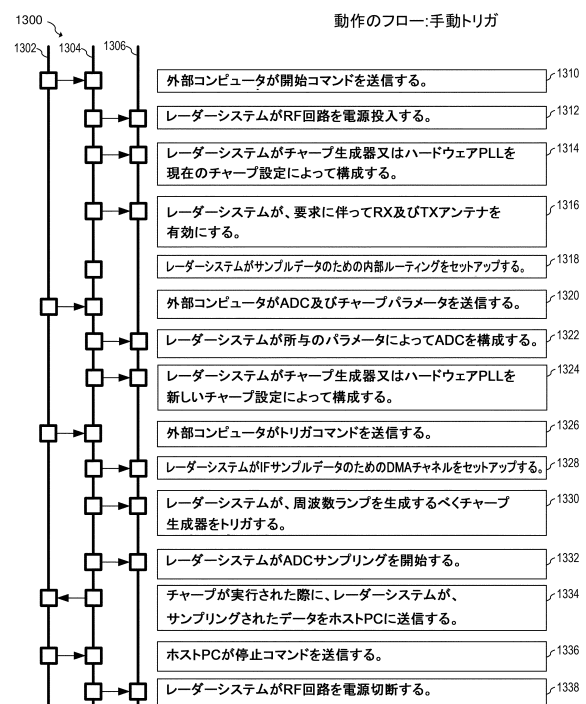


図13

【 図 1 4 】

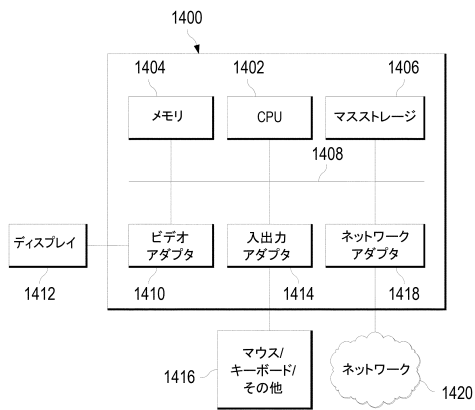


図14

フロントページの続き

(51)Int.Cl.		F I
H 0 1 Q 21/06	(2006.01)	H 0 1 Q 13/08
H 0 1 Q 1/38	(2006.01)	H 0 1 Q 21/06
H 0 1 Q 1/52	(2006.01)	H 0 1 Q 1/38
		H 0 1 Q 1/52

(31)優先権主張番号 14/954,198

(32)優先日 平成27年11月30日(2015.11.30)

(33)優先権主張国 米国(US)

(72)発明者 バル, ジャジット シン
 アメリカ合衆国 9 4 3 5 6 フリーモント, パセオ パドリー パークウェイ 3 7 2 0 0 ,
 アパートメント 1 4 1

(72)発明者 ジャングマイヤー, ラインハルト - ヴォルフガング
 ドイツ国 8 5 6 5 3 アイニング, シュスターシュトラッセ 6

(72)発明者 ナスル, イスマイル
 ドイツ国 8 2 0 0 8 ウンターハヒング, リリエントールシュトラッセ 8

(72)発明者 ノッペナイ, デニス
 ドイツ国 5 1 0 6 9 ケルン, グラーフェンミューレンヴェーク

審査官 中村 説志

(56)参考文献 特開2001-174539(JP,A)
 特表2013-521508(JP,A)
 特開2009-069124(JP,A)
 特開2006-234513(JP,A)
 特開2004-198312(JP,A)
 特開2014-055957(JP,A)
 特開2008-029025(JP,A)
 特表2011-529181(JP,A)
 特開2008-089614(JP,A)
 特表2004-506207(JP,A)
 特表2006-514438(JP,A)
 独国特許出願公開第102011075725(DE,A1)

(58)調査した分野(Int.Cl., DB名)
 G 0 1 S 7 / 0 0 - 7 / 4 2
 G 0 1 S 1 3 / 0 0 - 1 3 / 9 5
 H 0 4 B 1 / 0 0 - 1 / 7 6
 H 0 1 Q 1 / 0 0 - 2 5 / 0 4