POLSKA RZECZPOSPOLITA LUDOWA

URZĄD PATENTOWY PRL

OPIS PATENTOWY 147 525

Patent dodatkowy do patentu nr ———

Zgłoszono: 85 10 10 /P.255747/

Pierwszeństwo ———

Zgłoszenie ogłoszono: 87 05 18

Opis patentowy opublikowano: 89 10 31

Int. Cl.[4] G06F 12/16

CZYTELNIA ... Patentowego

Twórca wynalazku: Lech Jędrzejczak

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Metrologii Elektrycznej "Lumel", Zielona Góra /Polska/

UKŁAD ZABEZPIECZENIA SYSTEMU MIKROKOMPUTEROWEGO PRZED ZANIKIEM LUB OBNIŻENIEM SIĘ WARTOŚCI SIECIOWEGO NAPIĘCIA ZASILAJĄCEGO

Przedmiotem wynalazku jest układ zabezpieczenia systemu mikrokomputerowego przed zanikiem lub obniżeniem się napięcia zasilającego, mający zastosowanie zwłaszcza w sterowaniu procesami technologicznymi. W wielu systemach mikrokomputerowych, zwłaszcza w pracujących w czasie rzeczywistym, systemach sterowania procesami technologicznymi istnieje konieczność kontynuowania pracy systemu po zaniku lub chwilowym obniżeniu się wartości amplitudy napięcia zasilającego. W tym celu stosuje się zasilanie z akumulatorów ładowanych buforowo lub zasilanie części systemu ze źródeł chemicznych o dużej pojemności. Stosowane jest również zasilanie części systemu z kondensatora o dużej pojemności i diody blokującej podtrzymujących zasilanie przy krótkotrwałych zanikach napięcia. W innych znanych układach stosuje się przepisywanie aktualnego stanu systemu do pamięci dodatkowej niewrażliwej na zaniki napięcia sieciowego. Znana jest z polskiego opisu patentowego nr 98 566 pamięć dla układów elektronicznych działająca przy zaniku napięcia zasilającego. W układzie tym aktualny stan chronionych przerzutników jest przepisywany przy zaniku napięcia sieciowego do bistabilnych przekaźników kontaktronowych zachowujących stan zestyków po zaniku napięcia sieciowego. W systemach mikrokomputerowych stosuje się różnego rodzaju pamięci nieulotne, w tym pamięci magnetyczne i pamięci elektrycznie programowane. Te ostatnie stosuje się w połączeniu z szybką pamięcią danych. Układy te wymagają odpowiedniej sekwencji sygnałów sterujących w chwili zaniku lub obniżenia się wartości napięcia sieciowego. Większość stosowanych obecnie układów zapewnia generowanie tylko sygnałów wykrywających zanik napięcia i sygnałów odłączenia dostępu do pamięci danych.

Do wykrycia zaniku napięcia wykorzystuje się oddzielne uzwojenie transformatora i oddzielny układ prostowania, co komplikuje układ i nie zabezpiecza układu przed niektórymi przebiegami zakłóceń napięcia sieciowego. Niedogodności te eliminuje układ według wynalazku zawierający bateryjne źródło napięcia, w którym źródło napięcia progowego jest zasilane jednym z napięć zasilających o stałej czasowej wyłączenia większej niż stała czasowa napięcia najszybciej malejącego. Źródło napięcia progowego jest połączone z wejściem nieodwracającym komparatora, którego wejście odwracające jest zasilane ze źródła zasilającego system mikrokomputerowy, a jego wyjście przez układ dopasowania poziomu jest połączone z wejściem wyzwalającym pierwszego monowibratora. Zanegowane wyjście tego monowibratora jest połączone z linią żądania przerwania systemu mikrokomputerowego, a wyjście proste z wejściem wyzwalającym drugiego monowibratora, którego zanegowane wyjście jest połączone z linią żądania zerowania systemu mikrokomputerowego, a wyjście proste z wyjściem ustawiającym przerzutnika. Wyjścia informacyjne i zerujące przerzutnika są połączone z masą, a wyjście zegarowe z linią uaktywnianą przez system mikrokomputerowy podczas jego zerowania. Zanegowane wyjście przerzutnika przez pierwszy rezystor jest połączone z bazą tranzystora, którego emiter jest połączony z dodatnim biegunem bateryjnego źródła napięcia, a kolektor z wejściem zapisującym pamięci chronionego systemu mikrokomputerowego, przy czym do wejścia zapisującego przyłączona jest przez drugi rezystor linia sygnału zapisu. Źródło napięcia progowego, komparator, układ dopasowania poziomu oraz monowibratory są zasilane ze źródeł czerpiących energię z sieci, a przerzutnik i pamięć systemu mikrokomputerowego są zasilane z bateryjnego źródła napięcia. Rozwiązanie według wynalazku upraszcza układ zabezpieczenia eliminując potrzebę stosowania dodatkowego układu zasilania dla detekcji spadku napięcia, zapewnia szybką reakcję systemu mikrokomputerowego na występujące w sieci spadki napięcia o różnym i niepowtarzalnym przebiegu. Ponadto umożliwia inicjowanie pracy systemu generując sekwencję sygnałów inicjujących odtwarzanie stanu systemu po powrocie napięcia zasilania.

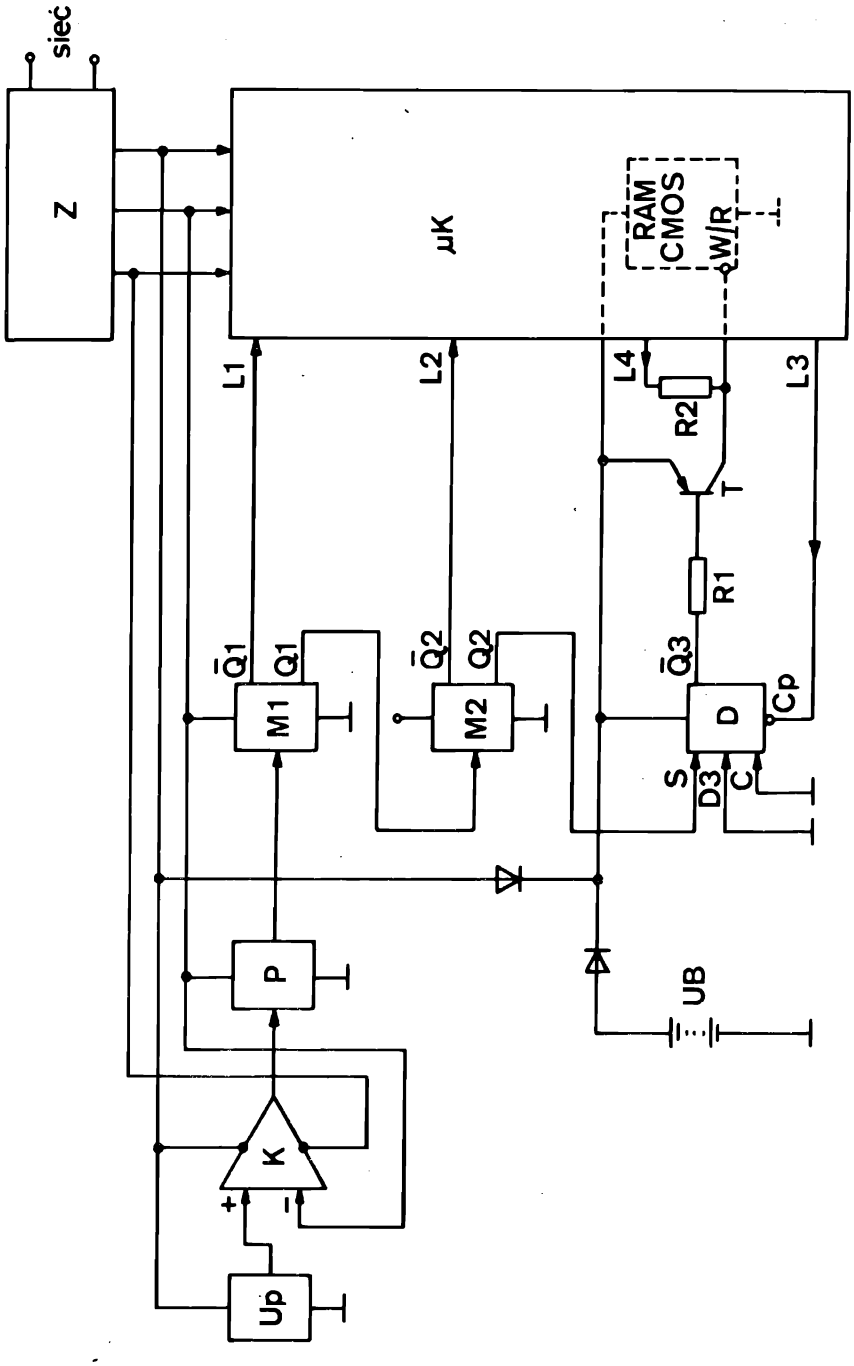
Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku będącym schematem blokowym. Źródło napięcia progowego Up i komparator K są zasilane ze źródła Z jednym z napięć zasilających również system mikrokomputerowy μK o stałej czasowej wyłączenia większej niż stała czasowa napięcia najszybciej malejącego. Źródło Z zasilane jest z sieci. Wejście odwracające komparatora K jest również zasilane ze źródła Z napięciem najszybciej malejącym po wyłączeniu zasilania. Wyjście komparatora K przez układ dopasowania poziomu P jest połączone z wejściem wyzwalającym monowibratora M1, którego zanegowane wyjście $\overline{Q1}$ połączone jest z linią żądania przerwania L1 systemu mikrokomputerowego μK, natomiast wyjście proste $\overline{Q1}$ jest połączone z wejściem wyzwalającym monowibratora M2. Zanegowane wyjście $\overline{Q2}$ monowibratora M2 jest połączone z linią żądania zerowania L2 systemu mikrokomputerowego μK a wyjście proste $\overline{Q2}$ z wejściem ustawiającym S przerzutnika D, którego wejścia informacyjne D3 i zerujące C połączone są z masą a wejście zegarowe Cp jest połączone z linią L3 uaktywnianą przez system mikrokomputerowy μK podczas jego zerowania. Zanegowane wyjście $\overline{Q3}$ przerzutnika D przez rezystor R1 jest połączone z bazą tranzystora I typu p-n-p, jego emiter przez diodę z dodatnim biegunem bateryjnego źródła napięcia UB a kolektor z wejściem zapisującym W/R pamięci RAM-CMOS będącej elementem systemu mikrokomputerowego μK i zasilanej z bateryjnego źródła napięcia UB. Do wyjścia zapisującego W/R przyłączona jest przez rezystor R2 linia sygnału zapisu L4 generowanego przez system mikrokomputerowy μK. W chwili obniżenia się napięcia poniżej napięcia progowego komparator przez układ dopasowania poziomu P wyzwala monowibrator M1, który generuje impuls o czasie trwania niezbędnym do wykonania przez system mikrokomputerowy μK operacji zapisu do pamięci RAM-CMOS aktualnego stanu systemu. Opadające zbocze impulsu generowanego na wyjściu prostym $\overline{Q1}$ monowibratora M1 wyzwala monowibrator M2, który na wyjściu zanegowanym $\overline{Q2}$ generuje impuls którego czas trwania jest dłuższy niż stała czasowa napięcia doprowadzanego na wejście odwracające komparatora K po wyłączeniu zasilania.

Impuls z zanegowanego wyjścia $\overline{Q2}$ monowibratora M2 wymusza przez linię L2 wyzerowanie systemu mikrokomputerowego µK. Jednocześnie impuls z wyjścia prostego Q2 monowibratora M2 ustawia na zanegowanym wyjściu $\overline{Q3}$ przerzutnika D stan zera logicznego, które przez rezystor R1 i tranzystor T wymusza na wyjściu zapisującym W/R pamięci RAM-CMOS stan jedynki logicznej, co uniemożliwia przypadkowy, niepożądany zapis po obniżeniu się napięcia zasilającego poniżej wartości minimalnej określonej dla danego procesora systemu mikrokomputerowego µK.

Zastrzeżenia patentowe

1. Układ zabezpieczenia systemu mikrokomputerowego przed zanikiem lub obniżeniem się wartości sieciowego napięcia zasilającego zawierający bateryjne źródło napięcia, znamienny tym, że źródło napięcia progowego /Up/ jest zasilane ze źródła /Z/ jednym z napięć zasilających również system mikrokomputerowy /µK/ o stałej czasowej wyłączenia większej niż stała czasowa napięcia najszybciej malejącego i jest połączone z wejściem nieodwracającym komparatora /K/, którego wejście odwracające jest zasilane ze źródła /Z/, a wyjście komparatora /K/ przez układ dopasowania poziomu /P/ jest połączone z wejściem wyzwalającym pierwszego monowibratora /M1/, którego wyjście zanegowane /$\overline{Q1}$/ jest połączone z linią żądania przerwania /L1/ systemu mikrokomputerowego /µK/ a wyjście proste /Q1/ tego monowibratora z wejściem wyzwalającym drugiego monowibratora /M2/, którego wyjście zanegowane /$\overline{Q2}$/ jest połączone z linią żądania zerowania /L2/ systemu mikrokomputerowego /µK/ a wyjście proste /Q2/ z wejściem ustawiającym /S/ przerzutnika /D/ przy czym jego wyjścia informacyjne /D3/ i zerujące /C/ są połączone z masą a wejście zegarowe /Cp/ z linią /L3/ uaktywnianą przez system mikrokomputerowy /µK/ podczas jego zerowania, ponadto wyjście zanegowane /$\overline{Q3}$/ przerzutnika /D/ przez pierwszy rezystor /R1/ jest połączone z bazą tranzystora /T/, którego emiter jest połączony z dodatnim biegunem bateryjnego źródła napięcia /UB/, a kolektor z wejściem zapisującym /W/R/ pamięci /RAM-CMOS/ chronionego systemu mikrokomputerowego /µK/, przy czym do wejścia zapisującego /W/R/ przyłączona jest przez drugi rezystor /R2/ linia sygnału zapisu /L4/ generowanego przez system mikrokomputerowy /µK/.

2. Układ według zastrz. 1. znamienny tym, że źródło napięcia progowego /Up/, komparator /K/, układ dopasowania poziomu /P/, monowibratory /M1/ i /M2/ są zasilane ze źródeł czerpiących energię z sieci, natomiast przerzutnik /D/ i pamięć /RAM-CMOS/ są zasilane z bateryjnego źródła napięcia /UB/.



Pracownia Poligraficzna UP PRL. Nakład 100 egz.
Cena 400 zł