



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0089761
(43) 공개일자 2020년07월27일

(51) 국제특허분류(Int. Cl.)
G11B 20/10 (2006.01) G11C 13/02 (2006.01)
(52) CPC특허분류
G11B 20/10 (2013.01)
G11C 13/02 (2013.01)
(21) 출원번호 10-2020-7020354
(22) 출원일자(국제) 2018년12월21일
심사청구일자 2020년07월14일
(85) 번역문제출일자 2020년07월14일
(86) 국제출원번호 PCT/US2018/067287
(87) 국제공개번호 WO 2019/126746
국제공개일자 2019년06월27일
(30) 우선권주장
15/853,328 2017년12월22일 미국(US)

(71) 출원인
마이크론 테크놀로지, 인크
미국, 아이다호, 보이세, 사우스 페더럴 웨이
8000
(72) 발명자
미리치그니, 그라지아노
미국, 아이다호 83716-9632, 보이세, 사우스 페더
럴 웨이 8000
스포르진, 마르코
미국, 아이다호 83716-9632, 보이세, 사우스 페더
럴 웨이 8000
올란도, 알레산드로
미국, 아이다호 83716-9632, 보이세, 사우스 페더
럴 웨이 8000
(74) 대리인
한양특허법인

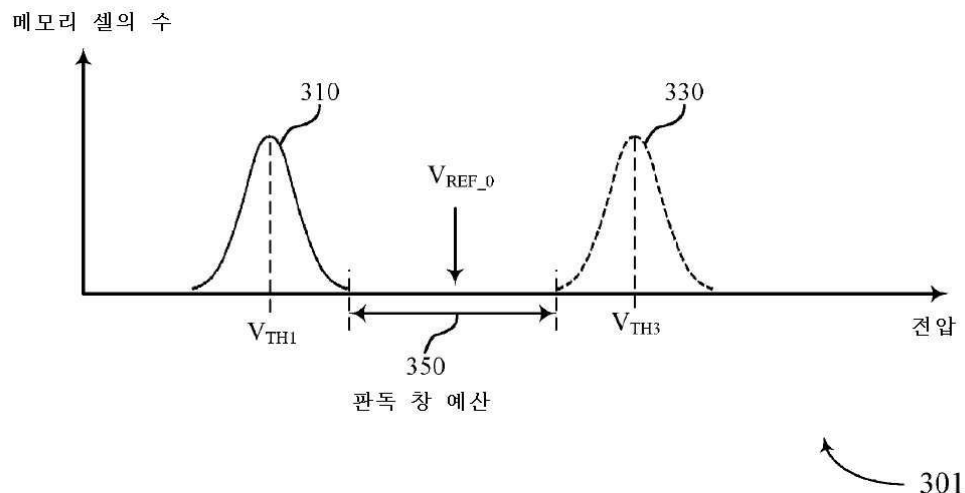
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 자동-참조 메모리 셀 판독 기법

(57) 요약

자동-참조 메모리 셀 판독 기법과 관련된 방법, 시스템 및 디바이스가 설명된다. 상기 자동-참조 판독은 사용자 데이터를 인코딩하고 이 사용자 데이터를 메모리 셀에 저장하기 전에 제1 논리 상태를 갖는 특정 수의 비트를 포함하도록 할 수 있다. 이어서, 인코딩된 사용자 데이터를 판독하는 것은 상기 제1 논리 상태를 갖는 메모리 셀의 서브세트를 활성화함으로써 일련의 스위칭 이벤트를 모니터링하면서 판독 전압을 상기 메모리 셀에 인가함으로써 수행될 수 있다. 상기 자동-참조 판독은 상기 메모리 셀의 서브세트의 중앙 임계 전압값과 상관되는 특정 스위칭 이벤트를 식별할 수 있다. 이어서, 상기 자동-참조 판독은 상기 메모리 셀의 서브세트의 임계 전압 분포의 통계적 속성을 고려한 참조 전압을 결정할 수 있다. 상기 자동-참조 판독은 상기 참조 전압을 결정하는 것에 기초하여 판독 전압을 유지하기 위해 시간 지속 기간을 식별할 수 있다.

대표도



명세서

청구범위

청구항 1

방법으로서,

제어기에서, 호스트 디바이스로부터 입력 벡터의 제1 비트 세트를 수신하는 단계;

제1 논리값을 갖는 상기 제1 비트 세트의 적어도 일부를 상기 제어기에 저장된 임계값과 비교하는 단계;

상기 비교에 적어도 부분적으로 기초하여 하나 이상의 비트와 상기 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당하는 단계;

상기 제1 비트 세트의 적어도 일부와 상기 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하는 단계; 및
생성된 제2 비트 세트를 상기 메모리의 블록에 저장하는 것을 개시하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 임계값과 연관된 인자에 적어도 부분적으로 기초하여 상기 제1 비트 세트를 하나 이상의 비트 세그먼트로 분할하는 단계;

상기 하나 이상의 비트 세그먼트 중 적어도 하나의 비트 세그먼트를 선택하는 단계; 및

선택된 적어도 하나의 비트 세그먼트의 비트 세트의 논리 상태를 반전시키는 단계를 더 포함하고, 상기 하나 이상의 비트의 값은 상기 비트 세트의 반전된 논리 상태에 적어도 부분적으로 기초하는, 방법.

청구항 3

제2항에 있어서,

상기 인자에 적어도 부분적으로 기초하여 상기 하나 이상의 비트 세그먼트의 비트 세그먼트의 수를 결정하는 단계를 더 포함하되, 상기 하나 이상의 비트의 수는 상기 비트 세그먼트의 수에 대응하는, 방법.

청구항 4

제1항에 있어서, 상기 제1 비트 세트의 적어도 일부를 비교하는 단계는,

제1 논리 상태를 갖는 상기 입력 벡터의 비트의 백분율을 식별하는 단계; 및

상기 백분율을 백분율 범위와 비교하는 단계를 포함하고, 상기 백분율 범위는 상기 임계값과 연관된 인자에 적어도 부분적으로 기초하는, 방법.

청구항 5

제1항에 있어서, 상기 제1 비트 세트의 적어도 일부를 비교하는 단계는,

상기 제1 비트 세트의 수가 상기 임계값을 충족시키지 않는다고 결정하는 단계; 및

상기 제1 비트 세트의 수가 상기 임계값을 충족시키지 않는다는 결정에 적어도 부분적으로 기초하여 상기 제1 비트 세트의 각각의 논리 상태를 반전시키는 단계를 포함하는, 방법.

청구항 6

제5항에 있어서,

상기 제1 비트 세트의 수가 상기 제1 비트 세트의 각각의 논리 상태를 반전시키는 것에 적어도 부분적으로 기초하여 상기 임계값을 충족시키지 않는다고 결정하는 단계;

상기 제1 비트 세트의 수가 상기 반전 후 상기 임계값을 충족시키지 않는다는 결정에 기초하여 상기 제1 비트 세트의 원래의 논리 상태를 복원하는 단계; 및

상기 제1 논리값을 갖는 상기 제1 비트 세트의 다른 부분을 상기 제어기에 저장된 상기 임계값과 비교하는 단계를 더 포함하는, 방법.

청구항 7

제1항에 있어서, 상기 제1 비트 세트의 적어도 일부를 비교하는 단계는,

상기 입력 벡터의 패턴 가중치를 상기 임계값과 연관된 인자에 적어도 부분적으로 기초한 범위와 비교하는 단계를 포함하는, 방법.

청구항 8

제1항에 있어서,

제1 논리 상태를 갖는 비트의 수에 적어도 부분적으로 기초하여 상기 입력 벡터의 패턴 가중치를 결정하는 단계를 더 포함하되, 상기 제1 논리 상태는 메모리 셀의 제1 세트의 임계 전압과 연관되고, 상기 제1 세트의 임계 전압은 상기 제1 논리 상태와는 다른 제2 논리 상태와 연관된 제2 세트의 임계 전압보다 더 작은, 방법.

청구항 9

방법으로서,

메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 상기 메모리 어레이에 인가하는 단계;

상기 활성화 전압을 인가하는 것에 적어도 부분적으로 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정하는 단계;

상기 제1 시간 후 지속 기간 동안 상기 활성화 전압의 인가를 유지하는 단계; 및

상기 지속 기간의 종료 후, 상기 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독하는 단계를 포함하는 방법.

청구항 10

제9항에 있어서,

상기 제2 세트의 메모리 셀이 제1 논리 상태에 대응하는 것이라고 결정하는 단계를 더 포함하는, 방법.

청구항 11

제9항에 있어서,

상기 제1 세트의 메모리 셀이 활성화되었다는 결정은 상기 메모리 셀의 그룹의 서브세트의 중앙(median) 임계 전압값에 적어도 부분적으로 기초하고, 상기 메모리 셀의 서브세트의 임계 전압은 상기 그룹의 나머지 메모리 셀의 임계 전압보다 더 작은, 방법.

청구항 12

제9항에 있어서,

상기 지속 기간은 추가 메모리 셀을 활성화시키는 것에 적어도 부분적으로 기초하여 결정되고, 상기 제2 세트의 메모리 셀은 상기 제1 세트의 메모리 셀 및 추가 메모리 셀을 포함하는, 방법.

청구항 13

제9항에 있어서,

상기 활성화 전압은 메모리 셀의 세트의 최소 임계 전압보다 더 작은 초기값을 갖는, 방법.

청구항 14

제9항에 있어서,

상기 활성화 전압은, 메모리 셀의 세트의 최소 임계 전압보다 더 크고 상기 메모리 셀의 세트의 중앙 임계 전압보다 더 작은 초기값을 갖는, 방법.

청구항 15

제9항에 있어서,

상기 활성화 전압은 시간에 따라 일정한 증가율을 갖는, 방법.

청구항 16

제9항에 있어서,

제3 세트의 메모리 셀이 제1 논리 상태와는 다른 제2 논리 상태에 대응하는 것이라고 결정하는 단계를 더 포함하되, 상기 제3 세트의 메모리 셀은 상기 지속 기간의 종료 후에 비활성화되는, 방법.

청구항 17

전자 메모리 장치로서,

메모리 매체; 및

상기 메모리 매체와 결합된 제어기를 포함하되, 상기 제어기는,

호스트 디바이스로부터 입력 벡터의 제1 비트 세트를 수신하고;

제1 논리값을 갖는 상기 제1 비트 세트의 적어도 일부를 상기 제어기에 저장된 임계값과 비교하고;

상기 비교에 적어도 부분적으로 기초하여 하나 이상의 비트와 상기 제1 비트 세트를 저장하기 위해 상기 메모리 매체의 메모리의 블록을 할당하고;

상기 제1 비트 세트의 적어도 일부와 상기 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하고;

생성된 제2 비트 세트를 상기 메모리의 블록에 저장하는 것을 개시하도록 동작 가능한, 전자 메모리 장치.

청구항 18

제17항에 있어서, 상기 제어기는,

상기 임계값과 연관된 인자에 적어도 부분적으로 기초하여 상기 제1 비트 세트를 하나 이상의 비트 세그먼트로 분할하고;

상기 하나 이상의 비트 세그먼트 중 적어도 하나의 비트 세그먼트를 선택하고;

선택된 적어도 하나의 비트 세그먼트의 비트 세트의 논리 상태를 반전시키도록 더 동작 가능하고, 상기 하나 이상의 비트의 값은 상기 비트 세트의 반전된 논리 상태에 적어도 부분적으로 기초하는, 전자 메모리 장치.

청구항 19

제17항에 있어서, 상기 제어기는,

제1 논리 상태를 갖는 상기 입력 벡터의 비트의 백분율을 식별하고;

상기 백분율을 백분율 범위와 비교하도록 더 동작 가능하고, 상기 백분율 범위는 상기 임계값과 연관된 인자에 적어도 부분적으로 기초하는, 전자 메모리 장치.

청구항 20

제17항에 있어서, 상기 제어기는,

상기 제1 비트 세트의 수가 상기 임계값을 충족시키지 않는다고 결정하고;

상기 제1 비트 세트의 수가 상기 임계값을 충족시키지 않는다는 결정에 적어도 부분적으로 기초하여 상기 제1

비트 세트의 각각의 논리 상태를 반전시키도록 더 동작 가능한, 전자 메모리 장치.

청구항 21

제17항에 있어서, 상기 제어기는,

상기 입력 벡터의 패턴 가중치를 범위와 비교하도록 더 동작 가능하고, 상기 범위는 상기 임계값과 연관된 인자에 적어도 부분적으로 기초하는, 전자 메모리 장치.

청구항 22

제17항에 있어서,

상기 메모리 매체는 상 변화 메모리 셀의 3차원 교차점 어레이를 포함하는, 전자 메모리 장치.

청구항 23

전자 메모리 장치로서,

메모리 어레이; 및

상기 메모리 어레이와 전자 통신하는 제어기를 포함하되, 상기 제어기는,

상기 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 상기 메모리 어레이에 활성화 전압을 인가하고;

상기 활성화 전압을 인가하는 것에 적어도 부분적으로 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정하고;

상기 제1 시간 후 지속 기간 동안 상기 활성화 전압의 인가를 유지하고;

상기 지속 기간의 종료 후에, 상기 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독하도록 동작 가능한, 전자 메모리 장치.

청구항 24

제23항에 있어서, 상기 제어기는,

상기 제2 세트의 메모리 셀이 제1 논리 상태에 대응하는 것이라고 결정하도록 더 동작 가능한, 전자 메모리 장치.

청구항 25

제23항에 있어서, 상기 제어기는,

상기 제1 세트의 메모리 셀이 상기 메모리 셀의 그룹의 서브세트의 중앙 임계 전압값에 적어도 부분적으로 기초하여 활성화되었다고 결정하도록 더 동작 가능하고, 상기 메모리 셀의 서브세트의 임계 전압은 상기 그룹의 나머지 메모리 셀의 임계 전압보다 더 작은, 전자 메모리 장치.

발명의 설명

기술 분야

상호 참조

[0001]

[0002]

본 특허 출원은 2017년 12월 22일자로 출원된 발명의 명칭이 "Auto-Referenced Memory Cell Read Techniques"인 미리치그니(Mirichigni) 등의 미국 특허 출원 번호 15/853,328의 우선권을 주장하고, 이 선출원 문헌은 양수인에게 양도되고, 전체 내용이 본 명세서에 명시적으로 병합된다.

[0003]

기술 분야

[0004]

본 출원은 일반적으로 메모리 어레이를 동작시키는 것에 관한 것으로, 보다 상세하게는 자동-참조 메모리 셀 판독 기법에 관한 것이다.

배경 기술

[0005] 메모리 디바이스는 컴퓨터, 무선 통신 디바이스, 카메라, 디지털 디스플레이 등과 같은 다양한 전자 디바이스에 정보를 저장하는 데 널리 사용된다. 정보는 메모리 디바이스의 다른 상태를 프로그래밍하는 것에 의해 저장된다. 예를 들어, 이진 디바이스는 종종 논리 "1" 또는 논리 "0"으로 표시되는 두 가지 상태를 갖는다. 다른 시스템에서, 2개를 초과하는 상태가 저장될 수 있다. 저장된 정보에 액세스하기 위해, 전자 디바이스의 구성 요소는 메모리 디바이스에 저장된 상태를 판독하거나 감지할 수 있다. 정보를 저장하기 위해, 전자 디바이스의 구성 요소는 상태를 메모리 디바이스에 기입하거나 또는 프로그래밍할 수 있다.

[0006] 자기 하드 디스크(magnetic hard disk), 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 동적 RAM(DRAM), 동기식 동적 RAM(SDRAM), 강유전성 RAM(FerRAM), 자기 RAM(MRAM), 저항성 RAM(RRAM), 플래시 메모리, 위상 변화 메모리(PCM) 등을 포함하는 다양한 유형의 메모리 디바이스가 존재한다. 메모리 디바이스는 휘발성 또는 비-휘발성일 수 있다. 비-휘발성 메모리 셀은 외부 전력원이 없는 경우에도 장기간 동안 저장된 논리 상태를 유지할 수 있다. 휘발성 메모리 셀은 외부 전력원에 의해 주기적으로 리프레시되지 않으면 시간이 지남에 따라 저장된 상태를 상실할 수 있다.

[0007] 메모리 디바이스를 개선하는 것은 일반적으로 다른 측정 사항 중에서도 특히 메모리 셀 밀도의 증가, 판독/기입 속도의 증가, 신뢰성의 증가, 데이터 보유의 증가, 전력 소비의 감소 또는 제조 비용의 감소를 포함할 수 있다. 메모리 셀이 가변 전기 특성을 나타낼 때 메모리 셀 성능 및 신뢰성을 증가시키기 위해 강력한 판독 기법이 요구될 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 3차원(3D) 메모리 셀 어레이를 갖는 메모리 디바이스 다이어그램의 일 실시예를 도시하는 도면;

도 2는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 3D 메모리 어레이의 일 실시예를 도시하는 도면;

도 3은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 임계 전압 분포의 실시예를 도시하는 도면;

도 4a 및 도 4b는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 기법을 도시하는 도면;

도 5a 및 도 5b는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 사용자 데이터 패턴 및 회로도의 실시예를 도시하는 도면;

도 6은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 도시하는 도면;

도 7 및 도 8은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 디바이스의 블록도를 도시하는 도면;

도 9는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 메모리 어레이를 포함하는 시스템의 블록도를 도시하는 도면; 및

도 10 내지 도 13은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 위한 방법을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 강력한 판독 기법은 메모리 셀의 성능 및 신뢰성을 향상시킬 수 있다. 일부 경우에, 메모리 셀은 다른 것들 중에서도 특히 통계적 프로세스의 변화, 사이클 이벤트(cycling event)(예를 들어, 메모리 셀에 대한 판독 또는 기입 동작), 또는 드리프트(예를 들어, 칼코게나이드 합금의 저항 변화)를 포함하는 다양한 인자로부터 비롯될 수 있는 불균일한 가변 전기 특성을 나타낸다. 자동-참조 메모리 셀 판독 기법은 데이터 세트를 저장하는 메모리 셀의 통계적 속성(예를 들어, 임계 전압의 표준 편차, 임계 전압의 추정된 중앙값(median))을 고려한 참조 전압(예를 들어, V_{REF})을 결정함으로써 데이터 세트(예를 들어, 코드워드, 페이지)를 판독하는 것을 수행하는 신뢰성 있고 강력한 판독 기법을 제공할 수 있다. 일부 경우에, 메모리 디바이스는 데이터 세트를 저장하기 위해 3D XPoint™(3DXP)와 같은 3D 아키텍처로 배열된 PCM 셀 어레이를 포함할 수 있다. (3DXP 메모리 셀이라고도 지칭될 수 있는) 3DXP 아키텍처의 PCM 셀은 제1 세트의 임계 전압과 연관된 제1 논리 상태(예를 들어, 논리 1, 셀

정(SET) 상태) 또는 제2 세트의 임계 전압과 연관된 제2 논리 상태(예를 들어, 논리 0, 리셋(RESET) 상태)를 나타낼 수 있다.

[0010] 일부 경우에, 자동-참조 판독은 메모리 디바이스에 존재할 수 있는 별개의 세트의 판독-참조 메모리 셀을 감소시키거나 제거한다. 판독-참조 메모리 셀은 다른 것들 중에서도 특히 제조 프로세스 단계 동안 상이한 프로세스 조건(예를 들어, 플라즈마 밀도의 불균일한 로딩 패턴), 상이한 사이클 이벤트 등과 같은 다양한 이유로 인해 사용자 데이터를 저장하는 대다수의 메모리 셀과 공통의 전기적 특성을 갖지 않을 수 있다. 따라서, 별개의 세트의 판독-참조 메모리 셀은 판독 동작 동안 신뢰성 있는 참조 방식을 제공하지 않을 수 있다.

[0011] 자동-참조 판독은 사용자 데이터를 메모리 셀(예를 들어, PCM 셀, 3DXP 메모리 셀)에 저장하기 전에 사용자 데이터(예를 들어, 128 비트의 코드 워드)의 일부 숫자 비트가 주어진 논리 상태(예를 들어, 1의 논리 상태)를 갖도록 하는 인코딩 기법을 포함할 수 있다. 일부 실시형태에서, 1의 논리 상태(예를 들어, 설정 셀 또는 비트로 지칭될 수 있는 PCM 셀의 설정 상태)는 0의 논리 상태(예를 들어, 리셋 셀 또는 비트로 지칭될 수 있는 PCM 셀의 리셋 상태)와 연관된 임계 전압 세트보다 더 낮은 임계 전압 세트에 대응한다. 인코딩 기법은 미리 결정된 인자(k)에 의해 수립될 수 있는 주어진 범위 내에서 1의 논리 상태를 갖는 비트(예를 들어, 설정 비트)의 수를 제공할 수 있다. 일부 경우에, 1의 논리 상태를 갖는 비트의 수(예를 들어, 32개의 설정 비트)와 사용자 데이터의 총 비트 수(예를 들어, 128개의 비트) 사이의 비율은 가중치(예를 들어, 25% 가중치) 또는 가중치 패턴으로 지칭될 수 있다. 일부 예에서, 인코딩 기법은 인코딩된 사용자 데이터가 미리 결정된 인자(k)에 의해 수립된 가중치의 범위(예를 들어, 50% 내지 $(50 + 50/k)\%$) 내에서 특정 가중치를 갖는 것을 보장할 수 있다. k 값이 클수록 범위가 좁아져서, 자동-참조 판독의 정확도가 높아질 수 있다. 또한, 인코딩 기법은 인코딩된 사용자 데이터와 연관된 k 개의 비트 수를 저장함으로써 인코딩 동작 동안 사용자 데이터의 변화를 추적할 수 있다. 플립 비트로 지칭될 수 있는 k 개의 비트 수는 인코딩된 사용자 데이터의 디코딩이 정확하게 수행될 수 있도록 원래의 사용자 데이터의 상태를 나타낼 수 있다.

[0012] 자동-참조 판독 기법은 인코딩된 사용자 데이터를 포함하는 메모리 셀의 그룹을 활성화시키도록 구성된 메모리 어레이에 전압(예를 들어, 판독 전압)을 인가하는 것을 포함할 수 있다. 전압은 특정 전압값과 특정 시간 사이의 전단사 대응(예를 들어, 일대일 대응)을 제공하는 율(rate)로 시간의 함수로서 증가할 수 있다. 일부 실시형태에서, 판독 전압은 시간에 따라 일정한 증가율을 갖는다. 다른 실시형태에서, 판독 전압은, 제1 전압이 제1 시간 기간 동안 인가된 후 제2 시간 기간 동안 다른 제2 전압이 인가되는 방식으로 단조 증가하는 계단 형상을 갖는다. 인가된 전압은 인코딩된 사용자 데이터를 저장하는 메모리 셀의 그룹을 활성화시킴으로써 일련의 스위칭 이벤트를 개시할 수 있다. 스위칭 이벤트는 메모리 셀에 걸쳐 인가된 전압이 임계 전압(V_{TH}), 예를 들어, 메모리 셀과 연관된 임계 전압을 초과할 때 메모리 셀이 턴온(예를 들어, 상당한 양의 전류를 전도하는 것)에 기인할 수 있다. 따라서, 판독 전압이 증가하는 것에 응답하여 일련의 스위칭 이벤트를 개시하는 것은 임계 전압값이 오름차순으로 메모리 셀을 식별하는 것과 유사할 수 있다.

[0013] j 번째 스위칭 이벤트를 나타내는 메모리 셀의 그룹의 특정 메모리 셀은 메모리 셀의 그룹 중 j 번째로 최소 임계 전압값을 갖는 것으로 고려될 수 있다. 자동-참조 판독 기법은 특정 스위칭 이벤트(예를 들어, j 번째 스위칭 이벤트)가 (예를 들어, 임계 전압 분포의 통계적 속성을 이용함으로써) 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)의 중앙 임계 전압값과 상관되는 것을 식별하는데 사용될 수 있다. j 번째 스위칭 이벤트를 나타내는 메모리 셀을 포함하여 활성화된 메모리 셀은 1의 논리 상태를 갖는 것(예를 들어, 설정 셀)으로 결정될 수 있다.

[0014] (예를 들어, j 번째 메모리 셀이 활성화된) j 번째 스위칭 이벤트를 검출할 때, 자동-참조 판독 기법은 판독 전압의 인가를 유지하기 위해 고정된 시간(예를 들어, 참조 지연 시간)을 식별하는데 사용될 수 있다. 인가된 판독 전압은 (예를 들어, 추가 메모리 셀이 활성화되는) 추가 스위칭 이벤트를 검출하기 위해 고정된 시간 동안 계속 증가할 수 있다. 고정된 시간이 만료된 후, 고정된 시간 동안 활성화된 추가 메모리 셀은 1의 논리 상태를 갖는 것(예를 들어, j 번째 스위칭 이벤트를 나타내는 메모리 셀의 특정 V_{TH} 값보다 더 큰 V_{TH} 값을 갖는 설정 셀)으로 결정될 수 있다. 고정된 시간은 다른 것들 중에서도 특히 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)의 V_{TH} 분포의 표준 편차, j 번째 메모리 셀(예를 들어, j 번째 스위칭 이벤트를 나타내는 메모리 셀)을 식별하는데 있어서의 불확실성 인자, 마진 인자를 포함하는 다수의 인자에 의해 결정될 수 있다. 일부 실시형태에서, 고정된 시간이 만료될 때, 자동-참조 판독은 이 시간만큼 활성화된 모든 메모리 셀이 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)이라고 결정한다. 인코딩된 사용자 데이터의 나머지 메모리 셀(예를 들어, 고정된 시간이 만료될 때 비활성 메모리 셀)은 0의 논리 상태를 갖는 메모리 셀(예를 들어, 리셋 셀)이라고 결정될 수

있다.

- [0015] 위에서 도입된 본 발명의 특징은 메모리 디바이스의 메모리 어레이와 관련하여 본 명세서에서 추가로 설명된다. 이후, 일부 실시형태에 따른 자동-참조 판독 기법의 다양한 특징(예를 들어, PCM 셀 또는 3DXP 메모리 셀을 포함하는 메모리 어레이)을 설명하기 위해 특정 비-제한적인 예가 설명된다. 본 발명의 이들 및 다른 특징은 자동-참조 메모리 셀 판독 기법과 연관된 장치도, 시스템도 및 흐름도를 참조하여 추가로 예시되고 설명된다. 그러나, 이 기술 분야에 통상의 지식을 가진 자라면 다른 대안 및 다른 변형이 구체적으로 고려되고 본 발명의 범위 내에 포함된다는 것을 이해할 수 있을 것이다.
- [0016] 도 1은 본 발명의 실시형태에 따른 예시적인 메모리 디바이스(100)를 도시한다. 메모리 디바이스(100)는 전자 메모리 장치로 지칭될 수도 있다. 도 1은 메모리 디바이스(100)의 다양한 구성 요소 및 특징의 예시적인 표현이다. 이와 같이, 메모리 디바이스(100)의 구성 요소 및 특징은 기능적 상호 관계를 도시하기 위해 도시된 것일 뿐, 메모리 디바이스(100) 내의 실제 물리적 위치를 나타내지 않을 수 있는 것으로 이해된다.
- [0017] 도 1의 예시적인 예에서, 메모리 디바이스(100)는 3D 메모리 어레이(102)를 포함한다. 3D 메모리 어레이(102)는 상이한 상태를 저장하도록 프로그래밍될 수 있는 메모리 셀(105)을 포함한다. 일부 실시형태에서, 각각의 메모리 셀(105)은 논리 0 및 논리 1로 표시되는 2개의 상태를 저장하도록 프로그래밍될 수 있다. 일부 실시형태에서, 메모리 셀(105)은 2개를 초과하는 논리 상태를 저장하도록 구성될 수 있다. 일부 실시형태에서, 메모리 셀(105)은 PCM 셀(예를 들어, 3DXP 메모리 셀)을 포함할 수 있다. 도 1에 포함된 일부 요소는 수치 표시로 표시되어 있고 다른 대응하는 요소는 표시되어 있지 않지만, 이들은 도시된 특징의 가시성 및 선명도를 증가시키기 위한 노력으로 동일하거나 유사한 것으로 이해될 수 있다.
- [0018] 3D 메모리 어레이(102)는 서로 인접하여 (예를 들어, 서로 상하로 또는 좌우로) 형성된 2개 이상의 2차원(2D) 메모리 어레이를 포함할 수 있다. 이는 2D 어레이에 비해 단일 다이 또는 기판 상에 놓거나 생성될 수 있는 메모리 셀(105)의 수를 증가시킬 수 있어서, 생산 비용을 감소시키거나 메모리 디바이스의 성능을 증가시키거나, 또는 이 둘 다를 달성할 수 있다. 도 1에 도시된 예에 기초하여, 메모리 어레이(102)는 2개의 레벨의 메모리 셀(105)을 포함하고, 3D 메모리 어레이로 고려될 수 있지만; 레벨의 수는 2개로 제한되지 않을 수 있다. 각각의 레벨은 메모리 셀(105)이 각 레벨에 걸쳐 서로 정렬될 수 있도록 (정확히 정렬되거나, 오버랩되어 정렬되거나 또는 대략 정렬될 수 있도록) 정렬되거나 위치되어, 메모리 셀 스택(145)을 형성할 수 있다. 일부 경우에서, 메모리 셀 스택(145)은 서로 상하로 놓인 PCM 셀(예를 들어, 3DXP 메모리 셀)을 포함할 수 있다.
- [0019] 일부 실시형태에서, 메모리 셀(105)의 각 행은 액세스 라인(110)에 연결되고, 메모리 셀(105)의 각 열은 비트 라인(115)에 연결된다. 액세스 라인(110)과 비트 라인(115)은 서로 실질적으로 직교할 수 있고, 메모리 셀의 어레이를 생성할 수 있다. 도 1에 도시된 바와 같이, 메모리 셀 스택(145) 내의 2개의 메모리 셀(105)은 비트 라인(115)과 같은 공통 전도성 라인을 공유할 수 있다. 즉, 비트 라인(115)은 상위 메모리 셀(105)의 하부 전극 및 하위 메모리 셀(105)의 상부 전극과 전자 통신할 수 있다. 다른 실시형태에서, 각각의 메모리 셀(105)(예를 들어, 상위 메모리 셀, 하위 메모리 셀)은 자기 자신의 비트 라인으로 구성될 수 있다. 이러한 경우, 메모리 셀은 절연 층에 의해 분리될 수 있다. 다른 구성도 가능할 수 있는데, 예를 들어, 제3 층은 액세스 층(110)을 하위 층과 공유할 수 있다. 일반적으로, 하나의 메모리 셀(105)은 액세스 라인(110) 및 비트 라인(115)과 같은 2개의 전도성 라인의 교차 지점에 위치될 수 있다. 이 교차 지점은 메모리 셀의 어드레스로 지칭될 수 있다. 타겟 메모리 셀(105)은 통전된 액세스 라인(110)과 비트 라인(115)의 교차 지점에 위치한 메모리 셀(105)일 수 있는데; 즉, 액세스 라인(110)과 비트 라인(115)은 그 교차 지점에서 메모리 셀(105)을 판독하거나 기입하기 위해 통전될 수 있다. 동일한 액세스 라인(110) 또는 비트 라인(115)과 전자 통신하는(예를 들어, 연결된) 다른 메모리 셀(105)은 타겟이 없는 메모리 셀(105)이라고 지칭될 수 있다.
- [0020] 전술한 바와 같이, 전극은 메모리 셀(105)과 액세스 라인(110) 또는 비트 라인(115)에 결합될 수 있다. 전극이라는 용어는 전기 전도체를 지칭할 수 있고, 일부 경우에 메모리 셀(105)과의 전기 접점으로서 사용될 수 있다. 전극은 메모리 디바이스(100)의 요소 또는 구성 요소들 사이에 전도성 경로를 제공하는 트레이스, 와이어, 전도성 라인, 전도성 층 등을 포함할 수 있다. 일부 실시형태에서, 메모리 셀(105)은 제1 전극과 제2 전극 사이에 위치한 칼코게나이드 합금을 포함할 수 있다. 제1 전극의 일측은 액세스 라인(110)에 결합될 수 있고 제1 전극의 타측은 칼코게나이드 합금에 결합될 수 있다. 또한, 제2 전극의 일측은 비트 라인(115)에 결합될 수 있고 제2 전극의 타측은 칼코게나이드 합금에 결합될 수 있다. 제1 전극 및 제2 전극은 동일한 물질(예를 들어, 탄소)이거나 상이할 수 있다. 다른 실시형태에서, 메모리 셀(105)은 칼코게나이드 합금을 도 2에 도시된 바와 같이 두 부분으로 분리하기 위해 추가 전극을 포함할 수 있다. 칼코게나이드 합금의 제1 부분은 칼코게나이드 합금의

제2 부분과 상이한 조성을 가질 수 있다. 일부 실시 형태에서, 칼코게나이드 합금의 제1 부분은 칼코게나이드 합금의 제2 부분과 상이한 기능을 가질 수 있다. 추가 전극은 제1 전극 또는 제2 전극과 동일한 물질(예를 들어, 탄소)이거나 상이한 물질일 수 있다.

[0021] 판독 및 기입과 같은 동작은 액세스 라인(110)과 비트 라인(115)을 통전시키거나 선택함으로써 메모리 셀(105)에 대해 수행될 수 있다. 일부 실시형태에서, 액세스 라인(110)은 워드 라인(110)으로 알려질 수 있고, 비트 라인(115)은 디지털 라인(115)으로 알려질 수 있다. 워드 라인과 비트 라인 또는 그 유사어를 언급하는 것은 동작을 이해하는 것을 상실함이 없이 상호 교환 가능하다. 워드 라인(110) 또는 디지털 라인(115)을 통전시키거나 또는 선택하는 것은 각각의 라인에 전압을 인가하는 것을 포함할 수 있다. 워드 라인(110)과 디지털 라인(115)은 금속(예를 들어, 구리(Cu), 알루미늄(Al), 금(Au), 텅스텐(W), 티타늄(Ti)), 금속 합금, 탄소, 전도성으로 도핑된 반도체, 또는 다른 전도성 물질, 합금, 화합물 등과 같은 전도성 물질로 만들어질 수 있다.

[0022] 일부 아키텍처에서, 메모리 셀의 논리 저장 디바이스(예를 들어, 커패시터, 저항기)는 선택 구성 요소에 의해 디지털 라인으로부터 전기적으로 절연될 수 있다. 워드 라인(110)은 선택 구성 요소에 연결될 수 있고 선택 구성 요소를 제어할 수 있다. 예를 들어, 선택 구성 요소는 트랜지스터일 수 있고 워드 라인(110)은 트랜지스터의 게이트에 연결될 수 있다. 워드 라인(110)을 통전시키면 메모리 셀(105)의 논리 저장 디바이스와 이와 대응하는 디지털 라인(115) 사이에 전기적 연결 또는 폐쇄 회로가 발생한다. 이후 디지털 라인은 메모리 셀(105)을 판독하거나 기입하기 위해 액세스될 수 있다. 메모리 셀(105)을 선택할 때, 결과 신호는 저장된 논리 상태를 결정하는데 사용될 수 있다. 일부 경우에, 제1 논리 상태는 전류가 없는 것에 대응하거나 무시할 수 있는 작은 전류에 대응할 수 있는 반면, 제2 논리 상태는 유한한 양의 전류에 대응할 수 있다. 일부 경우에, 메모리 셀(105)은 3DXP 메모리 셀 또는 자가-선택 메모리 셀을 포함할 수 있고, 이 둘 모두는 2개의 단자를 갖고, 별개의 선택 구성 요소를 이용하지 않을 수 있다. 이와 같이, 3DXP 메모리 셀 또는 자가-선택 메모리 셀의 하나의 단자는 워드 라인(110)에 전기적으로 연결될 수 있고, 3DXP 메모리 셀 또는 자가-선택 메모리 셀의 다른 단자는 디지털 라인(115)에 전기적으로 연결될 수 있다.

[0023] 메모리 셀(105)에 액세스하는 것은 행 디코더(120) 및 열 디코더(130)를 통해 제어될 수 있다. 예를 들어, 행 디코더(120)는 메모리 제어기(140)로부터 행 어드레스를 수신하고, 수신된 행 어드레스에 기초하여 적절한 워드 라인(110)을 통전시킬 수 있다. 유사하게, 열 디코더(130)는 메모리 제어기(140)로부터 열 어드레스를 수신하고 적절한 디지털 라인(115)을 통전시킬 수 있다. 예를 들어, 메모리 어레이(102)는 WL_B1(또는 WL_T1) 내지 WL_BM(또는 WL_TM)으로 표시된 다수의 워드 라인(110), 및 DL_1 내지 DL_N으로 표시된 다수의 디지털 라인(115)을 포함할 수 있으며, 여기서 M 및 N은 어레이의 크기에 의존한다. 따라서, 워드 라인(110)과 디지털 라인(115), 예를 들어 WL_B2 및 DL_3을 통전시킴으로써, 그 교차 지점에 있는 메모리 셀(105)이 액세스될 수 있다.

[0024] 액세스할 때, 메모리 셀(105)은 메모리 셀(105)의 저장된 상태를 결정하기 위해 감지 구성 요소(125)에 의해 판독되거나 감지될 수 있다. 예를 들어, 전압이 메모리 셀(105)(대응하는 워드 라인(110)과 디지털 라인(115)을 사용하여)에 인가될 수 있고, 결과적인 전류의 존재는 메모리 셀(105)의 임계 전압 및 인가된 전압에 의존할 수 있다. 일부 경우에, 하나를 초과하는 전압이 인가될 수 있다. 추가적으로, 인가된 전압이 전류 흐름을 야기하지 않으면, 감지 구성 요소(125)에 의해 전류가 검출될 때까지 다른 전압이 인가될 수 있다. 전류 흐름을 야기하는 전압을 평가함으로써, 메모리 셀(105)의 저장된 논리 상태가 결정될 수 있다. 일부 경우에, 전류 흐름이 검출될 때까지 (예를 들어, 메모리 셀이 턴온되거나, 스위칭온되거나, 전류를 전도하거나, 활성화될 때까지) 전압이 크기가 램프업(ramped up)될 수 있다. 다른 경우에, 전류가 검출될 때까지 미리 결정된 전압이 순차적으로 인가될 수 있다. 마찬가지로, 전류가 메모리 셀(105)에 인가될 수 있고, 전류를 생성하기 위한 전압의 크기는 메모리 셀(105)의 임계 전압 또는 전기 저항에 의존할 수 있다. 일부 경우에, 메모리 셀(105)(예를 들어, PCM 셀)은 정보를 저장하기 위해 메모리 셀(105)의 임계 전압을 결정하는 (예를 들어, 결정상과 비정질상 간에) 이의 결정학적 구성을 변경하는 물질을 포함한다. 다른 경우에, 메모리 셀(105)(예를 들어, 자가-선택 메모리 셀)은 정보를 저장하기 위해 가변 임계 전압을 나타낼 수 있는 결정학적 구성(예를 들어, 비정질상)으로 유지되는 물질을 포함한다.

[0025] 감지 구성 요소(125)는 래칭(latching)이라고 지칭될 수 있는, 신호의 차이를 검출하거나 증폭하기 위해 다양한 트랜지스터 또는 증폭기를 포함할 수 있다. 메모리 셀(105)의 검출된 논리 상태는 이후 열 디코더(130)를 통해 입력/출력(I/O)(135)으로 출력될 수 있다. 일부 경우에, 감지 구성 요소(125)는 열 디코더(130) 또는 행 디코더(120)의 일부일 수 있다. 또는 감지 구성 요소(125)는 열 디코더(130) 또는 행 디코더(120)에 연결되거나 전자 통신할 수 있다. 도 1은 또한 감지 구성 요소(125-a)를 (파선 박스로) 배열하는 대안적인 옵션을 도시한다. 이 기술 분야에 통상의 지식을 가진 자라면 감지 구성 요소(125)는 어떤 기능도 상실하지 않으면서 열 디코더(130)

또는 행 디코더(120)와 연관될 수 있다는 것을 이해할 수 있을 것이다.

- [0026] 메모리 셀(105)은 관련 워드 라인(110)과 디지털 라인(115)을 유사하게 통전시킴으로써 설정되거나 기입될 수 있고, 적어도 하나의 논리값이 메모리 셀(105)에 저장될 수 있다. 열 디코더(130) 또는 행 디코더(120)는 메모리 셀(105)에 기입될 데이터를 예를 들어 I/O(135)를 통해 수신할 수 있다.
- [0027] 일부 메모리 아키텍처에서, 메모리 셀(105)에 액세스하는 것은 저장된 논리 상태를 열화시키거나 파괴할 수 있고, 재기입 또는 리프래시 동작이 원래의 논리 상태를 메모리 셀(105)로 복귀시키기 위해 수행될 수 있다. 예를 들어, DRAM에서, 커패시터는 저장된 감지 동작 동안 부분적으로 또는 완전히 방전되어 저장된 논리 상태가 손상될 수 있다. 따라서 감지 동작 후 논리 상태는 재기입될 수 있다. 추가적으로, 단일 워드 라인(110)을 통전시키면 행의 모든 메모리 셀이 방전될 수 있고; 따라서, 행 내의 몇몇 또는 모든 메모리 셀(105)은 재기입 절차를 겪을 수 있다. 자가-선택 메모리, PCM(예를 들어, 3DXP 메모리), FeRAM 또는 3D Not-AND(NAND) 메모리와 같은 비-휘발성 메모리에서, 메모리 셀(105)에 액세스하는 것은 논리 상태를 파괴하지 않을 수 있고, 따라서 메모리 셀(105)은 액세스 후에 재기입을 겪지 않을 수 있다.
- [0028] 메모리 제어기(140)는 다양한 구성 요소, 예를 들어 행 디코더(120), 열 디코더(130) 및 감지 구성 요소(125)를 통해 메모리 셀(105)의 동작(예를 들어, 판독, 기입, 재기입, 리프래시, 방전)을 제어할 수 있다. 일부 경우에, 행 디코더(120), 열 디코더(130) 및 감지 구성 요소(125) 중 하나 이상은 메모리 제어기(140)와 함께 위치될 수 있다. 메모리 제어기(140)는 주어진 워드 라인(110)과 디지털 라인(115)을 통전시키기 위해 행 및 열 어드레스 신호를 생성할 수 있다. 메모리 제어기(140)는 또한 메모리 디바이스(100)의 동작 동안 사용되는 다양한 전압 또는 전류를 생성 및 제어할 수 있다.
- [0029] 메모리 제어기(140)는 일부 실시형태에서 I/O(135)를 통해 사용자 데이터를 수신하고, 사용자 데이터가 미리 결정된 조건을 충족하는지 여부를 결정한다. 미리 결정된 조건은 사용자 데이터의 비트들 중 1의 논리 상태를 갖는 비트의 수(예를 들어, PCM 메모리 셀의 설정 상태)로 수립될 수 있다. 메모리 제어기(140)는 메모리 셀(105)에 사용자 데이터를 저장하기 전에 미리 결정된 조건을 충족시키기 위해 사용자 데이터를 인코딩할 수 있다. 메모리 제어기(140)는 인코딩 동작 동안 특정 수의 비트를 사용자 데이터에 추가하여 사용자 데이터에 이루어진 변경을 추적할 수 있다. 인코딩 동작의 결과로서, 인코딩된 사용자 데이터는 2개의 알려진 경계(예를 들어, 총 128 비트를 갖는 인코딩된 사용자 데이터 중에서 하한으로서 64 비트 및 상한으로서 80 비트)를 갖는 범위 내에서 1의 논리 상태를 갖는 비트의 수(예를 들어, 설정 셀의 수)를 갖도록 구성될 수 있다.
- [0030] 메모리 제어기(140)는 인코딩된 사용자 데이터를 저장하는 메모리 셀(예를 들어, 설정 셀)의 서브세트의 중앙 임계 전압에 가까운 임계 전압값을 갖는 메모리 셀(105)(예를 들어, 설정 셀 중 j번째 메모리 셀)을 식별할 수 있다. 메모리 제어기(140)는 (예를 들어, 워드 라인(110)과 디지털 라인(115)을 통해) 판독 전압을 인가하고 j번째 메모리 셀이 턴온(예를 들어, j번째 스위칭 이벤트)될 때까지 판독 전압을 증가시킬 수 있다. 메모리 제어기(140)가 (예를 들어, 감지 구성 요소(125)를 통해) j번째 메모리 셀이 턴온되는 것을 검출하면, 메모리 제어기(140)는 추가 메모리 셀(105)이 턴온되는 것을 검출하면서 고정된 시간 기간(예를 들어, 판독 참조 지연) 동안 판독 전압을 계속 증가시킬 수 있다. 일부 실시형태에서, 고정된 시간 기간이 만료되면, 메모리 제어기(140)는 턴온된 (예를 들어, 활성화된) 메모리 셀(105)이 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)(105)이라고 결정한다. 또한, 메모리 제어기(140)는 고정된 시간 기간이 만료될 때까지 턴온되지 않은 (예를 들어, 활성화되지 않은) 나머지 메모리 셀(105)이 0의 논리 상태를 갖는 메모리 셀(105)(예를 들어, 설정 셀의 것보다 더 큰 임계 전압과 연관된 리셋 셀)이라고 결정할 수 있다.
- [0031] 일반적으로, 본 명세서에서 논의된 인가된 전압 또는 전류의 진폭, 형상, 극성 또는 지속 기간은 조정되거나 변경될 수 있으며, 메모리 디바이스(100)를 동작시킬 때 논의된 다양한 동작마다 상이할 수 있다. 또한, 메모리 어레이(102) 내 하나의, 다수의 또는 모든 메모리 셀(105)은 동시에 액세스될 수 있으며; 예를 들어, 메모리 어레이(102)의 다수의 또는 모든 셀은 모든 메모리 셀(105) 또는 메모리 셀(105)의 그룹을 단일 논리 상태로 설정하는 리셋 동작 동안 동시에 액세스될 수 있다.
- [0032] 도 2는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 메모리 어레이(202)의 일례를 도시한다. 메모리 어레이(202)는 도 1을 참조하여 설명된 메모리 어레이(102)의 일부의 일례일 수 있다. 도 2에 도시된 바와 같이, 메모리 어레이(202)는 메모리 셀(105-a)을 구성하기 위해 다수의 물질을 포함한다. 각각의 메모리 셀(105-a)은 수직 방향으로 (예를 들어, 기판에 수직으로) 적층되어 메모리 셀 스택(예를 들어, 메모리 셀 스택(145))을 생성한다. 메모리 셀(105-a)은 도 1을 참조하여 설명된 메모리 셀(105)의 일례일 수 있다. 메모리 어레이(202)는 3D 메모리 어레이로 지칭될 수 있다. 메모리 어레이(202)의 아키텍처는 교차점 아키텍처로

지칭될 수 있다. 도 2에 포함된 일부 요소는 수치 표시로 표시되어 있고 다른 대응하는 요소는 표시되어 있지 않지만, 이들 요소는 도시된 특징의 가시성 및 선명도를 증가시키기 위한 노력으로 동일하거나 유사한 것으로 이해될 수 있다.

[0033] 메모리 어레이(202)는 도 1을 참조하여 설명된 워드 라인(110)과 디지털 라인(115)의 예일 수 있는 워드 라인(110-a)과 비트 라인(115-a)을 더 포함한다. 도 2에 도시된 워드 라인(110-a)과 비트 라인(115-a) 사이의 물질의 도시는 도 1의 메모리 셀(105)의 하부 부분을 나타낼 수 있다. 메모리 어레이(202)는 전극(205), 논리 저장 요소(210), 선택기 디바이스 요소(220) 및 기판(225)을 포함한다. 일부 예에서, (도시되지 않음, 선택기 디바이스 요소(220), 논리 저장 요소(210) 및 전극(205-b)을 대체하는) 칼코게나이드 합금을 포함하는 단일 구성 요소는 논리 저장 요소 및 선택기 디바이스 둘 모두로서 작용할 수 있다. 전극(205-a)은 비트 라인(115-a)과 전자 통신할 수 있고, 전극(205-c)은 워드 라인(110-a)과 전자 통신할 수 있다.

[0034] 빈 공간으로 도시된 절연 물질은 전기 및 열 절연성일 수 있다. 본 명세서에 설명된 바와 같이, PCM 기술에서, 메모리 셀(105-a)의 다양한 임계 전압을 나타내는, 메모리 셀(105-a)의 논리 저장 요소(210)의 전기 저항을 변화시킴으로써 다양한 논리 상태들이 저장될 수 있다. 일부 경우에, 다양한 논리 상태를 저장하는 것은 메모리 셀(105-a)을 통해 전류를 통과시키거나, 메모리 셀(105-a)의 논리 저장 요소(210)를 가열하거나, 또는 메모리 셀(105-a)의 논리 저장 요소(210)의 물질을 전체적으로 또는 부분적으로 용융시키는 것을 포함한다. 임계 전압 변화와 같은 다른 저장 메커니즘이 칼코게나이드 기반 메모리에서 이용될 수 있다.

[0035] 일부 경우에, 메모리 어레이(202)는 메모리 셀 스택의 어레이를 포함할 수 있고, 각각의 메모리 셀 스택은 다수의 메모리 셀(105-a)을 포함할 수 있다. 메모리 어레이(202)는 워드 라인(110-a)과 같은 전도성 물질의 스택을 형성하고 각 전도성 물질을 중간에 전기 절연 물질에 의해 인접한 전도성 물질로부터 분리시킴으로써 이루어질 수 있다. 전기 절연 물질은 실리콘 산화물, 실리콘 질화물 또는 다른 전기 절연 물질과 같은 산화물 또는 질화물 물질을 포함할 수 있다. 이들 물질은 실리콘 웨이퍼와 같은 기판(225) 위에 형성되거나 또는 임의의 다른 반도체 또는 산화물 기판 위에 형성될 수 있다. 후속하여, 각각의 메모리 셀(105-a)이 워드 라인(110-a)과 비트 라인(115-a)과 결합될 수 있도록 워드 라인(110-a)과 비트 라인(115-a) 사이에 물질을 형성하기 위해 다양한 프로세스 단계들이 이용될 수 있다.

[0036] 선택기 디바이스 요소(220)는 전극(205-b)을 통해 논리 저장 요소(210)와 연결될 수 있다. 일부 예에서, 선택기 디바이스 요소(220) 및 논리 저장 요소(210)의 위치는 플립(flipped)될 수 있다. 선택기 디바이스 요소(220), 전극(205-b) 및 논리 저장 요소(210)를 포함하는 복합 스택은 전극(205-c)을 통해 워드 라인(110-a)에 연결될 수 있고, 전극(205-a)을 통해 비트 라인(115-b)에 연결될 수 있다. 선택기 디바이스 요소는 특정 메모리 셀(105-a)을 선택하는 것을 보조할 수 있고 또는 선택된 메모리 셀(105-a)에 인접한 비-선택된 메모리 셀(105-a)을 통해 스트레이 전류가 흐르는 것을 방지하는 데 도움을 줄 수 있다. 선택기 디바이스 요소(220)는 전기 비-선형 구성 요소(예를 들어, 비-옴 구성 요소), 예를 들어, 금속-절연체-금속(MIM) 접합부, 오보닉(Ovonic) 임계 스위치(OTS), 또는 금속-반도체-금속(MSM) 스위치, 다른 유형의 2-단자 선택기 디바이스, 예를 들어, 다이오드를 포함할 수 있다. 일부 경우에, 선택기 디바이스 요소는 칼코게나이드 합금을 포함한다. 선택기 디바이스는 일부 예에서 셀레늄(Se), 비소(As), 실리콘(Si) 및 게르마늄(Ge)의 합금을 포함한다.

[0037] 위에서 논의된 바와 같이, 도 2의 메모리 셀(105-a)은 가변 저항을 갖는 물질을 포함할 수 있다. 가변 저항 물질은 예를 들어 금속 산화물, 칼코게나이드 등을 포함하는 다양한 물질 시스템을 지칭할 수 있다. 칼코게나이드 물질은 황(S), 텔루륨(Te) 또는 셀레늄(Se) 원소 중 적어도 하나를 포함하는 물질 또는 합금이다. 많은 칼코게나이드 합금이 가능할 수 있고, 예를 들어 게르마늄-안티몬-텔루륨 합금(Ge-Sb-Te)은 칼코게나이드 화합물이다. 본 명세서에 명시적으로 언급되지 않은 다른 칼코게나이드 합금이 또한 사용될 수 있다.

[0038] 저 저항 상태를 설정하기 위해, 메모리 셀(105-a)을 통해 전류를 통과시킴으로써 메모리 셀(105-a)이 가열될 수 있다. 유한 저항을 갖는 물질을 통해 흐르는 전기 전류에 의해 야기된 가열은 줄(Joule) 가열 또는 옴 가열로 지칭될 수 있다. 줄 가열은 전극 또는 상 변화 물질의 전기 저항과 관련될 수 있다. 상 변화 물질을 상승된 온도로 (그러나 용융 온도 미만으로) 가열하면 상 변화 물질이 결정화되어 저 저항 상태를 형성할 수 있다. 일부 경우에, 메모리 셀(105-a)은 줄 가열 이외의 수단, 예를 들어 레이저를 사용하여 가열될 수 있다. 고 저항 상태를 설정하기 위해, 상 변화 물질은 예를 들어 줄 가열에 의해 그 용융 온도를 넘어 가열될 수 있다. 용융된 물질의 비정질 구조는 상 변화 물질을 신속하게 냉각시키기 위해 인가된 전류를 제거함으로써 퀸칭(quenched) 또는 로킹(locked in)될 수 있다.

[0039] 일부 경우에, 메모리 셀(105-a)은 다수의 사이클 동작(예를 들어, 일련의 판독 또는 기입 동작) 후에 상이한 전

기적 특성을 나타낼 수 있다. 예를 들어, 1의 논리 상태를 저장하기 위해 동일한 프로그래밍 펄스(예를 들어, 설정 프로그래밍 펄스)를 수신한 후, 1의 논리 상태에 대응하는 메모리 셀(105-a)(예를 들어, PCM 셀)의 임계 전압은, 많은 수의 판독 또는 기입 동작을 통해 사이클된 메모리 셀(105-a)에 비해 메모리 셀(105-a)이 비교적 새로운 것(예를 들어, 적은 수의 판독 또는 기입 동작을 갖는 PCM 셀)인 경우 상이할 수 있다. 또한, 일부 경우에, 메모리 셀(105-a)(예를 들어, 논리 저장 요소(210)) 내 칼코게나이드 물질은 기입 동작 동안 칼코게나이드 물질의 프로그래밍(예를 들어, 결정화 또는 퀀칭) 후에 (드리프트라고 지칭될 수 있는) 저항의 변화를 경험할 수 있다. 이러한 저항의 변화는 메모리 셀(105-a)의 임계 전압을 변화시킬 수 있고, 예를 들어 특정 시간 기간이 경과한 후에 메모리 셀(105-a)(예를 들어, PCM 셀)로부터 정보를 정확하게 판독하는 것을 방해할 수 있다. 일부 실시형태에서, 변화량은 주위 온도의 함수일 수 있다.

[0040] 자동-참조 판독은 메모리 셀(105-a)(예를 들어, PCM 셀)이 본 명세서에 설명된 상이한 전기적 특성을 나타낼 때 강력한 판독 기법을 제공할 수 있다. 메모리 셀(105-a)은 수정된 사용자 데이터(또는 일부 경우에, 원래의 사용자 데이터) 및 이에 추가될 수 있는, 수정 상태를 나타내는, 비트(예를 들어, 플립-비트)의 수를 포함하는 인코딩된 사용자 데이터를 저장하도록 구성될 수 있다. 일부 경우에, 메모리 셀(105-a)에 저장된 인코딩된 사용자 데이터는 1의 논리 상태를 갖는 특정 수의 비트를 포함하도록 수정되었다. 1의 논리 상태를 갖는 비트의 수는 미리 결정된 범위 내에서 변할 수 있다. 자동-참조 판독은 메모리 셀(105-a)에 인가할 판독 참조 전압, 즉 메모리 셀(105-a)이 1의 논리 상태(예를 들어, PCM의 설정 상태) 또는 0의 논리 상태(예를 들어, PCM 셀의 리셋 상태)를 나타내는지 여부를 식별하는데 사용될 수 있는 전압을 결정할 수 있다. 자동-참조 판독은 (예를 들어, 많은 사이클 이벤트 전 또는 후에, 특정 시간이 경과하기 전 또는 후에) 메모리 셀(105-a)의 전기적 특성을 고려하여 메모리 셀(105-a)에 대한 판독 참조 전압을 결정할 수 있다. 일부 실시형태에서, 참조 전압은 다른 것들 중에서 특히 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)(105)의 추정된 중앙 임계 전압, 1의 논리 상태를 갖는 메모리 셀(105)의 임계 전압의 표준 편차, 마진 인자를 포함하는 다수의 인자에 기초하여 결정될 수 있다. 추정된 중앙 임계 전압은 1의 논리 상태를 갖는 메모리 셀의 수의 미리 결정된 범위에 기초하여 결정될 수 있다. 또한, 마진 인자는 중앙 임계 전압을 추정할 때 불확실성을 설명할 수 있다.

[0041] 도 3은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 메모리 셀의 임계 전압(V_{TH}) 분포도(301 및 302)의 예를 도시한다. 각각의 V_{TH} 분포도(301 또는 302)는 메모리 셀의 2개의 논리 상태(예를 들어, 1의 논리 상태, 0의 논리 상태)에 대응하는 2개의 임계 전압 그룹을 나타낸다. 메모리 셀(예를 들어, PCM 셀)은 도 1 및 도 2를 참조하여 설명된 메모리 셀(105 또는 105-a)의 실시형태일 수 있다. 1의 논리 상태는 메모리 셀의 제1 세트의 임계 전압(예를 들어, V_{TH} 분포(310), V_{TH} 분포(320))에 대응할 수 있다. 일부 경우에, 1의 논리 상태는 PCM 셀의 설정 상태로 지칭된다. 0의 논리 상태는 메모리 셀의 제2 세트의 임계 전압(예를 들어, V_{TH} 분포(330), V_{TH} 분포(340))에 대응할 수 있다. 일부 경우에, 0의 논리 상태는 PCM 셀의 리셋 상태로 지칭된다.

[0042] V_{TH} 분포도(301)는 메모리 셀의 임계 전압(x-축)의 함수로서 특정 V_{TH} 를 갖는 메모리 셀의 수(y-축)를 도시한다. V_{TH} 분포도(301)의 메모리 셀은 본 발명의 인코딩 방식에 따라 인코딩된 사용자 데이터를 저장하는 메모리 셀의 세트를 나타낼 수 있다. 다시 말해, 인코딩된 사용자 데이터는 미리 결정된 범위 내에서 1의 논리 상태를 갖는 비트(예를 들어, 설정 셀)의 수를 가질 수 있다. V_{TH} 분포(310)는 1의 논리 상태를 갖는 메모리 셀의 V_{TH} 분포(예를 들어, 설정 셀의 설정 V_{TH} 분포)를 나타낸다. V_{TH} 분포(330)는 0의 논리 상태를 갖는 메모리 셀의 V_{TH} 분포(예를 들어, 리셋 셀의 리셋 V_{TH} 분포)를 나타낸다. V_{TH} 분포(310)는 V_{TH1} 로 표시된 중앙값을 가질 수 있다. V_{TH} 분포(310)의 표준 편차(예를 들어, $\sigma_{설정}$)는 V_{TH} 분포(310)의 폭을 결정한다. 유사하게, V_{TH} 분포(330)는 V_{TH3} 으로 표시된 중앙값, 및 V_{TH} 분포(330)의 폭을 결정하는 표준 편차(예를 들어, $\sigma_{리셋}$)를 가질 수 있다.

[0043] 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)의 최고 임계 전압과 0의 논리 상태를 갖는 메모리 셀(예를 들어, 리셋 셀)의 최저 임계 전압 사이의 차이는 판독 창 예산(read window budget)(350)이라고 지칭될 수 있다. 원하는 판독 참조 전압은 도 3에서 $V_{REF,0}$ 으로 표시되는 바와 같이 판독 창 예산(350)의 중간에 있거나 중간 부근에 있는 것으로 결정될 수 있다. V_{TH} 분포도(301)는 비교적 새로운(예를 들어, 적은 수의 사이클 동작을 갖는 PCM 셀) 또는 최근에 프로그래밍된(예를 들어, 상당한 드리프트가 없는 메모리 셀) 메모리 셀(예를 들어, PCM 셀) 세트의 V_{TH} 분포를 나타낼 수 있다. 일부 실시형태에서, 각각의 분포는 중앙값 V_{TH} (도시되지 않음) 주위에서 대칭이 아닐 수 있다. 일부 실시형태에서, 각각의 분포는 상이한 범위의 V_{TH} 값(도시되지 않음)을 나타낼 수

있다.

[0044] 유사하게, V_{TH} 분포도(302)는 메모리 셀의 임계 전압(x-축)의 함수로서 특정 V_{TH} 를 갖는 메모리 셀의 수(y-축)를 도시한다. V_{TH} 분포도(302)는 상이한 전기적 특성을 나타내는 많은 수의 사이클 동작을 경험하였을 수 있는 메모리 셀의 세트에 저장된 인코딩된 사용자 데이터(예를 들어, V_{TH} 분포도(301)로 표현된 인코딩된 사용자 데이터)의 V_{TH} 분포를 나타낼 수 있다. V_{TH} 분포(320)는 1의 논리 상태를 갖는 메모리 셀의 V_{TH} 분포를 나타낸다. V_{TH} 분포(340)는 0의 논리 상태를 갖는 메모리 셀의 V_{TH} 분포를 나타낸다. V_{TH} 분포(320)는 V_{TH1} 보다 더 클 수 있는 V_{TH2} 로 표시된 중앙값을 가질 수 있다. V_{TH} 분포(340)는 V_{TH3} 보다 더 클 수 있는 V_{TH4} 로 표시된 중앙값을 가질 수 있다. V_{TH} 분포(320)의 $\sigma_{설정}$ 은 V_{TH} 분포(310)의 $\sigma_{설정}$ 보다 더 클 수 있다. V_{TH} 분포(340)의 $\sigma_{리셋}$ 은 V_{TH} 분포(330)의 $\sigma_{리셋}$ 보다 더 클 수 있다. 그 결과, V_{TH} 분포도(302)의 판독 창 예산(360)은 V_{TH} 분포도(301)의 판독 창 예산(350)과 상이할 수 있다(예를 들어, 이보다 더 적을 수 있다). 따라서, V_{TH} 분포도(301)에 대한 판독 참조 전압(V_{REF_0})은 V_{TH} 분포도(302)에 적합하지 않을 수 있다. 새로운 원하는 판독 참조 전압(V_{REF_1})은 V_{TH} 분포도(302)의 메모리 셀의 정확한 판독을 지원하도록 구성될 수 있다. 판독 창 예산의 변화 및 이와 관련하여 판독 참조 전압의 변화는 많은 사이클 동작 또는 상당한 드리프트 이벤트를 경험하는 메모리 셀의 결과일 수 있다.

[0045] 자동-참조 판독은 두 상황, 예를 들어, V_{TH} 분포도(301 또는 302)에 도시된 메모리 셀에 대한 강력한 판독 기법을 제공할 수 있다. 일부 실시형태에서, 자동-참조 판독은 중앙값 V_{TH} 값(예를 들어, V_{TH} 분포(310)의 V_{TH1} , V_{TH} 분포(320)의 V_{TH2})에 가까운 V_{TH} 값을 갖는 메모리 셀을 식별한다. 자동-참조 판독은 인코딩된 사용자 데이터가 미리 결정된 범위 내에서 1의 논리 상태를 갖는 비트(예를 들어, 설정 셀)의 수를 포함한다는 지식에 기초하여 이러한 메모리 셀(예를 들어, 오름차순으로 j번째 임계 전압값을 갖는 메모리 셀)을 결정할 수 있다. 자동-참조 판독은 판독 전압 진폭이 시간에 따라 증가하는 동안 메모리 셀이 턴온되는 것(예를 들어, 메모리 셀이 j번째 스위칭 이벤트를 나타내는 것)을 검출하기 위해 판독 전압(예를 들어, 활성화 전압)을 메모리 셀에 인가할 수 있다. 판독 전압은 판독 전압값과 시간 사이의 전단사 대응을 제공할 수 있다.

[0046] j번째 스위칭 이벤트를 검출한 후에, 자동-참조 판독은 미리 결정된 지속 기간 동안 판독 전압을 계속 증가시켜 스위칭하여 1의 논리 상태를 갖는 추가 메모리 셀을 검출할 수 있다. 미리 결정된 지속 기간은 V_{TH} 분포(예를 들어, V_{TH} 분포(310), V_{TH} 분포(320))에서 확산을 고려하여 다른 인자들 중에서 $\sigma_{설정}$ (예를 들어, V_{TH} 분포(310)의 $\sigma_{설정}$, V_{TH} 분포(320)의 $\sigma_{설정}$)에 의해 결정될 수 있다. 미리 결정된 지속 기간의 완료 시 판독 전압에 대응하는 판독 전압값은 원하는 판독 참조 전압(예를 들어, V_{REF_0} , V_{REF_1})이라고 지칭될 수 있다. 다시 말해, 자동-참조 판독은 인코딩된 사용자 데이터를 저장하는 메모리 셀로부터 정보를 정확하게 판독하기 위해 1의 논리 상태를 갖는 메모리 셀의 주어진 V_{TH} 분포(예를 들어, V_{TH} 분포(310), V_{TH} 분포(320))의 $\sigma_{설정}$ 및 중앙값 V_{TH} (예를 들어, V_{TH1} , V_{TH2})의 함수로서 판독 참조 전압(예를 들어, V_{REF_0} , V_{REF_1})을 적절하게 위치시킬 수 있다.

[0047] 도 4a는 본 발명의 다양한 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 예시적인 다이어그램(401)을 도시한다. 다이어그램(401)은 메모리 셀(예를 들어, 도 1 및 도 2를 참조하여 설명된 메모리 셀(105))에 인가된 판독 전압(예를 들어, $V_{판독}$)을 도시한다. 판독 전압은 비트 라인(예를 들어, 도 1 및 도 2를 참조하여 설명된 비트 라인(115)) 및 워드 라인(예를 들어, 도 1 및 도 2를 참조하여 설명된 워드 라인(110))을 통해 메모리 셀에 인가될 수 있다. 판독 전압은 판독 전압값과 시간 사이의 전단사 대응을 제공할 수 있다. 일부 실시형태에서, 판독 전압은 도 3에 도시된 바와 같이 일정한 램프율(ramp rate)(예를 들어, 20 mV/ns)을 갖는다.

[0048] 다이어그램(401)은 또한 사용자 데이터 패턴(예를 들어, 메모리 셀(a1 내지 a8)에 대응하는 01110100)을 도시한다. 사용자 데이터 패턴은 미리 결정된 범위 내에 있도록 1의 논리 상태를 갖는 메모리 셀의 수를 구현되도록 인코딩되었을 수 있다. 예로서, 다이어그램(401)의 사용자 데이터 패턴은 1의 논리 상태(예를 들어, 설정 비트)를 갖는 4개의 메모리 셀을 갖는다. 일부 경우에, 1의 논리 상태를 갖는 메모리 셀의 수는 가중치(예를 들어, 8개의 메모리 셀 중에서 4개가 1의 논리 상태를 갖는 경우 가중치는 50%)로 표현될 수 있다. 다이어그램(401)은 1의 논리 상태를 갖는 4개의 메모리 셀(예를 들어, a2, a3, a4 및 a6)을 도시한다. 메모리 셀(a2, a3, a4 및 a6)은 4개의 다른 V_{TH} 값을 가질 수 있지만, 모두 4개의 V_{TH} 값은 1의 논리 상태를 나타낸다. 예로서, 다이어그램(401)은 메모리 셀(a3)의 V_{TH} 값이 4개 중에서 가장 작은 것인 반면 메모리 셀(a6)의 V_{TH} 값이 가장 높은 것

을 도시한다. 자동-참조 판독은 제3 V_{TH} 값(예를 들어, 메모리 셀(a4)과 연관된 V_{TH} 값)이 4개의 다른 V_{TH} 값의 중앙값 V_{TH} 값에 근접한 것이라고 결정할 수 있다.

[0049] 자동-참조 판독은 시간(T_0)에서 판독 전압($V_{판독}$)의 램핑을 개시할 수 있다. 다이어그램(401)은 또한 각각의 메모리 셀과 연관된 수평선을 도시한다. 수평 라인의 일부에는 계단이 있지만 다른 수평 라인에는 계단이 없다. 수평 라인의 계단은 메모리 셀에 걸쳐 인가된 $V_{판독}$ 이 메모리 셀의 V_{TH} 보다 더 클 때 스위칭 이벤트(예를 들어, 메모리 셀의 턴온, 활성화 또는 스위칭온)를 나타낸다. 따라서, 수평 라인은 $V_{판독}$ 이 증가하는 동안 메모리 셀에 의한 응답(예를 들어, 메모리 셀을 통해 흐르는 전류의 존재 또는 부재)을 나타낼 수 있다. 예로서, 메모리 셀(a3)은 시간(T_1)에서 턴온될 수 있고(예를 들어, 도 4a에 도시된 스위칭 이벤트(S_1)), 제1 메모리 셀은 1의 논리 상태를 갖는 4개의 메모리 셀 중에서 턴온되는 것일 수 있다. 시간(T_1)에서, $V_{판독}$ 은 도 4a에서 $V_{TH,a3}$ 으로 표시된, 메모리 셀(a3)의 임계 전압을 초과하고, 스위칭 이벤트(S_1)에 의해 도시된 바와 같이 메모리 셀(a3)을 활성화시킨다.

[0050] 이어서, 자동-참조 판독은 메모리 셀(a4)(예를 들어, 중앙값 V_{TH} 값에 가까운 V_{TH} 값을 갖는 메모리 셀)이 스위칭 온되고 나서 미리 결정된 시간 지속 기간(예를 들어, T_{REF})을 식별할 때 제3 스위칭 이벤트를 검출할 수 있다. 자동-참조 판독은 미리 결정된 시간 지속 기간이 만료될 때까지 $V_{판독}$ 을 계속 증가시킬 수 있다. 추가 메모리 셀(a6)은 다이어그램(401)에 도시된 스위칭 이벤트(S_2)에 의해 지시된 바와 같이 T_{REF} 시간 기간 동안 스위칭할 수 있다. 일부 실시형태에서, 미리 결정된 시간 지속 기간이 경과할 때(예를 들어, 시간($T_{설정} + T_{REF}$))에서, 자동-참조 판독은 메모리 셀에 $V_{판독}$ 을 인가하는 것을 중지하고, 활성화된(예를 들어, 턴온된) 모든 메모리 셀이 1의 논리 상태를 갖는 메모리 셀, 즉 a2, a3, a4 및 a6이라고 결정한다. 다른 메모리 셀, 즉 a1, a5, a7 및 a8은 시간($T_{설정} + T_{REF}$)이 만료될 때까지 턴온되지 않고(예를 들어, 스위칭 이벤트가 검출되지 않고) 자동-참조 판독은 메모리 셀(a1, a5, a7 및 a8)이 0의 논리 상태를 나타낸다고 결정할 수 있다.

[0051] 도 4b는 본 발명의 다양한 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 예시적인 다이어그램(402)을 도시한다. 다이어그램(402)은 자동-참조 판독을 위한 다이어그램(401)의 일반화된 경우를 도시한다. 다이어그램(402)은 인코딩된 사용자 데이터를 저장하는 메모리 셀 중에서 1의 논리 상태를 갖는 메모리 셀의 V_{TH} 의 분포(예를 들어, 분포(420))를 포함한다. 다이어그램(402)은 또한 인코딩된 사용자 데이터를 저장하는 메모리 셀 중에서 0의 논리 상태를 갖는 메모리 셀의 V_{TH} 의 분포(예를 들어, 분포(440))를 포함한다. 분포(420)는 도 3을 참조하여 설명된 V_{TH} 분포(310 또는 320)의 일례일 수 있다. 분포(440)는 도 3을 참조하여 설명된 V_{TH} 분포(330 또는 340)의 일례일 수 있다. 다이어그램(402)은 또한 $V_{판독}$ 전압이 시간(T_i)에서 증가하기 시작하는 동안 발생할 수 있는 1의 논리 상태를 갖는 메모리 셀과 연관된 스위칭 이벤트의 수를 도시한다. 일부 실시형태에서, 시간(T_i)에서 $V_{판독}$ 전압은 분포(420)의 최저 V_{TH} 보다 더 작아서, 제1 스위칭 이벤트는 다이어그램(402)에 도시된 바와 같이 최저 V_{TH} 가 턴온되는 메모리 셀에 대응할 수 있다. 다른 실시형태에서, 시간(T_i)에서 $V_{판독}$ 전압은 최저 V_{TH} 값보다 더 크지만 중앙값 V_{TH} 값보다 더 작다. 이때, 시간(T_i)에서, 총 판독 시간이 감소될 수 있도록 하는 수의 메모리 셀이 T_i 에서 턴온될 수 있다.

[0052] 자동-참조 판독은 분포(420)의 중앙값 V_{TH} 와 상관되는 j 번째 스위칭 이벤트를 식별할 수 있다. j 번째 스위칭 이벤트는 분포(420)의 실제 중앙값 V_{TH} 에 대응할 수도 있고 또는 대응하지 않을 수도 있다. 일부 실시형태에서, j 번째 스위칭 이벤트를 이렇게 식별하는 것은 사용자 데이터 패턴을 인코딩하는 것에 적어도 부분적으로 기초할 수 있다. 인코딩은 인코딩된 사용자 데이터 패턴이 디자인 인자(예를 들어, k 값)와 연관된 미리 결정된 범위(예를 들어, $[50\%, (50 + 50/k)\%]$) 내에서 가중치(예를 들어, 전체 사용자 데이터 패턴 중에서 1의 논리 상태를 갖는 메모리 셀의 수)를 갖는 것을 보장할 수 있다. k 값이 클수록 미리 결정된 범위가 좁아져서 j 번째 스위칭 이벤트를 보다 정확히 결정하는 것을 지원한다.

[0053] 일부 실시형태에서, 자동-참조 판독이 시간($T_{설정}$)에서 j 번째 스위칭 이벤트를 검출할 때, 자동-참조 판독은 고정된 시간 지속 기간(T_{REF})을 식별한다. 이러한 결정은, 무엇보다도 특히 분포(420)의 표준 편차, 시간($T_{설정}$)에서 j

번째 스위칭 이벤트를 식별하는 것과 연관된 불확실성 인자, 허용 가능한 에러 내에서 1의 논리 상태를 갖는 추가 메모리 셀을 캡처하는 것을 보장하는 마진에 적어도 부분적으로 기초할 수 있다. 고정된 시간 지속 기간(T_{REF}) 동안, 자동-참조 판독은 $V_{판독}$ 을 계속 증가시킬 수 있는 반면, 1의 논리 상태를 갖는 추가 메모리 셀은 스위칭될 수 있다(예를 들어, 추가 메모리 셀은 그룹(425)으로 도시된 스위칭 이벤트를 겪을 수 있다). 일부 실시 형태에서, 시간이 $T_{설정} + T_{REF}$ 에 도달하면, 자동-참조 판독은 $V_{판독}$ 의 인가를 중지한다. 그런 다음 자동-참조 판독은 시간($T_{설정} + T_{REF}$)에 의해 활성화된(예를 들어, 턴온된, 스위칭온된) 메모리 셀이 1의 논리 상태를 갖는 메모리 셀(예를 들어, 분포(420)의 메모리 셀)이라고 결정할 수 있다. 또한, 자동-참조 판독은 시간($T_{설정} + T_{REF}$)에 의해 턴온되지 않은 메모리 셀이 0의 논리 상태를 갖는 메모리 셀(예를 들어, 분포(440)의 메모리 셀)이라고 결정할 수 있다.

[0054] 도 5a는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 예시적인 사용자 데이터 패턴(501)을 도시한다. 사용자 데이터 패턴(501)은 원래 형태의 사용자 데이터(550) 및 인코딩된 사용자 데이터(560)로서 인코딩된 형태의 사용자 데이터(550)를 도시한다. 사용자 데이터(550)는 일부 경우에 입력 벡터로 지칭될 수 있다. 인코딩된 사용자 데이터(560)는 추가 비트(예를 들어, b_1 내지 b_4)를 포함할 수 있다. 추가 비트는 플립 비트로 지칭될 수 있으며, 본 명세서에 설명된 바와 같이 사용자 데이터의 상태를 나타낼 수 있다. 자동-참조 판독은 미리 결정된 구간 내에서 가중치(예를 들어, 사용자 데이터의 총 비트 수 중에서 1의 논리 상태를 갖는 비트의 수)를 갖는 인코딩된 사용자 데이터를 생성하기 위한 인코딩 기법을 포함할 수 있다. 일부 실시 형태에서, 구간은 50% 내지 $(50 + 50/k)\%$ 이고, 여기서 k 는 미리 결정된 인자이다. 일부 경우에, 구간은 $[50\%, (50 + 50/k)\%]$ 로 표시된다. 예를 들어 k 가 4인 경우 구간은 50% 내지 62.5%(예를 들어, $[50\%, 62.5\%]$)이다. 구간의 하한으로서 50% 이외의 다른 가중치도 가능할 수 있다. 도 5a의 도시는 도시된 특징을 간결히 설명하기 위해 구간의 하한으로서 50%를 지칭하지만; 이 기술 분야에 통상의 지식을 가진 자라면 다른 대안 및 다른 변형이 고려될 수 있고 본 발명의 범위 내에 속할 수 있다는 것을 이해할 수 있을 것이다.

[0055] 예로서, 사용자 데이터(550)는 도 5a에 도시된 바와 같이 16 비트(예를 들어, a_1 내지 a_{16})를 갖는다. k 가 4인 경우, 인코딩된 사용자 데이터가 충족하기 위한 미리 결정된 구간은 $[50\%, 62.5\%]$ 이다. $k = 4$ 인 경우, 다양한 형태의 인코딩된 사용자 데이터(560)가 도 5a에 도시되어 있다. 인코딩 기법은 인코딩된 사용자 데이터(560)를 생성하기 위해 k 개의 플립 비트(예를 들어, $k = 4$ 일 때 b_1 내지 b_4)를 사용자 데이터(550)(예를 들어, a_1 내지 a_{16})에 추가할 수 있다. 또한, 원래의 사용자 데이터 패턴은 k 개의 부분(예를 들어, $k = 4$ 일 때 4개의 부분 또는 세그먼트)으로 분할될 수 있다. 예를 들어, 제1 부분은 비트(a_1 내지 a_4)를 포함할 수 있다. 제1 부분은 제1 플립 비트(b_1)와 연관될 수 있다. 제2 부분은 비트(a_5 내지 a_8)를 포함할 수 있다. 제2 부분은 제2 플립 비트(b_2)와 연관될 수 있다. 제3 부분은 비트(a_9 내지 a_{12})를 포함할 수 있다. 제3 부분은 제3 플립 비트(b_3)와 연관될 수 있다. 제4 부분은 비트(a_{13} 내지 a_{16})를 포함할 수 있다. 제4 부분은 제4 플립 비트(b_4)와 연관될 수 있다. 일부 실시형태에서, b_1 내지 b_4 의 초기값은 1의 논리 상태(예를 들어, 인코딩된 사용자 데이터(560-a)의 1111)에 대응한다. 플립 비트에서 1의 논리 상태는 원래의 사용자 데이터의 대응하는 부분이 반전되지 않은 것을 나타낼 수 있다. 반대로, 플립 비트에서 0의 논리 상태는 원래의 사용자 데이터의 대응하는 부분이 반전된 것을 나타낼 수 있다.

[0056] 본 명세서에 설명된 바와 같이 자동-참조 판독은 인코딩된 사용자 데이터(560)의 가중치를 백분율로 결정할 수 있다. 예를 들어, 인코딩된 사용자 데이터(560-a)는 $k = 4$ 일 때 미리 결정된 구간 $[50\%, 62.5\%]$ 를 충족시키지 못하는 25%(예를 들어, 사용자 데이터의 16개의 비트 중에서 1의 논리 상태를 갖는 4개의 비트)의 가중치를 갖는다. 또한, 인코딩 기법은 미리 결정된 구간(예를 들어, $k = 4$ 인 경우 $[50\%, 62.5\%]$ 구간) 내에서 특정 가중치를 갖는 특정 인코딩된 사용자 데이터를 찾기 위해 플립 비트의 논리 상태의 모든 가능한 조합에 걸쳐 플립 비트의 논리 상태를 변화시킬 수 있다. k 개의 플립 비트(예를 들어, $k = 4$)가 있는 경우, 1111, 1110, 1101, 1100, ..., 0001 및 0000과 같은, 총 2^k (예를 들어, $2^4 = 16$)개의 조합이 있다.

[0057] 플립 비트의 논리 상태가 0의 논리 상태에 대응할 때, 자동-참조 판독은 사용자 데이터의 대응하는 부분의 논리 상태를 반전시키고 가중치를 평가할 수 있다. 예로서, 플립 비트가 인코딩된 사용자 데이터(560-b)에 도시된 바와 같이 1110인 경우, 제4 부분(예를 들어, 비트(a_{13} 내지 a_{16}))의 논리 상태는 0110으로부터 1001로 반전된다. 이때, 인코딩 기법은 인코딩된 사용자 데이터(560-b)가 $[50\%, 62.5\%]$ 의 구간 내에서 가중치의 미리 결정된 조건

을 충족시키지 않는 25%(예를 들어, 사용자 데이터의 16개의 비트 중에서 1의 논리 상태를 갖는 4개의 비트)의 가중치를 갖는다고 결정할 수 있다. 인코딩 기법은 제4 부분의 논리 상태를 다시 0110으로 복원하고, 플립 비트의 내용을 그 다음 조합(예를 들어, 인코딩된 사용자 데이터(560-c)에 도시된 1101)으로 변화시킬 수 있다. 인코딩 기법은 인코딩된 사용자 데이터(560-c)에 도시된 바와 같이 제3 부분(예를 들어, 비트(a_9 내지 a_{12}))의 논리 상태를 0100으로부터 1011로 반전시키고, 인코딩된 사용자 데이터(560-c)가 [50%, 62.5%] 구간 내에서 미리 결정된 가중치 조건을 충족시키지 않는 38%(예를 들어, 사용자 데이터의 16개의 비트 중에서 1의 논리 상태를 갖는 6개의 비트)의 가중치를 갖는다고 결정할 수 있다.

[0058]

자동-참조 판독은 플립-비트의 내용을 계속 변화시킬 수 있으며, 플립-비트에 따라 사용자 데이터의 대응하는 부분의 비트의 논리값을 반전시키고, 인코딩된 사용자 데이터가 미리 결정된 조건(예를 들어, [50%, 62.5%] 구간)을 충족시킬 때까지 인코딩된 사용자 데이터의 가중치를 평가할 수 있다. 예를 들어, 인코딩된 사용자 데이터(560-d)는 38%의 가중치를 가지며, [50%, 62.5%] 가중치 구간의 미리 결정된 조건을 충족시키지 않는다. 인코딩된 사용자 데이터(560-e)는 1011의 플립-비트 내용을 갖고, 사용자 데이터의 제2 부분(예를 들어, 비트(a_5 내지 a_8))은 0000으로부터 1111로 반전된다. 인코딩된 사용자 데이터(560-e)의 가중치는 [50%, 62.5%] 사이의 가중치를 갖는 미리 결정된 조건을 충족시키는 50%(예를 들어, 사용자 데이터의 16개의 비트 중에서 1의 논리 상태를 갖는 8개의 비트)이다. 코딩 기법은 인코딩된 사용자 데이터(560-e)가 미리 결정된 조건을 충족시킨다는 결정에 기초하여 플립 비트의 내용의 변경을 중지할 수 있고, 인코딩된 사용자 데이터(560-e)는 메모리 셀에 저장될 수 있다. 플립-비트의 내용(예를 들어, 1011)은 메모리 셀로부터 인코딩된 사용자 데이터를 판독할 때 인코딩된 사용자 데이터를 정확하게 디코딩하는데 사용될 수 있다. 예를 들어, 인코딩된 사용자 데이터(560-e)의 비트(a_5 내지 a_8)의 논리 상태(예를 들어, 1111)는 인코딩된 사용자 데이터(560-e)를 판독할 때 플립 비트(b_2)의 값(예를 들어, 비트(a_5 내지 a_8))가 반전된 것을 나타내는 b_2 의 0의 논리 상태)에 기초하여 원래의 논리 상태(예를 들어, 0000)로 반전될 수 있다.

[0059]

도 5b는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 예시적인 다이어그램(502)을 도시한다. 다이어그램(502)은 도 5a를 참조하여 설명된 인코딩 기법을 구현하는 회로도를 나타낼 수 있다. 다이어그램(502)은 사용자 입력(550-a)을 도시한다. 사용자 입력(550-a)은 도 5a를 참조하여 설명된 일반화된 형태의 사용자 데이터(550)일 수 있다. 사용자 입력(550-a)은 입력 벡터라고 지칭될 수 있다. 일부 경우에, 사용자 입력(550-a)은 총 2^n 개의 비트를 가질 수 있다. 도 5b에 도시된 사용자 입력(550-a)은 $k = 4$ 일 때 입력 벡터의 일례일 수 있고 4개의 세그먼트(예를 들어, 세그먼트(v_1 내지 v_4))를 가질 수 있다. 각각의 세그먼트(예를 들어, 세그먼트(v_1))는 $2^n/k$ 개의 비트를 가질 수 있다. 다이어그램(502)은 또한 인코딩된 사용자 데이터(560-f)를 도시한다. 인코딩된 사용자 데이터(560-f)는 k 가 4인 일반화된 형태의 인코딩된 사용자 데이터(560-e)일 수 있다. 인코딩된 사용자 데이터(560-f)는 사용자 입력(550-a)에 추가된 k 개의 비트(예를 들어, $k = 4$ 일 때 비트(b_1 내지 b_4))를 포함할 수 있다. 또한, 다이어그램(502)은 추가된 비트(예를 들어, 비트(b_1 내지 b_4)) 각각이 $b_1 v_1 + \overline{b_1} \overline{v_1}$ 로 표현된 추가된 비트와 연관된 각각의 세그먼트에서 비트의 상태(예를 들어, 세그먼트(v_1)에서 비트의 상태를 나타내는 b_1 의 논리 상태)를 나타내는 것을 도시한다.

[0060]

다이어그램(502)은 도 5a를 참조하여 설명된 바와 같이 플립 비트의 내용이 0의 논리 상태일 때 사용자 데이터를 반전시키는 인코딩 방식을 나타낸다. 코딩 기법은 플립-비트의 내용이 1의 논리 상태일 때 사용자 데이터를 반전시키는 경우에 그 기능을 상실하지 않을 수 있다. 또한, 이 기술 분야에 통상의 지식을 가진 자라면 주어진 k 값에 대해 [50%, $(50 + 50/k)\%$]의 미리 결정된 가중치 구간 내 가중치를 갖는 인코딩된 사용자 데이터 패턴이 존재한다는 것을 이해할 수 있을 것이다. 다시 말해, 입력 벡터(v)에서 1과 0의 임의의 패턴에 대해, 플립 비트(예를 들어, b_1 내지 b_k)의 조합이 존재할 수 있고, 이는 입력 벡터(v)의 k 개의 세그먼트($v_1, \dots, v_k$)에 작용하여 (예를 들어, k 개의 플립 비트의 조합에 따라 반전을 적용한 후) 최종 인코딩된 입력 벡터의 1과 0의 패턴 가중치가 [50%, $(50 + 50/k)\%$] 범위 내에 있게 할 수 있다.

[0061]

도 6은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 예시적인 다이어그램(600)을 도시한다. 자동-참조 판독은 미리 결정된 구간(예를 들어, 50% 내지 $(50 + 50/k)\%$) 내 가중치를 갖는 인코딩된 사용자 데이터에 대한 신뢰성 있는 판독 참조를 얻을 수 있다. 예(600)는 시간(예를 들어, x -축)의 함수로서 인코딩된 사용자 데이터를 저장하는 메모리 셀에 인가된 전압(예를 들어, y -축)을 도시한다. 전압은 활성화 전압 또

는 판독 전압(예를 들어, $V_{\text{판독}}$)으로 지칭될 수 있다. 일부 실시형태에서, 판독 전압은 도 1 및 도 2를 참조하여 설명된 비트 라인(115) 및 워드 라인(110)을 사용하여 인가될 수 있다. 일부 실시형태에서, 전압은 일정한 증가율로 증가할 수 있고, 따라서 시간에 따라 일정한 기울기(예를 들어, 나노초당 20mV 증가, 즉 20 mV/ns)를 갖는다. 또한, 임계 전압의 두 가지 분포는 인코딩된 사용자 데이터의 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)과 연관된 임계 전압 분포(620), 및 0의 논리 상태를 갖는 메모리 셀(예를 들어, 리셋 셀)과 연관된 임계 전압 분포(640)를 나타내도록 병렬로 배치된다. 분포(620 및 640)는 도 4a 및 도 4b를 참조하여 설명된 분포(420 및 440)의 예일 수 있다.

[0062] 분포(620)는 도 6에 도시된 바와 같이 임계 전압의 중앙값(예를 들어, $V_{\text{설정}}$)을 가질 수 있다. 일부 경우에, $V_{\text{설정}}$ 은 분포(620)의 실제 중앙 임계 전압값을 나타낼 수 있다. 다른 경우에, $V_{\text{설정}}$ 은 분포(620)의 중앙 임계 전압값($\hat{V}_{\text{설정}}$)의 추정치를 나타낼 수 있다. 분포(620)는 표준 편차(예를 들어, $\sigma_{\text{설정}}$)를 가질 수 있다. 분포(640)는 임계 전압의 중앙값(예를 들어, $V_{\text{리셋}}$)을 가질 수 있다. 분포(620)의 최고 임계 전압은 도 6에 도시된 바와 같이 E2로 표시될 수 있다. 분포(640)의 최저 임계 전압은 도 6에 도시된 바와 같이 E3으로 표시될 수 있다. E3과 E2 간의 차이는 도 6에 도시된 바와 같이 판독 창 예산을 나타낼 수 있다. 도 6에 도시된 판독 창 예산은 도 3을 참조하여 설명된 판독 창 예산(350 또는 360)의 일례일 수 있다. 판독 참조 전압(예를 들어, V_{REF})은 1의 논리 상태를 갖는 메모리 셀(예를 들어, 분포(620))과 0의 논리 상태를 갖는 메모리 셀(예를 들어, 분포(640)) 간을 구별하기 위해 판독 창 예산 내에 (예를 들어, 판독 창 예산의 중간에 또는 중간 근처에) 위치될 수 있다. 도 6에 도시된 V_{REF} 는 도 3을 참조하여 설명된 V_{REF_0} 또는 V_{REF_1} 의 일례일 수 있다. V_{REF} 는 도 6에 도시된 바와 같이 시간에 따라 전압의 전단사 특성에 기초하여 시간(예를 들어, T_{REF})에 대응할 수 있다.

[0063] 분포(620)는 일부 실시형태에서 표준 편차(예를 들어, $\sigma_{\text{설정}} = 100\text{mV}$)를 갖는 가우시안 분포일 수 있다. 일부 실시형태에서, 원하는 원시 비트 에러율(RBER) 하에서 분포(620)의 반폭(half-width)(예를 들어, $E2 - V_{\text{설정}}$)은 $\sigma_{\text{설정}}$ 으로 결정될 수 있다. 예를 들어, 2×10^{-4} 의 RBER은 분포(620)의 반폭에 대해 $\sigma_{\text{설정}}$ 의 3.54배를 생성할 수 있다. 다시 말해, 이 예에서 수식 $N \times \sigma_{\text{설정}}$ 에서 N의 값은 3.54일 수 있고, $\sigma_{\text{설정}}$ 이 100mV인 것을 고려하면 ($E2 - V_{\text{설정}}$)은 354mV와 같다. 분포(620)의 반폭은 분포(620)의 표준 편차에 의존한다는 것을 이해해야 한다.

[0064] 또한, 마진 전압(예를 들어, 도 6에 도시된 $V_{\text{마진}}$)은 주어진 RBER 요건 하에서 분포(620)의 에지(예를 들어, E2)로부터 떨어져 위치된 V_{REF} 를 지원하도록 결정될 수 있다. 분포(620)의 반폭(예를 들어, $E2 - V_{\text{설정}}$, $N \sigma_{\text{설정}}$) 및 마진 전압(예를 들어, $V_{\text{마진}}$)은 $V_{\text{설정}}$ 과 V_{REF} 사이의 전압 차이(예를 들어, ΔV)를 나타낼 수 있다. 전압 차이(예를 들어, ΔV)는 판독 전압의 일정한 기울기(예를 들어, 20 mV/ns)를 사용하여 시간 차이(예를 들어, ΔT)로 변환될 수 있다. 예를 들어, ΔV 가 500mV라고 결정될 때, 대응하는 ΔT 는 20 mV/ns의 일정한 기울기를 고려하여 25 ns이다. 따라서, 특정 RBER 한계(예를 들어, 2×10^{-4} 의 RBER) 내에서 1의 논리 상태를 갖는 메모리 셀을 결정하기 위해 추가 메모리 셀(예를 들어, 도 4b를 참조하여 설명된 그룹(425)으로 표현되는 메모리 셀)이 스위칭되는 것을 검출하기 위해 인가된 판독 전압이 중앙 임계 전압(예를 들어, $V_{\text{설정}}$)에 대응하는 메모리 셀을 트리거하여 스위칭(예를 들어, 도 4b를 참조하여 설명된 j번째 스위칭 이벤트)하는 경우 자동-참조 판독은 추가 시간 지연(예를 들어, ΔT)을 결정하고 적용할 수 있다.

[0065] 분포(예를 들어, 분포(620))의 실제 중앙값(예를 들어, $V_{\text{설정}}$)을 확인하는 것은 일부 실시형태에서 실용적이지 않을 수 있다. 자동-참조 판독은 순서 통계의 속성을 이용하여 분포(620)의 추정된 중앙 임계 전압($\hat{V}_{\text{설정}}$)을 결정할 수 있다. 일부 실시형태에서, 자동-참조 판독은 실제 중앙값에 가까운 j번째 최소값(예를 들어, 도 4b를 참조하여 설명된 j번째 스위칭 이벤트)을 결정한다. 또한, 자동-참조 판독은 인코딩된 사용자 데이터가 2개의 알려진 경계(예를 들어, 50% 및 $(50 + 50/k)\%$) 내에 가중치를 갖는다는 것을 이용할 수 있다. 2개의 알려진 경계(예를 들어, 인코딩된 사용자 데이터에서 1의 논리 상태를 갖는 2개의 알려진 비트 수)는 본 명세서에 설명된 바와 같이 $\hat{V}_{\text{설정}}$ 및 j번째 최소값을 결정할 때 에러를 최소화하는 것을 용이하게 할 수 있다.

[0066] 순서 통계는 분포 함수 $f(x)$ 로부터 추출된 랜덤 샘플로서의 $X_1, X_2, \dots$, 및 X_n 과 연관될 수 있다. $X_1, X_2, \dots$,

및 X_n 은 오름차순 $Y_1, Y_2, \dots$, 및 Y_n 으로 배열될 수 있고, 여기서 $Y_1 \leq Y_2 \leq \dots \leq Y_n$ 이다. 다시 말해, $Y_1, Y_2, \dots$, 및 Y_n 은 각각의 X 값의 크기에 기초하여 $X_1, X_2, \dots$, 및 X_n 의 순서화된 시퀀스를 나타낼 수 있다. Y_j 는 $X_1, X_2, \dots$, 및 X_n 의 j 번째 순서 통계로 지칭될 수 있다. 특히 Y_1 은 $X_1, X_2, \dots$, 및 X_n 의 최소값인 반면, Y_n 은 $X_1, X_2, \dots$, 및 X_n 의 최대값이다. 또한, n 이 홀수인 경우, Y_j (여기서 $j = (n-1)/2 + 1$)는 분포 함수 $f(x)$ 의 추정된 중앙값에 대응한다. n 이 짝수인 경우, 분포 함수 $f(x)$ 의 추정된 중앙값은 $1/2(Y_j + Y_{j+1})$ (여기서 $j = n/2$)일 수 있다. j 번째 순서 통계(예를 들어, Y_j)의 확률 밀도 함수는 다음과 같이 표현될 수 있다:

$$f_{Y_j}(y) = \frac{n!}{(j-1)!(n-j)!} F(y)^{j-1} [1 - F(y)]^{n-j} f(y)$$

여기서 $F(y)$ 는 누적 분포 함수이고, $f(y)$ 는 순서화된 세트(예를 들어, $Y_1, Y_2, \dots$, 및 Y_n 은 y 의 특정값임)에서 변수(y)의 확률 밀도 함수이다.

아래의 예에 도시된 바와 같이, 자동-참조 판독은 분포(620)의 추정된 중앙 임계 전압값($\hat{V}_{\text{설정}}$)을 계산하기 위해 순서 통계의 속성을 이용할 수 있다. 2×10^{-4} 의 허용 가능한 RBER은 설명의 목적으로 사용될 수 있다. 인코딩된 사용자 데이터는 총 128 비트를 가질 수 있다. 사용자 데이터를 인코딩하는데 사용된 k 값은 4일 수 있다. 따라서, 사용자 데이터의 인코딩은 [50%, (50 + 50/k)%], 즉 [50%, 62.5%]의 구간으로 인코딩된 사용자 데이터의 가중치를 생성하기 위해 수행되었을 수 있다. 다시 말해, 128 비트의 인코딩된 사용자 데이터에서 1의 논리 상태를 갖는 메모리 비트의 수는 64(예를 들어, 128 비트의 50%, $n = 64$) 내지 80(예를 들어, 128 비트의 62.5%, $n = 80$)일 수 있다. 달리 표현하면, 인코딩된 사용자 데이터는 [64, 80]의 구간에서 1의 논리 상태를 갖는 비트의 수를 포함할 수 있다.

특정 j 값, 즉, j_{opt} 는 주어진 j 값에 대해 $U_j = 3.54(\sigma_{64} + \sigma_{80}) + (\mu_{64} - \mu_{80})$ 로 경험적으로 표현될 수 있는 불확실성(U_j)(예를 들어, j 번째 최소값을 중앙 값으로 식별하는 것과 연관된 불확실성)을 최소화하도록 결정될 수 있다. 다시 말해, 주어진 j 값에 대해, 표준 편차(예를 들어, σ_{64}, σ_{80}) 및 평균(예를 들어, μ_{64}, μ_{80})은 $n = 64$ 및 $n = 80$ 의 알려진 두 경우에 대해 주어진 j 값과 연관된 확률 밀도 함수를 사용하여 추정될 수 있다. 이때, 특정 j 값, 즉, j_{opt} 는 모든 가능한 U_j 값을 다양한 j 값의 함수로서 나열하고, 불확실성(U_j)을 최소화하는 특정 j 값(예를 들어, $j = 26$)을 선택함으로써 결정될 수 있다. 이때, $n = 64$ 일 때 Y_{26} 및 $n = 80$ 일 때 Y_{26} 의 확률 밀도 분포(예를 들어, 64 및 80의 설정 셀의 수의 알려진 두 가지 극단적인 경우에 대한 26번째 순서 통계의 확률 밀도 함수)가 추가 계산을 위해 사용될 수 있다. 즉, σ_{64} 및 μ_{64} 는 $n = 64$ 일 때 26번째 순서 통계의 확률 밀도 함수(예를 들어, $n = 64$ 인 경우 Y_{26})의 표준 편차와 평균을 나타낸다. 유사하게, σ_{80} 및 μ_{80} 은 $n = 80$ 일 때 26번째 순서 통계의 확률 밀도 함수(예를 들어, $n = 80$ 인 경우 Y_{26})의 표준 편차와 평균을 나타낸다. 또한, μ_{64} 및 μ_{80} 은 수식 $(\mu_{64} + \mu_{80})/2 + \Delta$ 를 사용하여 $\hat{V}_{\text{설정}}$ 의 추정치를 생성할 수 있으며, 여기서 Δ 는 편광 추정기(polarized estimator)를 갖지 않도록 적용된 보정치이다.

이 예에서, j_{opt} 는 128.7mV의 최소 불확실성(U_j)을 생성하는 26으로 결정된다. 다시 말해, 설정 분포의 26번째 최소 임계 전압값은 128.7mV의 최소 불확실성과 연관된 추정된 중앙 임계 전압값($\hat{V}_{\text{설정}}$)에 가장 가까운 임계 전압값으로 고려될 수 있다. 위에서 언급한 바와 같이, 이 예에서 RBER은 2×10^{-4} 이고 표준 편차($\sigma_{\text{설정}}$)는 100mV와 같다. 또한, σ_{64} 및 μ_{64} 의 값은 15.79mV 및 4,610.3mV에 대응할 수 있다. 또한, σ_{80} 및 μ_{80} 은 14.55mV 및 4,589mV에 대응할 수 있다. $\hat{V}_{\text{설정}}$ 의 추정값은 j 번째 최소 임계 전압이 $\hat{V}_{\text{설정}}$ 보다 37mV만큼 더 작을 수 있는 것을 의미할 수 있는 -37mV의 Δ 의 경우 4,562.7mV일 수 있다.

전술한 절차 및 계산에 기초하여, 자동-참조 판독은 도 6에 도시된 예시적인 다이어그램(600)을 사용하여 추가로 설명될 수 있다. 자동-참조 판독은 미리 결정된 구간(예를 들어, 50% 내지 (50 + 50/k)%) 내에 가중치를 갖는 인코딩된 사용자 데이터를 저장하는 메모리 셀에 시간(T_0)에서 판독 전압을 인가할 수 있다. 판독 전압의 초

기값(예를 들어, T_0 에서 메모리 셀에 인가되는 전압)은 1의 논리 상태를 갖는 임의의 메모리 셀(예를 들어, 설정 셀)을 턴온시키지 않을 정도로 충분히 작을 수 있다. 일부 실시형태에서, 판독 전압의 초기값은 분포(620)의 메모리 셀을 판독하기 위한 전체 시간을 감소시키기 위해 분포(620)의 최저 V_{TH} 값보다 더 크지만 분포(620)의 V_{TH} 값보다 더 작을 수 있다. 일부 실시형태에서, 판독 전압은 시간에 따라 일정한 증가율(예를 들어, 20 mV/ns)로 증가할 수 있다. 다른 실시형태에서, 판독 전압은 단조 증가하는 계단 형상을 갖는다. 시간 = T_1 에서, 판독 전압은 최저 임계 전압을 갖는 메모리 셀(예를 들어, 최소 임계 전압을 갖는 설정 셀)이 스위칭될 정도로 충분히 커질 수 있다. 이 기술 분야에 통상의 지식을 가진 자라면 이해할 수 있는 바와 같이, 판독 전압을 증가시키는 것은 분포(620) 중에서 V_{TH} 값(예를 들어, $Y_1, Y_2, \dots$, 및 Y_n ($Y_1 \leq Y_2 \leq \dots \leq Y_n$))의 순서화된 시퀀스를 생성하는 것과 동등할 수 있다. 자동-참조 판독은 턴온되는 메모리 셀(예를 들어, 설정 셀)의 수를 추적하면서 판독 전압을 계속 증가시킬 수 있다.

[0073] 자동-참조 판독은 시간($T_{설정}$)에서 미리 결정된 순서에서 특정 스위칭 이벤트(예를 들어, 본 명세서에 설명된 j_{opt} 이벤트)에 대응하는 26번째 스위칭 이벤트를 검출할 수 있다. 다시 말해, 시간($T_{설정}$)에서, 26번째 최소 임계 전압값(예를 들어, j 번째 스위칭 이벤트)을 갖는 메모리 셀이 턴온될 수 있다. 따라서, 자동-참조 판독은 판독 전압이 시간($T_{설정}$)에서 $\hat{V}_{설정}$ 의 추정값에 근사하다고 결정할 수 있다. 자동-참조 판독은 다음 수식 $\Delta + 3.54 \times \sigma_{설정} + U_j/2 + V_{보호(safeguard)}$ 를 사용하여 전압 차이(예를 들어, ΔV)를 결정할 수 있으며, 이는 $V_{보호}$ 가 50mV에 대응하는 경우 본 명세서에 설명된 예시적인 숫자를 사용하면 505.4mV를 생성한다. $V_{보호}$ 는 V_{REF} 를 E2로부터 충분히 떨어져 놓기 위한 전압값을 나타낼 수 있다. 자동-참조 판독은 판독 전압의 일정한 기울기(예를 들어, 20 mV/ns)를 사용하여 ΔV 에 대응하는 시간 지연(예를 들어, ΔT)을 생성하고, 시간 지연을 25.3 ns라고 결정할 수 있다. 자동-참조 판독은 증가하는 판독 전압을 유지하고, ΔT 지속 기간 동안 추가 메모리 셀(예를 들어, 도 4b를 참조하여 설명된 그룹(425)으로 표현된 메모리 셀)이 스위칭되는 것을 검출할 수 있다. 분포(620)의 반폭(예를 들어, $N \times \sigma_{설정}$)은 ΔV (예를 들어, 505mV 중에서 354mV)에 크게 기여할 수 있는 것을 이해해야 한다. 따라서, 자동-참조 판독은 신뢰성 있는 판독 참조점을 결정하기 위해 분포(620)의 표준 편차를 고려한다.

[0074] 시간(T_{E2})에서, 판독 전압이 메모리 셀의 최대 임계 전압값을 초과할 수 있을 때 분포(620) 중에서 최대 임계 전압값을 갖는 설정 셀이 턴온될 수 있다. ΔT 지속 기간이 아직 만료되지 않을 때 자동-참조 판독은 계속 판독 전압을 증가시킬 수 있다. 시간(T_{REF})에서, 자동-참조 판독은 ΔT 지속 기간이 만료될 때 판독 전압을 메모리 셀에 인가하는 것을 중지할 수 있고, ΔT 지속 기간의 종료 시 턴온된 모든 메모리 셀이 1의 논리 상태를 갖는 메모리 셀(예를 들어, 설정 셀)이라고 결정할 수 있다. 자동-참조 판독은 ΔT 지속 기간의 종료 시 턴온되지 않은 모든 메모리 셀(예를 들어, E3으로 표시된 분포(640)의 최저 임계 전압을 갖는 메모리 셀)이 0의 논리 상태를 갖는 메모리 셀(예를 들어, 리셋 셀)이라고 결정할 수 있다.

[0075] 요약하면, 자동-참조 판독은 특정 최소 임계 전압값(예를 들어, j 번째 스위칭 이벤트)이 분포(620)(예를 들어, 인코딩된 사용자 데이터의 설정 셀)의 중앙 임계 전압에 근접하는 것이라고 결정할 수 있다. 이러한 결정은 가중치(예를 들어, 1의 논리 상태를 갖는 메모리 셀의 수) 및 순서 통계의 속성에 비추어 인코딩된 사용자 데이터에 대해 가중치가 충족해야 하는 구간과 연관된 미리 결정된 인자에 기초하여 달성될 수 있다. 자동-참조 판독이 j 번째 스위칭 이벤트를 검출할 때, 자동-참조 판독은 추가 스위칭 이벤트를 검출하기 위해 미리 결정된 시간 기간 동안 판독 전압을 계속 증가시킬 수 있다. 미리 결정된 시간 기간은 분포(620)의 표준 편차 및 본 명세서에 설명된 추가 인자(예를 들어, j 번째 스위칭 이벤트를 결정하는 것과 연관된 불확실성, $V_{보호}$)를 설명할 수 있다. 미리 결정된 시간 기간이 만료되면, 자동-참조 판독은 스위칭된 모든 메모리 셀이 분포(620)(예를 들어, 인코딩된 사용자 데이터의 설정 셀)에 속하는 것이라고 결정할 수 있다. 그 결과, 자동-참조 판독은 스위칭되지 않은 나머지 메모리 셀이 분포(640)(예를 들어, 인코딩된 사용자 데이터의 리셋 셀)에 속하는 것이라고 결정할 수 있다.

[0076] 도 7은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 메모리 어레이(705)의 블록도(700)를 도시한다. 메모리 어레이(705)는 전자 메모리 장치로 지칭될 수 있으며, 본 명세서에 설명된 메모리 디바이스(100)의 구성 요소의 일례일 수 있다.

[0077] 메모리 어레이(705)는 하나 이상의 메모리 셀(710), 메모리 제어기(715), 워드 라인(720), 참조 구성 요소

(730), 감지 구성 요소(735), 디지털 라인(740) 및 래치(745)를 포함할 수 있다. 이들 구성 요소는 서로 전자 통신할 수 있고 본 명세서에 설명된 하나 이상의 기능을 수행할 수 있다. 일부 경우에, 메모리 셀(710)은 3DXP 메모리 셀을 포함할 수 있다. 일부 경우에, 메모리 제어기(715)는 바이어싱 구성 요소(750) 및 타이밍 구성 요소(755)를 포함할 수 있다. 일부 경우에, 감지 구성 요소(735)는 참조 구성 요소(730)로서 기능할 수 있다. 다른 경우에, 참조 구성 요소(730)는 선택적인 것일 수 있다. 또한, 도 7은 감지 구성 요소(736), 래치(746) 및 참조 구성 요소(731)를 (파선 박스로) 배열하는 대안적인 개략적인 옵션을 도시한다. 이 기술 분야에 통상의 지식을 가진 자라면 감지 구성 요소 및 관련 구성 요소(즉, 래치 및 참조 구성 요소)는 어떤 기능도 상실하지 않으면서 열 디코더 또는 행 디코더와 연관될 수 있다는 것을 이해할 수 있을 것이다.

[0078] 메모리 제어기(715)는 도 1 및 도 2를 참조하여 설명된 워드 라인(110), 디지털 라인(115) 및 감지 구성 요소(125)의 예일 수 있는 워드 라인(720), 디지털 라인(740) 및 감지 구성 요소(735)와 전자 통신할 수 있다. 메모리 어레이(705)의 구성 요소는 서로 전자 통신할 수 있고 도 1 내지 도 6을 참조하여 설명된 기능의 양태를 수행할 수 있다. 일부 경우에, 참조 구성 요소(730), 감지 구성 요소(735) 및 래치(745)는 메모리 제어기(715)의 구성 요소일 수 있다.

[0079] 일부 실시형태에서, 디지털 라인(740)은 감지 구성 요소(735) 및 메모리 셀(710)과 전자 통신한다. 메모리 셀(710)은 논리 상태(예를 들어, 제1, 제2 또는 제3 논리 상태)로 기입 가능할 수 있다. 워드 라인(720)은 메모리 제어기(715) 및 메모리 셀(710)과 전자 통신할 수 있다. 감지 구성 요소(735)는 메모리 제어기(715), 디지털 라인(740), 래치(745) 및 참조 라인(760)과 전자 통신할 수 있다. 참조 구성 요소(730)는 메모리 제어기(715) 및 참조 라인(760)과 전자 통신할 수 있다. 감지 제어 라인(765)은 감지 구성 요소(735) 및 메모리 제어기(715)와 전자 통신할 수 있다. 이들 구성 요소는 또한 다른 구성 요소, 연결 요소 또는 버스를 통해 위에서 나열되지 않은 구성 요소에 더하여 메모리 어레이(705)의 내부 및 외부의 다른 구성 요소와 전자 통신할 수 있다.

[0080] 메모리 제어기(715)는 이들 다양한 노드에 전압을 인가함으로써 워드 라인(720) 또는 디지털 라인(740)을 통전 시키도록 구성될 수 있다. 예를 들어, 바이어싱 구성 요소(750)는 본 명세서에 설명된 바와 같이 메모리 셀(710)을 판독하거나 기입하기 위해 메모리 셀(710)을 동작시키기 위해 전압을 인가하도록 구성될 수 있다. 일부 경우에, 메모리 제어기(715)는 본 명세서에 설명된 바와 같이 행 디코더, 열 디코더 또는 이 둘 다를 포함할 수 있다. 이를 통해 메모리 제어기(715)는 도 1을 참조하여 도시된 바와 같이 하나 이상의 메모리 셀(105)에 액세스할 수 있다. 바이어싱 구성 요소(750)는 또한 감지 구성 요소(735)를 위한 참조 신호를 생성하기 위해 참조 구성 요소(730)에 전압을 제공할 수 있다. 추가적으로, 바이어싱 구성 요소(750)는 감지 구성 요소(735)의 동작을 위한 전압을 제공할 수 있다.

[0081] 일부 실시형태에서, 메모리 제어기(715)는 타이밍 구성 요소(755)를 사용하여 그 동작을 수행할 수 있다. 예를 들어, 타이밍 구성 요소(755)는 본 명세서에 논의된 판독 및 기입과 같은 메모리 기능을 수행하기 위해 스위칭 및 전압 인가를 위한 타이밍을 포함하여 다양한 워드 라인 선택 또는 비트 라인 바이어싱의 타이밍을 제어할 수 있다. 일부 경우에, 타이밍 구성 요소(755)는 바이어싱 구성 요소(750)의 동작을 제어할 수 있다.

[0082] 참조 구성 요소(730)는 감지 구성 요소(735)를 위한 참조 신호를 생성하기 위한 다양한 구성 요소를 포함할 수 있다. 참조 구성 요소(730)는 참조 신호를 생성하도록 구성된 회로부를 포함할 수 있다. 일부 경우에, 참조 구성 요소(730)는 다른 3DXP 메모리 셀을 사용하여 구현될 수 있다. 감지 구성 요소(735)는(디지털 라인(740)을 통해) 메모리 셀(710)로부터의 신호를 참조 구성 요소(730)로부터의 참조 신호와 비교할 수 있다. 논리 상태를 결정할 때, 감지 구성 요소는 래치(745)에 출력을 저장할 수 있고, 여기서 논리 상태는 메모리 어레이(705)를 일부로 포함하는 전자 디바이스의 동작에 따라 사용될 수 있다. 감지 구성 요소(735)는 래치(745) 및 메모리 셀(710)과 전자 통신하는 감지 증폭기를 포함할 수 있다.

[0083] 메모리 제어기(715) 또는 이의 다양한 서브-구성 요소 중 적어도 일부는 하드웨어, 프로세서에 의해 실행되는 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수 있다. 프로세서에 의해 실행되는 소프트웨어로 구현되는 경우, 메모리 제어기(715)의 기능 또는 이의 다양한 서브-구성 요소 중 적어도 일부는 본 명세서에 설명된 기능을 수행하도록 설계된 일반 목적 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 전계 프로그래밍 가능 게이트 어레이(FPGA) 또는 다른 프로그래밍 가능 논리 디바이스, 이산 게이트 또는 트랜지스터 논리 회로, 이산 하드웨어 구성 요소, 또는 이들의 임의의 조합에 의해 실행될 수 있다. 메모리 제어기(715) 또는 이의 다양한 서브-구성 요소 중 적어도 일부는 기능의 일부가 하나 이상의 물리적 디바이스에 의해 상이한 물리적 위치에 구현되도록 분산된 것을 포함하여 다양한 위치에 물리적으로 위치될 수 있다. 일부 실시형태에서, 메모리 제어기(715) 또는 이의 다양한 서브-구성 요소 중 적어도 일부는 본 발명의 다양한 실시

형태에 따라 별개의 이산 구성 요소일 수 있다. 다른 예에서, 메모리 제어기(715) 또는 이의 다양한 서브-구성 요소 중 적어도 일부는, I/O 구성 요소, 트랜시버, 네트워크 서버, 다른 컴퓨팅 디바이스, 본 명세서에 설명된 하나 이상의 다른 구성 요소, 또는 본 발명의 다양한 실시형태에 따른 이들의 조합을 포함하지만 이들로 제한되지 않는 하나 이상의 다른 하드웨어 구성 요소와 결합될 수 있다.

[0084] 메모리 제어기(715)는 호스트 디바이스(도시되지 않음)로부터 입력 벡터의 제1 비트 세트를 수신하고, 제1 논리값을 갖는 제1 비트 세트의 적어도 일부를 제어기에 저장된 임계값과 비교하고, 비교에 기초하여 하나 이상의 비트와 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당하고, 제1 비트 세트의 적어도 일부와 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하고, 생성된 제2 비트 세트를 메모리의 블록에 저장하는 것을 개시할 수 있다. 메모리 제어기(715)는 또한 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 메모리 어레이에 인가하고, 활성화 전압을 인가하는 것에 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정하고, 제1 시간 후 지속 기간 동안 활성화 전압의 인가를 유지하고, 지속 기간의 종료 후에 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독할 수 있다.

[0085] 도 8은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 메모리 제어기(815)의 블록도(800)를 도시한다. 메모리 제어기(815)는 도 7 및 도 9를 참조하여 설명된 메모리 제어기(715 및 915)의 양태의 일례일 수 있다. 메모리 제어기(815)는 바이어싱 구성 요소(820), 타이밍 구성 요소(825), I/O 구성 요소(830), 인코딩 구성 요소(835), 프로그래밍 구성 요소(840) 및 판독 구성 요소(845)를 포함할 수 있다. 이들 모듈 각각은 (예를 들어, 하나 이상의 버스를 통해) 직접 또는 간접 서로 통신할 수 있다.

[0086] 일부 실시형태에서, 바이어싱 구성 요소(820)는 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 메모리 어레이에 인가할 수 있다. 일부 실시형태에서, 바이어싱 구성 요소(820)는 또한 지속 기간 동안 활성화 전압의 인가를 유지할 수 있다.

[0087] 일부 실시형태에서, I/O 구성 요소(830)는 호스트 디바이스(도시되지 않음)로부터 입력 벡터의 제1 비트 세트를 수신할 수 있다.

[0088] 일부 실시형태에서, 인코딩 구성 요소(835)는 제1 논리값을 갖는 제1 비트 세트의 적어도 일부를 제어기에 저장된 임계값과 비교하고, 제1 논리 상태를 갖는 비트의 수에 기초하여 입력 벡터의 패턴 가중치를 결정할 수 있고, 여기서 제1 논리 상태는 메모리 셀의 제1 세트의 임계 전압과 연관되고, 제1 세트의 임계 전압은 제1 논리 상태와는 상이한 제2 논리 상태와 연관된 제2 세트의 임계 전압보다 더 작다. 일부 실시형태에서, 인코딩 구성 요소(835)는 또한 임계값과 연관된 인자에 기초하여 제1 비트 세트를 하나 이상의 비트 세그먼트로 분할하고, 하나 이상의 비트 세그먼트 중 적어도 하나의 비트 세그먼트를 선택하고, 선택된 적어도 하나의 비트 세그먼트의 비트 세트의 논리 상태를 반전시킬 수 있고, 여기서 하나 이상의 비트의 값은 비트 세트의 반전된 논리 상태에 기초한다.

[0089] 일부 실시형태에서, 인코딩 구성 요소(835)는 인자에 기초하여 하나 이상의 비트 세그먼트 중 비트 세그먼트의 수를 결정하고, 여기서 하나 이상의 비트의 수는 비트 세그먼트의 수에 대응하고, 제1 비트 세트의 적어도 일부와 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하고, 제1 비트 세트의 수가 임계값을 충족시키지 않는다는 결정에 기초하여 제1 비트 세트의 각각의 논리 상태를 반전시키고, 제1 비트 세트의 각각의 논리 상태를 반전시키는 것에 기초하여 제1 비트 세트의 수가 임계값을 충족시키지 않는다고 결정할 수 있다. 일부 실시형태에서, 인코딩 구성 요소(835)는 제1 비트 세트의 수가 반전 후 임계값을 충족시키지 않는다는 결정에 기초하여 제1 비트 세트의 원래의 논리 상태를 복원하고, 제1 논리값을 갖는 제1 비트 세트의 다른 부분을 제어기에 저장된 임계값과 비교하고, 백분율을 백분율 범위와 비교할 수 있고, 여기서 백분율 범위는 임계값과 연관된 인자에 기초한다.

[0090] 일부 경우에, 제1 비트 세트의 적어도 일부를 비교하는 것은 제1 논리 상태를 갖는 입력 벡터의 비트의 백분율을 식별하는 것을 포함한다. 일부 경우에, 제1 비트 세트의 적어도 일부를 비교하는 것은 제1 비트 세트의 수가 임계값을 충족시키지 않는다고 결정하는 것을 포함한다. 일부 경우에, 제1 비트 세트의 적어도 일부를 비교하는 것은 입력 벡터의 패턴 가중치를 임계값과 연관된 인자에 기초한 범위와 비교하는 것을 포함한다.

[0091] 일부 실시형태에서, 프로그래밍 구성 요소(840)는 비교에 기초하여 하나 이상의 비트와 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당할 수 있다. 일부 실시형태에서, 프로그래밍 구성 요소(840)는 생성된 제2 비트 세트를 메모리의 블록에 저장하는 것을 개시할 수 있다.

[0092] 일부 실시형태에서, 판독 구성 요소(845)는 활성화 전압을 인가하는 것에 기초하여 제1 시간에 제1 세트의 메모리

리 셀이 활성화되었다고 결정하고, 지속 기간의 종료 후, 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독할 수 있다. 일부 실시형태에서, 판독 구성 요소(845)는 제2 세트의 메모리 셀이 제1 논리 상태에 대응하는 것이라고 결정할 수 있다. 일부 경우에, 판독 구성 요소(845)는 또한 제3 세트의 메모리 셀이 제1 논리 상태와는 다른 제2 논리 상태에 대응하는 것이라고 결정할 수 있고, 여기서 제3 세트의 메모리 셀은 지속 기간의 종료 후에 비활성화된다.

[0093] 도 9는 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 지원하는 디바이스(905)를 포함하는 시스템(900)의 다이어그램을 도시한다. 디바이스(905)는 예를 들어, 도 1을 참조하여 본 명세서에 설명된 바와 같은 메모리 디바이스(100)의 구성 요소의 일례이거나 이 구성 요소를 포함할 수 있다. 디바이스(905)는 메모리 제어기(915), 메모리 셀(920), 기본 I/O 시스템(BIOS) 구성 요소(925), 프로세서(930), I/O 제어기(935) 및 주변 구성 요소(들)(940)를 포함하는, 통신을 송수신하기 위한 구성 요소를 포함하는 양방향 음성 및 데이터 통신을 위한 구성 요소를 포함할 수 있다. 이들 구성 요소는 하나 이상의 버스(예를 들어, 버스(910))를 통해 전자 통신할 수 있다.

[0094] 메모리 제어기(915)는 본 명세서에 설명된 바와 같이 하나 이상의 메모리 셀을 동작시킬 수 있다. 구체적으로, 메모리 제어기(915)는 자동-참조 메모리 셀 판독 기법을 지원하도록 구성될 수 있다. 일부 경우에서, 메모리 제어기(915)는 교차점 어레이와 결합되고, 도 8을 참조하여 본 명세서에 설명된 바와 같이 액세스 동작(예를 들어, 프로그래밍 또는 판독)을 수행하도록 동작 가능하다. 일부 경우에, 메모리 제어기(915)는 호스트 디바이스(도시되지 않음)로부터 입력 벡터의 제1 비트 세트를 수신하고, 제1 논리값을 갖는 제1 비트 세트의 적어도 일부를 제어기에 저장된 임계값과 비교하고, 비교에 기초하여 하나 이상의 비트와 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당하고, 제1 비트 세트의 적어도 일부와 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하고, 생성된 제2 비트 세트를 메모리의 블록에 저장하는 것을 개시할 수 있다. 일부 실시형태에서, 메모리 제어기(915)는 또한 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 메모리 어레이에 인가하고, 활성화 전압을 인가하는 것에 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정하고, 제1 시간 후 지속 기간 동안 활성화 전압의 인가를 유지하고, 지속 기간의 종료 후, 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독할 수 있다.

[0095] 메모리 셀(920)은 본 명세서에 설명된 바와 같이 정보(즉, 논리 상태의 형태)를 저장할 수 있다. 일부 실시형태에서, 메모리 셀(920)은 3DXP 메모리 셀을 포함하는 교차점 메모리 어레이를 포함할 수 있다. 메모리 셀(920)은 또한 메모리 매체로도 지칭될 수 있다. 일부 경우에, 메모리 매체는 상 변화 메모리 셀의 3차원 교차점 어레이를 포함할 수 있다.

[0096] BIOS 구성 요소(925)는 다양한 하드웨어 구성 요소를 초기화하고 실행할 수 있는 펌웨어로서 동작하는 BIOS를 포함하는 소프트웨어 구성 요소이다. BIOS 구성 요소(925)는 또한 프로세서와 다양한 다른 구성 요소, 예를 들어 주변 구성 요소(940), I/O 제어기(935) 등 사이의 데이터 흐름을 관리할 수 있다. BIOS 구성 요소(925)는 ROM, 플래시 메모리 또는 임의의 다른 비-휘발성 메모리에 저장된 프로그램 또는 소프트웨어를 포함할 수 있다.

[0097] 프로세서(930)는 지능형 하드웨어 디바이스(예를 들어, 일반 목적 프로세서, DSP, 중앙 처리 유닛(CPU), 마이크로제어기, ASIC, FPGA, 프로그래밍 가능 논리 디바이스, 이산 게이트 또는 트랜지스터 논리 구성 요소, 이산 하드웨어 구성 요소 또는 이들의 임의의 조합)를 포함할 수 있다. 일부 경우에, 프로세서(930)는 메모리 제어기를 사용하여 메모리 어레이를 동작시키도록 구성될 수 있다. 다른 경우에, 메모리 제어기는 프로세서(930)에 통합될 수 있다. 프로세서(930)는 메모리에 저장된 컴퓨터 판독 가능 명령을 실행하여 다양한 기능(예를 들어, 자동-참조 메모리 셀 판독 기법을 지원하는 기능 또는 작업)을 수행하도록 구성될 수 있다.

[0098] I/O 제어기(935)는 디바이스(905)에 대한 입력 및 출력 신호를 관리할 수 있다. I/O 제어기(935)는 또한 디바이스(905)에 통합되지 않은 주변 기기를 관리할 수 있다. 일부 경우에, I/O 제어기(935)는 외부 주변 기기와의 물리적 연결 또는 포트를 나타낼 수 있다. 일부 경우에, I/O 제어기(935)는 iOS®, ANDROID®, MS-DOS®, MS-WINDOWS®, OS/2®, UNIX®, LINUX® 또는 다른 알려진 운영 체제와 같은 운영 체제를 이용할 수 있다. 다른 경우에, I/O 제어기(935)는 모뎀, 키보드, 마우스, 터치스크린 또는 유사한 디바이스를 나타내거나 이와 상호 작용할 수 있다. 일부 경우에, I/O 제어기(935)는 프로세서의 일부로서 구현될 수 있다. 일부 경우에, 사용자는 I/O 제어기(935)를 통해 또는 I/O 제어기(935)에 의해 제어되는 하드웨어 구성 요소를 통해 디바이스(905)와 상호 작용할 수 있다.

[0099] 주변 구성 요소(들)(940)는 임의의 입력 또는 출력 디바이스를 포함하거나 또는 이러한 디바이스를 위한 인터페

이스를 포함할 수 있다. 예로는 디스크 제어기, 사운드 제어기, 그래픽 제어기, 이더넷 제어기, 모뎀, 범용 직렬 버스(USB) 제어기, 직렬 또는 병렬 포트, 또는 주변 기기 카드 슬롯 주변 기기, 예를 들어, 주변 구성 요소 상호 연결(Peripheral Component Interconnect: PCI) 또는 가속 그래픽 포트(AGP) 슬롯을 포함할 수 있다.

- [0100] 입력 디바이스(945)는 디바이스(905) 또는 이의 구성 요소에 입력을 제공하는, 디바이스(905) 외부의 디바이스 또는 신호를 나타낼 수 있다. 이것은 다른 디바이스와 또는 다른 디바이스 간의 인터페이스 또는 사용자 인터페이스를 포함할 수 있다. 일부 경우에, 입력 디바이스(945)는 I/O 제어기(935)에 의해 관리될 수 있고, 주변 구성 요소(들)(940)를 통해 디바이스(905)와 상호 작용할 수 있다.
- [0101] 출력 디바이스(950)는 또한 디바이스(905) 또는 이의 임의의 구성 요소로부터 출력을 수신하도록 구성된, 디바이스(905) 외부의 디바이스 또는 신호를 나타낼 수 있다. 출력 디바이스(950)의 예로는 디스플레이, 오디오 스피커, 인쇄 디바이스, 다른 프로세서 또는 인쇄 회로 보드 등을 포함할 수 있다. 일부 경우에, 출력 디바이스(950)는 주변 구성 요소(들)(940)를 통해 디바이스(905)와 인터페이스하는 주변 요소일 수 있다. 일부 경우에, 출력 디바이스(950)는 I/O 제어기(935)에 의해 관리될 수 있다.
- [0102] 디바이스(905)의 구성 요소는 그 기능을 수행하도록 설계된 회로부를 포함할 수 있다. 이것은 본 명세서에 설명된 기능을 수행하도록 구성된 다양한 회로 요소, 예를 들어, 전도성 라인, 트랜지스터, 커패시터, 인덕터, 저항기, 증폭기 또는 다른 능동 또는 비활성 요소를 포함할 수 있다. 디바이스(905)는 컴퓨터, 서버, 랩탑 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 모바일 폰, 착용 가능 전자 디바이스, 개인용 전자 디바이스 등일 수 있다. 또는 디바이스(905)는 이러한 디바이스의 일부 또는 양태일 수 있다.
- [0103] 도 10은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 위한 방법(1000)을 나타내는 흐름도를 도시한다. 방법(1000)의 동작은 본 명세서에 설명된 메모리 디바이스(100) 또는 이의 구성 요소에 의해 구현될 수 있다. 예를 들어, 방법(1000)의 동작은 도 1 및 도 7 내지 도 9를 참조하여 설명된 바와 같이 메모리 제어기에 의해 수행될 수 있다. 일부 실시형태에서, 메모리 디바이스(100)는 본 명세서에 설명된 기능을 수행하기 위해 디바이스의 기능 요소를 제어하기 위해 코드 세트를 실행할 수 있다. 추가적으로 또는 대안적으로, 메모리 디바이스(100)는 특수 목적 하드웨어를 사용하여 본 명세서에 설명된 기능의 양태를 수행할 수 있다.
- [0104] 블록(1005)에서, 메모리 디바이스(100)는 제어기에서 호스트 디바이스로부터 입력 벡터의 제1 비트 세트를 수신할 수 있다. 블록(1005)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1005)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같이 I/O 구성 요소 또는 제어기에 의해 수행될 수 있다.
- [0105] 블록(1010)에서, 메모리 디바이스(100)는 제1 논리값을 갖는 제1 비트 세트의 적어도 일부를 제어기에 저장된 임계값과 비교할 수 있다. 블록(1010)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1010)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같은 인코딩 구성 요소에 의해 수행될 수 있다.
- [0106] 블록(1015)에서, 메모리 디바이스(100)는 비교에 적어도 부분적으로 기초하여 하나 이상의 비트와 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당할 수 있다. 블록(1015)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1015)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 프로그래밍 구성 요소에 의해 수행될 수 있다.
- [0107] 1020에서 메모리 디바이스(100)는 제1 비트 세트의 적어도 일부와 하나 이상의 비트를 포함하는 제2 비트 세트를 생성할 수 있다. 1020의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 1020의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같은 인코딩 구성 요소에 의해 수행될 수 있다.
- [0108] 1025에서, 메모리 디바이스(100)는 생성된 제2 비트 세트를 메모리의 블록에 저장하는 것을 개시할 수 있다. 1025의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 1025의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 프로그래밍 구성 요소에 의해 수행될 수 있다.
- [0109] 일부 실시형태에서, 방법(1000)은 또한 임계값과 연관된 인자에 적어도 부분적으로 기초하여 제1 비트 세트를 하나 이상의 비트 세그먼트로 분할하는 단계, 하나 이상의 비트 세그먼트 중 적어도 하나의 비트 세그먼트를 선택하는 단계, 및 선택된 적어도 하나의 비트 세그먼트의 비트 세트의 논리 상태를 반전시키는 단계를 더 포함할 수 있고, 여기서 하나 이상의 비트의 값은 비트 세트의 반전된 논리 상태에 적어도 부분적으로 기초한다. 일부 실시형태에서, 방법(1000)은 또한 인자에 적어도 부분적으로 기초하여 하나 이상의 비트 세그먼트의 비트 세그먼트의 수를 결정하는 단계를 더 포함할 수 있고, 여기서 하나 이상의 비트의 수는 비트 세그먼트의 수에 대응

한다. 일부 실시형태에서, 방법(1000)은 또한 제1 논리 상태를 갖는 입력 벡터의 비트 백분율을 식별하는 단계, 및 백분율을 백분율 범위와 비교하는 단계를 더 포함할 수 있고, 여기서 백분율 범위는 임계값과 연관된 인자에 적어도 부분적으로 기초한다.

[0110] 일부 실시형태에서, 방법(1000)은 또한 제1 비트 세트의 수가 임계값을 충족하지 않는 것이라고 결정하는 단계 및 제1 비트 세트의 수가 임계값을 충족시키지 않는다는 결정에 적어도 부분적으로 기초하여 제1 비트 세트의 각각의 논리 상태를 반전시키는 단계를 더 포함할 수 있다. 일부 실시형태에서, 방법(1000)은 또한 제1 비트 세트의 각각의 논리 상태를 반전시키는 것에 적어도 부분적으로 기초하여 제1 비트 세트의 수가 임계값을 충족시키지 않는다고 결정하는 단계, 제1 비트 세트의 수가 반전 후 임계값을 충족시키지 않는다는 결정에 기초하여 제1 비트 세트의 원래의 논리 상태를 복원하는 단계, 및 제1 논리값을 갖는 제1 비트 세트의 다른 부분을 제어기에 저장된 임계값과 비교하는 단계를 더 포함할 수 있다. 일부 실시형태에서, 방법(1000)은 또한 입력 벡터의 패턴 가중치를 임계값과 연관된 인자에 적어도 부분적으로 기초한 범위와 비교하는 단계를 더 포함할 수 있다. 일부 실시형태에서, 방법(1000)은 또한 제1 논리 상태를 갖는 비트의 수에 적어도 부분적으로 기초하여 입력 벡터의 패턴 가중치를 결정하는 단계를 더 포함할 수 있고, 여기서 제1 논리 상태는 메모리 셀의 제1 세트의 임계 전압과 연관되고, 여기서 제1 세트의 임계 전압은 제1 논리 상태와는 상이한 제2 논리 상태와 연관된 제2 세트의 임계 전압보다 더 작다.

[0111] 일부 실시형태에서, 자동-참조 메모리 셀 판독 기법을 위한 장치가 설명된다. 장치는 제어기에서 호스트 디바이스로부터 입력 벡터의 제1 비트 세트를 수신하기 위한 수단, 제1 논리값을 갖는 제1 비트 세트의 적어도 일부를 제어기에 저장된 임계값과 비교하기 위한 수단, 비교에 적어도 부분적으로 기초하여 하나 이상의 비트와 제1 비트 세트를 저장하기 위해 메모리의 블록을 할당하기 위한 수단, 제1 비트 세트의 적어도 일부와 하나 이상의 비트를 포함하는 제2 비트 세트를 생성하기 위한 수단, 및 생성된 제2 비트 세트를 메모리의 블록에 저장하는 것을 개시하기 위한 수단을 포함할 수 있다.

[0112] 일부 실시형태에서, 장치는 또한 임계값과 연관된 인자에 적어도 부분적으로 기초하여 제1 비트 세트를 하나 이상의 비트 세그먼트로 분할하기 위한 수단, 하나 이상의 비트 세그먼트 중 적어도 하나의 비트 세그먼트를 선택하기 위한 수단, 및 선택된 적어도 하나의 비트 세그먼트의 비트 세트의 논리 상태를 반전시키기 위한 수단을 더 포함할 수 있고, 여기서 하나 이상의 비트의 값은 비트 세트의 반전된 논리 상태에 적어도 부분적으로 기초한다. 일부 실시형태에서, 장치는 또한 인자에 적어도 부분적으로 기초하여 하나 이상의 비트 세그먼트의 비트 세그먼트의 수를 결정하기 위한 수단을 더 포함할 수 있고, 여기서 하나 이상의 비트의 수는 비트 세그먼트의 수에 대응한다. 일부 실시형태에서, 장치는 또한 제1 논리 상태를 갖는 입력 벡터의 비트의 백분율을 식별하기 위한 수단 및 백분율을 백분율 범위와 비교하기 위한 수단을 더 포함할 수 있고, 여기서 백분율 범위는 임계값과 연관된 인자에 적어도 부분적으로 기초한다.

[0113] 일부 실시형태에서, 장치는 또한 제1 비트 세트의 수가 임계값을 충족시키지 않는다고 결정하기 위한 수단 및 제1 비트 세트의 수가 임계값을 충족시키지 않는다는 결정에 적어도 부분적으로 기초하여 제1 비트 세트의 각각의 논리 상태를 반전시키기 위한 수단을 더 포함할 수 있다. 일부 실시형태에서, 장치는 또한 제1 비트 세트의 각각의 논리 상태를 반전시키는 것에 적어도 부분적으로 기초하여 제1 비트 세트의 수가 임계값을 충족시키지 않는다고 결정하기 위한 수단, 제1 비트 세트의 수가 반전 후 임계값을 충족시키지 않는다는 결정에 기초하여 제1 비트 세트의 원래의 논리 상태를 복원하기 위한 수단, 및 제1 논리값을 갖는 제1 비트 세트의 다른 부분을 제어기에 저장된 임계값과 비교하기 위한 수단을 더 포함할 수 있다. 일부 실시형태에서, 장치는 또한 입력 벡터의 패턴 가중치를 임계값과 연관된 인자에 적어도 부분적으로 기초한 범위와 비교하기 위한 수단을 더 포함할 수 있다. 일부 실시형태에서, 장치는 또한 제1 논리 상태를 갖는 비트의 수에 적어도 부분적으로 기초하여 입력 벡터의 패턴 가중치를 결정하기 위한 수단을 더 포함할 수 있고, 여기서 제1 논리 상태는 메모리 셀의 제1 세트의 임계 전압과 연관되고, 여기서 제1 세트의 임계 전압은 제1 논리 상태와는 상이한 제2 논리 상태와 연관된 제2 세트의 임계 전압보다 더 작다.

[0114] 도 11은 본 발명의 실시형태에 따른 자동-참조 메모리 셀 판독 기법을 위한 방법(1100)을 도시하는 흐름도를 도시한다. 방법(1100)의 동작은 본 명세서에 설명된 바와 같이 메모리 디바이스(100) 또는 이의 구성 요소에 의해 구현될 수 있다. 예를 들어, 방법(1100)의 동작은 도 1 및 도 7 내지 도 9를 참조하여 설명된 바와 같이 메모리 제어기에 의해 수행될 수 있다. 일부 실시형태에서, 메모리 디바이스(100)는 본 명세서에 설명된 기능을 수행하기 위해 디바이스의 기능 요소를 제어하기 위해 코드 세트를 실행할 수 있다. 추가적으로 또는 대안적으로, 메모리 디바이스(100)는 특수 목적 하드웨어를 사용하여 본 명세서에 설명된 기능의 양태를 수행할 수 있다.

- [0115] 블록(1105)에서, 메모리 디바이스(100)는 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 메모리 어레이에 인가할 수 있다. 블록(1105)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1105)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같이 바이어싱 구성 요소에 의해 수행될 수 있다.
- [0116] 블록(1110)에서, 메모리 디바이스(100)는, 활성화 전압을 인가하는 것에 적어도 부분적으로 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정할 수 있다. 블록(1110)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1110)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같이 판독 구성 요소에 의해 수행될 수 있다.
- [0117] 블록(1115)에서 메모리 디바이스(100)는 제1 시간 후 지속 기간 동안 활성화 전압의 인가를 유지할 수 있다. 블록(1115)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1115)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같이 바이어싱 구성 요소에 의해 수행될 수 있다.
- [0118] 블록(1120)에서 메모리 디바이스(100)는 지속 기간의 종료 후, 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독할 수 있다. 블록(1120)의 동작은 본 명세서에 설명된 방법에 따라 수행될 수 있다. 특정 예에서, 블록(1120)의 동작의 양태는 도 7 내지 도 9를 참조하여 설명된 바와 같이 판독 구성 요소에 의해 수행될 수 있다.
- [0119] 일부 경우에, 방법(1100)은 제2 세트의 메모리 셀이 제1 논리 상태에 대응하는 것이라고 결정하는 단계를 포함할 수 있다. 일부 경우에, 제1 세트의 메모리 셀이 활성화되었다는 결정은 메모리 셀의 그룹의 서브세트의 중앙 임계 전압값에 기초하며, 여기서 메모리 셀의 서브세트의 임계 전압은 그룹의 나머지 메모리 셀의 임계 전압보다 더 작다. 일부 경우에, 지속 기간은 추가 메모리 셀을 활성화시키는 것에 기초하여 결정되고, 여기서 제2 세트의 메모리 셀은 제1 세트의 메모리 셀 및 추가 메모리 셀을 포함한다. 일부 경우에, 활성화 전압은 메모리 셀의 세트의 최소 임계 전압보다 더 작은 초기값을 갖는다. 다른 경우에, 활성화 전압은, 메모리 셀의 세트의 최소 임계 전압보다 더 크고 메모리 셀의 세트의 중앙 임계 전압보다 더 작은 초기값을 갖는다. 일부 경우에, 활성화 전압은 시간에 따라 일정한 증가율을 갖는다. 일부 실시형태에서, 방법(1100)은 또한 제3 세트의 메모리 셀이 제1 논리 상태와는 상이한 제2 논리 상태에 대응하는 것이라고 결정하는 단계를 더 포함할 수 있고, 여기서 제3 세트의 메모리 셀은 지속 기간의 종료 후에 비활성화된다.
- [0120] 일부 실시형태에서, 자동-참조 메모리 셀 판독 기법을 위한 장치가 설명된다. 장치는 메모리 어레이의 메모리 셀의 그룹을 활성화시키기 위해 활성화 전압을 메모리 어레이에 인가하기 위한 수단, 활성화 전압을 인가하는 것에 적어도 부분적으로 기초하여 제1 시간에 제1 세트의 메모리 셀이 활성화되었다고 결정하는 것, 제1시간 후 지속 기간 동안 활성화 전압의 인가를 유지하기 위한 수단, 및 지속 기간의 종료 후, 제1 세트의 메모리 셀을 포함하는 제2 세트의 메모리 셀의 논리 상태를 판독하기 위한 수단을 포함할 수 있다. 일부 경우에서, 장치는 또한 제2 세트의 메모리 셀이 제1 논리 상태에 대응하는 것이라고 결정하기 위한 수단을 더 포함할 수 있다. 일부 경우에, 장치는 또한 제3 세트의 메모리 셀이 제1 논리 상태와는 다른 제2 논리 상태에 대응하는 것이라고 결정하기 위한 수단을 더 포함할 수 있고, 여기서 제3 세트의 메모리 셀은 지속 기간의 종료 후에 비활성화된다. 일부 경우에, 장치는 또한 제1 세트의 메모리 셀이 메모리 셀의 그룹의 서브세트의 중앙 임계 전압값에 기초하여 활성화되었다고 결정하기 위한 수단을 포함할 수 있으며, 여기서 메모리 셀의 서브세트의 임계 전압은 그룹의 나머지 메모리 셀의 임계 전압보다 더 작다.
- [0121] 본 명세서에 설명된 방법은 가능한 구현예를 설명하고, 동작 및 단계들은 재배열되거나 달리 수정될 수 있고 다른 구현예도 가능하다는 것을 주목해야 한다. 또한, 둘 이상의 방법의 실시형태가 조합될 수 있다.
- [0122] 본 명세서에 설명된 정보 및 신호는 다양한 상이한 기술 및 기법 중 임의의 것을 사용하여 표현될 수 있다. 예를 들어, 상기 설명 전반에 걸쳐 언급될 수 있는 데이터, 명령, 커맨드, 정보, 신호, 비트, 심볼 및 칩은 전압, 전류, 전자기파, 자기장 또는 입자, 광학 장 또는 입자, 또는 이들의 임의의 조합으로 표현될 수 있다. 일부 도면은 단일 신호로서 신호를 도시할 수 있으나; 신호는 신호 버스를 나타낼 수도 있으며, 버스는 다양한 비트 폭을 가질 수도 있는 것임을 이 기술 분야에 통상의 지식을 가진 자라면 이해할 수 있을 것이다.
- [0123] "전자 통신" 및 "결합된"이라는 용어는 구성 요소들 간에 전자 흐름을 지원하는 구성 요소들 간의 관계를 지칭한다. 이것은 구성 요소들 간의 직접적인 연결을 포함할 수도 있고 또는 중간 구성 요소를 포함할 수도 있다. 전자 통신하는 구성 요소 또는 서로 결합된 구성 요소는 (예를 들어, 통전된 회로에서) 전자 또는 신호를 능동적으로 교환할 수도 있고 또는 (예를 들어, 비-통전된 회로에서) 전자 또는 신호를 능동적으로 교환하지 않을

수도 있지만, 회로가 통전될 때 전자 또는 신호를 교환하도록 구성되거나 동작될 수 있다. 예로서, 스위치(예를 들어, 트랜지스터)를 통해 물리적으로 연결된 2개의 구성 요소는 전자 통신하거나 또는 스위치의 상태(즉, 개방 또는 폐쇄)에 관계없이 결합될 수 있다.

[0124] 본 명세서에서 사용된 "실질적으로"라는 용어는 수정된 특성(예를 들어, 실질적으로란 용어에 의해 수식된 동사 또는 형용사)이 절대적인 것이 아니라 특성의 장점을 달성할 만큼 충분히 근접해 있는 것임을 의미한다.

[0125] 본 명세서에 사용된 "전극"이라는 용어는 전기 전도체를 지칭할 수 있고, 일부 경우에 메모리 어레이의 메모리 셀 또는 다른 구성 요소와의 전기적 접점으로서 사용될 수 있다. 전극은 메모리 디바이스(100)의 요소 또는 구성 요소 사이에 전도성 경로를 제공하는 트레이스, 와이어, 전도성 라인, 전도성 층 등을 포함할 수 있다.

[0126] 칼코게나이드 물질은 원소 S, Se 및 Te 중 적어도 하나를 포함하는 물질 또는 합금일 수 있다. 본 명세서에서 논의된 상 변화 물질은 칼코게나이드 물질일 수 있다. 칼코게나이드 물질은 S, Se, Te, Ge, As, Al, Sb, Au, 인듐(In), 갈륨(Ga), 주석(Sn), 비스무트(Bi), 팔라듐(Pd), 코발트(Co), 산소(O), 은(Ag), 니켈(Ni), 백금(Pt)의 합금을 포함할 수 있다. 칼코게나이드 물질 및 합금의 예로는 Ge-Te, In-Se, Sb-Te, Ga-Sb, In-Sb, As-Te, Al-Te, Ge-Sb-Te, Te-Ge-As, In-Sb-Te, Te-Sn-Se, Ge-Se-Ga, Bi-Se-Sb, Ga-Se-Te, Sn-Sb-Te, In-Sb-Ge, Te-Ge-Sb-S, Te-Ge-Sn-O, Te-Ge-Sn-Au, Pd-Te-Ge-Sn, In-Se-Ti-Co, Ge-Sb-Te-Pd, Ge-Sb-Te-Co, Sb-Te-Bi-Se, Ag-In-Sb-Te, Ge-Sb-Se-Te, Ge-Sn-Sb-Te, Ge-Te-Sn-Ni, Ge-Te-Sn-Pd, 또는 Ge-Te-Sn-Pt를 포함할 수 있지만 이들로 제한되는 것은 아니다. 본 명세서에 사용된 하이픈으로 연결된 화학 조성물 표기법은 특정 화합물 또는 합금에 포함된 원소를 나타내며, 표시된 원소를 포함하는 모든 화학량론적인 조합을 나타내는 것으로 의도된다. 예를 들어, Ge-Te는 Ge_xTe_y 를 포함할 수 있으며, 여기서 x 및 y는 임의의 양의 정수일 수 있다. 가변 저항 물질의 다른 예는 2성분 금속 산화물 물질 또는 둘 이상의 금속, 예를 들어 전이 금속, 알칼리 토금속 또는 희토류 금속을 포함하는 혼합된 원자가 산화물을 포함할 수 있다. 실시형태는 메모리 셀의 메모리 요소와 연관된 특정 가변 저항 물질 또는 물질들로 제한되는 것은 아니다. 예를 들어, 가변 저항 물질의 다른 예는 메모리 요소를 형성하는데 사용될 수 있으며, 특히 칼코게나이드 물질, 거대 자기 저항 물질 또는 중합체 기반 물질을 포함할 수 있다.

[0127] "절연된"이라는 용어는 전자가 현재 구성 요소들 사이를 흐를 수 없는 구성 요소 간의 관계를 지칭하고; 구성 요소들 간에 개방 회로가 있는 경우 구성 요소는 서로 절연된다. 예를 들어, 스위치에 의해 물리적으로 연결된 두 개의 구성 요소는 스위치가 개방될 때 서로 절연될 수 있다.

[0128] 메모리 디바이스(100)를 포함하여 본 명세서에서 논의된 디바이스는 실리콘, 게르마늄, 실리콘-게르마늄 합금, 갈륨 비소, 질화 갈륨 등과 같은 반도체 기판 상에 형성될 수 있다. 일부 경우에, 기판은 반도체 웨이퍼이다. 다른 경우에, 기판은 실리콘-온-절연체(silicon-on-insulator: SOI) 기판, 예를 들어, 실리콘-온-글라스(SOG) 또는 실리콘-온-사파이어(SOP), 또는 다른 기판 상의 반도체 물질의 에피택셜 층일 수 있다. 기판 또는 기판의 서브-영역의 전도성은 인, 붕소 또는 비소를 포함하지만 이들로 제한되지 않는 다양한 화학 종을 사용하여 도핑을 통해 제어될 수 있다. 도핑은 기판의 초기 형성 또는 성장 동안, 이온 주입에 의해 또는 임의의 다른 도핑 수단에 의해 수행될 수 있다.

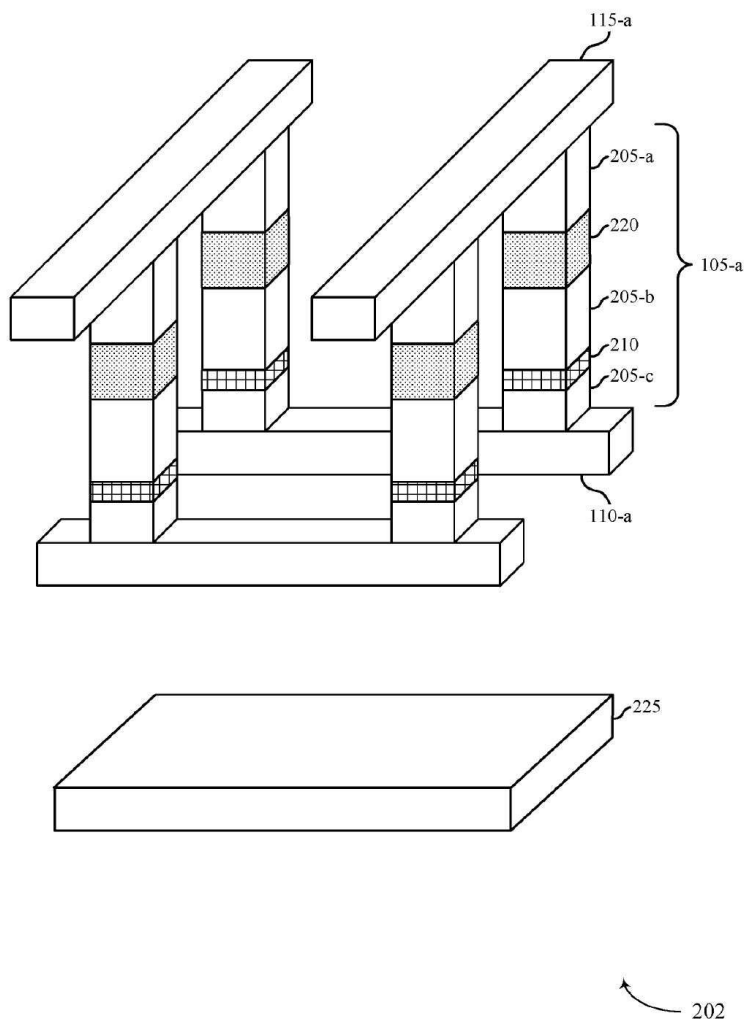
[0129] 본 명세서에서 논의된 트랜지스터 또는 트랜지스터들은 전계 효과 트랜지스터(FET)를 나타낼 수 있고, 소스, 드레인 및 게이트를 포함하는 3 단자 디바이스를 포함할 수 있다. 단자는 전도성 물질, 예를 들어 금속을 통해 다른 전자 요소에 연결될 수 있다. 소스 및 드레인은 전도성일 수 있고, 고농도로 도핑된, 예를 들어 축퇴된 반도체 영역을 포함할 수 있다. 소스 및 드레인은 저농도로 도핑된 반도체 영역 또는 채널에 의해 분리될 수 있다. 채널이 n형인 경우(즉, 다수 캐리어가 전자인 경우), FET는 n형 FET라고 지칭될 수 있다. 채널이 p형인 경우(즉, 다수 캐리어는 정공인 경우), FET는 p형 FET로 지칭될 수 있다. 채널은 절연 게이트 산화물에 의해 캡핑될 수 있다. 채널 전도성은 게이트에 전압을 인가함으로써 제어될 수 있다. 예를 들어, 양의 전압 또는 음의 전압을 각각 n형 FET 또는 p형 FET에 인가하면 채널이 전도성이 될 수 있다. 트랜지스터의 임계 전압 이상의 전압이 트랜지스터 게이트에 인가될 때 트랜지스터는 "온" 또는 "활성화"될 수 있다. 트랜지스터의 임계 전압보다 더 작은 전압이 트랜지스터 게이트에 인가될 때 트랜지스터는 "오프" 또는 "비활성화"될 수 있다.

[0130] 첨부된 도면과 관련하여 본 명세서에 제시된 설명은 예시적인 구성을 설명하는 것일 뿐, 구현될 수 있는 또는 청구범위 내에 있는 모든 예를 나타내는 것은 아니다. 본 명세서에서 사용된 "예시적인"이라는 용어는 "예, 실례 또는 예시로서 제공되는" 것을 의미하고, "바람직한" 또는 "다른 예보다 유리한" 것을 의미하는 것이 아니다. 상세한 설명은 설명된 기법을 이해하는데 필요한 특정 상세를 포함한다. 그러나, 이들 기법은 이들 특정 상세 없이도 실시될 수 있다. 일부 예에서, 잘 알려진 구조 및 디바이스는 설명된 예의 개념을 모호하게 하

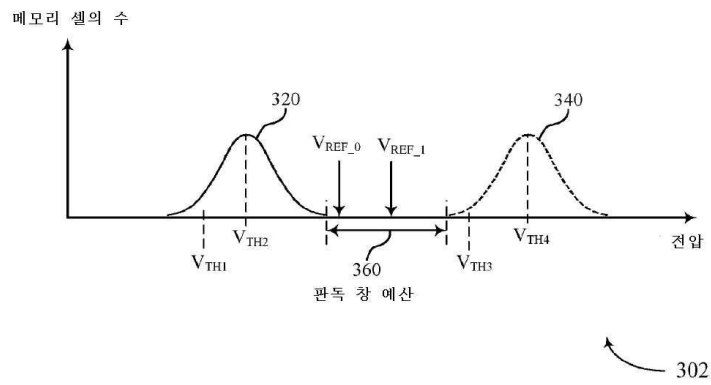
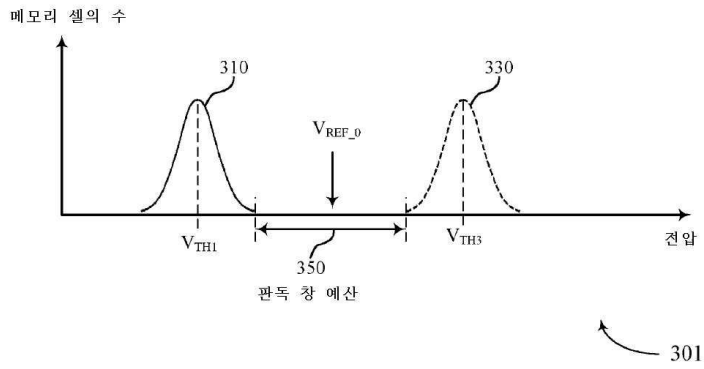
는 것을 피하기 위해 블록도 형태로 도시된다.

- [0131] 첨부된 도면에서, 유사한 구성 요소 또는 특징은 동일한 참조 라벨을 가질 수 있다. 또한, 동일한 유형의 다양한 구성 요소는 유사한 구성 요소 간을 구별하는 대시에 의한 참조 라벨 및 제2 라벨을 따름으로써 구별될 수 있다. 본 명세서에 제1 참조 라벨만이 사용된 경우, 이 설명은 제2 참조 라벨에 상관없이 동일한 제1 참조 라벨을 갖는 유사한 구성 요소 중 임의의 것에 적용될 수 있다.
- [0132] 본 명세서에 설명된 정보 및 신호는 다양한 상이한 기술 및 기법 중 임의의 것을 사용하여 표현될 수 있다. 예를 들어, 상기 설명 전반에 걸쳐 언급될 수 있는 데이터, 명령, 커맨드, 정보, 신호, 비트, 심볼 및 칩은 전압, 전류, 전자기파, 자기장 또는 입자, 광학 장 또는 입자, 또는 이들의 임의의 조합으로 표현될 수 있다.
- [0133] 본 발명과 관련하여 설명된 다양한 예시적인 블록 및 모듈은 본 명세서에 설명된 기능을 수행하도록 설계된 일반 목적 프로세서, DSP, ASIC, FPGA 또는 다른 프로그래밍 가능 논리 디바이스, 이산 게이트 또는 트랜지스터 논리 회로, 이산 하드웨어 구성 요소, 또는 이들의 임의의 조합으로 구현되거나 수행될 수 있다. 일반 목적 프로세서는 마이크로프로세서일 수 있지만, 대안적으로 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스의 조합(예를 들어, DSP와 마이크로프로세서의 조합, 다수의 마이크로프로세서, DSP 코어와 함께 하나 이상의 마이크로프로세서, 또는 임의의 다른 이러한 구성)으로 구현될 수 있다.
- [0134] 본 명세서에 설명된 기능은 하드웨어, 프로세서에 의해 실행되는 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수 있다. 프로세서에 의해 실행되는 소프트웨어로 구현되는 경우, 기능은 컴퓨터 판독 가능 매체 상에 하나 이상의 명령 또는 코드로서 저장되거나 전송될 수 있다. 다른 예 및 구현에는 본 발명의 범위 및 첨부된 청구범위 내에 있다. 예를 들어, 소프트웨어의 특성으로 인해, 본 명세서에 설명된 기능은 프로세서에 의해 실행되는 소프트웨어, 하드웨어, 펌웨어, 하드웨어웨어링, 또는 이들의 임의의 조합을 사용하여 구현될 수 있다. 기능을 구현하는 특징은 또한 기능의 일부가 상이한 물리적 위치에서 구현되도록 분산된 것을 포함하여 다양한 위치에 물리적으로 위치될 수 있다. 또한, 청구범위를 포함하여 본 명세서에 사용된 바와 같이, 항목 목록(예를 들어, "~ 중 적어도 하나" 또는 "~ 중 하나 이상"과 같은 어구로 시작하는 항목 목록)에서 사용된 "또는"은 예를 들어, A, B 또는 C 중 적어도 하나의 목록이 A 또는 B 또는 C 또는 AB 또는 AC 또는 BC 또는 ABC(즉, A 및 B 및 C)를 의미하는 총괄적인 목록을 나타낸다. 또한, 본 명세서에서 사용된 "~에 기초하여"라는 어구는 폐쇄된 조건 세트를 언급하는 것으로서 해석되어서는 안 된다. 예를 들어, "조건 A에 기초하여"라고 설명된 예시적인 단계는 본 발명의 범위를 벗어나지 않고 조건 A 및 조건 B에 기초할 수 있다. 다시 말해, 본 명세서에서 사용된 "~에 기초하여"라는 어구는 "~에 적어도 부분적으로 기초하여"라는 어구와 동일한 의미인 것으로 해석되어야 한다.
- [0135] 컴퓨터 판독 가능 매체는 비-일시적인 컴퓨터 저장 매체, 및 하나의 장소에서 다른 장소로 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 통신 매체를 모두 포함한다. 비-일시적인 저장 매체는 일반 목적 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체일 수 있다. 예로서, 비-제한적으로, 비-일시적인 컴퓨터 판독 가능 매체는, 명령 또는 데이터 구조 형태로 원하는 프로그램 코드 수단을 운반하거나 저장하는데 사용될 수 있고 일반 목적 또는 특수 목적 컴퓨터 또는 일반 목적 또는 특수 목적 프로세서에 의해 액세스될 수 있는 RAM, ROM, 전기 소거 가능 프로그래밍 가능 ROM(EEPROM), 콤팩트 디스크(CD) ROM 또는 다른 광 디스크 저장 디바이스, 자기 디스크 저장 디바이스 또는 다른 자기 저장 디바이스 또는 임의의 다른 비-일시적인 매체를 포함할 수 있다. 또한, 임의의 연결은 적절히 컴퓨터 판독 가능 매체라고 지칭된다. 예를 들어 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스트 페어, 디지털 가입자 회선(Digital Subscriber Line: DSL) 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술을 사용하여 웹 사이트, 서버 또는 다른 원격 소스로부터 소프트웨어를 전송하는 경우 동축 케이블, 광섬유 케이블, 트위스트 페어, 디지털 가입자 회선(DSL), 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술이 매체의 정의에 포함된다. 본 명세서에 사용된 디스크(disk) 및 디스크(disc)는 CD, 레이저 디스크, 광 디스크, 디지털 다목적 디스크(DVD), 플로피 디스크 및 블루-레이 디스크를 포함하고, 여기서 디스크(disk)는 일반적으로 자기적으로 데이터를 재생하는 것인 반면, 디스크(disc)는 레이저로 광학적으로 데이터를 재생하는 것이다. 상기의 조합은 또한 컴퓨터 판독 가능 매체의 범위 내에 포함된다.
- [0136] 본 명세서의 설명은 이 기술 분야에 통상의 지식을 가진 자라면 본 발명을 실시하거나 이용할 수 있도록 하기 위해 제공된 것이다. 본 발명에 대한 다양한 수정은 이 기술 분야에 통상의 지식을 가진 자에게 매우 용이할 것이므로, 본 명세서에 정의된 일반적인 원리는 본 발명의 범위를 벗어나지 않고 다른 변형에 적용될 수도 있다.

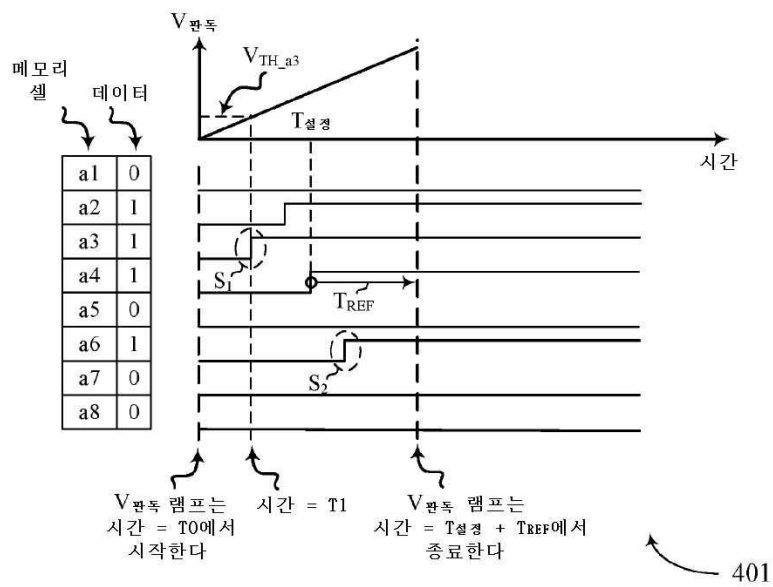
도면2



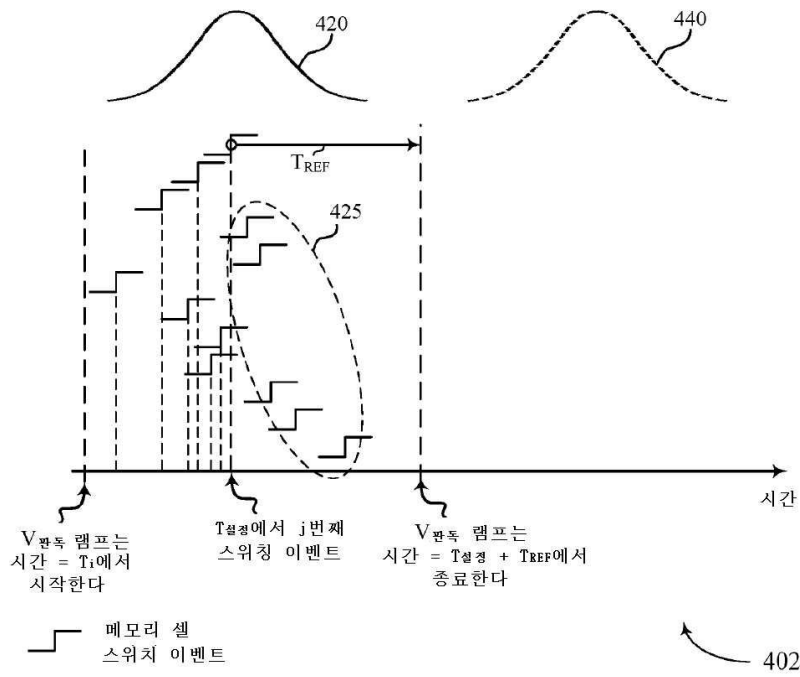
도면3



도면4a



도면4b



도면5a

550

a_1	a_2	a_3	a_4	a_5	a_6	a_7	a_8	a_9	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}	a_{16}
0	1	0	0	0	0	0	0	0	1	0	0	0	1	1	0

560

a_1	a_2	a_3	a_4	a_5	a_6	a_7	a_8	a_9	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}	a_{16}	b_1	b_2	b_3	b_4
0	1	0	0	0	0	0	0	0	1	0	0	0	1	1	0	1	1	1	1
0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	1	1	1	1	0
0	1	0	0	0	0	0	0	1	0	1	1	0	1	1	0	1	1	0	1
0	1	0	0	0	0	0	0	1	0	1	1	1	0	0	1	1	1	0	0
0	1	0	0	1	1	1	1	0	1	0	0	0	1	1	0	1	0	1	1

560-a

560-b

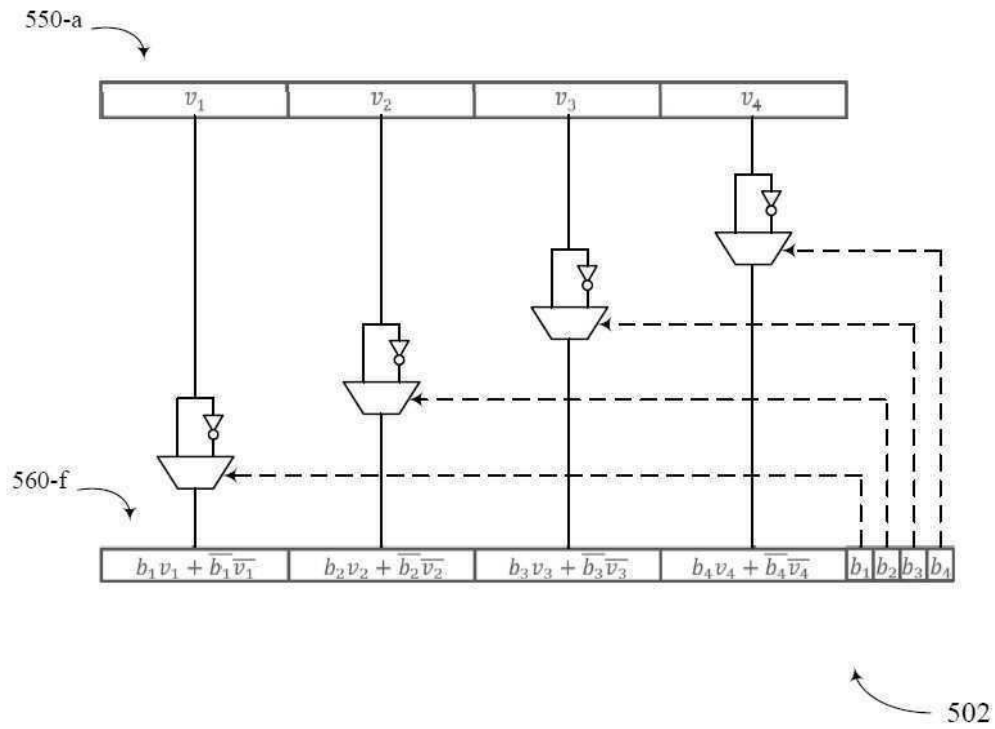
560-c

560-d

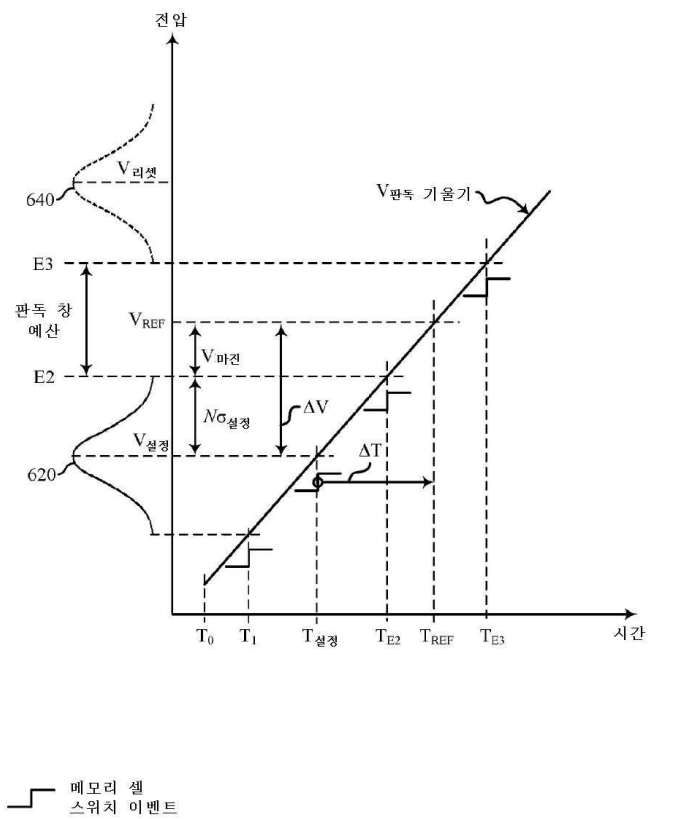
560-e

501

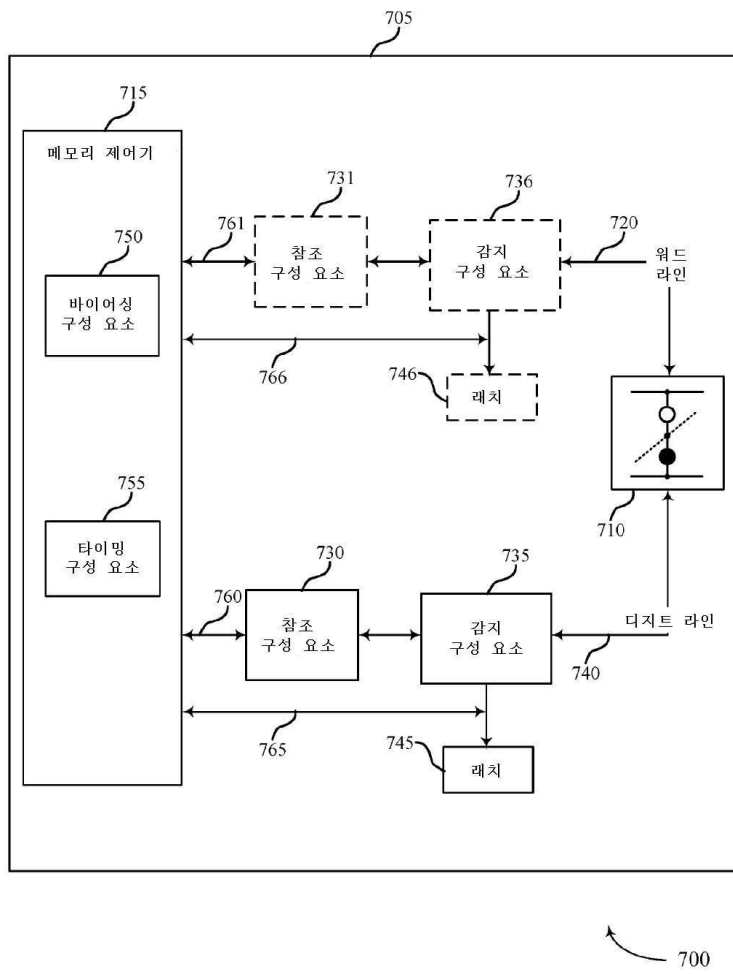
도면5b



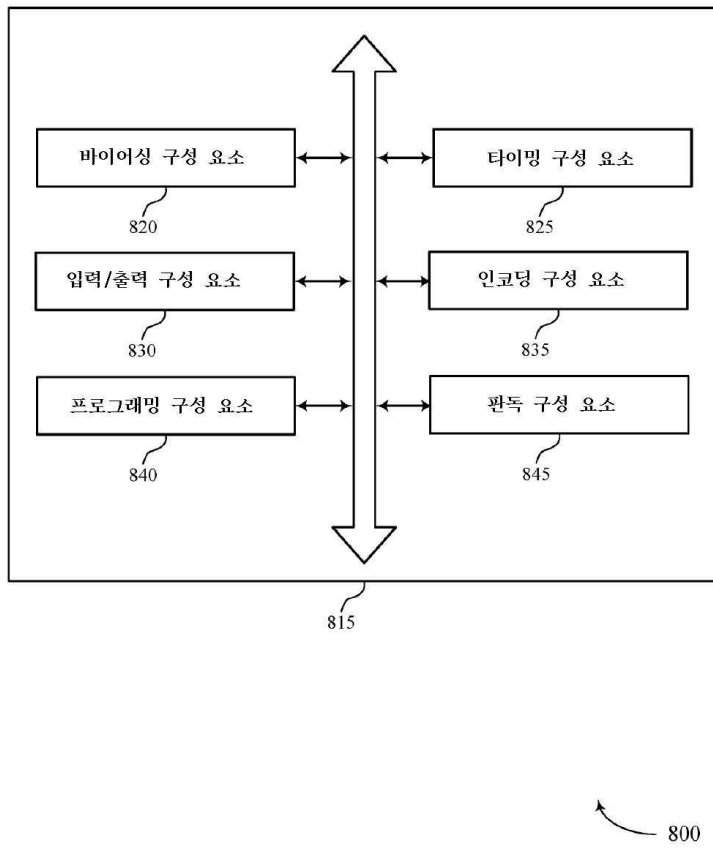
도면6



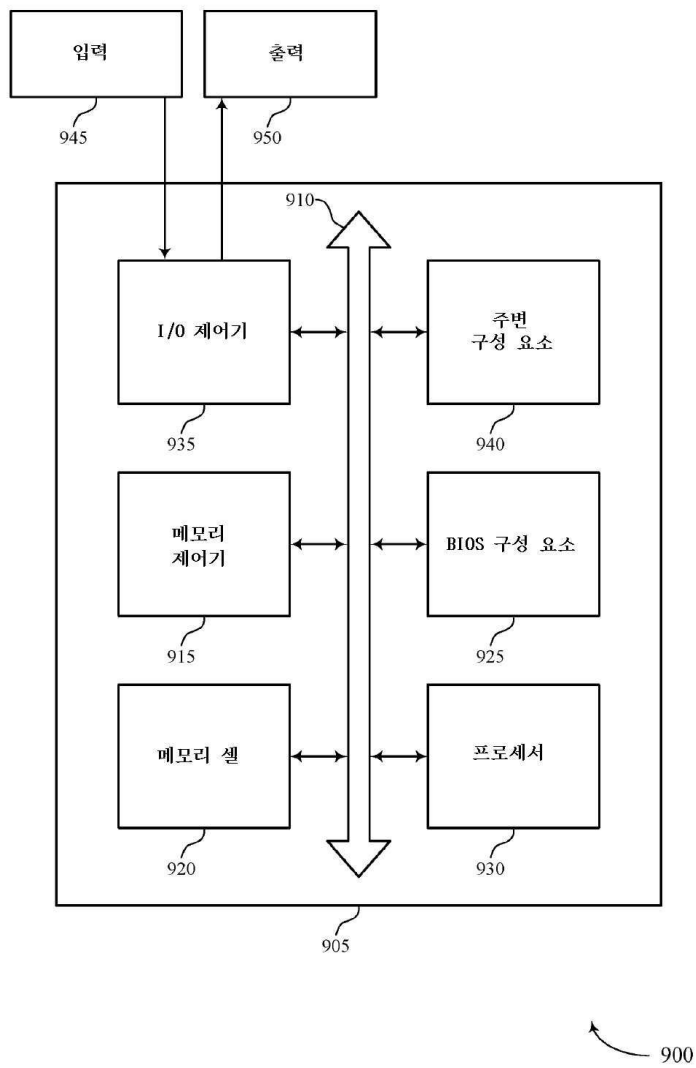
도면7



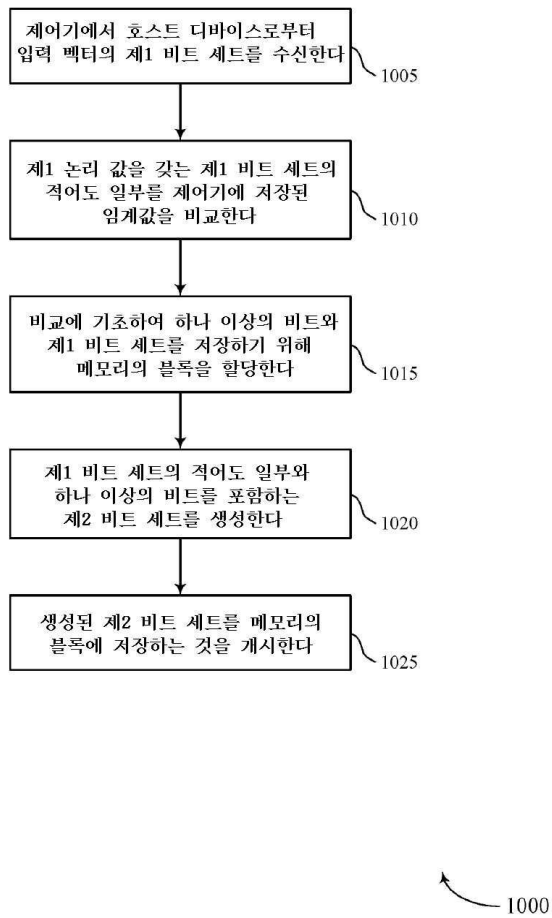
도면8



도면9



도면10



도면11

