



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0104902
(43) 공개일자 2019년09월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/324 (2017.01)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/02052 (2013.01)
H01L 21/02057 (2013.01)
(21) 출원번호 10-2019-0023208
(22) 출원일자 2019년02월27일
심사청구일자 2019년02월27일
(30) 우선권주장
62/637,730 2018년03월02일 미국(US)

(71) 출원인
마이크로머티어리얼즈 엘엘씨
미국 19808 델라웨어주 윌밍톤 스위트 400 센터빌
로드 2711
(72) 발명자
멀릭, 암리타 비.
미국 95051 캘리포니아주 산타 클라라 아파트먼트
263 몬로 스트리트 3585
미트라, 우다이
미국 95014 캘리포니아주 쿠퍼티노 하젤브룩 드라
이브 21031
프리드, 레지나
미국 94024 캘리포니아주 로스 알토스 러셀 애비
뉴 1133
(74) 대리인
양영준, 김연송, 백만기

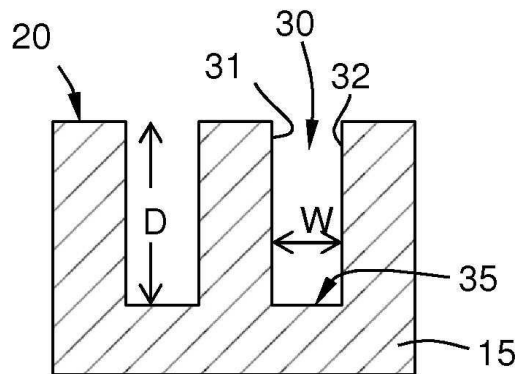
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 금속 산화물들을 제거하기 위한 방법들

(57) 요약

기판 표면들로부터 금속 산화물들을 제거하는 방법들이 설명된다. 본 개시내용의 일부 실시예들은, 습식 방법을 사용하여 기판 표면들로부터 금속 산화물들을 제거하기 위해 수성 알칼리 용액을 활용한다. 본 개시내용의 일부 실시예들은 대기압 및 더 낮은 온도들에서 수행된다. 자기 정렬식 비아들을 형성하는 방법들이 또한 설명된다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/02172 (2013.01)

H01L 21/324 (2013.01)

H01L 21/76831 (2013.01)

H01L 21/76877 (2013.01)

H01L 21/76885 (2013.01)

H01L 2924/01074 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

적어도 하나의 피처가 형성된 유전체 기관 표면을 갖는 기관을 제공하는 단계 - 상기 적어도 하나의 피처는 상기 기관 표면으로부터 상기 기관 내로 소정 거리만큼 연장되고 측벽 및 바닥부를 가지며, 상기 적어도 하나의 피처는 상기 피처에 제1 금속 산화물 막을 갖고, 상기 제1 금속 산화물 막은 제1 금속을 포함함 -; 및

상기 피처에 인접한 기관 표면에 영향을 주지 않고 상기 피처로부터 상기 제1 금속 산화물 막을 제거하기 위해 상기 기관을 수성 알칼리 용액에 노출시키는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 제1 금속은 텅스텐을 포함하는, 방법.

청구항 3

제1항에 있어서,

상기 적어도 하나의 피처는 제1 금속을 포함하는 제1 금속 막을 갖고, 상기 제1 금속 산화물 막은 상기 제1 금속 막 상에 있고, 상기 수성 알칼리 용액은 상기 제1 금속 산화물 막 및 상기 제1 금속 막을 제거하는, 방법.

청구항 4

제3항에 있어서,

상기 제1 금속 막은 상기 적어도 하나의 피처에 증착되고, 상기 제1 금속 막은 부분적으로 산화되어 상기 제1 금속 막 상에 상기 제1 금속 산화물 막을 형성하는, 방법.

청구항 5

제1항에 있어서,

상기 피처는 라이너를 포함하고 상기 제1 금속 산화물 막은 상기 라이너 상에 있고 상기 수성 알칼리 용액에 대한 노출은 상기 라이너에 영향을 주지 않는, 방법.

청구항 6

제5항에 있어서,

상기 라이너는 SiN 또는 SiCN 중 하나 이상을 포함하는, 방법.

청구항 7

제5항에 있어서,

상기 피처는 상기 라이너 아래에 제2 금속을 갖는 제2 금속 막을 더 포함하는, 방법.

청구항 8

제7항에 있어서,

상기 제2 금속은 상기 제1 금속과 상이한, 방법.

청구항 9

제8항에 있어서,

상기 제2 금속은 구리, 코발트 또는 루테튬 중 하나 이상을 포함하는, 방법.

청구항 10

제1항에 있어서,

상기 수성 알칼리 용액은 약 5 이하의 pK_b 를 갖는 염기를 포함하는, 방법.

청구항 11

제1항에 있어서,

상기 수성 알칼리 용액은 약 0.1 M 내지 약 10 M 범위의 히드록시드 농도를 갖는, 방법.

청구항 12

제1항에 있어서,

상기 기관은 대기압에서 상기 수성 알칼리 용액에 노출되는, 방법.

청구항 13

제1항에 있어서,

상기 기관은 약 50 °C 내지 약 250 °C 범위의 온도로 유지되는, 방법.

청구항 14

제1항에 있어서,

상기 적어도 하나의 피치는 약 10:1 이상의 종횡비를 갖는, 방법.

청구항 15

제1항에 있어서,

상기 기관을 수용액으로 세정하는 단계를 더 포함하는, 방법.

청구항 16

방법으로서,

적어도 하나의 피치가 형성된 기관 표면을 갖는 기관을 제공하는 단계 — 상기 적어도 하나의 피치는 상기 기관 표면으로부터 상기 기관 내로 소정 거리만큼 연장되고 측벽 및 바닥부를 가지며, 상기 적어도 하나의 피치는 약 10:1 이상의 종횡비를 갖고, 상기 적어도 하나의 피치는 상기 피치에 텅스텐 산화물 막을 가짐 —;

상기 피치에 인접한 기관 표면에 영향을 주지 않고 상기 피치로부터 상기 텅스텐 산화물 막을 제거하기 위해 상기 기관을 수성 히드록시드 용액에 노출시키는 단계; 및

물 및 이소프로필 알코올을 포함하는 용액으로 상기 기관을 세정하는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서,

상기 적어도 하나의 피치는 상기 피치에 텅스텐 막을 갖고, 상기 텅스텐 산화물 막은 상기 텅스텐 막 상에 있고 상기 수성 히드록시드 용액은 상기 텅스텐 막 및 상기 텅스텐 산화물 막을 제거하는, 방법.

청구항 18

자기 정렬식 비아를 제공하는 방법으로서,

실질적으로 동일 평면 상에 있고 제1 방향을 따라 연장되는 복수의 제1 절연 층들 사이에 복수의 제1 전도성 라

인들을 갖는 기판을 제공하는 단계;

상기 제1 전도성 라인들의 부분들을 함몰시키는 단계;

상기 제1 전도성 라인들의 함몰된 부분들 상에 라이너를 증착시키는 단계;

상기 라이너 상에 제1 금속 막을 형성하는 단계;

상기 제1 금속 막의 산화물을 포함하는 필러들을 형성하기 위해 상기 제1 금속 막을 산화시키는 단계;

상기 필러들 주위에 제2 절연 층을 증착시키는 단계; 및

상기 제1 절연 층들, 상기 라이너 또는 상기 제2 절연 층에 영향을 주지 않고 상기 제1 금속 막 및 상기 필러들을 제거하기 위해 상기 기판을 수성 알칼리 용액에 노출시킴으로써 상기 제2 절연 층에 비아들을 형성하기 위해 상기 필러들을 제거하는 단계를 포함하는, 자기 정렬식 비아를 제공하는 방법.

청구항 19

제18항에 있어서,

상기 필러들이 상기 비아들로부터 제거된 후에 상기 라이너를 제거하는 단계를 더 포함하는, 자기 정렬식 비아를 제공하는 방법.

청구항 20

제18항에 있어서,

충전된 비아들 및 제3 절연 층의 오버버튼을 형성하기 위해, 상기 비아들에 그리고 상기 제2 절연 층 상에 제3 절연 층을 증착시키는 단계;

비아 개구부들을 형성하기 위해, 상기 충전된 비아들로부터 상기 제3 절연 층 및 상기 제3 절연 층의 오버버튼의 일부를 제거하는 단계;

제2 전도성 물질을 상기 비아 개구부 내에 증착시키는 단계; 및

상기 비아 개구부의 상기 제2 전도성 물질과 접촉하는 제2 전도성 라인을 상기 제2 절연 층 상에 증착시키는 단계 - 상기 제2 전도성 라인은 상기 제2 절연 층 상의 제2 방향을 따라 연장되고, 상기 제2 방향은 상기 제1 방향과 약 30° 내지 약 150° 범위의 각도로 교차함 - 를 더 포함하는, 자기 정렬식 비아를 제공하는 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 2018년 3월 2일자로 출원된 미국 가특허 출원 제62/637,730호에 대한 우선권을 주장하며, 이로써 상기 출원의 전체 개시내용은 인용에 의해 본원에 포함된다.

[0002] 본 개시내용의 실시예들은 일반적으로, 기판들로부터 금속 산화물 물질들을 제거하기 위한 방법들에 관한 것이다. 추가적인 실시예들은, 반대 방향으로 이어지는 라인들을 갖는 전도성 층들이 연결되도록 자기 정렬되는 비아들을 생성하는 방법들에 관한 것이다.

배경 기술

[0003] 금속 산화물들(예를 들어, 텅스텐 산화물들, WO_x)을 제거하는 건식 방법들은 많은 물질들에 대해 잘 확립되어 있다. 금속 할로젠화물들은 열 방법을 통해 금속 산화물들을 제거할 수 있다. 예를 들어, WO_x 는 WCl_5 , WF_6 , 및 다른 염소계 화학물질들에 의해 제거될 수 있다. 다른 방법들은 플라즈마 반응물들을 활용한다. 예를 들어, 염소 가스(Cl_2)의 플라즈마가 또한, WO_x 를 제거하는 데에 사용될 수 있다. 그러나, 추가적인 프로세스들, 구체적으로, 진공, 플라즈마 또는 다른 특별한 프로세스 조건들 없이 수행될 수 있는 프로세스들에 대한 필요가 남는다.

[0004] 전형적으로 집적 회로 제조에서, 금속화 층에서의 금속 라인들의 패터닝은 그 금속화 층 위에 또는 아래에 있는 비아들과 독립적으로 수행된다. 그러나, 종래의 비아 제조 기법들은 완전한 비아 자기 정렬을 제공할 수 없다.

종래의 기법들에서, 상부 금속화 층의 라인들을 하부 금속화에 연결하도록 형성된 비아들은 하부 금속화 층의 라인들에 종종 오정렬된다. 이러한 오정렬은 비아 저항을 증가시켜, 잘못된 금속 라인으로의 전위 단락으로 이어진다. 이러한 오류들은 디바이스 고장들, 감소된 수율들 및 증가된 제조 비용들을 야기할 수 있다. 그러므로, 자기 정렬식 비아들을 생성하는 방법들이 또한 필요하다.

발명의 내용

- [0005] 본 개시내용의 하나 이상의 실시예는, 적어도 하나의 피처가 형성된 유전체 기관 표면을 갖는 기관을 제공하는 단계를 포함하는 방법에 관한 것이다. 적어도 하나의 피처는 기관 표면으로부터 기관 내로 소정 거리만큼 연장되고 측벽 및 바닥부를 갖는다. 적어도 하나의 피처는 또한, 적어도 하나의 피처에 제1 금속 산화물 막을 갖는다. 기관은, 피처에 인접한 기관 표면에 영향을 주지 않고 피처로부터 제1 금속 산화물 막을 제거하기 위해 수성 알칼리 용액에 노출된다.
- [0006] 본 개시내용의 추가적인 실시예들은, 적어도 하나의 피처가 형성된 기관 표면을 갖는 기관을 제공하는 단계를 포함하는 방법에 관한 것이다. 적어도 하나의 피처는 기관 표면으로부터 기관 내로 소정 거리만큼 연장되고 측벽 및 바닥부를 갖는다. 적어도 하나의 피처는 약 10:1 이상의 종횡비를 갖는다. 적어도 하나의 피처는, 적어도 하나의 피처에 텅스텐 산화물 막을 갖는다. 기관은, 피처에 인접한 기관 표면에 영향을 주지 않고 피처로부터 텅스텐 산화물 막을 제거하기 위해 수성 히드록시드 용액에 노출된다. 기관은, 물 및 이소프로필 알코올을 포함하는 용액으로 세정된다.
- [0007] 본 개시내용의 추가적인 실시예들은 자기 정렬식 비아를 제공하는 방법에 관한 것이다. 방법은, 실질적으로 동일 평면 상에 있고 제1 방향을 따라 연장되는 복수의 제1 절연 층들 사이에 복수의 제1 전도성 라인들을 갖는 기관을 제공하는 단계를 포함한다. 제1 전도성 라인들의 부분들은 함몰된다. 라이너는 제1 전도성 라인들의 함몰된 부분들 상에 증착된다. 제1 금속 막이 라이너 상에 형성된다. 제1 금속 막은, 제1 금속 막의 산화물을 포함하는 필러들을 형성하기 위해 산화된다. 제2 절연 층이 필러들 주위에 증착된다. 제1 절연 층들, 라이너 또는 제2 절연 층에 영향을 주지 않고 제1 금속 막 및 필러들을 제거하기 위해 기관을 수성 알칼리 용액에 노출 시킴으로써 제2 절연 층에 비아들을 형성하기 위해 필러들이 제거된다.

도면의 간단한 설명

- [0008] 본 개시내용의 언급된 특징들이 상세히 이해될 수 있도록, 본 개시내용의 더 구체적인 설명이 여러 실시예들을 참조하여 이루어질 수 있으며, 실시예들 중 일부는 첨부 도면들에 예시되어 있다. 그러나, 본 개시내용은 동등한 효과의 다른 실시예들을 허용할 수 있으므로, 첨부 도면들은 본 개시내용의 전형적인 실시예들만을 예시하며, 그러므로 그의 범위를 제한하는 것으로 간주되어서는 안 된다는 점에 주목해야 한다.
- 도 1a는, 일부 실시예들에 따른, 피처를 갖는 기관의 측단면도를 예시하고;
- 도 1b는, 일부 실시예들에 따른, 처리 동안의, 피처 내에 제1 금속 산화물 막을 갖는 기관의 측단면도를 예시하고;
- 도 1c는, 일부 실시예들에 따른, 처리 동안의, 피처 내에 제1 금속 막 및 제1 금속 산화물 막을 갖는 기관의 측단면도를 예시하고;
- 도 2a는, 일부 실시예들에 따른, 피처, 제2 금속 막 및 라이너를 갖는 기관의 측단면도를 예시하고;
- 도 2b는, 일부 실시예들에 따른, 처리 동안의, 피처 내에 라이너 아래에 제2 금속 막 및 제1 금속 산화물 막을 갖는 기관의 측단면도를 예시하고;
- 도 2c는, 일부 실시예들에 따른, 처리 동안의, 라이너 상에 제1 금속 막 및 제1 금속 산화물 막 그리고 라이너 아래에 제2 금속 막을 포함하는 피처를 갖는 기관의 측단면도를 예시하고;
- 도 3a는, 일부 실시예들에 따른, 자기 정렬식 비아를 제공하기 위한 전자 디바이스 구조의 측단면도를 예시하고;
- 도 3b는 도 3a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 4a는, 일부 실시예들에 따른, 마스크 층이 형성된 후의 전자 디바이스 구조의 측단면도이고;
- 도 4b는 도 4a의 전자 디바이스 구조의 평면도이고;

- 도 5a는, 일부 실시예들에 따른, 전도성 라인들의 일부가 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 5b는 도 5a의 전자 디바이스 구조의 평면도이고;
- 도 6a는, 일부 실시예들에 따른, 마스크 층이 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 6b는 도 6a의 전자 디바이스 구조의 평면도이고;
- 도 7a는, 일부 실시예들에 따른, 라이너가 절연 층들 및 함몰된 전도성 라인들 상에 증착된 후의 전자 디바이스 구조의 측단면도이고;
- 도 7b는 도 7a의 전자 디바이스 구조의 평면도이고;
- 도 8a는, 일부 실시예들에 따른, 라이너의 부분들이 절연 층들로부터 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 8b는 도 8a의 전자 디바이스 구조의 평면도이고;
- 도 9a는, 일부 실시예들에 따른, 시드 캡층전 층이 라이너 상에 증착된 후의 전자 디바이스 구조의 측단면도이고;
- 도 9b는 도 9a의 전자 디바이스 구조의 평면도이고;
- 도 10a는, 일부 실시예들에 따른, 시드 캡층전 층의 부분들이 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 10b는 도 10a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 11a는, 일부 실시예들에 따른, 자기 정렬식 선택적 성장 필러들이 형성된 후의 전자 디바이스 구조의 측단면도이고;
- 도 11b는 도 11a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 12a는, 일부 실시예들에 따른, 제2 절연 물질을 증착시킨 후의 전자 디바이스 구조의 측단면도이고;
- 도 12b는 도 12a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 13a는, 일부 실시예들에 따른, 필러들의 최상부를 노출시키기 위해 과량의 제2 절연 물질이 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 13b는 도 13a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 14a는, 일부 실시예들에 따른, 필러들이 제거된 후의 전자 디바이스 구조의 측단면도이고;
- 도 14b는 도 14a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 15a는, 일부 실시예들에 따른, 제3 절연 층을 증착시킨 후의 전자 디바이스 구조의 측단면도이고;
- 도 15b는 도 15a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 16a는, 일부 실시예들에 따른, 제3 절연 층의 오버버튼을 제거한 후의 전자 디바이스 구조의 측단면도이고;
- 도 16b는 도 16a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 17a는, 일부 실시예들에 따른, 제3 절연 층을 미리 결정된 깊이까지 증착시킨 후의 전자 디바이스 구조의 측단면도이고;
- 도 17b는 도 17a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 18a는, 일부 실시예들에 따른, 마스크링 후의 전자 디바이스 구조의 측단면도이고;
- 도 18b는 도 18a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 19a는, 일부 실시예들에 따른, 제3 절연 층을 알려진 깊이까지 식각한 후의 전자 디바이스 구조의 측단면도이고;
- 도 19b는 도 19a에 도시된 전자 디바이스 구조의 평면도이고;
- 도 20a는, 일부 실시예들에 따른, 스택 형성 및 마스크링 후의 전자 디바이스 구조의 측단면도이고;

도 20b는 도 20a에 도시된 전자 디바이스 구조의 평면도이고;

도 21a는, 일부 실시예들에 따른, 비아들을 형성하기 위해 제3 절연 층을 식각한 후의 전자 디바이스 구조의 측단면도이고;

도 21b는 도 21a에 도시된 전자 디바이스 구조의 평면도이고;

도 22a는, 일부 실시예들에 따른, 마스크 층이 제거된 후의 전자 디바이스 구조의 측단면도이고;

도 22b는 도 22a의 전자 디바이스 구조의 평면도이고;

도 23a는, 일부 실시예들에 따른, 제2 전도성 라인들을 형성하고 비아들을 충전한 후의 전자 디바이스 구조의 측단면도이고;

도 23b는 도 23a에 도시된 전자 디바이스 구조의 평면도이고;

도 24는, 본 개시내용의 하나 이상의 실시예에 따른, 자기 정렬식 비아들을 갖는 전자 디바이스의 일부를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하의 설명에서, 본 개시내용의 실시예들 중 하나 이상의 완전한 이해를 제공하기 위해, 다수의 세부사항들, 예컨대, 요소들의 치수들, 화학물질들, 물질들 등이 열거된다. 관련 기술분야의 통상의 기술자는 본 개시내용의 하나 이상의 실시예가 이러한 세부사항들 없이 실시될 수 있다는 것을 이해할 것이다. 다른 경우들에서, 반드시 도체 제조 프로세스들, 기법들, 물질들, 장비 등은 본 설명을 불필요하게 모호하게 하는 것을 피하기 위해 상세히 설명되지 않았다. 관련 기술분야의 통상의 기술자들은, 포함된 설명으로, 과도한 실험 없이 적절한 기능을 구현할 수 있을 것이다.
- [0010] 본 개시내용의 특정한 예시적인 실시예들이 첨부 도면들에 도시되고 설명되지만, 그러한 실시예들은 단지 예시적이고, 본 개시내용의 제한이 아니며, 본 개시내용은, 관련 기술분야의 통상의 기술자에게 수정들이 발생할 수 있기 때문에, 도시되고 설명된 특정 구성들 및 배열들로 제한되지 않는다는 것을 이해해야 한다.
- [0011] 본 개시내용 전체에 걸친 "일 실시예", "또 다른 실시예", 또는 "실시예"에 대한 언급은, 그 실시예와 관련하여 설명된 특정 특징, 구조, 또는 특성이 본 개시내용의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전체에 걸쳐 다양한 곳들에서 "일 실시예에서" 또는 "실시예에서"와 같은 구문들의 출현은, 반드시 모두가 본 개시내용의 동일한 실시예를 지칭하는 것은 아니다. 게다가, 특정 특징들, 구조들, 또는 특성들은 하나 이상의 실시예에서 임의의 적합한 방식으로 조합될 수 있다.
- [0012] 본 개시내용의 여러 예시적인 실시예들을 설명하기 전에, 본 개시내용은 이하의 설명에서 열거되는 구성 또는 프로세스 단계들의 세부사항들로 제한되지 않는다는 것을 이해해야 한다. 본 개시내용은 다른 실시예들이 가능하고, 다양한 방식으로 실시되거나 수행될 수 있다.
- [0013] 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "기판"이라는 용어는, 프로세스가 작용하는, 표면 또는 표면의 일부를 지칭한다. 또한, 관련 기술분야의 통상의 기술자는, 문맥이 달리 명확히 나타내지 않는 한, 기판에 대한 언급이 기판의 일부만을 지칭할 수 있다는 것을 이해할 것이다. 추가적으로, 기판 상에 증착시키는 것에 대한 언급은, 하나 이상의 막 또는 피체가 기판 상에 증착되거나 형성된 기판 및 베어 기판 양쪽 모두를 의미할 수 있다.
- [0014] 본원에서 사용되는 바와 같은 "기판"은, 제조 프로세스 동안 막 처리가 수행되는, 임의의 기판 또는 기판 상에 형성된 물질 표면을 지칭한다. 예를 들어, 처리가 수행될 수 있는 기판 표면은, 응용에 따라, 물질들, 예컨대, 규소, 산화규소, 변형된 규소, 절연체상 규소(SOI), 탄소 도핑된 산화규소들, 비정질 규소, 도핑된 규소, 게르마늄, 비화갈륨, 유리, 사파이어, 및 임의의 다른 물질들, 예컨대, 금속들, 금속 질화물들, 금속 합금들, 및 다른 전도성 물질들을 포함한다. 기판들은, 제한 없이, 반도체 웨이퍼들을 포함한다. 기판들은 기판 표면을 연마, 식각, 환원, 산화, 히드록실화, 어닐링, UV 경화, e-빔 경화 및/또는 베이킹하기 위해 전처리 프로세스에 노출될 수 있다. 본 개시내용에서, 기판 자체의 표면에 대한 직접적인 막 처리에 추가하여, 개시된 막 처리 단계들 중 임의의 단계는 또한, 아래에 더 상세히 개시되는 바와 같이 기판 상에 형성된 하부 층에 대해 수행될 수 있으며, "기판 표면"이라는 용어는 문맥이 나타내는 바와 같이 그러한 하부 층을 포함하도록 의도된다. 따라서, 예를 들어, 막/층 또는 부분적인 막/층이 기판 표면 상에 증착된 경우, 새롭게 증착된 막/층의 노출된 표

면이 기판 표면이 된다.

- [0015] 유리하게, 본 개시내용의 하나 이상의 실시예는, 금속 산화물들을 제거하기 위한 방법들을 제공한다. 유리하게, 본 개시내용의 일부 실시예들은, 금속들 및 금속 산화물들 양쪽 모두를 제거하는, 금속 산화물들을 제거하기 위한 방법들을 제공한다. 유리하게, 본 개시내용의 일부 실시예들은, 대기압에서 그리고/또는 더 낮은 기판 온도들에서 수행될 수 있는, 금속 산화물들을 제거하는 방법들을 제공한다. 유리하게, 본 개시내용의 일부 실시예들은, 가혹한 반응물들(예를 들어, 플라즈마)의 사용 없이 수행될 수 있는, 금속 산화물들을 제거하는 방법들을 제공한다. 유리하게, 본 개시내용의 일부 실시예들은, 반응 챔버를 피징하지 않고 수행될 수 있는, 금속 산화물들을 제거하는 방법들을 제공한다.
- [0016] 하나 이상의 실시예는, 유리하게 오정렬 문제들을 제거하고 잘못된 금속 라인으로의 단락을 회피하는 자기 정렬식 비아들을 제공한다. 일부 실시예들의 자기 정렬식 비아들은 종래의 비아들에 비해 더 낮은 비아 저항 및 커패시턴스 이점들을 제공한다. 본 개시내용의 일부 실시예들은 금속화 층들의 전도성 라인들과 비아들 사이의 완전한 정렬을 제공한다. 본 개시내용의 일부 실시예들은, 실질적으로 오류가 없고 유리하게는 디바이스 수율을 증가시키고 디바이스 비용을 감소시키는 자기 정렬식 비아를 제공한다.
- [0017] 본 개시내용의 일부 실시예들은, 피처에 인접한 기판 표면에 영향을 주지 않고 기판 피처(예를 들어, 트렌치 또는 비아)로부터 금속 산화물 막을 제거하는 방법들을 제공한다. 달리 말하면, 본 개시내용의 일부 실시예들은 유전체(예를 들어, SiN)에 대해 기판 피처로부터 금속 산화물 막을 선택적으로 식각하는 방법들을 제공한다.
- [0018] 본원에 설명된 방법들 중 일부는 습식 방법들, 더 구체적으로 습식 식각 방법들로 고려된다. 본원에 사용되는 바와 같이, "습식 방법들"은 액상 반응물들의 사용에 의존하는 방법들이다. 이러한 방법들은, 액체 반응물들에 의존하지 않고 대신에 가스 반응물들(열 또는 이온 함유)에 의존하거나 아무런 반응물들에 의존하지 않는(예를 들어, 기계적 식각 방법들) "건식 방법들"과 대조적이다.
- [0019] 본 개시내용의 하나 이상의 실시예는 기판 표면으로부터 금속 산화물들을 제거하기 위한 방법들에 관한 것이다. 일부 실시예들에서, 금속 산화물들은 기판 표면의 피처 내로부터 제거된다. 도 1a 내지 1c를 참조하면, 본 개시내용의 하나 이상의 실시예는, 적어도 하나의 피처(30)가 형성된 유전체 기판 표면(20)을 갖는 기판(15)을 제공하는 단계를 포함하는 방법(10)에 관한 것이다. 명확성을 위해, 도 1a는 피처(30) 내에 어떤 물질들도 없는 기판(15)을 예시한다.
- [0020] 일반적으로, 도면들은 예시적인 목적들을 위해 2개의 피처들을 갖는 기판을 도시하지만; 관련 기술분야의 통상의 기술자들은 피처들이 없거나, 2개 미만 또는 2개 초과인 피처들이 존재할 수 있다는 것을 이해할 것이다. 이와 관련하여 사용되는 바와 같이, "피처"라는 용어는 임의의 의도적인 표면 불규칙성을 의미한다. 피처(30)의 형상은 임의의 적합한 형상일 수 있다. 피처들의 적합한 예들은, 최상부, 2개의 측벽들 및 바닥부를 갖는 트렌치들, 표면으로부터 상방으로 연장되는 2개의 측벽들 및 최상부를 갖는 피크들, 및 측벽과 상이한 물질에 의해 형성된 바닥부 또는 개방 바닥부를 갖는 표면으로부터 하방으로 연장되는 연속적인 측벽을 갖는 비아들을 포함하지만, 이에 제한되지는 않는다.
- [0021] 특정 실시예들에서, 피처(30)는 트렌치이다. 본 개시내용의 목적들을 위해, 트렌치들은 최상부, 표면으로부터 바닥부까지 하방으로 연장되는 2개의 측벽들을 갖는다. 예시된 바와 같이, 각각의 측벽(31, 32)은 바닥부(35)에 실질적으로 직교할 수 있거나, 90도 이외의 각도로 바닥부(35)에 대해 기울어질 수 있고, 이로써, 기판 표면(20)에서의 개구부는 피처(30)의 하부 부분에서보다 더 크다.
- [0022] 일부 실시예들에서, 피처(30)는 기판 표면(20)으로부터 바닥부(35)까지 거리(D)만큼 기판(15) 내로 연장된다. 피처(30)는 피처(30)의 폭(W)을 한정하는 제1 측벽(31) 및 제2 측벽(32)을 갖는다.
- [0023] 피처의 종횡비는 피처의 폭(W)에 대한 피처의 깊이(D)의 비율이다. 더 높은 종횡비의 피처는 더 낮은 종횡비의 피처보다 더 협소한/더 긴 형상을 가질 것이다. 일부 실시예들에서, 피처들은 약 3:1, 4:1, 5:1, 6:1, 7:1, 8:1, 9:1, 10:1, 15:1, 20:1, 25:1 또는 30:1 이상의 종횡비를 갖는다.
- [0024] 도 1b에 예시된 바와 같이, 일부 실시예들에서, 피처(30)는 피처에 제1 금속 산화물 막(40)을 갖는다. 일부 실시예들에서, 제1 금속 산화물 막(40)은 기판 표면(20) 위로 연장된다. 일부 실시예들에서, 제1 금속 산화물 막(40)은 기판 표면(20)과 실질적으로 동일 평면 상에 있다. 일부 실시예들에서, 제1 금속 산화물 막(40)은, 제1 금속 산화물 막(40)의 최상부가 기판 표면(20) 아래에 있도록 완전히 피처(30) 내에 있다. 제1 금속 산화물 막(40)은 제1 금속을 포함한다. 달리 말하면, 제1 금속 산화물 막은 제1 금속의 산화물을 포함한다. 예를 들어,

제1 금속이 텅스텐을 포함하는 경우, 제1 금속 산화물은 텅스텐 산화물(WO_x)을 포함할 것이다.

- [0025] 제1 금속은 금속 산화물을 형성할 수 있는 임의의 적합한 금속일 수 있다. 제1 금속은 Co, Mo, W, Ta, Ti, Ru, Rh, Cu, Fe, Mn, V, Nb, Hf, Zr, Y, Al, Sn, Cr, 또는 La 중 하나 이상을 포함하거나 이들로 구성될 수 있다. 일부 실시예들에서, 제1 금속은 금속 합금으로서 금속들의 조합을 포함한다. 일부 실시예들에서, 제1 금속은 텅스텐을 포함한다. 일부 실시예들에서, 제1 금속은 텅스텐으로 구성된다. 일부 실시예들에서, 제1 금속은 본질적으로 텅스텐으로 구성된다. 이러한 방식으로 사용되는 바와 같이, "본질적으로 구성"이라는 용어는, 막의 금속 조성이, 원자 기준으로, 언급된 금속이 약 95% 이상, 98% 이상 또는 99% 이상임을 의미한다.
- [0026] 방법(10)은, 피처(30)에 인접한 기판 표면(20)에 영향을 주지 않고 피처(30)로부터 제1 금속 산화물 막(40)을 제거하기 위해 기판(15)을 수성 알칼리 용액에 노출시킨다. 기판을 수성 알칼리 용액에 노출시키는 것은, 임의의 적합한 습식 프로세스에 의해 수행될 수 있다. 일부 실시예들에서, 기판은 정적 또는 동적(즉, 능동 유동) 조건들 하에서 액침, 침지, 또는 담그는 것에 의해 알칼리성 수용액에 노출된다.
- [0027] 일부 실시예들에서, 방법(10)은 주위 조건들(즉, 처리/제조 환경의 유사한 압력 및 가스 구성)에서 수행된다. 일부 실시예들에서, 방법(10)은 진공의 사용 없이 수행된다. 일부 실시예들에서, 방법(10)은 플라즈마의 사용 없이 수행된다.
- [0028] 도 1c에 예시된 바와 같이, 일부 실시예들에서, 피처(30)는 제1 금속 막(50)을 갖고, 제1 금속 산화물 막(40)은 제1 금속 막(50) 상에 있다. 관련 기술분야의 통상의 기술자는, 제1 금속 산화물 막(40) 및 제1 금속 막(50)이, 동일한 제1 금속을 포함할 수 있거나 상이한 금속들을 가질 수 있다는 것을 이해해야 한다. 일부 실시예들에서, 제1 금속 막(50)은 제1 금속 산화물 막(40)과 동일한 금속을 포함한다.
- [0029] 방법(10)은, 피처(30)에 인접한 기판 표면(20)에 영향을 주지 않고 피처(30)로부터 제1 금속 산화물 막(40) 및 제1 금속 막(50)을 제거하기 위해 기판(15)을 수성 알칼리 용액에 노출시킨다.
- [0030] 일부 실시예들에서, 제1 금속 막(50)은 피처(30)에 형성되고, 제1 금속 막(50)은 부분적으로 산화되어 제1 금속 막(50) 상에 제1 금속 산화물 막(40)을 형성한다. 제1 금속 막(50)이 피처(30)에서 완전히 산화되는 경우, 더 이상 제1 금속 막(50)이 존재하지 않을 것이고, 도 1b에 예시된 실시예가 초래될 것이다.
- [0031] 일부 실시예들에서, 제1 금속 막(50)은 증착 기법들, 예컨대, ALD, CVD, PVD, MBE, MOCVD, 스퍼-온, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 증착 기법들(그러나 이에 제한되지 않음) 중 하나를 사용하여 증착된다.
- [0032] 제1 금속 막(50)을 산화시키는 것은 임의의 적합한 방법 또는 기법에 의해 행해질 수 있다. 일부 실시예들에서, 제1 금속 막(50)은, 제1 금속 막(50)을 제1 금속 산화물 막(40)으로 변환시키기 위해, 산화제 또는 산화 조건들에 대한 노출에 의해 산화된다. 통상의 기술자는, 막의 산화가 화학적 산화(즉, 산소 원자들의 추가) 또는 전기화학적 산화(즉, 산화된 금속을 형성하기 위해 영가 금속으로부터 전자들을 제거함)일 수 있다는 것을 인식할 것이다. 산화제는, O_2 , O_3 , N_2O , H_2O , H_2O_2 , CO, CO_2 , NH_3 , N_2/Ar , N_2/He , $N_2/Ar/He$ 또는 이들의 임의의 조합(그러나 이에 제한되지 않음)을 포함하는 임의의 적합한 산화제일 수 있다. 일부 실시예들에서, 산화 조건들은 열 산화, 플라즈마 강화 산화, 원격 플라즈마 산화, 마이크로파 및 무선 주파수 산화(예를 들어, 유도성 결합 플라즈마(ICP), 용량성 결합 플라즈마(CCP))를 포함한다. 일부 실시예들에서, 제1 금속 막(50)을 산화시키는 것은, 제1 금속의 원자들 및 산소 원자들을 포함하는 막, 또는 제1 금속 원자들 및 산소 원자들로 본질적으로 구성된 막의 형성을 초래한다. 이러한 방식으로 사용되는 바와 같이, "본질적으로 구성"이라는 용어는, 막의 조성물이, 임의의 적합한 비율로, 언급된 금속이 약 95% 이상, 98% 이상, 99% 이상 또는 99.5% 이상임을 의미한다.
- [0033] 일부 실시예들에서, 제1 금속 산화물 막(40)은, 예를 들어, 산화제 및 제1 금속 막(50)의 조성물에 따른 임의의 적합한 온도에서 제1 금속 막(50)의 산화에 의해 형성된다. 일부 실시예들에서, 산화는 약 25 °C 내지 약 800 °C 범위의 온도에서 발생한다. 일부 실시예들에서, 제1 금속 막(50)의 산화는 약 50 °C, 100 °C, 150 °C, 200 °C, 250 °C, 300 °C, 350 °C, 400 °C, 450 °C, 500 °C, 550 °C, 600 °C, 650 °C, 700 °C, 750 °C 또는 800 °C 이상의 온도에서 발생한다.
- [0034] 일부 실시예들에서, 피처(30)는 라이너를 포함한다. 이와 관련하여 사용되는 바와 같이, 라이너를 포함하는 피처는 피처 내에 증착된 막 또는 다른 물질과 기판 사이에 위치된 라이너를 갖는다. 일부 실시예들에서, 라이너는 피처(30)의 측벽들(31, 32) 상에 위치된다. 일부 실시예들에서, 라이너는 피처(30)의 측벽들(31, 32) 및 바

다부(35) 상에 위치된다. 일부 실시예들에서, 라이너는 또한, 기관 표면(20) 상에 피쳐(30) 외부에 위치된다.

[0035] 일부 실시예들에서, 라이너는 이웃하는 물질들을 나중의 프로세스에서 특성들이 변하는 것으로부터 보호하거나 나중의 프로세스에서 식각 정지부로서 작용하기 위해 증착된다. 일부 실시예들에서, 라이너는 라이너 아래의 물질의 식각을 방지하기 위해 증착된다. 일부 실시예들에서, 라이너는 전도성 라이너이다. 또 다른 실시예에서, 라이너는 비전도성 라이너이다. 일부 실시예들에서, 라이너가 비전도성 라이너일 때, 방법은, 이하에서 더 상세히 설명되는 바와 같이, 나중의 프로세스에서 라이너를 제거하는 단계를 더 포함한다. 일부 실시예들에서, 라이너는 실질적으로 금속을 포함하지 않는다. 이와 관련하여 사용되는 바와 같이, "실질적으로 금속을 포함하지 않음"은, 라이너가, 원자 기준으로, 2% 미만, 1% 미만 또는 0.5% 미만의 금속을 포함한다는 것을 의미한다. 일부 실시예에서, 라이너는 질화물, 예를 들어, 질화규소(SiN)이다. 일부 실시예들에서, 라이너는 SiN 또는 SiCN 중 하나 이상을 포함한다. 실시예에서, 라이너는 약 0.1 nm 내지 약 50 nm 범위, 또는 약 0.5 nm 내지 약 30 nm 범위, 또는 약 1 nm 내지 약 20 nm 범위의 두께를 갖는다.

[0036] 도 2a 내지 2c에 예시된 바와 같이, 일부 실시예들에서, 피쳐(30)는 제2 금속 막(60)을 포함한다. 도 2a에 예시된 바와 같이, 일부 실시예들에서, 제2 금속 막(60)은 라이너(70) 아래에 있다. 일부 실시예들(도시되지 않음)에서, 기관 표면(20)이 또한, 라이너(70)를 갖는다. 일부 실시예들에서, 라이너는 피쳐(30) 내에만 존재한다. 일부 실시예들에서, 라이너(70)는 피쳐의 바닥부에만 존재한다.

[0037] 제2 금속 막(60)은 제2 금속을 포함한다. 일부 실시예들에서, 제2 금속은 제1 금속과 상이하다. 제2 금속은 임의의 적합한 금속 또는 금속 합금일 수 있다. 일부 실시예들에서, 제2 금속은 구리(Cu), 루테튬(Ru), 니켈(Ni), 코발트(Co), 크롬(Cr), 철(Fe), 망가니즈(Mn), 티타늄(Ti), 알루미늄(Al), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 바나듐(V), 몰리브데넘(Mo), 팔라듐(Pd), 금(Au), 은(Ag), 백금(Pt), 인듐(In), 주석(Sn), 납(Pb), 안티모니(Sb), 비스무트(Bi), 아연(Zn), 또는 카드뮴(Cd) 중 하나 이상으로 구성되거나, 이들로 본질적으로 구성되거나, 이들을 포함한다. 일부 실시예들에서, 제2 금속은 구리, 코발트 또는 루테튬 중 하나 이상을 포함한다.

[0038] 도 2b에 예시된 바와 같이, 일부 실시예들에서, 피쳐(30)는 라이너(70) 아래에 제2 금속 막(60) 그리고 라이너(70) 상에 제1 금속 산화물 막(40)을 갖는다. 방법(10)은, 아래의 제2 금속 막(60) 또는 라이너(70)에 영향을 주지 않고 피쳐(30)로부터 제1 금속 산화물 막(40)을 제거하기 위해 기관(15)을 수성 알칼리 용액에 노출시킨다. 도시되지 않은 일부 실시예들에서, 피쳐(30)에 인접한 기관 표면(20)은 또한, 영향을 받지 않는다.

[0039] 도 2c에 예시된 바와 같이, 일부 실시예들에서, 피쳐(30)는 라이너(70) 아래에 제2 금속 막(60), 라이너 상에 제1 금속 막(50), 그리고 제1 금속 막(50) 상에 제1 금속 산화물 막(40)을 갖는다. 방법(10)은, 라이너(70)에 영향을 주지 않고 피쳐(30)로부터 제1 금속 산화물 막(40) 및 제1 금속 막(50)을 제거하기 위해 기관(15)을 수성 알칼리 용액에 노출시킨다. 도시되지 않은 일부 실시예들에서, 피쳐(30)에 인접한 기관 표면(20)은 또한, 영향을 받지 않는다.

[0040] 수성 알칼리 용액은 물 및 가용성 염기를 포함한다. 일부 실시예들에서, 수성 알칼리 용액은 약 5 이하, 약 4.8 이하, 약 4.75 이하, 약 4.7 이하, 약 4.5 이하, 약 3 이하, 약 2 이하, 또는 약 1 이하의 pK_b 를 갖는 염기를 포함한다. 일부 실시예들에서, 염기는 유기 염기(예를 들어, 피리딘, 메틸 아민, 이미다졸, 유기 양이온들의 히드록시드들)를 포함한다. 일부 실시예들에서, 염기는 염기성 염(예를 들어, 염기성 용액을 형성하기 위해 가수분해되는, 약산 성분을 갖는 화합물들, 아세트산나트륨, 탄산나트륨)을 포함한다. 일부 실시예들에서, 염기는 알칼리 금속을 포함한다. 일부 실시예들에서, 염기는 히드록시드 이온을 포함한다. 일부 실시예들에서, 염기는 NaOH, KOH 또는 NH_4OH 중 하나 이상을 포함한다.

[0041] 일부 실시예들에서, 수성 알칼리 용액은 약 0.1 M 내지 약 10 M, 또는 약 0.5 M 내지 약 5 M, 또는 약 1 M 내지 약 2 M 범위의 히드록시드 농도를 갖는다. 일부 실시예들에서, 수성 알칼리 용액은 약 10 M 이하, 약 5 M 이하, 약 2 M 이하, 약 1 M 이하, 약 0.5 M 이하, 약 0.2 M 이하, 또는 약 0.1 M 이하의 히드록시드 농도를 갖는다.

[0042] 방법(10)은 임의의 적합한 압력 및 온도에서 수행될 수 있다. 일부 실시예들에서, 기관은 대기압(즉, 제조 또는 처리 환경의 압력)에서 수성 알칼리 용액에 노출된다. 통상의 기술자는, 대기압이, 예를 들어, 고도 및 제조 공기 취급 조건들에 따른다는 것을 인식할 것이다. 일부 실시예들에서, 대기압은 약 0.9 atm(684 torr) 내지 약 1.1 atm(836 torr) 범위에 있다.

- [0043] 처리 동안, 기관은 가열되거나 냉각될 수 있다. 이러한 가열 또는 냉각은, 기관 지지부의 온도를 변화시키고 가열된 또는 냉각된 가스들을 기관 표면으로 유동시키는 것, 수성 알칼리 용액을 가열 또는 냉각시키는 것(그러나 이에 제한되지 않음)을 포함하는 임의의 적합한 수단에 의해 달성될 수 있다. 일부 실시예들에서, 기관 지지부는 기관 온도를 전도적으로 변화시키도록 제어될 수 있는 가열기/냉각기를 포함한다. 하나 이상의 실시예에서, 채워지는 가스들(반응성 가스들 또는 불활성 가스들)은 기관 온도를 국부적으로 변화시키기 위해 가열되거나 냉각된다. 일부 실시예들에서, 가열기/냉각기는 기관 온도를 대류적으로 변화시키기 위해, 챔버 내에 기관 표면에 인접하여 위치된다.
- [0044] 일부 실시예들에서, 기관은 약 실온(25 °C) 내지 약 400 °C 범위의 온도로, 또는 약 50 °C 내지 약 250 °C 범위의 온도로 유지된다. 일부 실시예들에서, 기관은 약 400 °C 이하, 약 350 °C 이하, 약 300 °C 이하, 약 250 °C 이하, 약 200 °C 이하, 약 150 °C 이하, 약 100 °C 이하, 약 50 °C 이하, 또는 약 25 °C 이하의 온도로 유지된다.
- [0045] 일부 실시예들에서, 방법(10)은 폐쇄된 처리 체적 내에서 수행된다. 예를 들어, 폐쇄된 처리 체적은 원자 층 증착 처리 챔버, 또는 다른 밀봉된 챔버일 수 있다. 일부 실시예들에서, 수성 알칼리 용액은 기관 표면 상에서 비등하고, 폐쇄된 처리 체적 내에서 환류된다.
- [0046] 도면들에 도시되지는 않았지만, 방법(10)은 기관(15)을 수용액으로 세정(rinsing)하는 단계를 더 포함할 수 있다. 이론에 얽매이지 않고, 기관을 수용액으로 세정하는 것은 유리하게, 임의의 잔류 알칼리 용액, 과량의 염들, 반응 생성물들/부산물들, 및/또는 다른 오염물질들을 제거할 수 있다고 여겨진다. 일부 실시예들에서, 기관을 세정하는 것은, 물을 이용하여 또는 물로 본질적으로 구성된(즉, 물 기준으로, 물이 아닌 분자들이 1% 미만인) 수용액을 이용하여 발생된다.
- [0047] 일부 실시예들에서, 수용액은 알코올을 더 포함한다. 일부 실시예들에서, 수용액은 이소프로필 알코올을 더 포함한다. 일부 실시예들에서, 이소프로필 알코올에 대한 물의 비율은 약 99:1 내지 약 10:90 범위에 있다. 일부 실시예들에서, 이소프로필 알코올에 대한 물의 비율은 약 99:1 이하, 약 98:1 이하, 약 95:1 이하, 약 90:1 이하, 약 50:1 이하, 약 20:1 이하, 약 10:1 이하, 약 5:1 이하, 약 2:1 이하, 약 1:1 이하, 또는 약 1:5 이하이다.
- [0048] 일부 실시예들에서, 수용액은 중화제를 더 포함한다. 일부 실시예들에서, 중화제는 약산이다. 일부 실시예들에서, 중화제는 완충제 용액이다.
- [0049] 본 개시내용의 하나 이상의 실시예는 자기 정렬식 비아들을 제공하기 위한 방법들에 관한 것이다. 자기 정렬식 비아들을 형성하기 위한 프로세스는 도 3a 내지 24를 참조하여 설명된다. 도 3a 내지 23b 각각에서, 'A'로 표시된 도면은 단면도를 도시하고, 'B'로 표시된 도면은 반도체 디바이스의 평면도를 도시한다. A 도면들의 측면도들은 각각의 B 도면들에 예시된 선(A-A')을 따라 취해진다. 예를 들어, 도 3b는 디바이스 구조의 평면도를 예시하고, 도 3a는, 축(A-A')을 따른, 도 3b에 예시된 디바이스 구조의 단면도를 도시한다.
- [0050] 도 3a는, 일부 실시예들에 따른, 자기 정렬식 비아 또는 공기 갭을 제공하기 위한 전자 디바이스 구조의 단면도(100)를 예시한다. 단면도(100)는, 도 3b에 도시된 바와 같이, 축(A-A')을 따른다. 도 3b는 도 3a에 도시된 전자 디바이스 구조의 평면도(110)이다. 도 3a 및 3b에 도시된 바와 같이, 하부 금속화 층(Mx)은, 기관(101) 상의 X 축(방향)(121)을 따라 연장되는 전도성 라인들의 세트를 포함한다. 도 3b에 도시된 바와 같이, X 방향(121)은 Y 축(방향)(122)과 소정 각도(123)로 교차한다. 하나 이상의 실시예에서, 각도(123)는 약 90 도이다. 일부 실시예들에서, 각도(123)는 90 도 각도 이외의 각도이다. 절연 층(102)은 인접한 절연 층들(102) 사이의 갭들인 트렌치들(104)을 포함한다. 전도성 라인들(103)은 트렌치들(104)에 증착된다. 전도성 라인들은 위에서 식별된 제1 금속을 포함한다.
- [0051] 일부 실시예들에서, 기관(101)은 반도체 물질, 예를 들어, 규소(Si), 탄소(C), 게르마늄(Ge), 규소 게르마늄(SiGe), 비화갈륨(GaAs), InP, GaAs, InGaAs, InAlAs, 다른 반도체 물질, 또는 이들의 임의의 조합을 포함한다. 일부 실시예들에서, 기관(101)은 벌크 하부 기관, 중간 절연 층, 및 최상부 단결정 층을 포함하는 절연체상 반도체(SOI) 기관이다. 최상부 단결정 층은 위에서 열거된 임의의 물질, 예를 들어, 규소를 포함할 수 있다. 다양한 실시예들에서, 기관(101)은, 예를 들어, 유기, 세라믹, 유리, 또는 반도체 기관일 수 있다. 기관이 형성될 수 있는 물질들의 몇몇 예들이 본원에 설명되지만, 수동 및 능동 전자 디바이스들(예를 들어, 트랜지스터들, 메모리들, 커패시터들, 인덕터들, 저항기들, 스위치들, 집적 회로들, 증폭기들, 광전자 디바이스들, 또는 임의의 다른 전자 디바이스들)이 구축될 수 있는 기초로서 역할을 할 수 있는 임의의 물질이 본 개시내용의 사상 및 범위 내에 속한다.

- [0052] 일부 실시예들에서, 기관(101)은 집적 회로들을 위한 하나 이상의 금속화 인터커넥트 층을 포함한다. 일부 실시예들에서, 기관(101)은 금속화 층들을 연결하도록 구성된 인터커넥트들, 예를 들어, 비아들을 포함한다. 일부 실시예들에서, 기관(101)은 전기 절연 층에 의해 분리되는 전자 디바이스들, 예를 들어, 트랜지스터들, 메모리들, 커패시터들, 저항기들, 광전자 디바이스들, 스위치들, 및 임의의 다른 능동 및 수동 전자 디바이스들을 포함한다. 예를 들어, 층간 유전체, 트렌치 절연 층 또는 전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 임의의 다른 절연 층이다. 일부 실시예들에서, 기관은 기관(101)과 기관(101) 위의 하나 이상의 층 사이의 격자 부정합을 수용하고 격자 전위들 및 결함들을 한정하기 위한 하나 이상의 버퍼 층을 포함한다.
- [0053] 절연 층(102)은 인접한 디바이스들을 절연하고 누설을 방지하기에 적합한 임의의 물질일 수 있다. 일부 실시예들에서, 전기 절연 층(102)은 산화물 층, 예를 들어, 이산화규소, 또는 전자 디바이스 설계에 의해 결정되는 임의의 다른 전기 절연 층이다. 일부 실시예들에서, 절연 층(102)은 층간 유전체(ILD)를 포함한다. 일부 실시예들에서, 절연 층(102)은, 물질들, 예컨대, 이를 테면, 이산화규소, 산화규소, 탄소 도핑된 산화물("CDO"), 예를 들어, 탄소 도핑된 이산화규소, 다공성 이산화규소, 질화규소, 또는 이들의 임의의 조합(그러나 이에 제한되지 않음)을 포함하는 저-k 유전체이다.
- [0054] 일부 실시예들에서, 절연 층(102)은 5 미만의 k 값을 갖는 유전체 물질을 포함한다. 일부 실시예들에서, 절연 층(102)은 2 미만의 k 값을 갖는 유전체 물질을 포함한다. 일부 실시예들에서, 절연 층(102)은 질화물, 산화물, 중합체, 포스포실리케이트 유리, 플루오로실리케이트(SiOF) 유리, 또는 유기실리케이트 유리(SiOCH), 전자 디바이스 설계에 의해 결정된 바와 같은 또 다른 전기 절연 층, 또는 이들의 임의의 조합을 포함한다. 일부 실시예들에서, 절연 층(102)은 폴리이미드, 에폭시, 감광성 물질들, 예컨대, 벤조시클로부텐(BCB), WPR-계열 물질들, 및/또는 스핀-온-글래스를 포함할 수 있다.
- [0055] 일부 실시예들에서, 절연 층(102)은 기관(101) 상의 다른 금속 라인들로부터 하나의 금속 라인을 격리시키기 위한 저-k 층간 유전체이다. 일부 실시예들에서, 층(102)의 두께는 약 10 나노미터(nm) 내지 약 2 마이크로미터(μm)의 대략적인 범위에 있다.
- [0056] 일부 실시예들에서, 절연 층(102)은, 증착 기법들, 예컨대, 화학 기상 증착("CVD"), 물리 기상 증착("PVD"), 분자 빔 에피택시("MBE"), 유기 금속 화학 기상 증착("MOCVD"), 원자 층 증착("ALD"), 스핀-온, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 절연 증착 기법들(그러나 이에 제한되지 않음) 중 하나를 사용하여 증착된다.
- [0057] 일부 실시예들에서, 금속 라인들(103)을 포함하는 하부 금속화 층(Mx)은 전자 디바이스의 후단부 금속화의 일부이다. 일부 실시예들에서, 절연 층(102)은 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 하나 이상의 패터닝 및 식각 기법을 사용하여 트렌치들(104)을 형성하기 위해 하드 마스크를 사용하여 패터닝되고 식각된다. 일부 실시예들에서, 절연 층(102)의 트렌치들의 크기는, 프로세스에서 나중에 형성되는 전도성 라인들의 크기에 의해 결정된다.
- [0058] 일부 실시예들에서, 전도성 라인들(103)을 형성하는 것은 트렌치들(104)을 전도성 물질, 즉, 제1 금속의 층으로 충전하는 것을 수반한다. 일부 실시예들에서, 베이스 층 또는 라이너(도시되지 않음)가 트렌치들(104)의 내부 측벽들 및 바닥부 상에 먼저 증착되고, 그 다음, 전도성 층이 베이스 층 상에 증착된다. 일부 실시예들에서, 베이스 층은 전도성 장벽 층(도시되지 않음) 상에 증착된 전도성 시드 층(도시되지 않음)을 포함한다. 시드 층은 구리를 포함할 수 있고, 전도성 장벽 층은 알루미늄, 티타늄, 탄탈럼, 질화탄탈럼 등의 금속들을 포함할 수 있다. 전도성 장벽 층은 시드 층, 예를 들어, 구리로부터 절연 층(102) 내로의 전도성 물질의 확산을 방지하기 위해 사용될 수 있다. 추가적으로, 전도성 장벽 층은 시드 층(예를 들어, 구리)에 대한 접착을 제공하기 위해 사용될 수 있다.
- [0059] 일부 실시예들에서, 베이스 층을 형성하기 위해, 전도성 장벽 층이 트렌치들(104)의 측벽들 및 바닥부 상에 증착되고, 그 다음, 시드 층이 전도성 장벽 층 상에 증착된다. 또 다른 실시예에서, 전도성 베이스 층은 트렌치들(104)의 측벽들 및 바닥부 상에 직접 증착되는 시드 층을 포함한다. 전도성 장벽 층 및 시드 층 각각은, 반도체 제조의 기술분야의 통상의 기술자에게 알려진 임의의 박막 증착 기법, 예를 들어, 스퍼터링, 블랭킷 증착 등을 사용하여 증착될 수 있다. 일 실시예에서, 전도성 장벽 층 및 시드 층 각각은 약 1 nm 내지 약 100 nm의 대략적인 범위의 두께를 갖는다. 일부 실시예들에서, 전도성 장벽 층은 아래의 금속층에 전도성을 확립하기 위해 식각된 얇은 유전체일 수 있다. 일부 실시예들에서, 전도성 장벽 층은 전적으로 생략될 수 있고, 구리 라인의 적절한 도핑은 "자기 형성 장벽"을 만드는 데에 사용될 수 있다.

- [0060] 일부 실시예들에서, 전도성 층, 예를 들어, 구리는 전기도금 프로세스에 의해 구리의 베이스 층의 시드 층 상에 증착된다. 일부 실시예들에서, 전도성 층은 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다마신 프로세스를 사용하여 트렌치들(104) 내에 증착된다. 일 실시예에서, 전도성 층은, 선택적 증착 기법, 예컨대, 전기도금, 무전해, CVD, PVD, MBE, MOCVD, ALD, 스핀-온, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 증착 기법들(그러나 이에 제한되지 않음)을 사용하여 트렌치들(104)의 시드 층 상에 증착된다.
- [0061] 일부 실시예들에서, 전도성 라인들(103)을 위한 전도성 층에 대한 물질의 선택은 시드 층에 대한 물질의 선택을 결정했다. 예를 들어, 전도성 라인들(103)에 대한 물질이 구리를 포함하는 경우, 시드 층에 대한 물질이 또한, 구리를 포함할 수 있다. 일부 실시예들에서, 전도성 라인들(103)은 금속, 예를 들어, 구리(Cu), 루테튬(Ru), 니켈(Ni), 코발트(Co), 크로뮴(Cr), 철(Fe), 망가니즈(Mn), 티타늄(Ti), 알루미늄(Al), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 바나듐(V), 몰리브데넘(Mo), 팔라듐(Pd), 금(Au), 은(Ag), 백금(Pt), 인듐(In), 주석(Sn), 납(Pb), 안티모니(Sb), 비스무트(Bi), 아연(Zn), 카드뮴(Cd), 또는 이들의 임의의 조합을 포함한다.
- [0062] 일부 실시예들에서, 금속화 층(Mx)의 전도성 라인들(103)에 사용될 수 있는 적합한 전도성 물질들의 예들은, 금속들(예를 들어, 구리, 탄탈럼, 텅스텐, 루테튬, 티타늄, 하프늄, 지르코늄, 알루미늄, 은, 주석, 납), 금속 합금들, 금속 탄화물들(예를 들어, 탄화하프늄, 탄화지르코늄, 탄화티타늄, 탄화탄탈럼, 탄화알루미늄), 다른 전도성 물질들, 또는 이들의 임의의 조합이지만, 이에 제한되지 않는다.
- [0063] 일부 실시예들에서, 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 화학적 기계적 연마("CMP") 기법을 사용하여 전도성 라인들(103)의 최상부 부분들과 절연 층(102)의 최상부 부분들을 평탄하게 하기 위해, 베이스 층 및 전도성 층의 부분들이 제거된다.
- [0064] 하나의 비제한적인 예에서, 전도성 라인들(103)의 두께는 약 15 nm 내지 약 1000 nm의 대략적인 범위에 있다. 하나의 비제한적인 예에서, 전도성 라인들(103)의 두께는 약 20 nm 내지 약 200 nm이다. 하나의 비제한적인 예에서, 전도성 라인들(103)의 폭은 약 5 nm 내지 약 500 nm의 대략적인 범위에 있다. 하나의 비제한적인 예에서, 전도성 라인들(103) 사이의 간격(피치)은 약 2 nm 내지 약 500 nm이다. 더 구체적인 비제한적인 예에서, 전도성 라인들(103) 사이의 간격(피치)은 약 5 nm 내지 약 50 nm이다.
- [0065] 일부 실시예들에서, 하부 금속화 층(Mx)은 다른 금속화 층들(도시되지 않음)에 연결되도록 구성된다. 일부 실시예들에서, 금속화 층(Mx)은, 전기 절연 층, 예를 들어, 층간 유전체, 트렌치 절연 층, 또는 전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 임의의 다른 절연 층에 의해 분리되는 전자 디바이스들, 예를 들어, 트랜지스터들, 메모리들, 커패시터들, 저항기들, 광전자 디바이스들, 스위치들, 및 임의의 다른 능동 및 수동 전자 디바이스들에 전기적 접촉을 제공하도록 구성된다.
- [0066] 도 4a는 도 3a의 도면(100)과 유사한 도면(200)이다. 도 4b는 도 3b와 유사한 도면(210)이다. 간략화를 위해, 기관(101)은 도 4a 또는 임의의 후속 도면에 도시되지 않는다. 도 4a 및 도 4b는, 일부 실시예들에 따른, 제1 마스크(201) 및 제2 마스크(202)가 전자 디바이스의 일부 위에 증착된 후의 전자 디바이스를 도시한다. 제1 마스크(201) 및 제2 마스크(202)가 예시된다. 관련 기술분야의 통상의 기술자는, 마스크링 및 절연체 층들이 단일 층 또는 다수의 층들일 수 있다는 것을 인식할 것이다.
- [0067] 명확성을 위해, 일부 실시예들에서, 제1 마스크(201)는 (제1 전도성 라인들 및 제1 절연 층들을 포함하는) 전체 전자 디바이스 위에 증착된다. 제2 마스크(202)는 도 4b에 도시된 바와 같이 제1 전도성 라인들의 부분들을 제외하고는 전자 디바이스의 거의 모든 부분 위에 증착된다. 마스크(201) 및/또는 마스크(202)는 임의의 적합한 물질일 수 있다. 일부 실시예들에서, 마스크(201) 또는 마스크(202) 중 하나 이상은 질화규소, 산화규소, 산질화규소, 탄화규소, 산탄화규소, 탄질화규소 또는 산탄질화규소를 포함한다. 일부 실시예들에서, 마스크(201) 또는 마스크(202) 중 하나 이상은 포토레지스트를 포함한다.
- [0068] 도 5a 및 5b는, 일부 실시예들에 따른, 전도성 라인들(103)의 부분들을 제거한 후의 도 4a 및 4b와 각각 유사한 도면들이다. 전도성 라인들(103) 및 마스크(201)는 임의의 적합한 기법 또는 기법들의 조합에 의해 제거될 수 있다. 예를 들어, 식각 프로세스는 절연 층(102)에 영향을 주지 않고 전도성 라인들(103) 및 마스크(201)를 선택적으로 제거할 수 있다.
- [0069] 전도성 라인들(103)은, 함몰된 전도성 라인들(301)을 형성하기 위해, 미리 결정된 깊이까지 함몰된다. 도 5a 및 5b에 도시된 바와 같이, 트렌치들(302)이 절연 층(102)에 형성된다. 각각의 트렌치(302)는, 절연 층(102)의 부분들인 측벽들(304), 및 함몰된 전도성 라인(301)의 최상부 표면(303)인 바닥부를 갖는다.

- [0070] 일부 실시예들에서, 트렌치들(302)의 깊이는 약 10 nm 내지 약 500 nm이다. 일부 실시예들에서, 트렌치들(302)의 깊이는 전도성 라인들의 두께들의 약 10% 내지 약 100%이다. 일부 실시예들에서, 전도성 라인들(103)은, 습식 식각, 건식 식각, 또는 전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 기법들의 조합 중 하나 이상을 사용하여 함몰된다.
- [0071] 도 6a 및 6b는, 일부 실시예들에 따른, 마스크(201) 및 마스크(202)의 부분들을 제거한 후의 도 5a 및 5b와 각각 유사한 도면들이다. 마스크(201) 및 마스크(202)는 임의의 적합한 기법 또는 기법들의 조합에 의해 제거될 수 있다. 예를 들어, 식각 프로세스는 절연 층(102) 또는 전도성 라인들(103)에 영향을 주지 않고 마스크(201) 및 마스크(202)를 선택적으로 제거할 수 있다.
- [0072] 일부 실시예들에서, 도 4a 및 4b 내지 도 6a 및 6b의 프로세스는, 하나 초과와 식각 프로세스가 마스크(201), 마스크(202) 및 전도성 라인들(103)의 부분들을 제거하는 데에 사용되는 것을 수반할 수 있다. 예를 들어, 제1 식각 프로세스는 마스크(201)를 제거하는 데에 사용될 수 있고, 제2 식각 프로세스는 마스크(202) 및 전도성 라인들(103)의 부분들을 제거하는 데에 사용될 수 있다. 일부 실시예들에서, 3개의 층들을 제거하는 데에 사용되는 3개의 식각 프로세스들이 존재하고, 각각의 식각 프로세스는 층들 중 하나의 층에 대해 선택적이다.
- [0073] 일부 실시예들에서, 프로세스는 도 6a 및 6b에 도시된 바와 같은 디바이스로 시작한다. 예를 들어, 디바이스 구조에는, 이미 형성된 함몰된 전도성 라인들(301)이 제공될 수 있다.
- [0074] 도 7a 및 7b는, 라이너(501)가 전자 디바이스 상에 증착된 후의 도 6a 및 6b와 각각 유사한 도면들이다. 라이너(501)는 도 2a와 관련하여 위에서 설명된 바와 같은 임의의 적합한 라이너 물질일 수 있다.
- [0075] 도 8a 및 8b는, 라이너(501)가 전자 디바이스의 최상부 표면(601)으로부터 제거된(그러나 트렌치들(302)에는 남아있음) 후의 도 7a 및 7b와 각각 유사한 도면들이다. 일부 실시예들에서, 라이너는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 화학적 기계적 연마("CMP") 기법을 사용하여 제거된다.
- [0076] 일부 실시예들에서, 라이너(501)를 전자 디바이스의 최상부 표면 상에는 증착시키지 않고, 도 8a에 도시된 바와 같이, 라이너(501)는 트렌치들(302)의 측벽들 및 바닥부 상에 선택적으로 증착된다. 일부 실시예들(도시되지 않음)에서, 라이너(501)는 측벽들(304)이 아니라 트렌치들(302)의 바닥부 상에 선택적으로 증착된다.
- [0077] 일부 실시예들에서, 라이너(501)는 전도성 라인들(301)을 프로세스에서 나중(예를 들어, 텅스텐 증착 또는 다른 프로세스들 동안) 특성들이 변하는 것으로부터 보호하기 위해 증착된다. 일부 실시예들에서, 라이너(501)는 전도성 라이너이다. 또 다른 실시예에서, 라이너(501)는 비전도성 라이너이다. 일부 실시예들에서, 라이너(501)가 비전도성 라이너일 때, 라이너(501)는 아래에 더 상세히 설명되는 바와 같이, 프로세스에서 나중(예를 들어, 텅스텐 증착 또는 다른 프로세스들 동안) 특성들이 변하는 것으로부터 보호하기 위해 증착된다. 일부 실시예들에서, 라이너(501)는 질화티타늄(TiN), 티타늄(Ti), 탄탈럼(Ta), 질화탄탈럼(TaN), 또는 이들의 임의의 조합을 포함한다. 또 다른 실시예에서, 라이너(501)는 질화물(예를 들어, SiN) 또는 탄화물(예를 들어, SiC) 또는 탄질화물(예를 들어, SiCN)을 포함한다. 실시예에서, 라이너(501)는 약 0.1 nm 내지 약 50 nm의 두께로 증착된다.
- [0078] 일부 실시예들에서, 라이너(501)는 원자 층 증착(ALD) 기법을 사용하여 증착된다. 일부 실시예들에서, 라이너(501)는 증착 기법들, 예컨대, CVD, PVD, MBE, MOCVD, 스퍼-온, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 라이너 증착 기법들(그러나 이에 제한되지 않음) 중 하나를 사용하여 증착된다.
- [0079] 도 9a 및 도 9b는, 일부 실시예들에 따른, 제1 금속 막(701)이 라이너(501) 상에 증착된 후의 도 8a 및 도 8b와 각각 유사한 도면들이다. 일부 실시예들에서, 제1 금속 막(701)은 자기 정렬식 선택적 성장 시드 막이다. 도 9a 및 도 9b에 도시된 바와 같이, 제1 금속 막(701)은 트렌치들(302)의 측벽들(304) 및 함몰된 전도성 라인들(301)의 최상부 표면(303) 상의 라이너(501) 상에 증착된다.
- [0080] 일부 실시예들에서, 제1 금속 막(701)은, 선택적 성장 필러들을 제공하기 위한, 텅스텐(W) 층, 또는 다른 시드 캡층인 층이다. 일부 실시예들에서, 제1 금속 막(701)은 금속 막 또는 금속 함유 막이다. 일부 실시예들에서, 제1 금속 막(701)은 텅스텐(W)을 포함하고, 시드 캡층인 층으로 지칭될 수 있다.
- [0081] 일부 실시예들에서, 제1 금속 막(701)은 증착 기법들, 예컨대, ALD, CVD, PVD, MBE, MOCVD, 스퍼-온, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 증착 기법들(그러나 이에 제한되지 않음) 중 하나를 사용하여 증착된다.
- [0082] 도 10a 및 도 10b는, 일 실시예에 따른, 절연 층(102)의 최상부 부분들을 노출시키기 위해 제1 금속 막(701)의 부분들이 제거된 후의 도 9a 및 도 9b와 각각 유사한 도면들이다. 일부 실시예들에서, 제1 금속 막(701)의 부

분들은, 제1 금속 막(701)이 전자 디바이스의 최상부 표면(601)과 동일 평면 상에 있도록 제거된다. 일부 실시예들에서, 제1 금속 막(701)의 부분들은 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 화학적 기계적 연마(CMP) 기법들 중 하나를 사용하여 제거된다.

[0083] 일부 실시예들에서, 제1 금속 막(701)은 전자 디바이스의 최상부 표면(601) 상에 증착되지 않고 트렌치들(302) 내에 증착된다. 일부 실시예들에서, 트렌치들(302)은, 예를 들어, 도 2b 또는 2c에 예시된 실시예에 도시된 바와 같이, 제1 금속 막(701)에 의해 완전히 충전되지 않는다.

[0084] 도 11a 및 11b는, 하나 이상의 실시예에 따른, 함몰된 전도성 라인들(301) 상의 라이너(501) 상의 제1 금속 막(701)을 사용하여 자기 정렬식 선택적 성장 필러들(즉, 제1 금속 산화물 막(901))이 형성된 후의 도 10a 및 도 10b와 각각 유사한 도면들이다. 도 11a 및 11b에 도시된 바와 같이, 제1 금속 산화물 막들(901)의 아래에는 전도성 라인들(301)의 일부와 동일한 패턴을 갖는다. 도 11a 및 11b에 도시된 바와 같이, 필러들은 전자 디바이스의 최상부 표면(601)으로부터 실질적으로 직각으로 연장된다. 도 11a 및 11b에 도시된 바와 같이, 필러들은 갭들(904)에 의해 분리된다.

[0085] 일부 실시예들에서, 제1 금속 산화물 막(901)으로부터 형성되는 필러들은, 전도성 라인들(103) 상의 라이너(501)의 부분들 상의 제1 금속 막(701)으로부터 선택적으로 성장된다. 일부 실시예들에서, 전도성 라인들(103) 위의 제1 금속 막(701)의 부분들은, 예를 들어, 산화, 질화, 또는 필러들을 성장시키기 위한 다른 프로세스에 의해 확장된다. 일부 실시예들에서, 제1 금속 막(701)은, 제1 금속 막(701)을 금속 산화물 필러들로 변환시키기 위해, 산화제 또는 산화 조건들에 대한 노출에 의해 산화된다. 관련 기술분야의 통상의 기술자는, 필러를 형성하는 것이 전기화학적 산화에 의해 행해지고 반드시 산소를 포함할 필요는 없다는 것을 이해할 것이다. 일부 실시예들에서, 필러들은 위에 열거된 하나 이상의 금속의 산화물을 포함한다. 더 구체적인 실시예에서, 필러들은 텅스텐 산화물(예를 들어, WO, WO₃ 또는 다른 텅스텐 산화물들)을 포함한다. 일부 실시예들에서, 필러들은 질화물이다.

[0086] 산화제는, O₂, O₃, N₂O, H₂O, H₂O₂, CO, CO₂, NH₃, N₂/Ar, N₂/He, N₂/Ar/He 또는 이들의 임의의 조합(그러나 이에 제한되지 않음)을 포함하는 임의의 적합한 산화제일 수 있다. 일부 실시예들에서, 산화 조건들은 열 산화, 플라즈마 강화 산화, 원격 플라즈마 산화, 마이크로파 및 무선 주파수 산화(예를 들어, 유도성 결합 플라즈마(ICP), 용량성 결합 플라즈마(CCP))를 포함한다.

[0087] 일부 실시예들에서, 제1 금속 산화물 막(901)의 필러들은, 예를 들어, 산화제 및 제1 금속 막(701)의 조성물에 따른 임의의 적합한 온도에서 제1 금속 막(701)의 산화에 의해 형성된다. 일부 실시예들에서, 산화는 약 25 °C 내지 약 800 °C의 대략적인 범위의 온도에서 발생한다. 일부 실시예들에서, 산화는 약 150 °C 이상의 온도에서 발생한다. 일부 실시예들에서, 필러들의 높이는 약 5 옹스트롬(Å) 내지 약 10 마이크로미터(μm)의 대략적인 범위에 있다.

[0088] 도 12a 및 12b는, 일부 실시예들에 따른, 제1 금속 산화물 막(901)의 필러들에 인접한 영역들(911, 912)뿐만 아니라 필러들(901) 사이의 갭(904)을 과충전하기 위해 절연 층(1001)이 증착된 후의 도 11a 및 11b와 각각 유사한 도면들이다. 도 12a 및 12b에 도시된 바와 같이, 절연 층(1001)은 필러들에 인접한 영역들(911, 912)에 그리고 갭(904)에 증착된다. 절연 층(1001)은 또한, 제2 절연 층으로 지칭될 수 있고 제2 절연 물질로 구성된다. 제2 절연 층(1001)은 절연 층(102)에 관하여 본원에 설명된 바와 같은 임의의 적합한 유전체 물질일 수 있다.

[0089] 도 12a 및 12b에 도시된 실시예에서, 제2 절연 층(1001)은 필러들보다 더 큰 높이를 갖는다. 달리 말하면, 제2 절연 층(1001)의 두께는 필러들을 커버하기에 충분하다. 일부 실시예들에서, 제2 절연 층(1001)은, 제2 절연 층의 최상부가 필러들과 실질적으로 평평하거나 필러들의 최상부 살짝 아래에 있도록 형성된다.

[0090] 일부 실시예들에서, 절연 층(1001)은 저-k 갭충전 층이다. 일부 실시예들에서, 절연 층(1001)은 유동가능하다. 일 실시예에서, 절연 층(1001)은 유동가능 산화규소(FSiO_x) 층이다. 일부 실시예들에서, 절연 층(1001)은 산화물 층, 예를 들어, 이산화규소, 또는 전자 디바이스 설계에 의해 결정된 임의의 다른 전기 절연 층이다. 일부 실시예들에서, 절연 층(1001)은 중간 유전체(ILD)이다. 일부 실시예들에서, 절연 층(1001)은, 물질들, 예컨대, 이를 테면, 이산화규소, 산화규소, 탄소 기재 물질, 예를 들어, 다공성 탄소 막, 탄소 도핑된 산화물("CDO"), 예를 들어, 탄소 도핑된 이산화규소, 다공성 이산화규소, 다공성 산탄수소화규소(SiOCH), 질화규소, 또는 이들의 임의의 조합(그러나 이에 제한되지 않음)을 포함하는 저-k 유전체이다. 일부 실시예들에서, 절연 층(1001)은 3 미만의 k 값을 갖는 유전체 물질이다. 일부 실시예들에서, 절연 층(1001)은 약 2.2 내지 약 2.7의 대략적인 범위의 k 값을 갖는 유전체 물질이다. 일부 실시예들에서, 절연 층(1001)은 2 미만의 k 값을 갖는 유전체

물질을 포함한다. 일부 실시예들에서, 절연 층(1001)은 절연 층(102)에 관하여 본원에 설명된 절연 층들 중 하나를 나타낸다.

- [0091] 일부 실시예들에서, 절연 층(1001)은 하나의 금속 라인을 다른 금속 라인들로부터 격리시키기 위한 저-k 층간 유전체이다. 일부 실시예들에서, 절연 층(1001)은 증착 기법들, 예컨대, CVD, 스퍼-온, ALD, PVD, MBE, MOCVD, 또는 마이크로전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 다른 저-k 절연 층 증착 기법들(그러나 이에 제한되지 않음) 중 하나를 사용하여 증착된다.
- [0092] 도 13a 및 13b는, 일부 실시예들에 따른, 제1 금속 산화물 막(901)의 필러들의 최상부(1101)를 노출시키기 위해 절연 층(1001)을 화학적 기계적 평탄화(CMP)한 이후의 도 12a 및 12b와 각각 유사한 도면들이다. 도시된 바와 같이, 절연 층(1001)은, 절연 층(1001)이 필러들의 최상부(1101)와 실질적으로 동일 평면 상에 있는 상태로 유지되면서 필러들이 노출되도록 제거된다. CMP 프로세스는 관련 기술분야의 통상의 기술자에게 알려진 임의의 적합한 평탄화 프로세스일 수 있다. 일부 실시예들에서, 절연 층(1001)은, 절연 층(1001)의 최상부가 필러들의 최상부(1101)와 평평하거나 살짝 아래에 있도록 증착되고, CMP 프로세스는 수행되지 않는다.
- [0093] 도 14a 및 14b는, 일부 실시예들에 따른, 식각을 통해 갭(1201)을 형성하기 위해 제1 금속 산화물 막(901)의 필러들이 제거된 후의 도 13a 및 13b와 각각 유사한 도면들이다. 필러들의 식각은 임의의 적합한 기법에 의해 행해질 수 있다. 일부 실시예들에서, 필러들을 식각하는 것은 필러들을 수성 알칼리 용액에 노출시키는 것을 포함한다. 필러들은 라이너(501) 또는 절연 층(1001)에 영향을 주지 않고 제거된다.
- [0094] 예시적인 비제한적인 프로세스에서, 필러들은 텅스텐을 포함하고, WO_3 의 형태를 취할 수 있는 텅스텐 산화물 필러들을 형성하기 위해 산소와의 반응에 의해 성장된다. KOH에 대한 WO_3 의 노출은, 모든 텅스텐 산화물이 제거될 때까지 표면을 떠나는, 가용성 K_2WO_4 및/또는 WO_2Cl_2 를 형성한다. 일단 텅스텐 산화물 부분(또는 일반적으로, 금속 산화물 부분)이 제거되면 반응은 자발적으로 중지될 수 있다.
- [0095] 예시된 실시예에서, 라이너(501)는 갭(1201)에 남는다. 일부 실시예들(도시되지 않음)에서, 라이너(501)는 전자 디바이스 제조의 기술분야의 통상의 기술자에게 알려진 건식 및 습식 식각 기법들 중 하나 이상을 사용하여 제거된다.
- [0096] 도 15a 및 도 15b는, 일부 실시예들에 따른, 절연 층(1301)이 절연 층(1001) 상에 그리고 갭들(1201)에 증착된 후의 도 14a 및 14b와 각각 유사한 도면들이다. 절연 층(1301)은 제3 절연 층으로 지칭될 수 있고, 제3 절연 물질로 구성된다. 제3 절연 층(1301)은, 절연 층(102)에 관하여 본원에 설명된 바와 같이, 제2 절연 층(1001) 물질과 상이한 임의의 적합한 유전체일 수 있다. 제3 절연 층(1301)은 갭들(1201)을 충전하고 라이너(501)(도시된 바와 같음)와 또는 함몰된 제1 전도성 라인들(301)(라이너(501)가 존재하지 않는 경우)과 접촉한다.
- [0097] 도 16a는 도면(1300)이고 도 16b는 도면(1310)이며, 이 도면들은, 갭(1201)을 제3 절연 층(1301)으로 갭충전한 후의 도 15a 및 15b와 각각 유사한 도면들이다. 제3 절연 층(1301)은 제2 절연 층(1001)과 상이한 임의의 적합한 유전체 물질일 수 있다. 제3 절연 층(1301)은 갭(1201)을 충전하고 라이너(501)(도시된 바와 같음)와 또는 함몰된 제1 전도성 라인들(301)(라이너(501)가 존재하지 않는 경우)과 접촉한다.
- [0098] 도 17a 및 17b는, 일부 실시예들에 따른, 미리 결정된 깊이가 남도록 절연 층이 증착 및/또는 식각된 후의 도 16a 및 16b와 각각 유사한 도면들이다. 도시된 실시예들에서, 절연 층(1301)의 오버버튼은, 도 15a 및 15b에 도시된 바와 같이 증착된 다음, 도 16a 및 16b에 도시된 바와 같이 제2 절연 층(1001)과 동일 평면 상에 있도록 제거되고, 그 다음, 도 17a 및 17b에 도시된 바와 같이, 미리 결정된 깊이로 재증착된다. 일부 실시예들에서, 절연 층은 도 15a 및 15b에 도시된 바와 같이 증착된 다음, 도 17a 및 17b에 도시된 바와 같이, 미리 결정된 깊이를 남기도록 제거된다. 일부 실시예들에서, 오버버튼은 관련 기술분야의 통상의 기술자에게 알려진 화학적 기계적 평탄화(CMP) 프로세스에 의해 제거될 수 있다.
- [0099] 일부 실시예들에서, 절연 층(1301)은, 도 16a 및 16b에 도시된 바와 같이, 절연 층(1001)과 동일 평면 상에 있도록 증착되고, 그 다음, 절연 층(1301)의 미리 결정된 깊이는, 도 17a 및 17b에 도시된 바와 같이, 절연 층(1301)의 미리 결정된 깊이를 확립하기 위해 다시 증착된다. 특정 방법에 관계없이, 절연 층(1301)의 미리 결정된 깊이는 도 17a 및 17b에 도시된 바와 같이 남는다.
- [0100] 도 18a 및 18b는, 일부 실시예들에 따른, 제1 마스크(1620) 및 제2 마스크(1630)가 절연 층(1301) 상에 증착된 후의 도 17a 및 17b와 각각 유사한 도면들이다. 제1 마스크(1620) 및 제2 마스크(1630)는 본원의 다른 곳에 개시된 제1 마스크(201) 및 제2 마스크(202)와 동일하거나 상이할 수 있다.

- [0101] 제1 마스크(1620) 및 제2 마스크(1630)는 절연 층(1301) 상에 예시된다. 제1 마스크(1620)는 절연 층(1301)의 전부를 커버하는 것으로 도시되고, 제2 마스크(1630)는, 도 11a 및 11b에 도시된 바와 같이, 갭(904) 및 필러들의 영역 외부의 영역을 커버한다. 제1 마스크(1620) 및 제2 마스크(1630)는 본원의 다른 곳에 개시된 제1 마스크(201) 및 제2 마스크(202)와 동일하거나 상이할 수 있다. 관련 기술분야의 통상의 기술자는, 마스크링 및 절연체 층들이 단일 층 또는 다수의 층들일 수 있다는 것을 인식할 것이다.
- [0102] 절연 층(1001) 위의 절연 층(1301)의 두께(즉, 갭(1201) 내에 있지 않은 절연 층(1301)의 깊이) 및 제1 마스크(1620)는 실질적으로 동일하다.
- [0103] 도 19a 및 19b는, 일부 실시예들에 따른, 마스크(1630) 바로 아래에 있지 않은 절연 층(1301)의 일부를 식각 프로세스가 등방적으로 제거한 후의 도 18a 및 18b와 각각 유사한 도면들이다. 등방적 제거 후에, 절연 층(1301)의 일부 및 절연 층(1001)의 일부가 노출된다.
- [0104] 절연 층(1301), 마스크(1620) 및 마스크(1630)는 임의의 적합한 기법 또는 기법들의 조합에 의해 제거될 수 있다. 예를 들어, 식각 프로세스는 절연 층(1001)에 영향을 주지 않고 절연 층(1301), 마스크(1620) 및 마스크(1630)를 선택적으로 제거할 수 있다. 일부 실시예들에서, 하나 초과와 식각 프로세스가, 절연 층(1301), 마스크(1620) 및 마스크(1630)를 제거하는 데에 사용된다. 예를 들어, 제1 식각 프로세스는 마스크(1630)를 제거하는 데에 사용될 수 있고, 제2 식각 프로세스는 마스크(1620) 및 절연 층(1301)을 제거하는 데에 사용될 수 있다. 일부 실시예들에서, 3개의 층들을 제거하는 데에 사용되는 3개의 식각 프로세스들이 존재하고, 각각의 식각 프로세스는 층들 중 하나의 층에 대해 선택적이다.
- [0105] 도 20a 및 20b는, 일부 실시예들에 따른, 이전의 제1 마스크(1620) 및 제2 마스크(1630)가 제거되고, 제1 마스크(1820) 및 제2 마스크(1830)가 절연 층(1301) 및 절연 층(1001) 상에 증착된 후의 도 19a 및 19b와 각각 유사한 도면들이다. 제1 마스크(1820) 및 제2 마스크(1830)는, 본원의 다른 곳에 개시된 제1 마스크(201) 및 제2 마스크(202) 및/또는 제1 마스크(1620) 및 제2 마스크(1630)와 동일하거나 상이할 수 있다. 관련 기술분야의 통상의 기술자는, 마스크링 및 절연체 층들이 단일 층 또는 다수의 층들일 수 있다는 것을 인식할 것이다.
- [0106] 제1 마스크(1820) 및 제2 마스크(1830)는 절연 층(1301) 및 절연 층(1001) 상에 예시된다. 제1 마스크(1820)는 절연 층(1301) 및 절연 층(1001) 모두를 커버하는 것으로 도시된다. 제2 마스크(1830)는, 도 4a 및 4b에 도시된 마스크(202)와 유사한 영역을 커버하는 것으로 도시된다. 관련 기술분야의 통상의 기술자는, 마스크링 및 절연체 층들이 단일 층 또는 다수의 층들일 수 있다는 것을 인식할 것이다. 갭(1201) 내의 추가적인 제1 마스크(1830) 및 절연 층(1301)의 두께는 실질적으로 동일하다.
- [0107] 도 21a 및 21b는, 일부 실시예들에 따른, 마스크(1830) 바로 아래에 있지 않은 절연 물질(1301)을 식각 프로세스가 등방적으로 제거한 후의 도 20a 및 20b와 각각 유사한 도면들이다.
- [0108] 도 22a 및 22b는, 일부 실시예들에 따른, 마스크(1620) 및 마스크(1630)가 제거된 후의 도 21a 및 21b와 각각 유사한 도면들이다. 마스크 층들의 제거 후에, 절연 층(1301)의 일부, 절연 층(1001)의 일부 및 라이너(501)의 일부가 노출된다.
- [0109] 절연 층(1301), 마스크(1820) 및 마스크(1830)는 임의의 적합한 기법 또는 기법들의 조합에 의해 제거될 수 있다. 예를 들어, 식각 프로세스는 절연 층(1001)에 영향을 주지 않고 절연 층(1301), 마스크(1820) 및 마스크(1830)를 선택적으로 제거할 수 있다. 일부 실시예들에서, 하나 초과와 식각 프로세스가, 절연 층(1301), 마스크(1820) 및 마스크(1830)를 제거하는 데에 사용된다. 예를 들어, 제1 식각 프로세스는 마스크(1830)를 제거하는 데에 사용될 수 있고, 제2 식각 프로세스는 마스크(1820) 및 절연 층(1301)을 제거하는 데에 사용될 수 있다. 일부 실시예들에서, 3개의 층들을 제거하는 데에 사용되는 3개의 식각 프로세스들이 존재하고, 각각의 식각 프로세스는 층들 중 하나의 층에 대해 선택적이다. 식각 프로세스들의 개수에 관계없이, 절연 층(1301) 및 마스크(1820)의 제거는 트렌치(2001) 및 비아들(2002, 2003)을 생성한다.
- [0110] 트렌치(2001)는 제1 전도성 라인들(103)의 제1 방향과 상이한 제2 방향으로 연장된다. 도시된 실시예에서, 제1 전도성 라인들(103)은 x 축을 따라 연장되고, 트렌치(2001)는 y 축을 따라 연장된다. 일부 실시예들에서, 제2 방향은 제1 방향에 대해, 약 30° 내지 약 150° 범위, 또는 약 50° 내지 약 130° 범위, 또는 약 70° 내지 약 110° 범위, 또는 약 80° 내지 약 100° 범위, 또는 약 85° 내지 약 95° 범위, 또는 약 87° 내지 약 93° 범위, 또는 약 89° 내지 약 91° 범위의 각도로 비스듬하다.
- [0111] 도 23a 및 23b는, 일부 실시예들에 따른, 트렌치(2001) 및 비아들(2002, 2003)에 제2 전도성 라인(2101)을 형

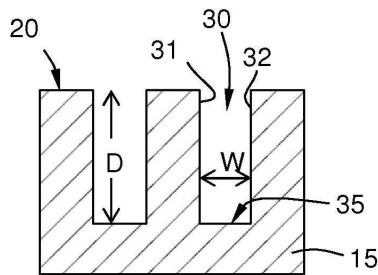
성하기 위해 제2 전도성 물질을 증착시킨 후의 도 22a 및 22b와 각각 유사한 도면들이다. 제2 전도성 라인(2101)은 임의의 적합한 금속일 수 있고, 임의의 적합한 증착 기법에 의해 증착될 수 있다. 본원에 설명된 바와 같이, 제2 전도성 라인(2101)은 제1 전도성 라인(103)의 제1 방향과 상이한 제2 방향으로 연장된다.

[0112] 도 24는 중첩된 구조의 자기 정렬식 비아들을 갖는 디바이스(2100)의 일부를 도시한다. 제1 전도성 라인들(103)은 도면에서 수직으로 연장되고, 제2 전도성 라인들(2101)은 페이지 상에서 수평으로 연장된다. 비아들(2002, 2003)은 제1 전도성 라인들(103)과 제2 전도성 라인들(2101) 사이의 연결들이 발생하는 곳에 예시된다. 전도성 라인들 및 비아들의 패킹 및 배열은, 예시된 실시예보다 더 치밀하거나(즉, 더 높은 밀도임) 더 느슨할 수 있다(즉, 더 낮은 밀도임).

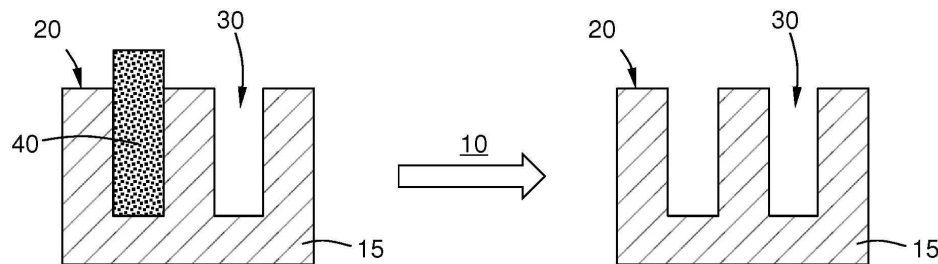
[0113] 본원의 개시내용이 특정 실시예들을 참조하여 설명되었지만, 관련 기술분야의 통상의 기술자는, 설명된 실시예들이 본 개시내용의 원리들 및 응용들을 단지 예시하는 것임을 이해할 것이다. 본 개시내용의 방법 및 장치에 대해 다양한 수정들 및 변형들이 본 개시내용의 사상 및 범위로부터 벗어나지 않고 이루어질 수 있다는 것이 관련 기술분야의 통상의 기술자에게 명백할 것이다. 따라서, 본 개시내용은 첨부된 청구항들 및 그들의 등가물들의 범위 내에 있는 수정들 및 변형들을 포함할 수 있다.

도면

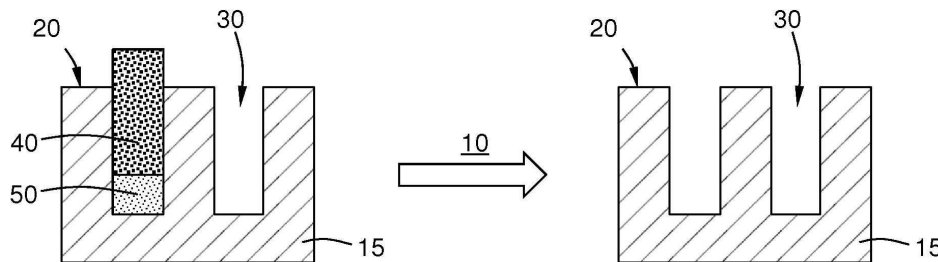
도면1a



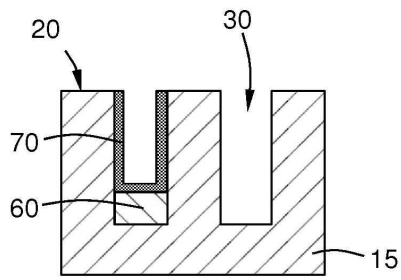
도면1b



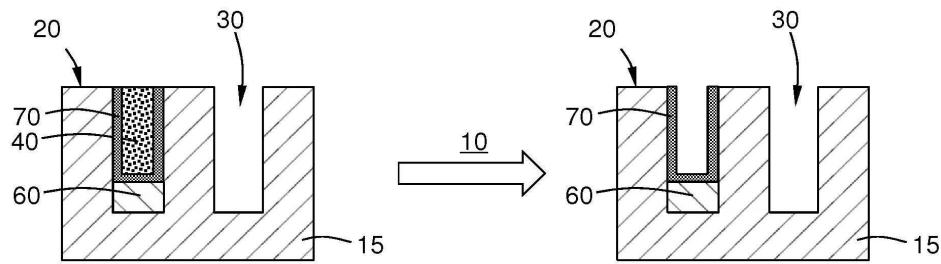
도면1c



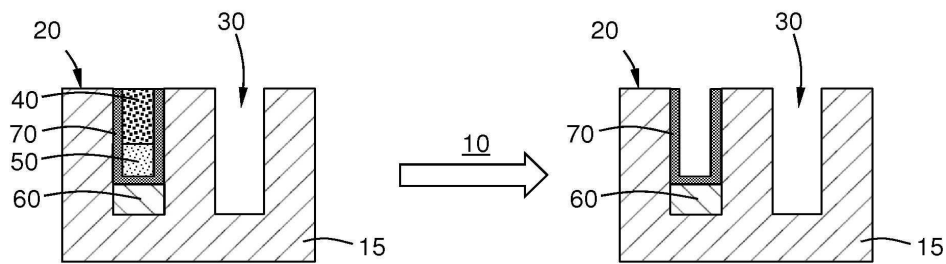
도면2a



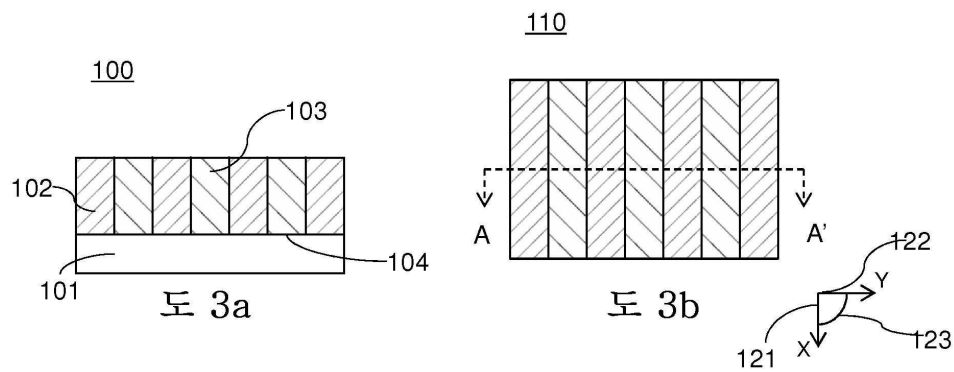
도면2b



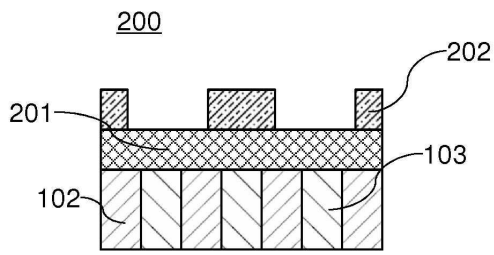
도면2c



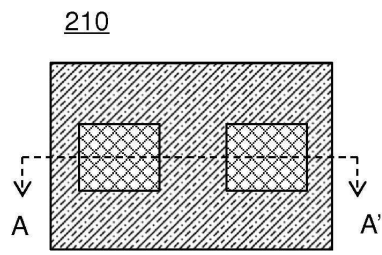
도면3



도면4

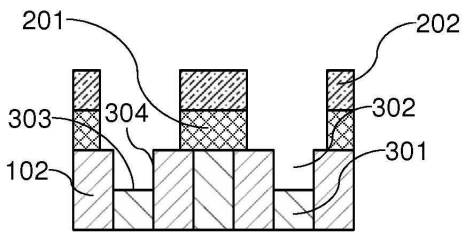


도 4a

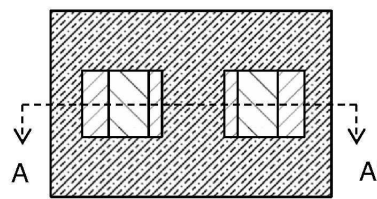


도 4b

도면5

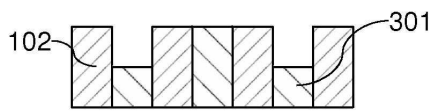


도 5a

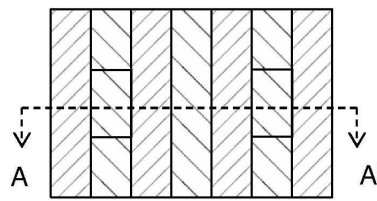


도 5b

도면6

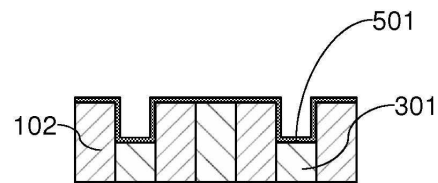


도 6a



도 6b

도면7

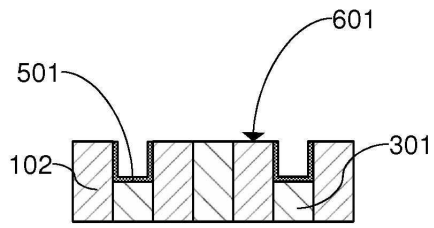


도 7a

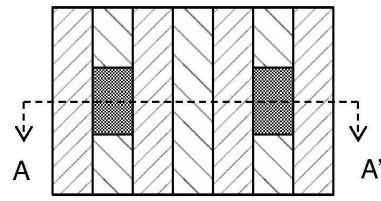


도 7b

도면8

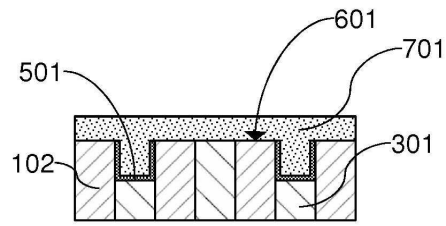


도 8a

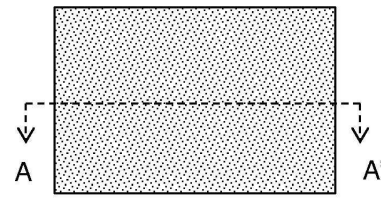


도 8b

도면9

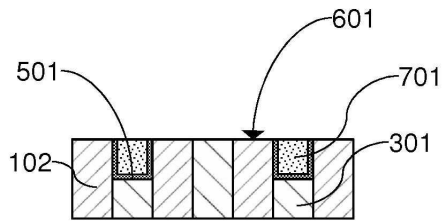


도 9a

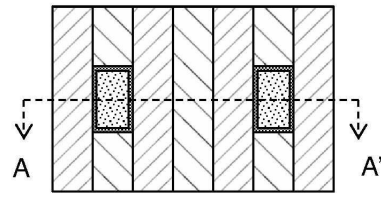


도 9b

도면10

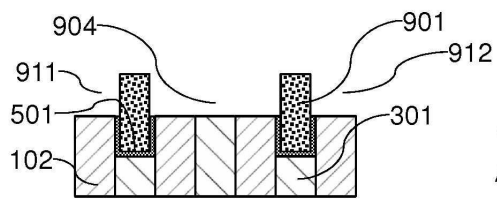


도 10a

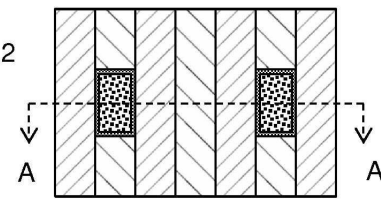


도 10b

도면11

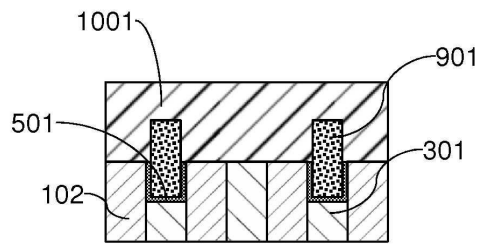


도 11a

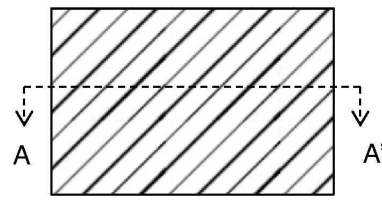


도 11b

도면12

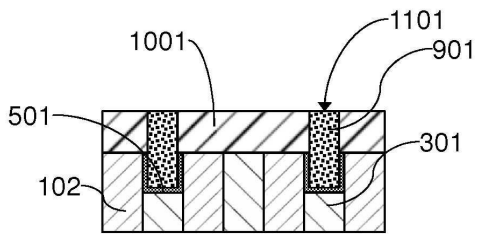


도 12a

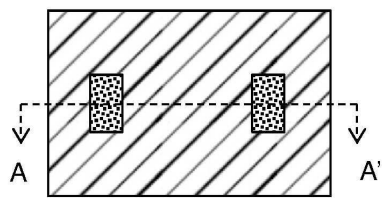


도 12b

도면13

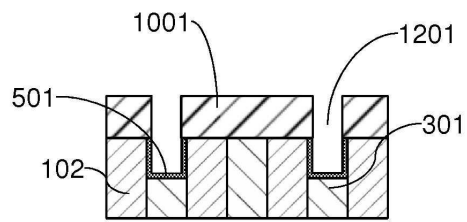


도 13a

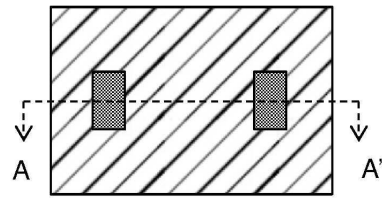


도 13b

도면14

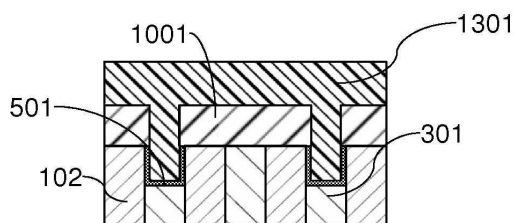


도 14a

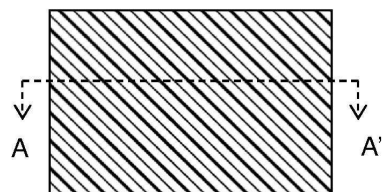


도 14b

도면15

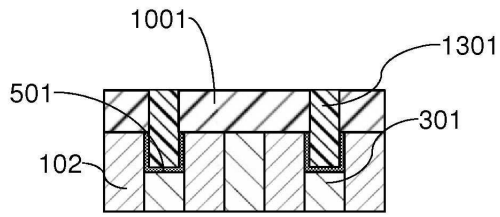


도 15a

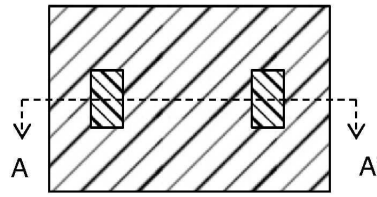


도 15b

도면16

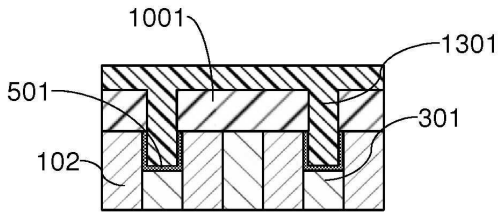


도 16a

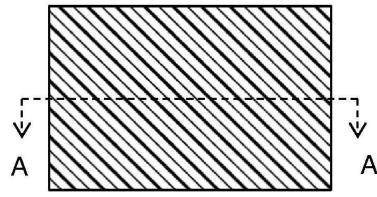


도 16b

도면17

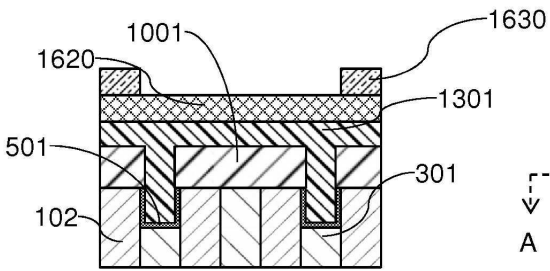


도 17a

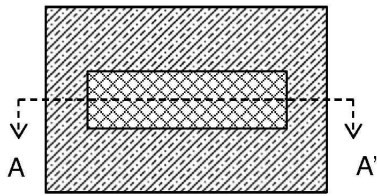


도 17b

도면18

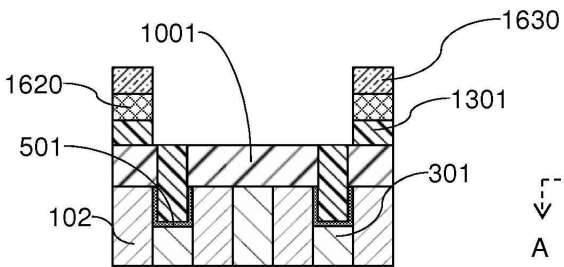


도 18a

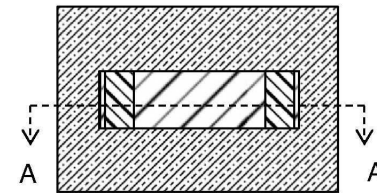


도 18b

도면19

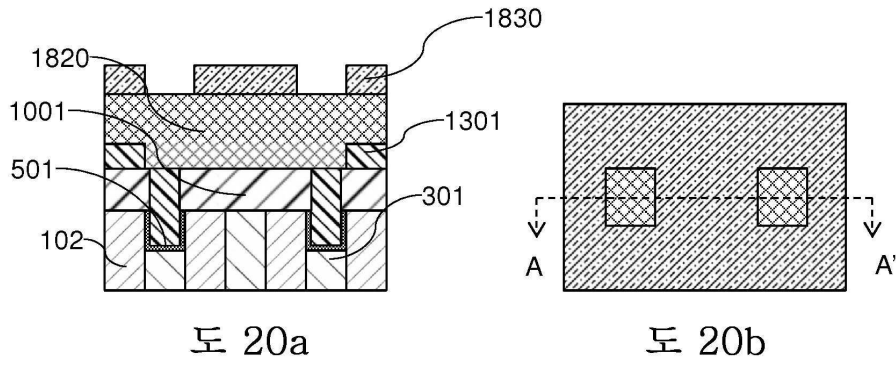


도 19a

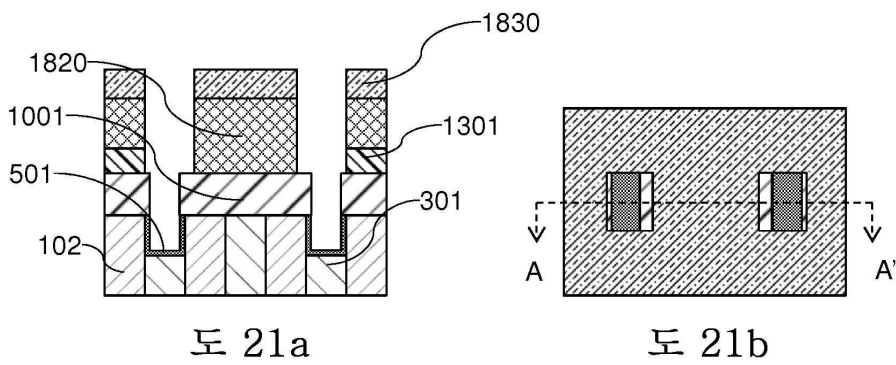


도 19b

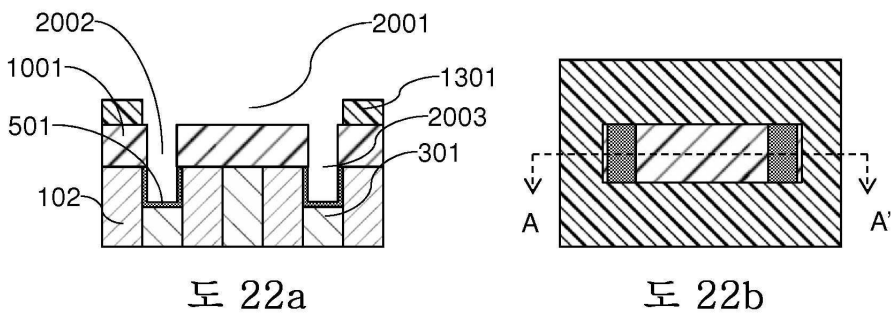
도면20



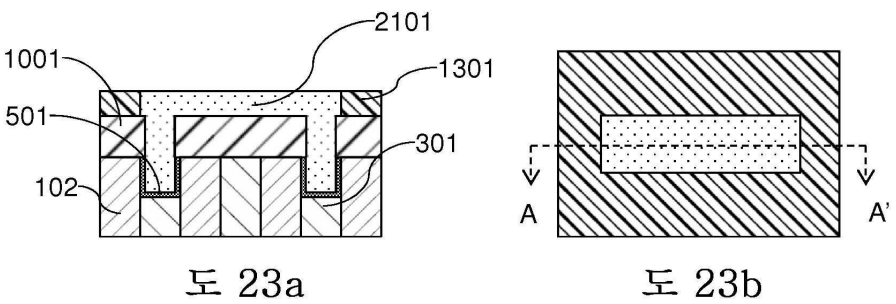
도면21



도면22



도면23



도면24

