公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97105781

※ 申請日期：97.2.19　　※IPC 分類：G09G3/30 (2006.01)

一、發明名稱：(中文/英文)

像素電路及顯示裝置，以及顯示裝置之製造方法

PIXEL CIRCUIT AND DISPLAY APPARATUS AS WELL AS FABRICATION METHOD FOR DISPLAY APPARATUS

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢　良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國　籍：(中文/英文)

日本　JAPAN

三、發明人：(共 3 人)

姓　名：(中文/英文)

1. 山本　哲郎
   YAMAMOTO, TETSURO
2. 內野　勝秀
   UCHINO, KATSUHIDE
3. 飯田　幸人
   IIDA, YUKIHITO

國　籍：(中文/英文)

1. 日本　JAPAN
2. 日本　JAPAN
3. 日本　JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年03月19日；特願2007-071257

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種像素電路，其包括：至少一個電晶體，其導電狀態係由藉由一控制端子接收之一驅動信號控制；以及一驅動線路，該驅動信號係傳播至該驅動線路，該電晶體之該控制端子係連接至該驅動線路。該驅動線路係連接至一不同層中之一線路，以便形成一多層線路。

六、英文發明摘要：

Disclosed herein is a pixel circuit including: at least one transistor whose conduction state is controlled by a drive signal received by a control terminal; and a driving wiring line to which the drive signal is propagated, the control terminal of the transistor being connected to the driving wiring line. The driving wiring line is connected to a wiring line in a different layer so as to form a multilayer wiring line.

七、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

112	n通道TFT
114	第一線路層
115	層間絕緣膜
116	接點
C111	電容器
GT	閘極
PSL	電源驅動線
SGL	信號線
WSL	掃描線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於像素電路及主動矩陣型顯示裝置，其包括發光元件，例如有機EL(電致發光)發光器件，以及顯示裝置之製造方法。

本發明包括2007年3月19日向日本專利局申請之日本專利申請案JP 2007-071257之相關標的，該案之全部內容以引用之方式併入本文中。

【先前技術】

一影像顯示裝置，例如液晶顯示單元，藉由回應欲顯示之影像資訊控制配置於矩陣內之大量像素的各像素之光強度顯示影像。

此同樣也適用於有機EL顯示單元等。然而，有機EL顯示單元係自發光型顯示單元，其中各像素電路包括發光器件並且有利的係其與液晶顯示單元相比在影像視覺確認中較高，其不需要背光，回應速度較高等。

有機EL顯示單元不同於液晶顯示單元等，即其包括具有電流控制類型的發光器件，其中發光器件之光度係採用供應至其之電流值加以控制，以獲得顏色顯影之梯度。

簡單矩陣類型驅動系統及主動矩陣類型驅動系統可作為類似於液晶顯示裝置之有機EL顯示器的驅動系統。儘管前一系統結構上較簡單，由於其具有此一問題，即難以實施較大尺寸及較高清晰度之顯示裝置，後一主動矩陣類型驅動系統之顯影係積極進行。主動矩陣類型驅動系統中，流

經提供於各像素電路內之發光器件的電流通常由薄膜電晶體(TFT)控制。

圖1顯示典型有機EL顯示裝置之一般組態。

參考圖1，顯示之顯示裝置1包括像素陣列區段2，其中像素電路(PXLC)2a係排列於m×n矩陣內，水平選擇器(HSEL)3、寫入掃描器(WSCN)4、藉由水平選擇器3選擇以便依據光度資訊供應資料信號之信號線或資料線SGL1至SGLn、以及藉由寫入掃描器4選擇性驅動之掃描線WSL1至WSLm。

應注意，水平選擇器3及/或寫入掃描器4有時係形成於多晶矽上或由MOSIC或類似物形成於像素周圍。

圖2顯示圖1所示之像素電路2的一組態之範例。例如，圖2所示之像素電路2a在美國專利第5,684,365號或日本專利公開案第Hei 8-234683號中揭示。

圖2之像素電路2a具有已提出之大量電路中最簡單的電路組態，並且係兩個電晶體驅動類型之電路。

參考圖2，像素電路2a包括p通道薄膜場效電晶體(下文簡稱為TFT)11及另一TFT 12、電容器C11、及作為發光器件之有機EL發光器件(下文簡稱為OLED)13。圖2中亦顯示信號線SGL及掃描線WSL。

由於有機EL發光器件在大多數情形中具有整流特性，有時將其稱為OLED(有機發光二極體)，並使用二極體符號代表為圖2內之發光器件等。然而，以下說明中，OLED不必需要整流特性。

圖2中，TFT 11係在其源極處連接至電源供應電位Vcc，而OLED 13係在其陰極處連接至接地電位GND。圖2內所示像素電路2a按以下方式運作。

步驟ST1：

若將掃描線WSL放置於選定狀態中，此實例中係低位準狀態中，並將寫入電位Vdata施加於信號線SGL，則TFT 12係呈現為導電，從而使電容器C11可加以充電或放電，並且TFT 11之閘極電位變成等於寫入電位Vdata。

步驟ST2：

若將掃描線WSL放置於非選定狀態中，此實例中係高位準狀態中，則信號線SGL及TFT 11係彼此電性斷開。然而，TFT 11之閘極電位係藉由電容器C11維持穩定。

步驟ST3：

流經TFT 11及OLED 13之電流變得具有對應於TFT 11之閘極-源極電壓Vgs的值，並且OLED 13繼續發射具有對應於電流值之光度的光。

如上述步驟ST1，選定掃描線WSL以將提供給資料線之光度資訊發送至像素內部的操作在下文稱為「寫入」。

如上所述，在圖2之像素電路2a中，若執行一次寫入電位Vdata之寫入，則OLED 13在一時間週期內繼續發射具有固定光度之光，直至隨後執行OLED 13之重新寫入。

如上所述，像素電路2a中，藉由變更充當驅動電晶體之TFT 11的閘極應用電壓控制流經OLED 13之電流值。

此實例中，p通道驅動電晶體係在其源極處連接至電源

供應電位Vcc，並且TFT 11通常在飽和區域內運作。因此，TFT 11充當恆定電流來源，其用於供應根據以下表達式(1)決定值的電流：

$$Ids=1/2\cdot\mu(W/L)Cox(Vgs-|Vth|)^2 \quad \ldots (1)$$

其中μ係載子遷移率，Cox係每單位面積之閘極電容，W係閘極寬度，L係閘極長度，Vgs係TFT 11之閘極-源極電壓，而Vth係TFT 11之臨界值。

簡單矩陣類型顯示裝置中，各發光器件在選定之瞬時發射光。相比之下，在主動矩陣類型影像顯示裝置中，各發光器件在上述寫入結束後仍繼續發射光。因此，主動矩陣類型影像顯示裝置對於大尺寸及高清晰度之顯示裝置特別有利，因為各發光器件之峰值光度及峰值電流與簡單矩陣類型影像顯示裝置相比可得以減小。

圖3說明有機EL發光器件之電流-電壓(I-V)特徵的長期變化。參考圖3，由實線顯示之曲線指示初始狀態之特徵，由虛線顯示之另一曲線指示長期變化後之特徵。

一般而言，有機EL發光器件之I-V特徵隨時間過去而劣化，如圖3內所見。

然而，依據圖2內所示之二電晶體驅動電路，由於使用固定電流驅動，固定電流繼續如上所述流動，即使有機EL發光器件之I-V特徵劣化，其光發射光度不會隨時間過去而劣化。

附帶一提，儘管圖2內所示像素電路2a係由p通道TFT形成，若n通道TFT可用於像素電路2a，則過去的非晶性矽

(a-Si)程序可用於製造TFT。此使得在減少之成本下產生TFT基板變為可能。

現在，說明使用n通道TFT組態之基本像素電路。

圖4顯示一像素電路，其中藉由n通道TFT取代圖2之電路的p通道TFT。

參考圖4，所示像素電路2b包括n通道TFT 21及22、電容器C21、及充當發光器件之有機EL發光器件(OLED)23。圖4中亦顯示信號線SGL及掃描線WSL。

像素電路2b中，充當驅動電晶體之TFT 21係在其汲極處連接至電源供應電位Vcc並在其源極處連接至OLED 23之陽極，以便形成源極隨耦器電路。

圖5說明充當驅動電晶體之TFT 21及初始狀態中之OLED 23的操作點。參考圖5，橫座標軸指示汲極-源極電壓Vds，縱座標軸指示汲極-源極電流Ids。

如圖5所見，源極電壓取決於充當驅動電晶體之TFT 21及OLED 23的操作點，並具有回應閘極電壓而變更的值。

由於在飽和區域內驅動TFT 21，藉由上文給出之表達式(1)的等式提供之電流值的汲極-源極電流Ids係關於相對於操作點之源極電壓的閘極-源極電壓Vgs來供應。

【發明內容】

上述像素電路係最簡單電路，其包括充當驅動電晶體之TFT 21、充當切換電晶體之TFT 22、及OLED 23。然而，像素電路有時係修改成以兩個信號改變欲施加於電源供應線之電源信號，並且亦以兩個信號改變欲施加於信號線之

影像信號，以校正臨界值或遷移率。

或者，像素電路有時係以其他方式修改，以便除串聯連接至OLED之驅動電晶體及切換電晶體外，提供用於消除遷移率或臨界值等等的TFT。

在排列於矩陣內之各像素電路中，將閘極脈衝信號施加於充當切換電晶體之TFT或用於消除臨界值或遷移率之TFT的閘極，其係透過線路彼此分離地提供。藉由垂直掃描器產生閘極脈衝，例如置放於主動矩陣類型有機EL顯示面板之相反側面或一側面上的寫入掃描器。

若將脈衝信號施加於各像素電路內之兩個或更多TFT，將脈衝信號施加於TFT的時序較重要。

然而，例如，若透過位於如圖6中所見之寫入掃描器之最後級的緩衝器40，在像素電路內沿線路41將脈衝信號施加於TFT形式之電晶體的閘極，脈衝延遲或瞬變變更因線路41之線路電阻r及線路電容的影響而發生。因此，位移隨時序、陰影或條紋不規則性出現而發生。

線路對像素電路2a內電晶體之閘極的電阻隨與掃描器之距離增加而增加。

因此，若面板相反末端之遷移率校正週期彼此相比較，兩者間出現一差異，並且此會引起光度差異的出現。

另外，由於遷移率校正週期從最佳遷移率校正週期移位，可不執行充分寫入並且可不校正遷移率散佈的此類像素充分出現，其導致此類像素被觀察為條紋之缺點。

另外，電源供應線之電壓降有時引起不規則性，例如陰

影，其導致不規則性之出現或顯示影像之粗糙。

所述問題之影響隨面板之尺寸及清晰度提升而增加。

因此，需要提供可抑制陰影、條紋不規則性等等之出現的像素電路及顯示裝置，以便可獲得高品質影像。

依據本發明之一具體實施例，提供一像素電路，其包括至少一個電晶體，其導電狀態由藉由其控制端子接收之驅動信號控制，以及一驅動線路，該驅動信號係傳播至該驅動線路，該電晶體之控制端子係連接至驅動線路，該驅動線路係連接至不同層內之線路，以便形成多層線路。

較佳的係，像素電路進一步包括一電源供應線路層，以及一第一線路層，其係提供於與信號線路層相同之層內，該信號線路層係沿該等層之堆疊方向形成於不同於電源供應線路層之一層內，驅動線路係形成於與電源供應線路層相同之層內，並連接至第一線路層，以便形成多層線路。

較佳的係，像素電路進一步包括一電源供應線路層、一第一線路層，其係提供於與信號線路層相同之層內，該信號線路層係沿該等層之一堆疊方向形成於不同於電源供應線路層之一層內，以及一第二線路層，其係提供於與用於電晶體之控制端子的一線路層相同之層內，該線路層係沿該等層之一堆疊方向形成於不同於電源供應線路層及第一線路層之一層內，該驅動線路層係形成於與電源供應線路層相同之層內，並連接至第一及第二線路層，以便形成一多層線路。

較佳的係，像素電路進一步包括一電源供應線路層，以

及一第一線路層，其係提供於與用於電晶體之控制端子的線路層相同之層內，該信號線路層係沿該等層之堆疊方向形成於不同於電源供應線路層之一層內，該驅動線路係形成於與電源供應線路層相同之層內並連接至第一線路層，以便形成多層線路。

依據本發明之另一具體實施例，提供一像素電路，其包括一電源供應線，可對該電源供應線施加彼此不同之電壓，一參考電位，一驅動線路，一驅動信號係傳播至該驅動線路，一發光器件，其經組態用以發射光度取決於流經其之電流的光，一驅動電晶體，一切換電晶體，其係連接於一信號線與驅動電晶體之閘極之間，並在其閘極處連接至驅動線路，以便藉由控制信號控制其導電狀態，以及一電容器，其係連接於驅動電晶體之閘極與源極間，該驅動電晶體及該發光器件係串聯連接於電源供應線與參考電位之間，該驅動線路係連接於不同層內之線路，以便形成一多層線路。

較佳的係，像素電路進一步包括用於電源供應線之線路層，以及一第一線路層，其係提供於與信號線路層相同之層內，該信號線路層係沿該等層之堆疊方向形成於不同於電源供應線線路層之一層內，該驅動線路係形成於與電源供應線線路層相同之層內，並連接至第一線路層，以便形成多層線路。

較佳的係，像素電路進一步包括用於電源供應線之一線路層、一第一線路層，其係提供於與信號線路層相同之層

內，該信號線路層係沿該等層之一堆疊方向形成於不同於電源供應線線路層之一層內，以及一第二線路層，其係提供於與用於切換電晶體之閘極的一線路層相同之層內，該線路層係沿該等層之一堆疊方向形成於不同於電源供應線線路層及第一線路層之一層內，該驅動線路層係形成於與電源供應線線路層相同之層內，並連接至第一及第二線路層，以便形成一多層線路。

較佳的係，像素電路進一步包括用於電源供應線之線路層，以及一第一線路層，其係提供於與用於切換電晶體之閘極的線路層相同之層內，該線路層係沿該等層之堆疊方向形成於不同於電源供應線線路層之一層內，該驅動線路係形成於與電源供應線線路層相同之層內，並連接至第一線路層，以便形成多層線路。

較佳的係，將電容器置放於移位位置，此處電容器與該等層之堆疊方向上的驅動線路不重疊。

依據本發明之另一具體實施例，提供一顯示裝置，其包括複數個像素電路，其係組態於一矩陣內並分別具有至少一個電晶體，電晶體之導電狀態係由藉由其控制端子接收之驅動信號來控制，以及至少一個掃描器，其經組態用以輸出驅動信號至形成像素電路之電晶體的控制端子，以及至少一個驅動線路，複數個像素電路之電晶體的控制端子係共同連接至驅動線路，並且驅動信號係從掃描器傳播至驅動線路，驅動線路係連接至一不同層之線路，以便形成一多層線路。

依據本發明之另一具體實施例，提供一顯示裝置，其包括複數個像素電路，其係組態於一矩陣內並分別具有一切換電晶體，電晶體之導電狀態係由藉此接收之驅動信號來控制；至少一個掃描器，其經組態用以輸出驅動信號至形成像素電路之切換電晶體的閘極；至少一個驅動線路，複數個像素電路之切換電晶體的閘極係共同連接至驅動線路，並且驅動信號係從掃描器傳播至驅動線路；以及至少一個電源供應線，其係連接至像素電路並且可對其施加彼此不同之電壓。像素電路分別具有一發光器件，其經組態用以發射光度取決於流經其之電流的光；一驅動電晶體，該切換電晶體係連接於信號線與驅動電晶體之閘極間，並在其閘極處連接至驅動線路，以便藉由驅動信號控制其導電狀態；以及一電容器，其係連接於驅動電晶體之閘極與源極間，該驅動電晶體及發光器件係串聯連接於電源供應線與參考電位之間。該驅動線路係連接至一不同層中之一線路，以便形成一多層線路。

依據本發明之另一具體實施例，提供顯示裝置之製造方法，該顯示裝置包括複數個像素電路，其係配置於矩陣內並分別包括至少一個電晶體，電晶體之導電狀態係由藉由其控制端子接收之驅動信號來控制，以及至少一個掃描器，其經組態用以輸出驅動信號至形成像素電路之電晶體的控制端子，該方法包括以下步驟：佈線一驅動線路，驅動信號係從掃描器傳播至驅動線路，以及將驅動線路連接至不同層，以形成一多層線路。

採用像素電路及顯示裝置，以及藉由製造方法製造之顯示裝置，可防止陰影、條紋不均勻性等之出現，從而可獲得高圖像品質之影像。

本發明的上述及其它目的、功能及優點藉由以下的說明及隨附的申請專利範圍並結合隨附圖式會變得顯而易見，其中相似零件或元件係由相似參考符號來表示。

【實施方式】

圖7顯示有機EL顯示裝置之組態，其採用依據本發明之第一具體實施例的像素電路，而圖8顯示像素電路之特定具體實施例。

參考圖7及圖8，所顯示之顯示裝置100包括像素陣列區段102，其中將像素電路101排列於m×n矩陣內，水平選擇器(HSEL)103、寫入掃描器(WSCN)104、電源驅動掃描器(PDSCN) 105、信號線SGL101至SGL10n，其係藉由水平選擇器103選擇並依據光度資訊供應以資料信號Vsig或偏移信號Vofs之輸入信號SIN，掃描線WSL101至WSL10m，其充當採用來自寫入掃描器104之閘極脈衝或掃描脈衝GP選擇性驅動之驅動線路，以及電源驅動線PSL101至PSL10m，其充當驅動線路，從電源驅動掃描器105向其施加一電源信號PSG，其係選擇性地設定為電源供應電壓VCC或負側電壓VSS，以便加以驅動。

應注意，雖然此類像素電路101在像素陣列區段102中係排列於m×n矩陣內，圖7顯示一範例，其中為簡化說明將像素電路101排列於2(=m)×3(=n)矩陣內。

同樣在圖8中，為簡化說明顯示一像素電路之特定組態。

參考圖8，依據本具體實施例之像素電路101包括n通道TFT 111，其充當驅動電晶體，另一n通道TFT 112，其充當切換電晶體，一電容器C111，一發光器件113，其係由有機EL發光器件(OLED；光電器件)形成，第一節點ND111，及第二節點ND112。

像素電路101中，充當驅動電晶體之n通道TFT 111、第一節點ND111及發光器件(OLED)113係串聯連接於電源驅動線或電源供應線PSL 101至10m與參考電壓Vcat(例如接地電位)之間。

特定言之，發光器件113在其陰極處係連接至參考電壓Vcat，並在其陽極處連接至第一節點ND111，TFT 112係在其源極處連接至第一節點ND111，而TFT 111係在其汲極連接至電源驅動線PSL。

另外，TFT 111係在其閘極處連接至第二節點ND112。

電容器C111係在其第一電極處連接至第一節點ND111，而在其第二電極處連接至第二節點ND112。

TFT 112係在其源極及汲極處分別連接至信號線SGL及第二節點ND112，並位於兩者間。TFT 112係在其閘極處連接至掃描線WSL。

依此方式，依據本具體實施例之像素電路101中，充當像素電容器之電容器C111係連接於充當驅動電晶體之TFT 111的閘極與源極之間。

圖9A至9C說明圖8之像素電路的基本運作。

特定言之，圖9A說明施加於掃描線WSL之閘極脈衝或掃描脈衝GP；圖9B說明施加於電源驅動線PSL之電源信號PSG；而圖9C說明施加於信號線SGL之輸入信號SIN。

為使像素電路101之發光器件113發射光，電源信號VSS，例如其可為負電壓，係在沿信號線SGL傳播偏移信號Vofs時施加於電源驅動線PSL，並透過TFT 112輸入第二節點ND112，之後將對應於電源供應電壓之電源信號VCC施加於電源驅動線PSL，以在非發光週期內校正TFT 111之臨界值，如圖9A至9C所見。

之後，將依據光度資訊之資料信號Vsig施加於信號線SGL並透過TFT 112寫入第二節點ND112。此時，由於寫入係在將電流供應至TFT 111時執行，遷移率校正係同時且並存地執行的。

接著，將TFT 112放置於非導電狀態內，以使發光器件113根據光度資訊發射光。

另外，本具體實施例之顯示裝置100中，為消除陰影、條紋不均勻性等，其係由於掃描線WSL之線路電阻或線路電容造成的脈衝延遲，該掃描線WSL係施加驅動脈衝或閘極脈衝於像素電路101內之TFT(電晶體)閘極的線路，及/或為消除影像上不均勻性或粗糙之外觀，其係由不均勻性引起，例如由電源供應線之電壓降造成的陰影，即為了改善圖像品質等，採取如下說明的此類對策。

圖10說明用於改善圖像品質等之對策的第一範例，並顯

示像素電路之部分的示意性平面圖及示意性斷面圖。

參考圖10，在第一對策範例中，掃描線或閘極線WSL，對於其TFT 112之閘極GT充當像素電路101之切換電晶體，係由與電源驅動線或電源供應線PSL相同材料作為線路形成於相同層內，該PSL係由低電阻金屬材料形成，例如鋁(Al)。另外，信號線SGL，其由低電阻金屬材料形成，例如鋁(Al)，係相對於掃描線WSL及電源供應線PSL作為較低層形成於基板側面(未顯示)上的一層。

另外，較高層內之掃描線WSL及與信號線SGL相同之材料層(其係相對於掃描線WSL之較低層)內的低電阻線路層或第一線路層114透過接點116彼此連接，其係形成於SIN、SiO_2等之層間絕緣膜115內，以便實行二級線路結構。

另外，本第一對策範例中，將電容器C111置放於沿層堆疊方向與掃描線WSL不重疊之位置。

應注意，各像素電路之TFT 112具有底部閘極類型，其中透過接點接近其閘極電極或控制電極，該接點係形成於絕緣膜(未顯示)上並連接至掃描線WSL。

通常，藉由按一方法形成高電阻線路之膜形成TFT之閘極電極，例如金屬材料之濺鍍，如鉬(Mo)或鉭(Ta)，或者任何此類金屬材料之合金。

如上所述，在第一對策範例中，按二層線路方案展開掃描線或閘極線WSL，其包括與低電阻電源供應線路相同之層及與信號線相同之層114。

依據具有上述此一特徵之第一對策範例，可減小掃描線或閘極線WSL之電阻及電容。特定言之，由於形成電源供應線之線路層係由低電阻金屬材料形成，並且形成信號線SGL之線路層亦係由低電阻金屬材料形成，藉由按二級線路方案佈線掃描線或閘極線WSL，可將掃描線WSL之電阻減小大約一半。因此，可加速充當切換電晶體的TFT 112之閘極線的瞬變。

另外，在鄰近寫入掃描器104之閘極脈衝或控制信號GP對掃描線WSL之輸出端側及與輸出端隔開之另一位置的位置，閘極脈衝GP之脈衝寬度的差異可減小。因此，可獲得無不充分寫入、不均勻性或陰影之均勻圖像品質。

因此，實現可加速閘極線之瞬變及實施較高清晰度的優點。

圖11顯示作為圖10所示組態之比較範例的組態，其中將電容器置放於一位置，此處其沿層堆疊方向與掃描線或閘極線重疊。

若採用其中將電容器或信號線置放於沿層堆疊方向與掃描線或閘極線WSL重疊之位置的組態，如圖11所見，傾向於增加掃描線WSL之寄生電容。

相比之下，若以移位關係將電容器C111置放於其沿層堆疊方向與掃描線WSL不重疊之位置，同時信號線SGL僅在掃描線WSL下方重疊，如本第一對策範例，可防止寄生電容之增加。因此，可實施閘極脈衝之傳播速度的進一步提高。

現在，說明為何在相同層內將掃描線或閘極線WSL形成為材料與電源供應線或電源信號線PSL相同之線路，PSL係由低電阻金屬材料形成，例如鋁(Al)，並且相對於由相同材料在與信號線SGL相同之層內形成的掃描線WSL及低電阻線路層114的較低層內之信號線SGL透過接點116彼此連接，該接點係形成於SIN、SiO_2等之層間絕緣膜115內，以便形成二級線路結構。

圖12係像素之部分的平面圖，其中掃描線或閘極線係在與TFT之閘極電極相同之層內由相同材料的高電阻線路形成，而未應用依據本具體實施例之任何對策。

研究寫入像素電路，其具有圖12內所示之組態。

如上文參考圖9所述，在本像素電路中，寫入及遷移率校正分別係由從偏移信號位準Vofs至資料信號位準Vsig的信號線SGL之輸入信號SIN的上升邊緣及施加於掃描線WSL之閘極脈衝GP的下降邊緣定義。

依據此方法，閘極脈衝GP在從寫入掃描器(WSCN)104至掃描線WSL的閘極脈衝GP之輸出端及與此GP輸出端隔開之位置(即圖13內之GP輸出遠端)間變得遲滯，並且寫入時間在GP輸出端側與GP輸出遠端側間變得不同。特定言之，寫入時間在面板之輸入遠端側上變得較長，因此此類差異顯現為螢幕影像上之陰影。

作為此點之對策，可按如圖14A至14C所見之時序執行寫入。

依據該方法，寫入及遷移率校正並非由信號線SGL之信

號的上升邊緣及閘極脈衝GP之下降邊緣定義，而是由閘極脈衝GP之上升邊緣及閘極脈衝GP之下降邊緣定義。

然而，同樣在此方法之寫入中，取決於如圖15A至15D內所見之信號的梯度，寫入時間有時在寫入掃描器104之閘極脈衝GP的輸出端側與GP輸出端遠端側間變得不同，其導致陰影外觀。

另外，在圖14A至14C之方法中，僅需要對閘極脈衝GP定義寫入。若寫入時間所費過長，則驅動電晶體之源極處的電位繼續上升，因此為保證適當光度，不可避免地要將寫入時間設定成較短。

然而，隨著尺寸增加，對掃描線或閘極線WSL之負載增加，即使從閘極脈衝或掃描脈衝GP之輸出端輸出較小寬度之脈衝，由於脈衝變形或降級變得難以在GP輸出端遠端側上執行寫入。

如上文所述，由於通常閘極線路係由高電阻金屬製成，例如Mo，負載較高。

因此，在本具體實施例中，掃描線WSL係在與電源供應線或電源信號線PSL相同之層內形成為相同材料之線路，PSL係由低電阻之金屬形成，例如鋁(Al)。

另外，若期望尺寸及清晰度增加，由於需要進一步減小電阻及電容，與相對於掃描線WSL之較低層內的信號線SGL相同之層內的相同材料之掃描線WSL及低電阻線路層114透過接點116彼此連接，其係形成於SIN、SiO_2等之層間絕緣膜115內，以形成二級線路結構，及/或將電容器

C111置放於移位位置，此處其沿層堆疊方向與掃描線WSL不重疊。

圖17說明用於改善圖像品質之第二對策範例，其係像素電路之部分的示意性平面圖及斷面圖。

圖17內所示之第二對策範例不同於圖10內所示之第一對策範例處在於，在低於由相同材料形成於與信號線SGL相同層內的低電阻線路層或第一線路層114之一層內，透過接點119將在與TFT(由高電阻金屬形成)之閘極電極相同之層內的相同材料之線路層或第二或第一線路層117連接至線路層或第一線路層114，接點119係形成於閘極絕緣膜118及掃描線或閘極線WSL內，其係低電阻線路層，作為低電阻線路之線路層114及作為高電阻線路之線路層117係在多層內連接，以形成三級線路結構。

因此，可進一步減小掃描線WSL之電阻。

藉由應用本第二對策範例，可減小閘極線路之負載，從而可實現瞬變速度之增加。因此，可預期較高清晰度。

圖18說明用於改善圖像品質之第三對策範例，其係像素電路之部分的示意性平面圖及斷面圖。

圖18內所示之第三對策範例不同於圖17內所示之第二對策範例處在於，透過接點120將在與TFT(由高電阻金屬形成)之閘極電極相同之層內的相同材料之線路層117連接至掃描線WSL，接點120係形成於相對於線路層114之較低層內的層間絕緣膜115及閘極絕緣膜118內，而不穿過由相同材料形成於與信號線SGL相同之層內的線路層114，並且

作為低電阻線路層之掃描線WSL及作為高電阻線路層之線路層或第一線路層117係連接於多個層內，以形成二級線路結構。

另外採用本組態，可減小掃描線WSL之電阻。

同樣藉由應用第三對策範例，可減小閘極線路之負載，並且可實現瞬變速度之增加。從而可預期清晰度之增加。

圖19說明用於改善圖像品質之第四對策範例，並且係像素電路之部分的示意性斷面圖。

第四對策範例使用電源驅動線或電源供應線PSL，其係形成為多層線路，以便消除因電源供應線之電壓降造成不均勻性的情況，例如陰影，並導致顯示影像上之不均勻性或粗糙。

如上文所述，最初在閘極絕緣膜118之預定位置形成電源供應線PSL，其係由相同材料(例如Al)之低電阻線路在與掃描線WSL相同之層內形成。

另外，在形成於電源供應線PSL上的層間絕緣膜115內形成接點121，以便形成於層間絕緣膜115上的Al等之低電阻線路層122透過多層內之接點121連接至電源供應線PSL，以形成二極線路結構內之電源供應線，從而實現電阻減小。因此，防止此一情況，即因電壓降造成不均勻性，例如陰影，此顯現為顯示影像上之不均勻性或粗糙。

另外，圖19中，在較高層之電源供應線路層122上形成平坦膜123，並在平坦膜123上形成陽極電極125。

採用本第四對策範例，防止此一情況，即因電源供應線

之電壓降造成不均勻性，例如陰影，此顯現為顯示影像上之不均勻性或粗糙。

圖20說明用於改善圖像品質之第五對策範例，並且係像素電路之部分的示意性斷面圖。

在本第五對策範例中，例如，即使在將電源供應線PSL形成為多層線路之情況或相似情形中，並不將電源供應線PSL置放或形成於充當驅動電晶體之TFT 111上方，即相對於層堆疊方向上的TFT 111之較高層側上。

換言之，在本第五對策範例中，將電源供應線PSL形成為其與TFT 111之置放區域的較高層不重疊，且TFT 111不受電源供應線PSL之電場影響。

說明一特定組態。

底部閘極結構之TFT 111具有形成於透明絕緣基板131上之閘極電極133，例如玻璃基板，並覆蓋有閘極絕緣膜132。將閘極電極133連接至第二節點ND112。

如本文所述，藉由一方法，例如濺鍍，藉由形成金屬膜形成閘極電極，例如鉬(Mo)或鉭(Ta)或任何此類金屬材料之合金。

TFT 111包括形成於閘極絕緣膜132上之半導體膜134，並橫跨半導體膜134形成於閘極絕緣膜132上之一對n^+擴散層135及136。將STO 137形成於半導體膜134上，並將層間絕緣膜138形成於STO 137上。

應注意，儘管未顯示，若使用多晶矽，在半導體膜134與n^+擴散層135及136間形成n^-擴散層(LDD)。

透過形成於層間絕緣膜138內之接觸孔139a將源極電極140連接至n^+擴散層135，並透過形成於層間絕緣膜138內之另一接觸孔139b將汲極電極141連接至n^+擴散層136。

例如，藉由圖案化鋁(Al)形成源極電極140及汲極電極141。例如，將源極電極140連接至發光器件113之陽極，並透過圖20內未顯示之連接電極將汲極電極141連接至電源供應線PSL。

另外，以此一方式將絕緣膜142分層於TFT 111上，以便覆蓋層間絕緣膜138、源極電極140及汲極電極141。

此處，說明為何此一組態不受電源供應線PSL之電場影響的原因，其中將電源供應線PSL形成於相對於TFT 111之較高層內，以便其不與TFT 111之置放區域及TFT 111重疊。

圖21係顯示一組態之斷面圖，作為圖20之組態的比較範例，其中將電源供應線置放於TFT 111上方。同時，圖22顯示圖21內所示像素電路的等效電路。

在圖21所示之像素電路中，透過形成於絕緣膜142內之接點142a將TFT 111之汲極電極141連接至電源供應線路層122，其係形成於絕緣膜142上。

此處，將研究非晶性矽TFT。

若電源供應電位存在於相對於充當驅動電晶體的TFT 111之較高層內，則出現後閘極效應，當顯示黑色時，將非晶性矽內之電子吸引至電源供應，如圖21所示，並在閘極遠側上形成通道。

因此，驅動電晶體之洩漏電流增加。若洩漏電流較高，當顯示黑色時，此顯現為顯示影像上的閃爍點。

因此，本具體實施例中，採用此一組態，即電源供應線PSL與TFT 111之置放區域的較高層不重疊，且TFT 111不受電源供應線PSL之電場影響。

採用本第五對策範例，由於未在TFT 111上方展開電源供應線路，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除故障，例如形成黑色時顯示影像之閃爍點、不均勻性及粗糙。

圖23說明用於改善圖像品質之第六對策範例，並且係像素電路之部分的示意性斷面圖。

在第六對策範例中，與第五對策範例中類似，例如，即使在如上文所述將電源供應線PSL形成為多層線路之情況或相似情形中，並不將電源供應線PSL置放或形成於充當驅動切換電晶體或寫入電晶體之TFT 112上方，即相對於層堆疊方向上的TFT 112之較高層側上。

換言之，同樣在本第六對策範例中，將電源供應線PSL形成為其與TFT 112之置放區域的較高層不重疊，且TFT 112不受電源供應線PSL之電場影響。

雖然圖23顯示第六對策範例之特定組態，由於像素電路之基本組態與第五對策範例相同，相似元件由相似參考字元表示，並且本文省略重疊說明以避免冗餘。

此處，說明為何此一組態不受電源供應線PSL之電場影

響的原因，其中將電源供應線PSL形成於相對於TFT 112之較高層內，以便其不與TFT 112之置放區域及TFT 112重疊。

圖24係顯示一組態之斷面圖，作為圖23之組態的比較範例，其中將電源供應線置放於TFT 112上方。同時，圖25顯示圖23內所示像素電路的等效電路。

在圖24所示之像素電路中，透過形成於絕緣膜142內之接點142a將TFT 112之汲極電極141連接至電源供應線路層122，其係形成於層間絕緣膜142上。

同樣在充當寫入電晶體之TFT 112中，若電源供應電位存在於電晶體上方，當電晶體關閉時，非晶性矽內之電子被電源供應之電場吸引至電源供應側，如圖24中所見，其與上述充當驅動電晶體之TFT 111相似。

因此，後閘極效應出現，並將通道形成於閘極遠端側上，且洩漏電流增加。從而，消除驅動電晶體之保留電位變更，此類變更顯現為故障，例如當形成黑色時顯示影像的閃爍點、不均勻性及粗糙。

因此，本具體實施例中，採用此一組態，即電源供應線PSL與TFT 112之置放區域的較高層不重疊，且TFT 112不受電源供應線PSL之電場影響。

採用本第六對策範例，由於未在TFT 112上方展開電源供應線路，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除此類故障，例如形成黑色時顯示影像之閃爍

點、不均勻性及粗糙，如圖23所示。

圖26說明用於改善圖像品質之第七對策範例，並且係像素電路之部分的示意性斷面圖。

圖26內所示之第七對策範例不同於圖20內所示之第五對策範例處在於，代替使用此一組態，即將電源供應線PSL形成於相對於TFT 111之較高層內，以便其與TFT 111之置放區域不重疊且TFT 111不受電源供應線PSL之電場影響，將陰極線路層143置放或形成為相對於TFT 111之較高層。

依此方式，在本第七對策範例中，在TFT 111上方展開陰極線路層143而非電源供應線路。

原因係由於陰極電壓低於在黑色顯示時到達充當驅動電晶體的TFT 111之閘極電壓或信號電壓以及到達充當驅動電晶體之TFT 111的源極電壓，後閘極效應不會發生。

採用本第七對策範例，由於在TFT 111上方展開陰極線路143，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除故障，例如形成黑色時顯示影像之閃爍點、不均勻性及粗糙。

圖27說明用於改善圖像品質之第八對策範例，並且係像素電路之部分的斷面圖。

圖27內所示之第八對策範例不同於圖23內所示之第六對策範例處在於，代替使用此一組態，即將電源供應線PSL形成於相對於TFT 112之較高層內，以便其與TFT 112之置放區域不重疊且TFT 112不受電源供應線PSL之電場影響，

將陰極線路層143置放或形成為相對於TFT 112之較高層。

依此方式，在本第八對策範例中，在TFT 112上方展開陰極線路層143而非電源供應線路。

原因係由於陰極電壓低於在黑色顯示時到達充當寫入電晶體之TFT 112的閘極電壓等，後閘極效應不會發生。

採用本第八對策範例，由於在TFT 112上方展開陰極線路143，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除故障，例如形成黑色時顯示影像之閃爍點、不均勻性及粗糙。

圖28說明用於改善圖像品質之第九對策範例，並且係像素電路之部分的示意性斷面圖。

圖28內所示之第九對策範例不同於圖23內所示之第六對策範例處在於，代替使用此一組態，即將電源供應線PSL形成於相對於TFT 112之較高層內，以便其與TFT 112之置放區域不重疊且TFT 112不受電源供應線PSL之電場影響，將掃描線或閘極線WSL 144置放或形成為相對於TFT 112之較高層。

依此方式，採用本第九對策範例，將作為TFT 112之閘極線的掃描線WSL展開於相對於TFT 112之較高層上。

原因係由於TFT 112之閘極電壓低於到達充當驅動電晶體的TFT 111之閘極電壓或信號電壓以及到達充當驅動電晶體之TFT 111的源極電壓，後閘極效應不會發生。

另外，關於TFT 112，當其開啟時，通道不僅係形成於

閘極側上，亦形成於閘極遠端側上，並且TFT 112開啟。

因此，TFT 112之開啟電阻從其中未展開掃描線WSL之普通情形下降，從而可實施較高速度寫入。

採用本第九對策範例，由於在TFT 112上方展開掃描線WSL，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除故障，例如形成黑色時顯示影像之閃爍點、不均勻性及粗糙。

另外，由於在TFT 112上展開作為用於TFT 112之閘極線的掃描線WSL，當開啟時TFT 112之開啟電阻可從普通情形降低，並可實施高速寫入。

相應地，可藉由高速寫入之實施實現高清晰度圖像品質。

圖29說明用於改善圖像品質之第十對策範例，並且係像素電路之部分的示意性斷面圖。

與上述第九對策範例相似，圖29內所示之第十對策範例不同於上述第五對策範例處在於，代替使用此一組態，即將電源供應線PSL形成於相對於TFT 111之較高層內，以便其與TFT 112之置放區域不重疊且TFT 111不受電源供應線PSL之電場影響，將與TFT 112之閘極連接的掃描線或閘極線WSL 144置放或形成為相對於TFT 111之較高層。

依此方式，採用本第十對策範例，將作為TFT 111之閘極線的掃描線WSL展開於相對於TFT 111之較高層上。

原因係由於TFT 111之閘極電壓低於到達充當驅動電晶

體的TFT 111之閘極電壓或信號電壓以及到達充當驅動電晶體之TFT 111的源極電壓，後閘極效應不會發生。

採用本第十對策範例，由於在TFT 111上方展開掃描線WSL，當顯示黑色時或當電晶體關閉時，不會將電子吸引至遠離閘極之側。因此，可防止後閘極效應之發生，並且可消除故障，例如形成黑色時顯示影像之閃爍點、不均勻性及粗糙。

圖30說明用於改善圖像品質之第十一對策範例，並且係像素電路之部分的示意性斷面圖。

第四對策範例之說明中說明，為防止此一情況，即電源供應線之電壓降造成不均勻性，例如陰影，此顯現為顯示影像上之不均勻性或粗糙，將電源供應線或電壓驅動線PSL形成為多層寫入線。

本第十一對策範例中，通常由陽極之金屬形成之陰極線路係由相同材料之低阻抗線路在與電源供應線或電源驅動線PSL之電源供應線層相同的層內之形成為多層線路。

如上文參考圖19所述，在閘極絕緣膜118之預定位置形成最初電源供應線PSL，其係由相同材料(例如Al)之低電阻線路在與掃描線或閘極線WSL相同之層內形成。

接著，在形成於電源供應線PSL上的層間絕緣膜115內形成接點121，並且形成於層間絕緣膜115上的Al等之低電阻線路層122透過多層內之接點121連接至電源供應線PSL，以形成二極線路結構內之電源供應線，從而實現電阻減小。因此，防止此一情況，即因電壓降造成不均勻性，例

如陰影，此顯現為顯示影像上之不均勻性或粗糙。

另外，與用於層間絕緣膜115上之電源供應線PSL的低電阻線路層122平行地形成陰極低電阻線路層145。

例如，將平坦膜123形成於電源供應線路層122及較高層之陰極線路層145上，並將接點124及146形成於平坦層123內。透過接點124將電源供應線路層122連接至形成於平坦膜123上之陽極電極125，並透過接點146將陰極低電阻線路層145連接至形成於平坦膜123上之較小區域的陰極觸點147。

將EL發光器件材料層148形成於陽極電極125上，並將絕緣層149形成於陰極觸點147及陽極電極125、EL發光器件材料層148等等之間，並將陰極電極150形成於EL發光器件材料層148、絕緣層149及陰極觸點147上。

依此方式，本第十一對策範例中，將陰極線展開於與形成於多層內的電源供應線路相同之層內。

在將陰極線路形成於一多層內的情況下，可將最遠離陰極輸入端之陰極處的電壓上升抑制在較低處。因此，可達到均勻圖像品質。

另外，在將陰極線展開於電源供應線路層上的情況下，可防止位於面板中央部分的電壓上升。另外，可確保發光器件113或148的較大發光區域或孔徑，如圖30及31所見。

圖32係像素之部分的示意性斷面圖，其中形成一陰極線而未應用依據本具體實施例之任何對策，且圖33係像素之平面圖。

此處，研究面板之發光區域或數值孔徑。

作為用於確保較大發光區域或數值孔徑之技術，頂部發射系統係可用的。通常，頂部發射系統之特徵在於陰極係由EL發光器件材料層148之陽極電極125形成，如圖32及33內所見。

然而，隨著面板尺寸及清晰度不斷增加，需要佈線較厚陰極線，以便藉由面板中心處的電壓上升防止圖像品質不均勻性，其在光發射時係距陰極擷取部分最遠的部分，並且數值孔徑同樣減小。數值孔徑的減小引起一問題，即流經EL發光器件材料層148之電流的密度增加，導致壽命減小。

相比之下，本第十一對策範例之特徵在於將陰極線展開於電源供應線內，其係形成於上文所述之多層內。藉由將陰極線展開於電源供應層內，可防止面板中央部分處的電壓上升，並且亦可保證較大孔徑。

因此，可將在光發射時流經EL發光器件材料層148之電流的密度抑制在較低處。如此，可實施壽命延長。

藉由將陰極線路形成於多層內，可將距陰極輸入端最遠之部分處的陰極之電壓上升抑制在較低處，並可實現均勻圖像品質。

應注意，儘管多層線路最初會增加成本，因為此增加層數目，本具體實施例中，由於針對圖8之電路執行此類多層線路，即對於包括兩個電晶體及一個電容器之2Tr+1C像素電路，且2Tr+1C像素電路不需要開極線之兩層形成，成

101年11月13日修正替換頁(本)

本不會從過去像素電路之成本增加。

現在，參考圖34A至34E及35至42主要說明像素電路之上述組態的特定運作。

應注意，圖34A說明施加於掃描線WSL之閘極脈衝或掃描脈衝GP；圖34B說明施加於電源驅動線PSL之電源信號PSG；圖34C說明施加於信號線SGL之輸入信號SIN；圖34D說明位於第二節點ND112之電位VND112；而圖34E說明位於第一節點ND111之電位VND111。

首先，當EL發光器件113處於發光狀態中，將電源供應電壓Vcc施加於電源驅動線PSL，並且TFT 112處於關閉狀態，如圖34B及35所見。

同時，由於將TFT 111設定成在飽和區域內運作，流經發光器件113之電流Ids回應TFT 111之閘極-源極電壓Vgs而假定由表達式(1)指示的值。

接著，在非發光週期中，充當電源供應線之電源驅動線PSL係設定為負側電壓Vss，如圖34B及36中所見。此時，若負側電壓Vss低於發光器件113及參考電壓Vcat之臨界值Vthel的總和，即若Vss<Vthel+Vcat，則EL發光器件113不發射光，並且充當電源供應線之電源驅動線PSL變成充當驅動電晶體之TFT 111的源極。此時，發光器件113之陽極，即第一節點ND111，係充電至負側電壓Vss，如圖34E中所見。

另外，如圖34A、34C、34D、34E及37中所見，當位於信號線SGL之電位變成等於偏移信號位準Vofs，將閘極脈

衝GP設定為高位準以開啟TFT 112，從而將位於TFT 111之閘極電位設定為偏移信號位準Vofs。

此時，TFT 111之閘極-源極電壓假定(Vofs-Vss)值。若TFT 111之閘極-源極電壓(Vofs-Vss)不等於或高於，即低於臨界電壓Vth，則可不執行臨界值校正運作。因此，需要設定TFT 111之閘極-源極電壓，即(Vofs-Vss)，高於TFT 111之臨界電壓Vth，即將閘極-源極電壓設定成滿足Vofs-Vss>Vth。

接著，在臨界值校正運作中，將欲施加於電源驅動線PSL之電源信號PSG再次設定為電源供應電壓Vcc。

若將到達電源驅動線PSL之電源信號PSG設定為電源供應電壓Vcc，發光器件113之陽極，即第一節點ND111，用作TFT 111之源極，並且電流流入節點ND111，如圖38中所見。

由於發光器件113之等效電路係由如圖38中所見之二極體及電容器代表，只要滿足關係Vel≤Vcat-Vthel，即只要發光器件113之洩漏電流明顯低於流經TFT 111之電流，TFT 111之電流用於給電容器C111及電容器Cel充電。

此時，橫跨電容器Cel之電壓Vel隨時間過去而上升，如圖39中所見。在固定時間週期流逝後，TFT 111之閘極-源極電壓假定臨界電壓Vth之值。此時，滿足Vel=Vofs-Vth≤Vcat+Vthel。

在臨界值消除運作結束後，將位於信號線SGL之電位設定為一狀態內之資料信號位準Vsig，其中TFT 112開啟，

如圖34A、34C及40中所見。資料信號Vsig具有對應於梯度之值。此時，由於TFT 112開啟，TFT 111之閘極電位等於資料信號位準Vsig，如圖34D中所見。然而，由於電流Ids從充當電源供應線之電源驅動線PSL流動，TFT 111之源極電位隨時間過去而上升。

此時，若TFT 111之源極電壓不超過發光器件113之臨界值電壓Vthel與參考電壓Vcat之總和，即若發光器件113之洩漏電流明顯低於流經TFT 111之電流，則流經TFT 111之電流用於給電容器C111及電容器Cel充電。

此時，由於TFT 111之臨界值校正運作已完成，從TFT 111供應之電流具有反映遷移率μ之值。

更特定言之，若遷移率μ較高，則此時之電流數量較大，且源極電壓快速上升，如圖41中所見。相反，若遷移率μ較低，則電流數量較小且源極電壓緩慢上升。因此，TFT 111之閘極-源極電壓變得較低，其反映遷移率μ，並且在固定時間間隔流逝後，閘極-源極電壓完全變得等於用於校正遷移率之閘極-源極電壓Vgs。

最後，將閘極脈衝GP改變為低位準，以關閉TFT 112，從而結束寫入並使發光器件113發射光，如圖34A及34C及42所見。

由於TFT 111之閘極-源極電壓固定，TFT 111供應固定電流Ids至發光器件113，並且電壓Vel上升至電壓Vx，此處電流Ids流向發光器件113。因此，發光器件113發射光。

另外，在本像素電路101中，隨著光發射週期增加，發

光器件113之I-V特徵變更。因此，圖42之點B(即位於第一節點ND111)內的電位亦變更。然而，由於TFT 111之閘極-源極電壓係保持在固定值，流經發光器件113之電流不會變更。因此，即使發光器件113之I-V特徵劣化，電流Ids通常繼續流動，因此發光器件113之光度不會變更。

在依此方式驅動之像素電路中，由於其具有依據上述第一至第十一對策範例的任何此類組態，可獲得高圖像品質之影響，其不受陰影、條紋不均勻性等之影響。

應注意，可以各種方式選擇上述第一至第十一對策範例。特定言之，可應用全部或可選擇性地應用一個或複數個。

本發明之第一具體實施例的前述說明中，第一至第十一對策範例係針對有效改善具有圖8之電路的顯示裝置100之圖像品質的對策而加以說明，即包括兩個電晶體及一個電容器之2Tr+1C像素電路。

然而，雖然第一至第十一對策範例對於具有2Tr+1C像素電路之顯示裝置100很有效，亦可將此類對策應用於包括一像素電路之顯示裝置，該像素電路不僅包括串聯連接至OLED之驅動電晶體及切換電晶體，亦包括用於分離地提供遷移率消除或臨界值消除的TFT。

下文中，具有5Tr+1C像素電路之顯示裝置的一組態之範例係說明為本發明之第二具體實施例，其包括五個電晶體及一個電容器，其係來自可應用第一至第十一對策範例之此類顯示器電路。

圖43顯示有機EL顯示裝置之組態，其採用依據本發明之第二具體實施例的像素電路。同時，圖44顯示依據本具體實施例之像素電路的特定組態。

參考圖43及44，顯示之顯示裝置200包括像素陣列區段202，其中將像素電路201排列於m×n矩陣內，水平選擇器(HSEL)203、寫入掃描器(WSCN)204、驅動掃描器(DSCN)205、第一自動零電路(AZRD1)206、及第二自動零電路(AZRD2)207。顯示裝置200進一步包括信號線SGL，其係藉由水平選擇器203選擇並依據光度資訊供應以資料信號，掃描線WSL，其充當藉由寫入掃描器204選擇性驅動之第二驅動線路，以及驅動線路DSL，其充當藉由驅動掃描器205選擇性驅動之第一驅動線路。顯示裝置200進一步包括第一自動零線AZL1，其充當藉由第一自動零電路206選擇性驅動之第四驅動線路，以及第二自動零線AZL2，其充當藉由第二自動零電路207選擇性驅動之第三驅動線路。

依據本具體實施例之像素電路201包括p通道TFT 211、n通道TFT 212至215、電容器C211、發光器件216，其係由有機EL發光器件(OLED：電子光學器件)形成，第一節點ND211、及第二節點ND212。

第一切換電晶體係由TFT 211形成，第二切換電晶體係由TFT 213形成。另外，第三切換電晶體係由TFT 215形成，第四切換電晶體係由TFT 214形成。

應注意，電源供應電壓Vcd之供應線，即電源供應電

位，對應於第一參考電位，接地電位GND對應於第二參考電位。另外，電位Vss1對應於第四參考電位，電位Vss2對應於第三參考電位。

像素電路201中，充當驅動電晶體之TFT 211、TFT 212、第一節點ND211及發光器件(OLED)216係串聯連接於第一參考電位(其在本具體實施例中係電源供應電壓Vcc)與第二參考電位(其係本具體實施例中係接地電位GND)之間。更特定言之，發光器件216係在其陰極處連接至接地電位GND，並在其陽極處連接至第一節點ND211，而TFT 212係在其源極處連接至第一接點ND211。另外，TFT 212係在其汲極處連接至TFT 211之汲極，而TFT 211係在其源極處連接至電源供應電壓Vcc。

TFT 212係在其閘極處連接至第二節點ND212，TFT 211係在其閘極處連接至驅動線DSL。

TFT 213係在其汲極處連接至TFT 211及電容器C211之第一電極，並在其源極處連接至第三電位Vss2。TFT 213在其閘極處連接至第二自動零線AZL2。另外，電容器C211係在其第二電極處連接至第二節點ND 112。

TFT 214係在其源極及汲極處連接至信號線SGL及第二節點ND112，並位於兩者間。TFT 214係在其閘極處連接至掃描線WSL。

另外，TFT 215係在其源極及汲極處連接至第二節點ND212及第四電位Vss1。TFT 215在其閘極處連接至第一自動零線AZL1。

依次方式，依據本具體實施例之像素電路201係組態成充當像素電容器之電容器C211係連接於充當驅動電晶體之TFT 212之閘極與源極間，並且位於TFT 212之源極電位係透過充當切換電晶體之TFT 213在非發光週期內連接至固定電位，同時TFT 212之閘極及汲極係彼此連接以執行臨界電壓Vth之校正。

另外，本第二具體實施例中，將用於改善第一具體實施例之前述說明中所述圖像品質的任何第一至第十一對策應用於來自掃描線WSL、驅動線DSL及自動零線AZL1及AZL2或兩個或更多或全部掃描線WSL、驅動線DSL自動零線AZL1及AZL2的掃描線WSL及驅動線DSL之一。

藉由應用期望之一或多個對策，對因線路電阻或線路電容源自驅動信號或脈衝之延遲的陰影、條紋不均勻性等等之對策在整個系統中加以執行。因此，可獲得高圖像品質影像，其不受陰影、條紋不均勻性等之出現的影響。

現在，參考圖45A至45F說明上述組態之操作，特定言之係像素電路。

應注意，圖45A說明施加於驅動線DSL之驅動信號DS；圖45B係施加於掃描線WSL之驅動信號WS，其對應於第一具體實施例內之閘極脈衝GP；圖45C係施加於第一自動零線AZL1之驅動信號AZ1；圖45D係施加第二自動零線AZL2之自動零信號AZ2；圖45E係位於第二節點ND112之電位；圖45F係位於第一節點ND111之電位。

藉由驅動掃描器205到達驅動線DSL之驅動信號DS係保

持在較高位準，藉由寫入掃描器204到達掃描線WSL之驅動信號WS係保持在較低位準。另外，藉由第一自動零電路206到達自動零線ZAL1之驅動信號AZ1係保持在較低位準，藉由第二自動零電路207到達自動零線ZAL2之驅動信號AZ2係保持在較高位準。

因此，TFT 213呈現開啟狀態，電流流經TFT 213。因此，TFT 212之源極電位Vs，即位於第一節點ND211之電位下降至第三電位Vss2。因此，施加於EL發光器件216之電壓亦變為0 V，而EL發光器件216不發射光。

此實例中，即使開啟TFT 214，保持於TFT 211內之電壓，即TFT 212之閘極電位，不會變更。

接著，在EL發光器件216之非發光週期內，在將到達第二自動零線AZL2之驅動信號AZ2保持在較高位準時，將到達第一自動零線AZL1之驅動信號AZ1設定為較高位準，如圖45C及45D中所見。因此，位於第二節點ND212之電壓變為電位Vss1。

接著，將到達自動零線AZL2之驅動線AZ2改變至較低位準，以及將藉由驅動掃描線205到達驅動線DSL之驅動信號DS改變至並保持於較低位準達預定時間週期。

因此，在開啟TFT 215及212的同時關閉TFT 213。因而，流經TFT 212及211之路徑的電流及第一節點ND111之電位上升。

接著，將藉由驅動掃描器205到達驅動線DSL的驅動信號DS改變至較高位準，並將驅動信號AZ1改變至較低位

準。

作為上述運作之結果，執行充當驅動電晶體之TFT 212的臨界電壓Vth之校正，並且TFT 212與第一節點ND211之間的電位差變成等於臨界電壓Vth。

在此狀態中預定時間間隔過去後，將藉由寫入掃描器204到達掃描線WSL之驅動信號WS保持在較高位準達預定時間週期，並將資料從資料線寫入第二節點ND212。另外，在驅動信號WS保持較高位準之週期內，將藉由驅動掃描器205到達驅動線DSL的驅動信號DS改變至較高位準，並將驅動信號WS快速改變至較低位準。

此時，開啟TFT 212並關閉TFT 214，以執行遷移率校正。

此實例中由於TFT 214處於關閉狀態，TFT 212之閘極-源極電壓固定，TFT 212供應固定電流Ids至發光器件216。因此，位於第一節點ND211之電位上升至電壓Vx，在此電壓下電流Ids流經發光器件216，並且發光器件216發射光。

此處，同樣在本電路中，隨著EL發光器件之發光週期增加，EL發光器件之電流-電壓(I-V)特徵變更。因此，位於第一節點ND211之電位亦變更。然而，由於TFT 212之閘極-源極電壓Vgs係保持在固定值，流經發光器件216之電流不會變更。所以，即使發光器件216之I-V特徵劣化，電流Ids繼續流動，因此發光器件216之光度不會變更。

在依次方式驅動之像素電路中，由於對因線路電阻由驅

動信號或脈衝之延遲引起的陰影及條紋不均勻性的對策係應用於整個系統，可獲得高圖像品質影像，其不受陰影、條紋不均勻性等之影響。

雖然已使用特定術語說明本發明之具體實施例，此類說明僅用於說明性目的，應瞭解可作出變化及變更，而不背離以下申請專利範圍之精神或範疇。

【圖式簡單說明】

圖1係顯示典型有機EL顯示裝置之一般組態的方塊圖；

圖2係顯示圖1所示之像素電路的一組態之範例的電路圖；

圖3係說明有機EL發光器件之電流-電壓(I-V)特徵的長期變化之圖式；

圖4係顯示一像素電路之電路圖，其中藉由n通道TFT取代圖2所示之電路的p通道TFT；

圖5係說明充當驅動電晶體之TFT及初始狀態中之EL發光器件的操作點之圖式；

圖6係說明由線路電阻導致之缺點的電路圖；

圖7係顯示有機EL顯示裝置之組態的方塊圖，其採用依據本發明之第一具體實施例的像素電路；

圖8係顯示圖7之有機EL顯示裝置之像素電路的特定組態之電路圖；

圖9A至9C係說明圖8之像素電路的基本運作之時序表；

圖10係圖8之像素電路之部分的示意性平面圖及斷面圖，其說明用於改善圖像品質等之對策的第一範例；

圖11係顯示一組態之示意性平面圖及斷面圖，其中將電容器置放於一位置，此處其沿該等層之堆疊方向與掃描線或閘極線重疊，作為圖10之像素電路的比較範例；

圖12係像素之部分的平面圖，其中掃描線或閘極線係在與TFT之閘極電極相同之層內由材料與TFT之閘極電極相同的高電阻線路形成，而未應用依據本發明之第一具體實施例的對策；

圖13A至13D係說明脈衝劣化之時序表，其中未應用依據本發明之第一具體實施例的對策之像素電路按圖9內所說明之時序運作；

圖14A至14C係說明不同於圖9A至9C的圖8之像素電路之運作的時序表；

圖15A至15D係說明脈衝劣化之時序表，其中未應用依據本發明之第一具體實施例的對策之像素電路按圖14內所說明之時序運作；

圖16A至16D係說明脈衝劣化之時序表，其中未應用依據本發明之第一具體實施例的對策之像素電路按圖14內所說明之時序運作；

圖17係圖8之像素電路之部分的示意性平面圖及斷面圖，其說明用於改善圖像品質等之對策的第二範例；

圖18係圖8之像素電路之部分的示意性平面圖及斷面圖，其說明用於改善圖像品質等之對策的第三範例；

圖19係圖8之像素電路之部分的示意性斷面圖，其說明用於改善圖像品質等之對策的第四範例；

圖20係圖8之像素電路之部分的示意性斷面圖，其說明用於改善圖像品質等之對策的第五範例；

圖21係一組態之示意性斷面圖，其中將電源供應線置放於充當驅動電晶體之TFT上，作為圖20之像素電路的比較範例；

圖22係顯示圖21之像素電路之等效電路的電路圖；

圖23係圖8之像素電路之部分的示意性斷面圖，其說明用於改善圖像品質等之對策的第六範例；

圖24係一組態之示意性斷面圖，其中將電源供應線置放於充當切換電晶體之TFT上，作為圖23之像素電路的比較範例；

圖25係顯示圖23之像素電路之等效電路的電路圖；

圖26至30係圖8之像素電路之部分的示意性斷面圖，其分別說明用於改善圖像品質等之對策的第七至第十一範例；

圖31係示意圖，其說明EL發光器件之較大發光區域或孔徑可由第十一對策確定之事實；

圖32及33係斷面圖及平面圖，其分別顯示不應用依據本具體實施例之任何對策而形成陰極線的像素之部分；

圖34A至34E係說明圖8之像素電路的特定運作之時序表；

圖35係說明圖8之像素電路在特定發光週期內的運作之電路圖；

圖36係說明圖8之像素電路在將電壓設定為電源供應電

壓的非發光週期內之運作的電路圖；

圖37係說明輸入偏移信號時圖8之像素電路的運作之電路圖；

圖38係說明圖8之像素電路在將電壓設定為電源供應電壓時之運作的電路圖；

圖39係電路圖，其說明圖8之像素電路的運作並特別說明在將電壓設定於電源供應電壓時驅動電晶體之源極電壓的轉換；

圖40係電路圖，其說明圖8之像素電路的運作，特別係在其中將資料信號寫入像素電路之狀態中；

圖41係電路圖，其說明圖8之像素電路的運作並特別說明回應遷移率大小的電晶體之源極電壓的轉換；

圖42係說明圖8之像素電路的運作之電路圖，特定言之係在發光狀態中；

圖43係顯示有機EL顯示裝置之組態的方塊圖，其採用依據本發明之第二具體實施例的像素電路；

圖44係顯示依據本發明之第二具體實施例的像素電路之特定組態的電路圖；以及

圖45A至45F係說明圖44之像素電路的基本運作之時序表。

【主要元件符號說明】

1	顯示裝置
2	像素陣列區段
2a	像素電路

2b	像素電路
3	水平選擇器
4	寫入掃描器
11	p通道薄膜場效電晶體
12	TFT
13	有機EL發光器件
21	n通道TFT
22	n通道TFT
23	有機EL發光器件
40	緩衝器
41	線路
100	顯示裝置
101	像素電路
102	像素陣列區段
103	水平選擇器
104	寫入掃描器
105	電源驅動掃描器
111	p通道TFT
112	n通達TFT
113	發光器件
114	第一線路層
115	層間絕緣膜
116	接點
117	第一線路層

118	閘極絕緣膜
119	接點
120	接點
121	接點
122	低電阻線路層
123	平坦膜
125	陽極電極
131	透明絕緣基板
132	閘極絕緣膜
133	閘極電極
134	半導體膜
135	n^+擴散層
136	n^+擴散層
137	STO
138	層間絕緣膜
139a	接觸孔
139b	接觸孔
140	源極電極
141	汲極電極
142	絕緣膜
142a	接點
143	陰極線路層
145	陰極低電阻線路層
146	接點

147	陰極觸點
148	EL發光器件材料層
149	絕緣層
150	陰極電極
200	顯示裝置
201	像素電路
202	像素陣列區段
203	水平選擇器
204	寫入掃描器
205	驅動掃描器
206	第一自動零電路
207	第二自動零電路
211	TFT
212	n通道TFT
213	TFT
214	TFT
215	n通道TFT
216	發光器件
C11	電容器
C111	電容器
C21	電容器
C211	電容器
Cel	電容器
GT	閘極

ND111	第一節點
ND112	第二節點
ND211	第一節點
ND212	第二節點
PSG	電源信號
PSL	電源驅動線
PSL101	電源驅動線
PSL10m	電源驅動線
SGL	信號線
SGL1	信號線/資料線
SGL101	信號線
SGL10n	信號線
SGLn	信號線/資料線
SIN	輸入信號
Vofs	偏移信號
Vsig	資料信號
WSL	掃描線
WSL1	掃描線
WSL101	掃描線
WSL10m	掃描線
WSLm	掃描線

十、申請專利範圍：

101年11月13日修正劃線頁(本)

1. 一種像素電路，其包含：

至少一個電晶體，其導電狀態係由藉由一控制端子接收之一驅動信號所控制；

一驅動線路，該驅動線路由一相對低阻抗之材料形成於一電源供應線路層中，該驅動信號係傳播至該驅動線路，該電晶體之該控制端子係由一相對高阻抗之材料形成於不同於該電源供應線路之一層中，且連接至該驅動線路；以及

一線路，其形成於不同於該電源供應線路層之一第一線路層之一堆疊方向；其中

該驅動線路係連接至該線路，以便形成一多層線路，該多線層路包含

該電源供應線路層；

該第一線路層；以及

一層間絕緣膜，其配置於該電源供應線路層與該第一線路層之間。

2. 如請求項1之像素電路，其進一步包含：

一第二線路，該第二線路係由一相對高阻抗之材料形成於一第二線路層中，其係提供於與用於該電晶體之該控制端子之一線路層相同之層內，其不同於該電源供應線路層及該第一線路層於該等層之堆疊方向；其中

該第二線路連接至該驅動線路與該線路，以便形成該多層線路，該多層線路具有一第二層間絕緣層，其插入

於該第二線路層、該電源供應線路層以及該第一線路層間。

3. 如請求項1之像素電路：其中

該第一線路層係提供於與用於該電晶體之該控制端子的一線路層相同之層內，該第一線路層不同於該電源供應線路層於該等層之堆疊方向，且該線路係由一相對高阻抗之材料形成。

4. 一種像素電路，其包含：

一電源供應線，其形成於一電源供應線路層，可對該電源供應線施加彼此不同之電壓；

一參考電位；

一驅動線路，該驅動線路係由一相對低阻抗之材料形成於一電源供應線路層中，一驅動信號傳播至該驅動線路；

一發光器件，其經組態用以發射具有取決於流動電流之光度之光；

一驅動電晶體；

一切換電晶體，其係連接於一信號線與該驅動電晶體之該閘極之間，並在該閘極處連接至該驅動線路，以便藉由該驅動信號控制該導電狀態，該切換電晶體之該閘極係由一相對高阻抗之材料形成於在堆疊方向上不同於該電源供應線路層之一層中；以及

一電容器，其係連接於該驅動電晶體之該閘極與該源極之間；

該驅動電晶體及該發光器件係串聯連接於該電源供應線與該參考電位之間；

該驅動線路係連接至該線路，以便形成一多層線路，該多層線路包含

該電源供應線路層；

該第一線路層；以及

一層間絕緣膜，其配置於該電源供應線路層與該第一線路層之間。

5. 如請求項4之像素電路，其進一步包含：

一第二線路，該第二線路係由一相對高阻抗之材料形成於一第二線路層中，其係提供於與用於該切換電晶體之該閘極之一線路層相同之層內，其 不同於該電源供應線線路層及該第一線路層於該等層之堆疊方向；其中

該第二線路連接至該驅動線路與該線路，以便形成該多層線路，該多層線路具有一第二層間絕緣層，其插入於該第二線路層、該電源供應線路層以及該第一線路層間。

6. 如請求項4之像素電路，其進一步包含：其中

該第一線路層係提供於與用於該切換電晶體之該閘極的一線路層相同之層內，其不同於該電源供應線路層於該等層之堆疊方向，且該線路由一相對高阻抗之材料形成。

7. 如請求項4之像素電路，其中該電容器係置放於一移位位置，在該移位位置處該電容器在該層堆疊方向上不與

該驅動線路重疊。

8. 一種顯示裝置，其包含：

複數個像素電路，其經排列為一矩陣並且個別包括至少一個電晶體，該至少一個電晶體之導電狀態係由藉由一控制端子接收之一驅動信號所控制；

至少一個掃描器，其經組態用以將該驅動信號輸出至形成該等像素電路的該電晶體之該控制端子；

至少一個驅動線路，該驅動線路係由一相對低阻抗之材料形成於一電源供應線路層中，該複數個像素電路之該等電晶體的該等控制端子係共同連接至該至少一個驅動線路，並且來自該掃描器之該驅動信號係傳播至該至少一個驅動線路；該等控制端子係由一相對高阻抗之材料形成於一不同於該電源供應線路層之一層中；以及

一線路，其形成於不同於該電源供應線路層之一堆疊方向之一第一線路層；其中該驅動線路係連接至該線路，以便形成一多層線路，該多線層路包含

該電源供應線路層；

該第一線路層；以及

一層間絕緣膜，其配置於該電源供應線路層與該第一線路層之間。

9. 如請求項8之顯示裝置，其進一步包含：

一第二線路，該第二線路係由一相對高阻抗之材料形成於一第二線路層中，其係提供於與用於該電晶體之該控制端子之一線路層相同之層內，其不同於該電源供應

線路層及該第一線路層於該等層之堆疊方向；其中

該第二線路連接至該驅動線路層與該線路，以便形成該多層線路，該多層線路具有一第二層間絕緣層，其插入於該第二線路層、該電源供應線路層以及該第一線路層間。

10. 如請求項8之顯示裝置：其中

該第一線路層係提供於與用於該電晶體之該控制端子的一線路層相同之層內，其不同於該電源供應線路層於該等層之堆疊方向，且該線路係由一相對高阻抗之材料形成。

11. 一種顯示裝置，其包含：

複數個像素電路，其經排列為一矩陣並且個別包括一切換電晶體，該切換電晶體之導電狀態係由接收之一驅動信號所控制；

至少一個掃描器，其經組態用以將該驅動信號輸出至形成該等像素電路的該切換電晶體之該閘極；

至少一個驅動線路，該至少一個驅動線路由一相對低阻抗之材料形成於一電源供應線路層中，該複數個像素電路之該等切換電晶體的該等閘極係共同連接至該至少一個驅動線路，並且來自該掃描器之該驅動信號係傳播至該至少一個驅動線路，該等切換電晶體的該等閘極係由一相對高阻抗之材料形成於一不同於該電源供應線路層之一層中；以及

至少一個電源供應線路，該至少一個電源供應線路形

成於一電源供應線路層中，其係連接至該等像素電路並且可對其施加彼此不同之電壓；以及

一線路，其形成於不同於該電源供應線路層之一第一線路層之一堆疊方向。該等像素電路個別包括

一發光器件，其經組態用以發射具有取決於流動電流之光度之光，

一驅動電晶體，

該切換電晶體係連接於一信號線與該驅動電晶體之該閘極之間，並在該閘極處連接至該驅動線路，以便藉由該驅動信號控制該導電狀態，以及

一電容器，其係連接於該驅動電晶體之該閘極與該源極之間，

該驅動電晶體及該發光器件係串聯連接於該電源供應線與一參考電位之間；

該驅動線路係連接至該線路，以便形成一多層線路，該多層線路包含

該電源供應線路層；

該第一線路層；以及

一層間絕緣膜，其配置於該電源供應線路層與該第一線路層之間。

12. 如請求項11之顯示裝置，其進一步包含：

一第二線路，該第二線路係由一相對高阻抗之材料形成於一第二線路層中，其係提供於與用於該切換電晶體之該閘極之一線路層相同之層內，其 不同於該電源供

應線線路層及該第一線路層於該等層之堆疊方向；其中

該第二線路連接至該該線路與該驅動線路，以便形成該多層線路，該多層線路具有一第二層間絕緣層，其插入於該第二線路層、該電源供應線路層以及該第一線路層間。

13. 如請求項11之顯示裝置，其進一步包含：其中

該第一線路層係提供於與用於該切換電晶體之該閘極的一線路層相同之層內，其不同於該電源供應線路層於該等層之堆疊方向，且該線路係由一相對高阻抗之材料形成。

14. 如請求項11之顯示裝置，其中該等像素電路之該電容器係置放於一移位位置，在該移位位置處該電容器在該層堆疊方向上不與該驅動線路重疊。

15. 一種用於一顯示裝置之製造方法，該顯示裝置包括複數個像素電路，該複數個像素電路係配置為一矩陣並個別包括至少一個電晶體，其導電狀態係由藉由一相對高阻抗之材料所形成的控制端子接收之一驅動信號控制，以及至少一個掃描器，其經組態用以將該驅動信號輸出至形成該等像素電路的該電晶體之該控制端子，該製造方法包含以下步驟：

佈線一線路於一第一線路層，其被提供於與一信號線路層相同之層中；

形成一層間絕緣膜於一絕緣膜層；

佈線一驅動線路，該驅動線路係由一相對低阻抗之材

料形成於一電源供應線路層中，其不同於該第一線路層與該絕緣膜層於一堆疊方向，來自該掃描器之該驅動信號係傳播至該驅動線路；以及

將該驅動線路連接至該第一線路層，以形成一多層線路，其中該連接進一步包含堆疊該電源供應線路層、該絕緣膜層以及該第一線路層以便形成該多層線路，該絕緣膜層位於該電源供應線路層與該第一線路層之間。

16. 如請求項15之用於一顯示裝置之製造方法，進一步包含以下步驟；

佈線一第二線路，該第二線路係由一相對高阻抗之材料形成於一第二線路層中，其係提供於與用於該電晶體之該控制端子之一線路層相同之層內，其不同於該電源供應線路層及該第一線路層於該等層之堆疊方向；以及

形成一第二層間絕緣膜於一第二絕緣膜層；其中

該連接進一步包含連接該驅線路至該第二線路層，以及堆疊該第二線路層與該第二絕緣膜層，以及第二絕緣膜層位於該第二線路層、該第一線路層以及該電力供應線路層之間。

十一、圖式：

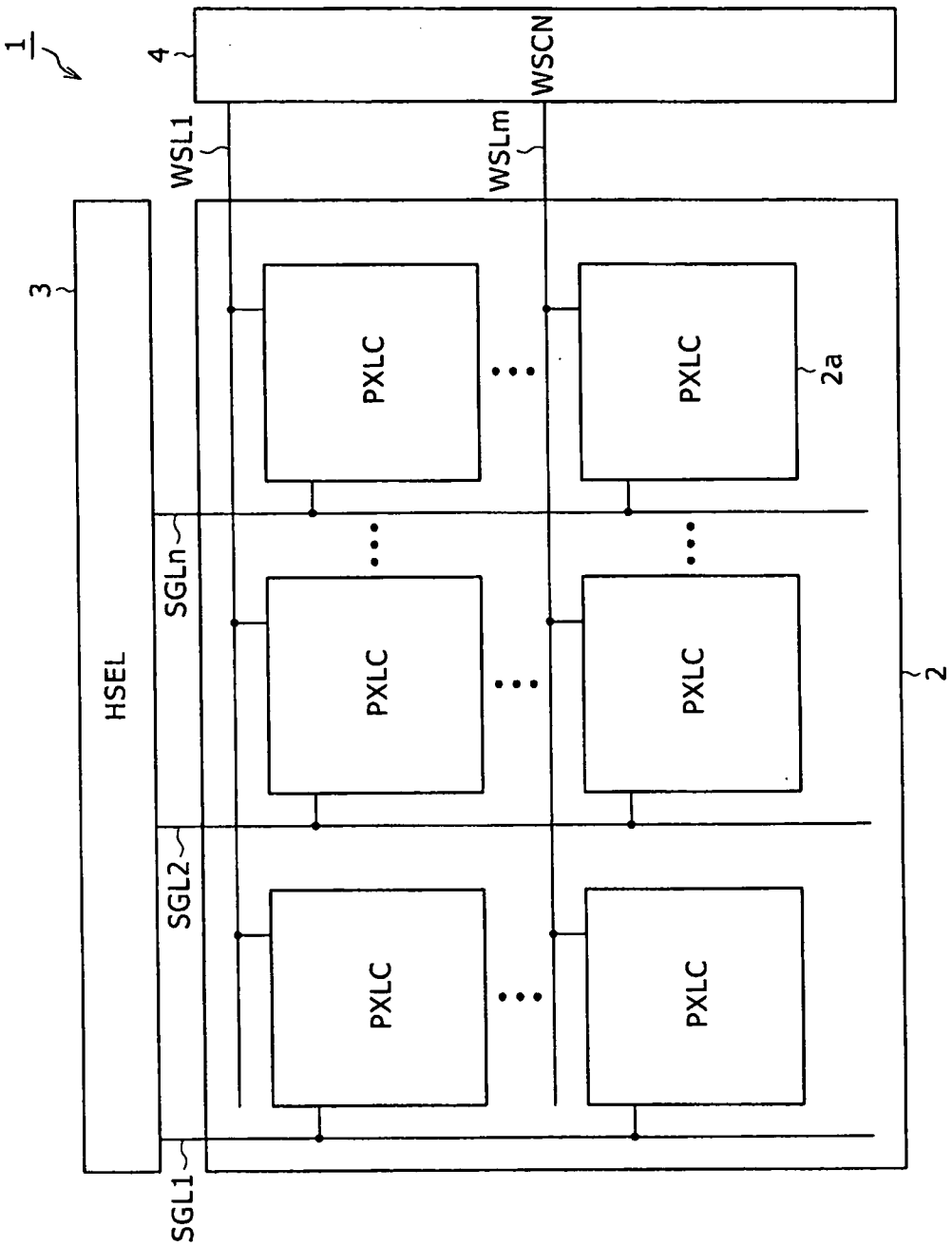


圖 1

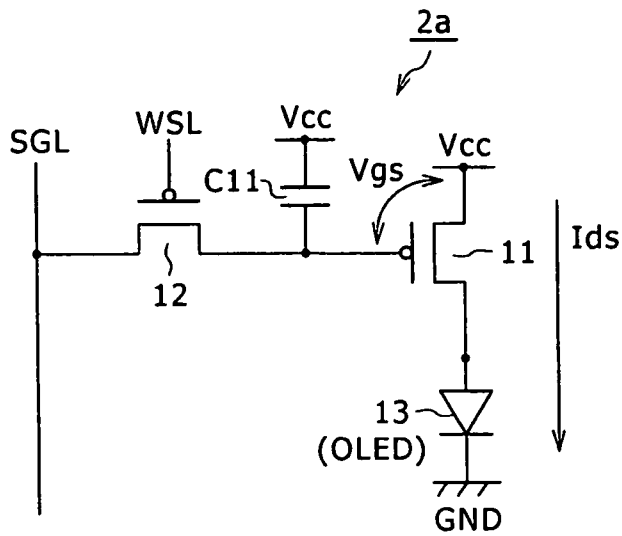


圖 2

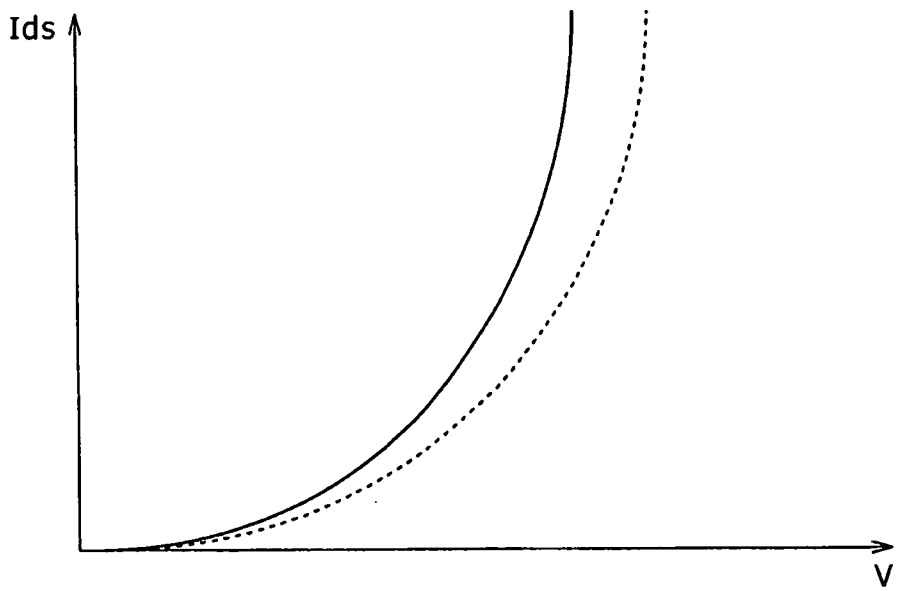


圖 3

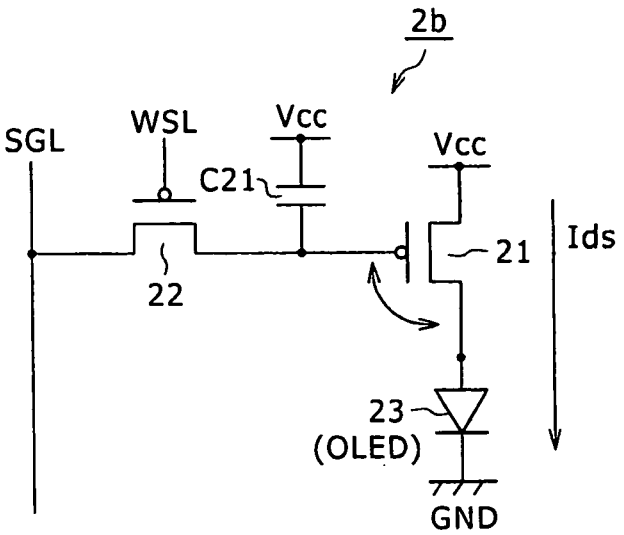


圖 4

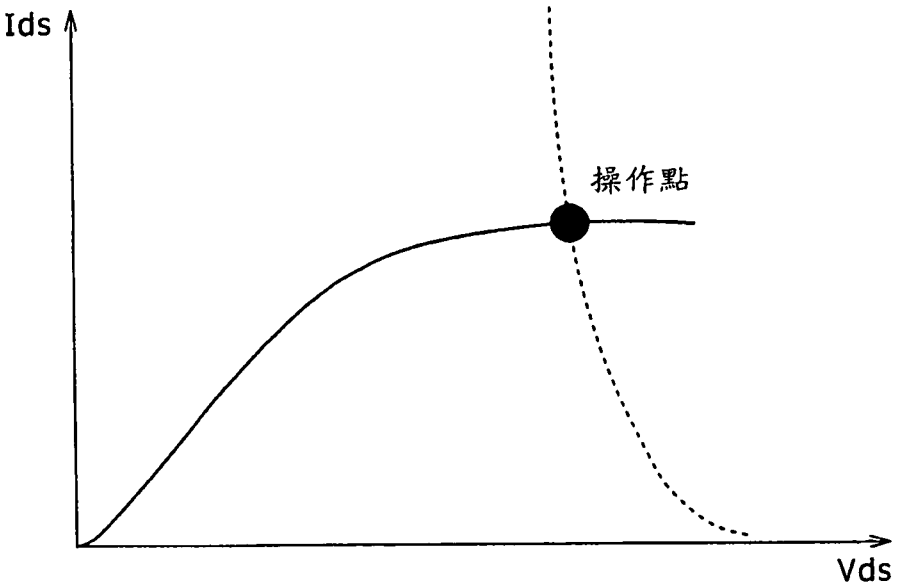


圖 5

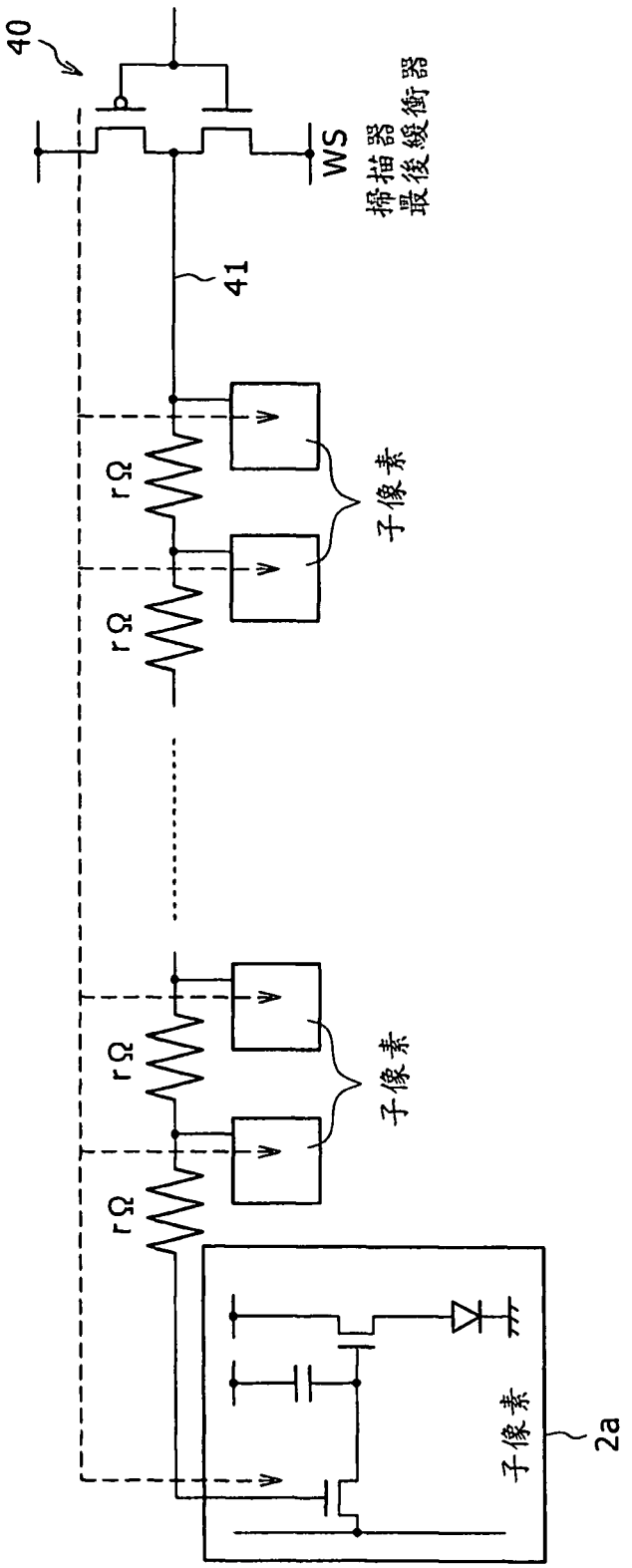


圖 6

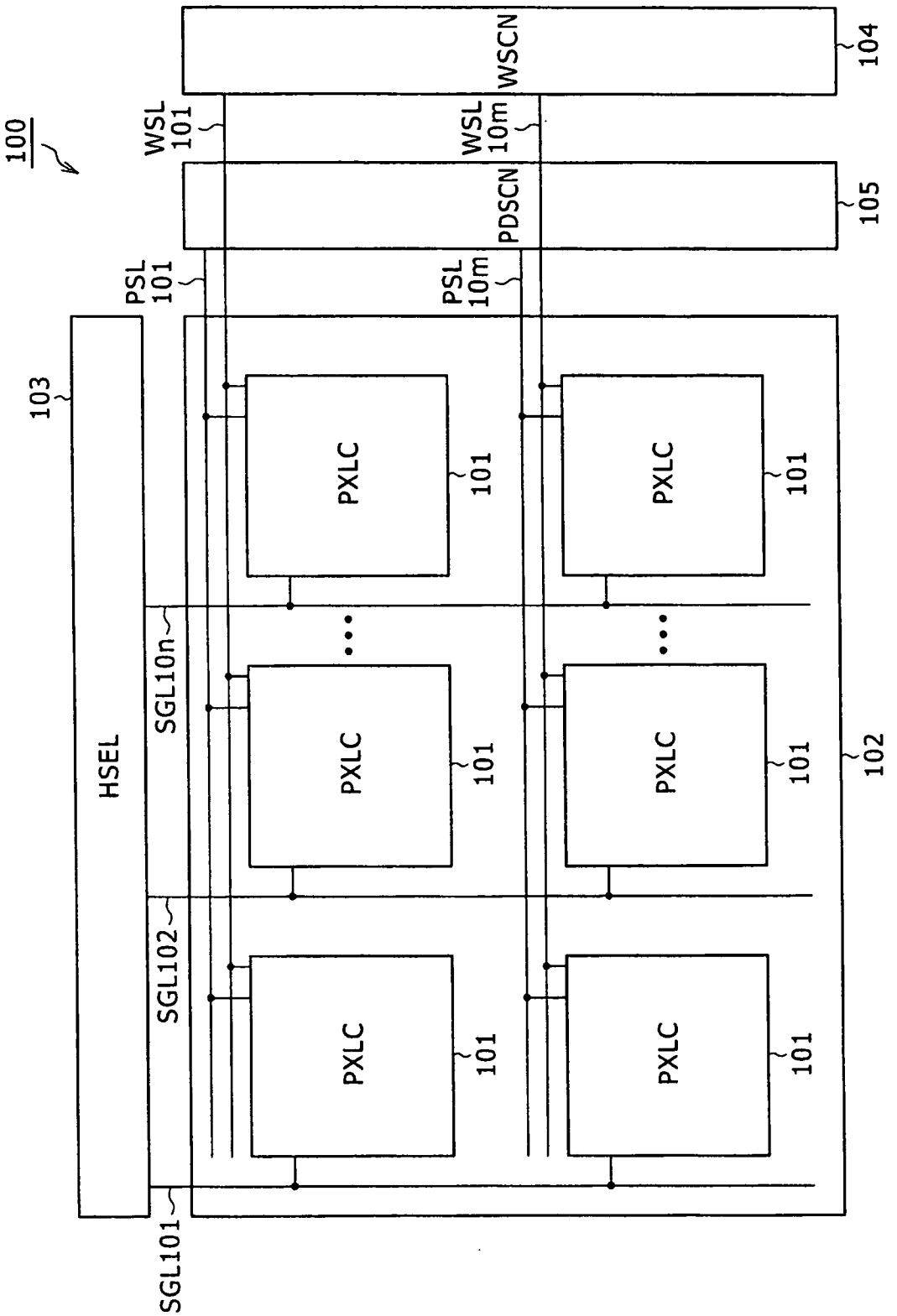

100
WSL 101
WSL 10m
WSCN
104
PDSCN
105
PSL 101
PSL 10m
103
HSEL
SGL10n
SGL102
SGL101
PXLC
101
102

圖 7

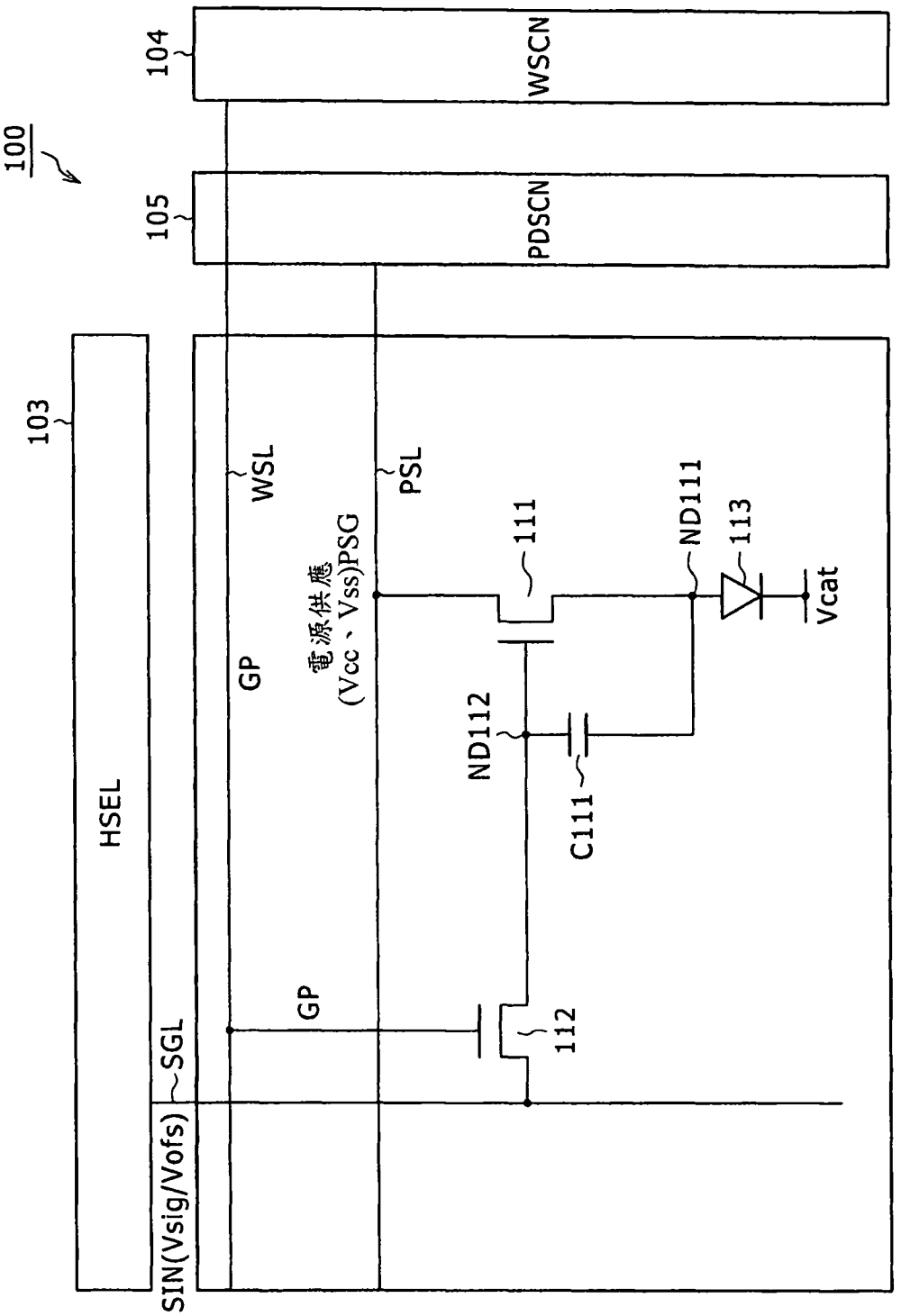

100
104
WSCN
105
PDSCN
103
HSEL
SIN(Vsig/Vofs)
SGL
GP
WSL
GP
電源供應
(Vcc、Vss)PSG
PSL
111
ND111
113
Vcat
ND112
C111
112

圖 8

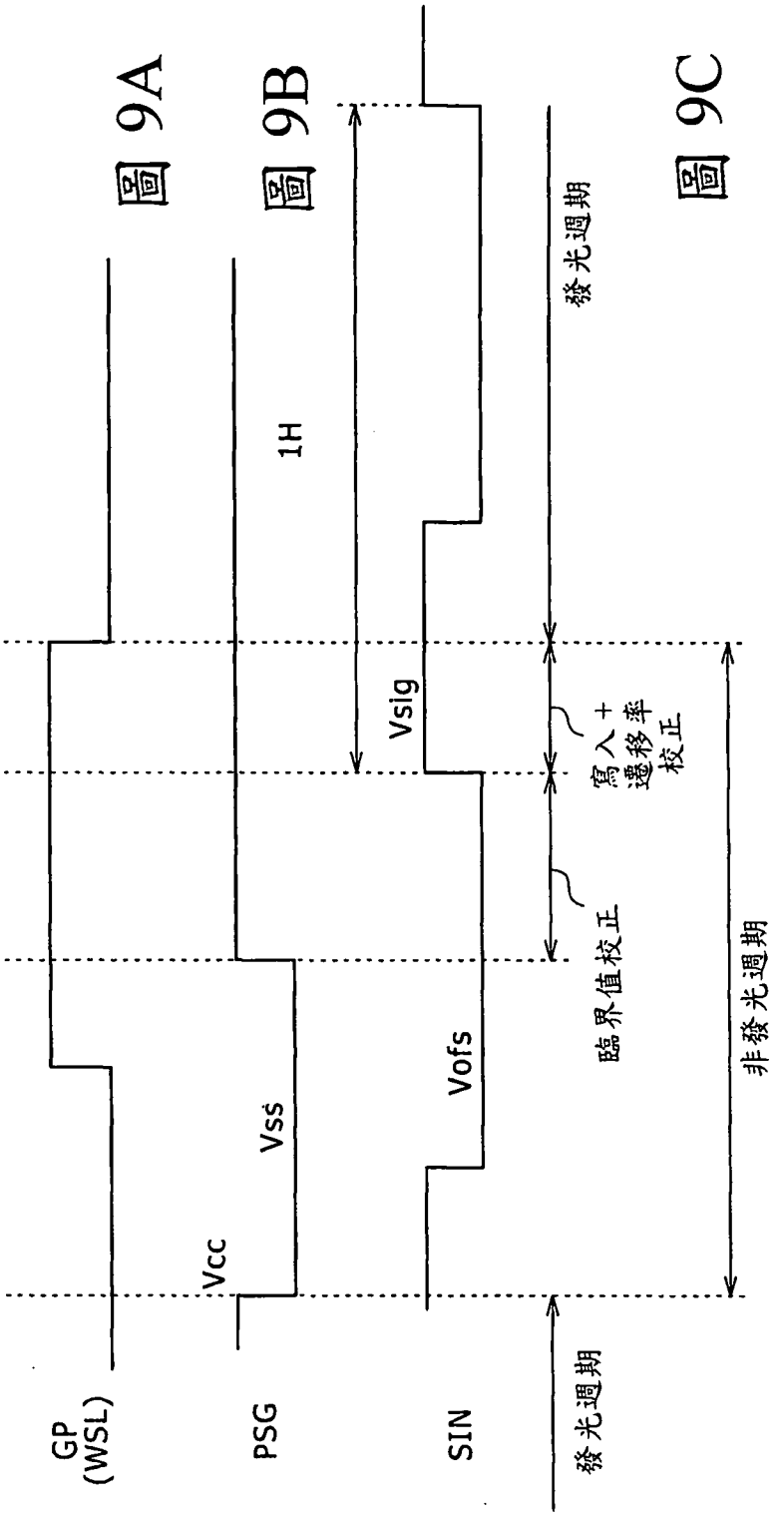

GP
(WSL)
PSG
SIN
Vcc
Vss
Vofs
Vsig
1H
發光週期
臨界值校正
寫入+
遷移率
校正
發光週期
非發光週期

圖 9A

圖 9B

圖 9C

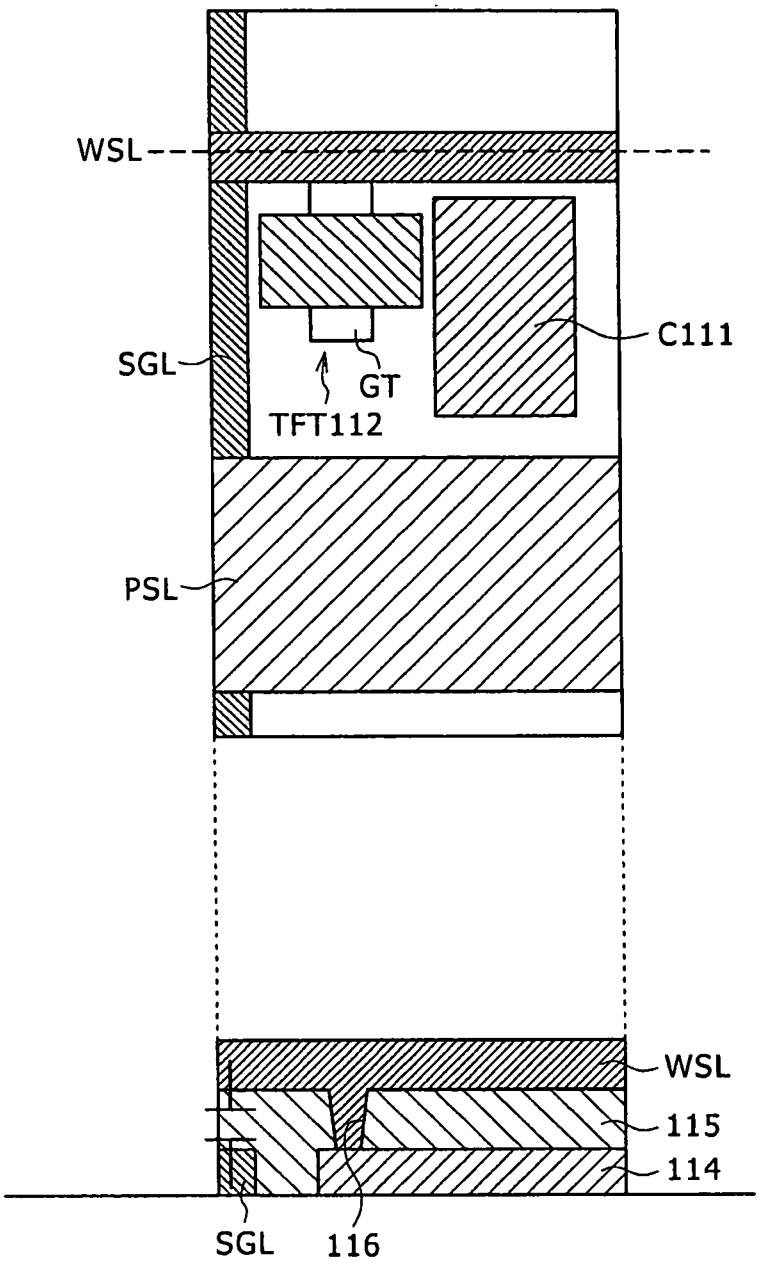


圖 10

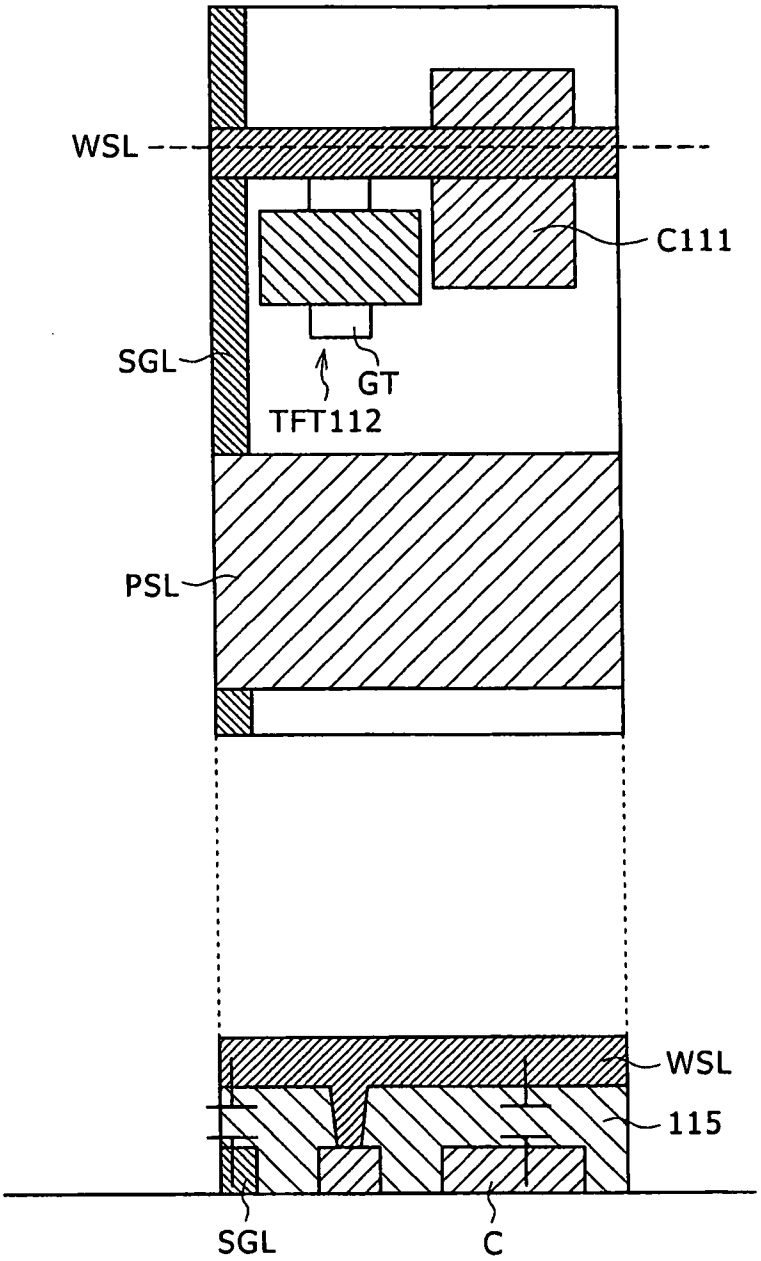


圖 11

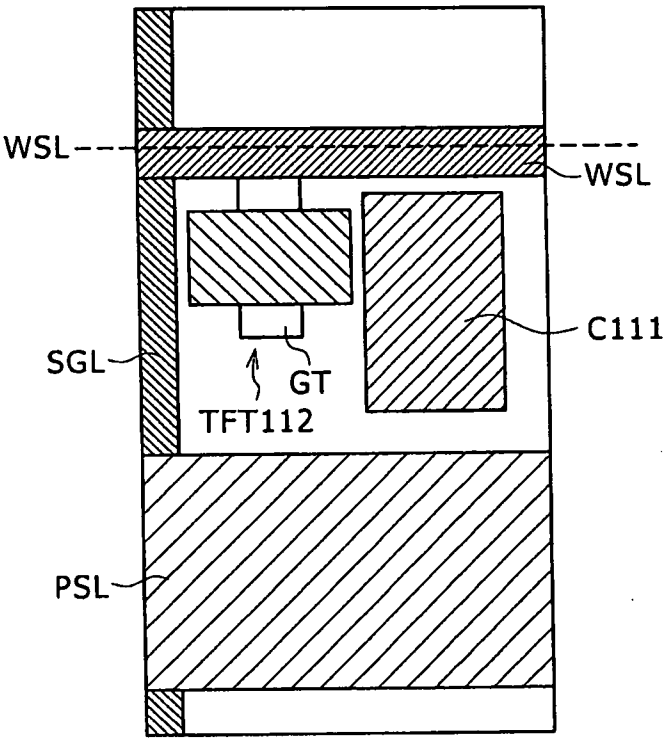


圖 12

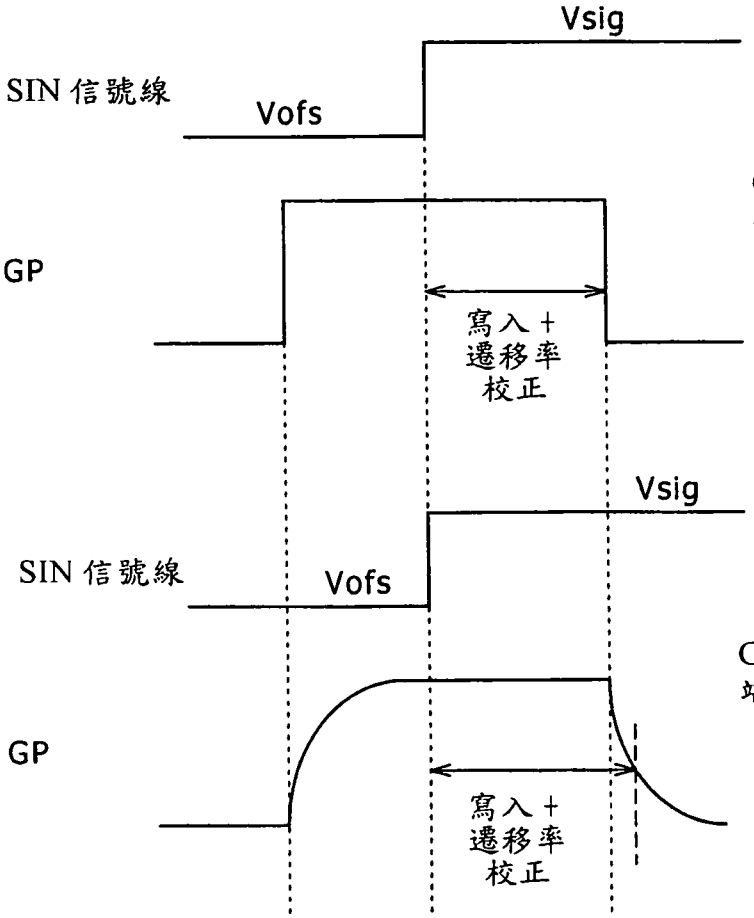


圖 13A

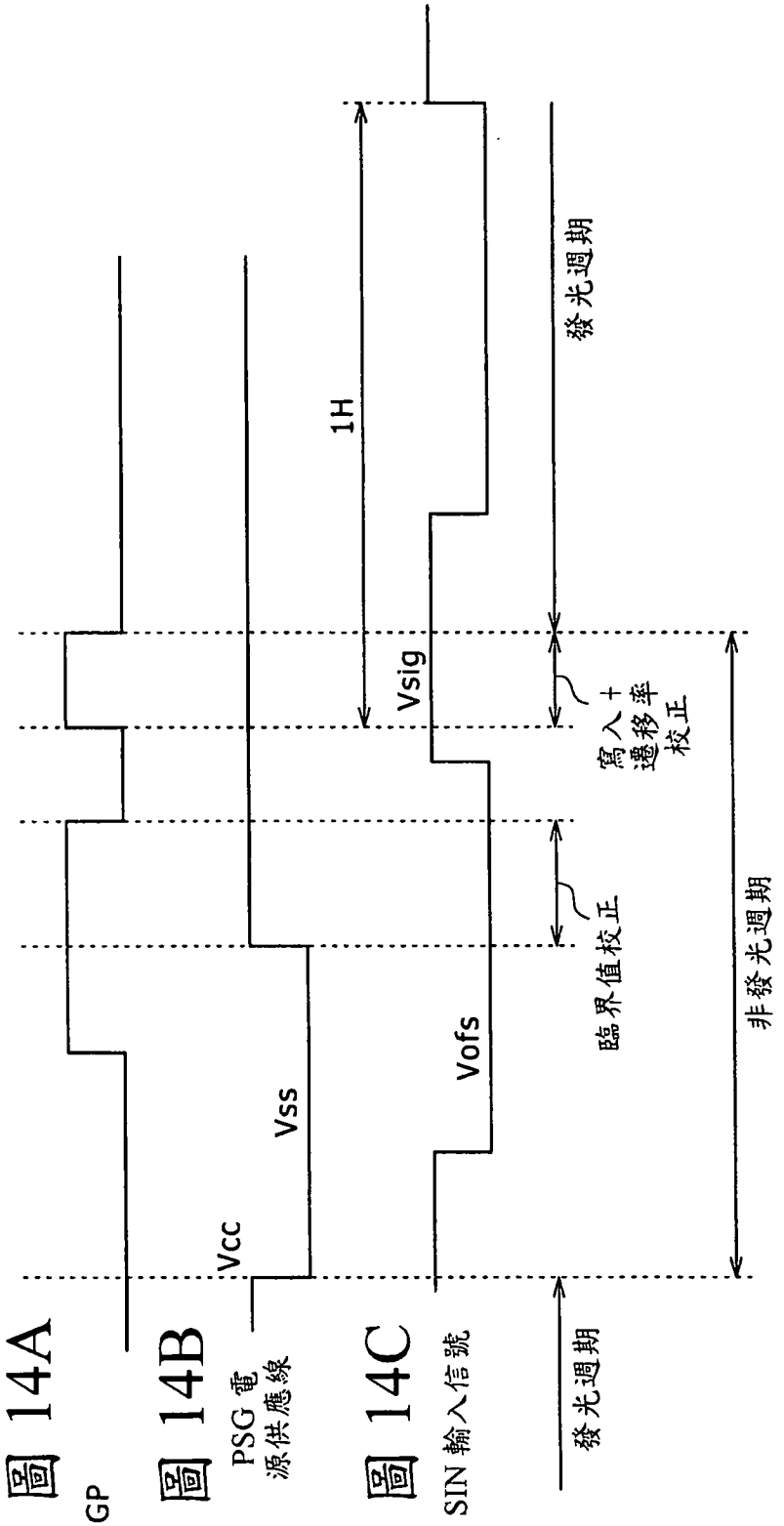
圖 13B

圖 13C

圖 13D

寫入週期

GP 輸出端遠端側 > GP 輸出端側


圖 14A
GP
圖 14B
PSG 電源供應線
Vcc
Vss
圖 14C
SIN 輸入信號
Vofs
Vsig
1H
發光週期
寫入+遷移率校正
臨界值校正
非發光週期
發光週期

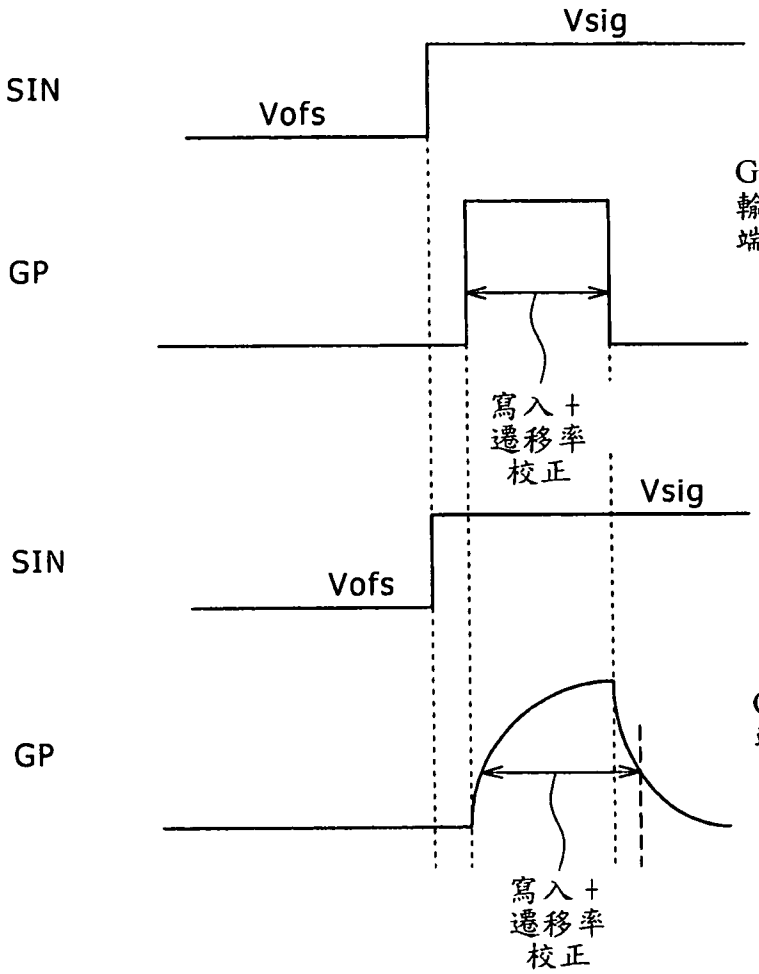


圖 15A

圖 15B

圖 15C

圖 15D

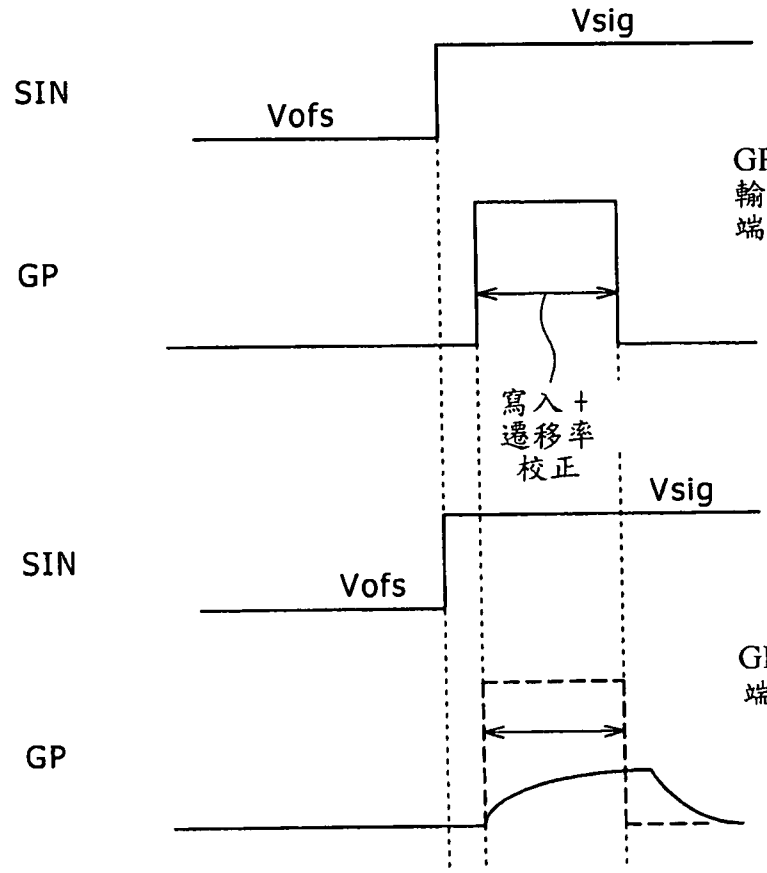


圖 16A

圖 16B

圖 16C

圖 16D

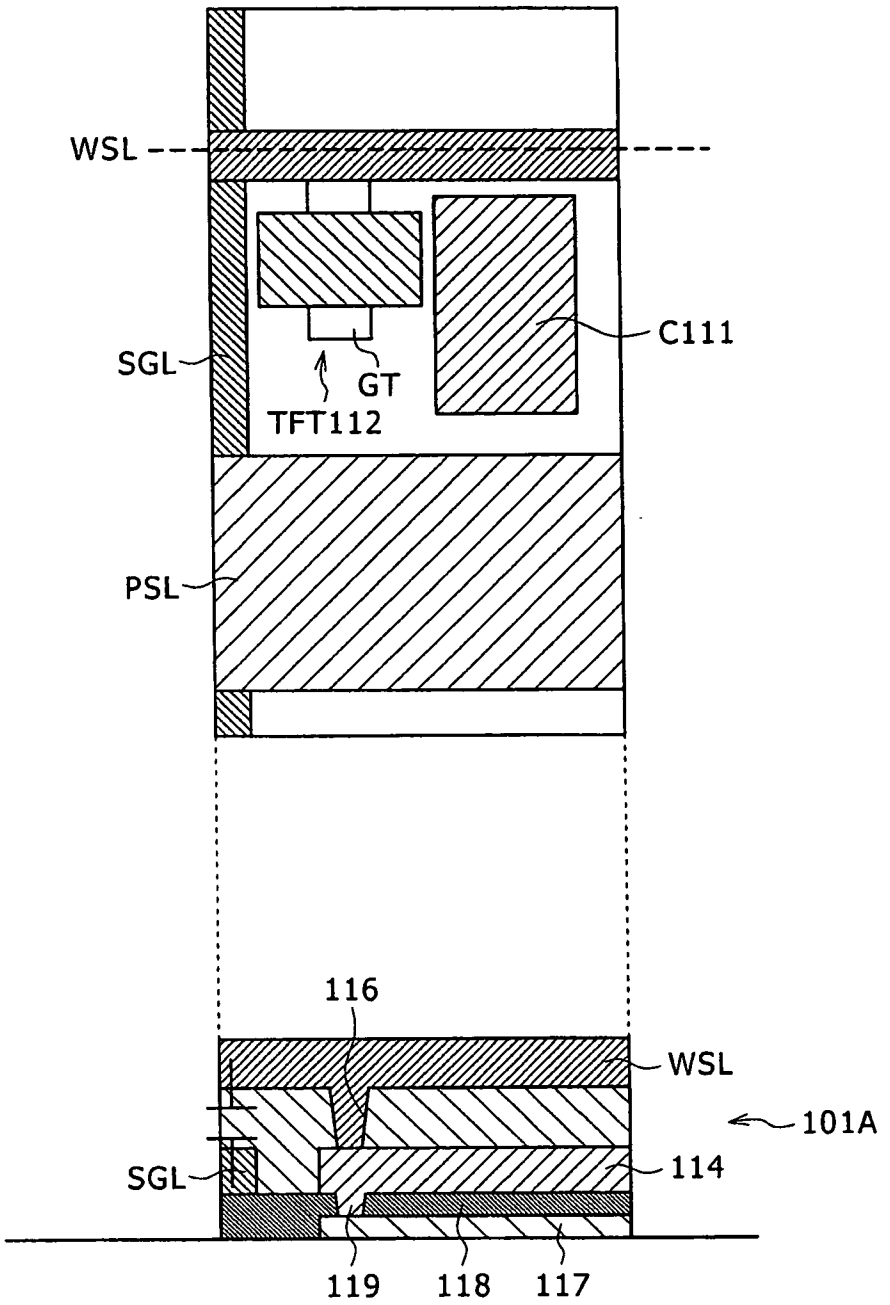


圖 17

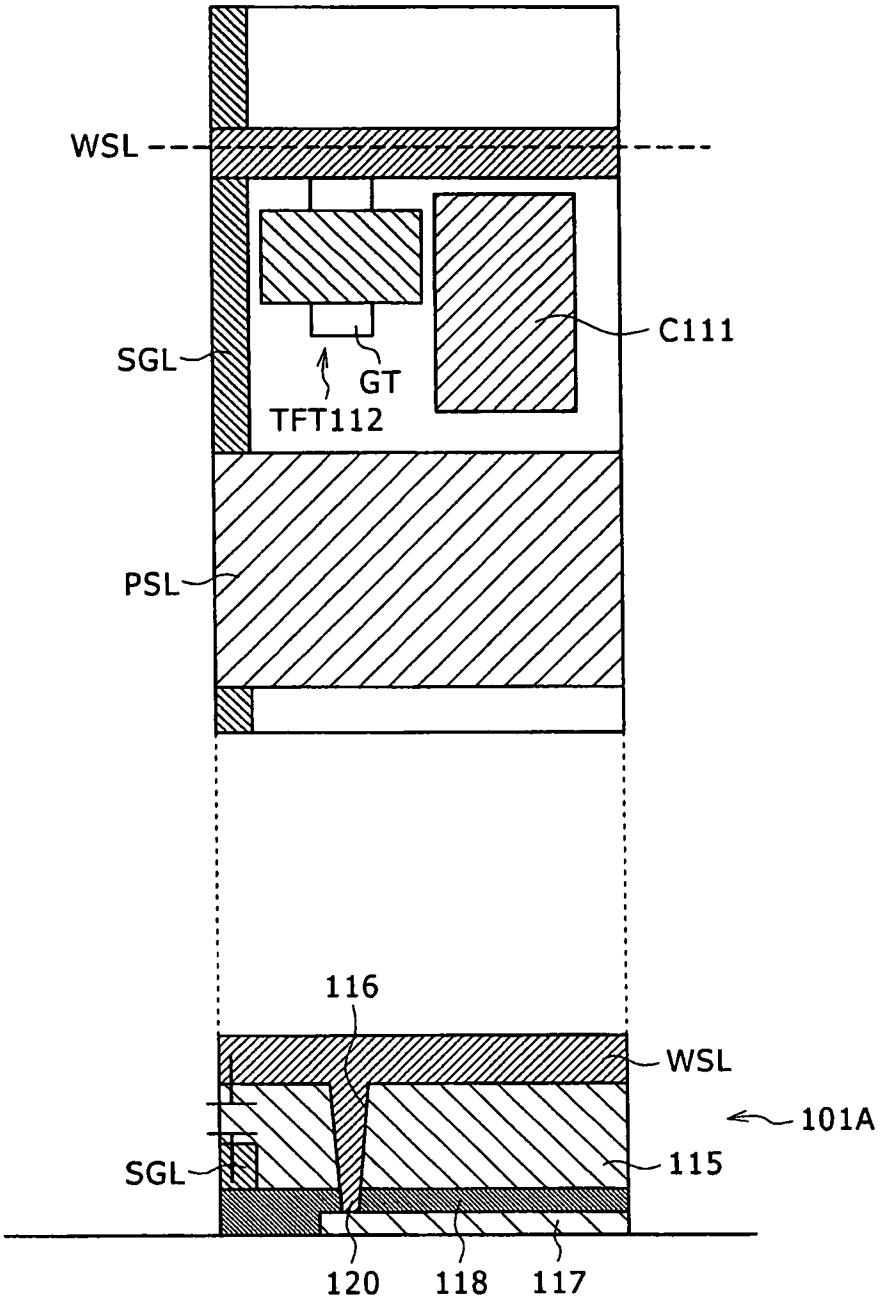


圖 18

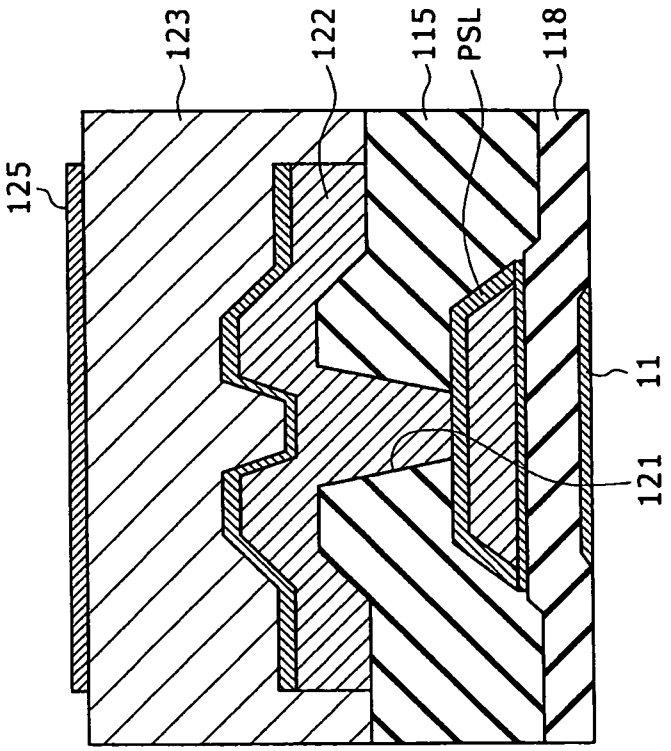


圖 19

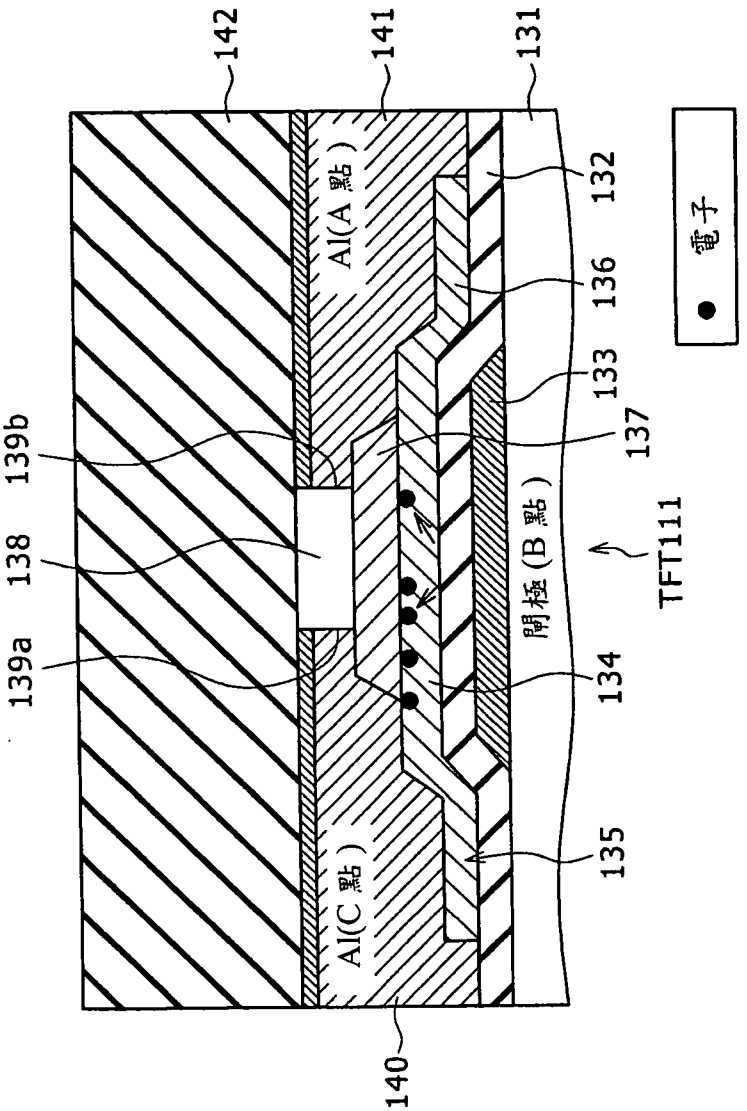

142
141
131
Al(A 點)
132
136
133
137
139b
138
139a
134
閘極(B 點)
TFT111
135
Al(C 點)
140
電子

圖 20

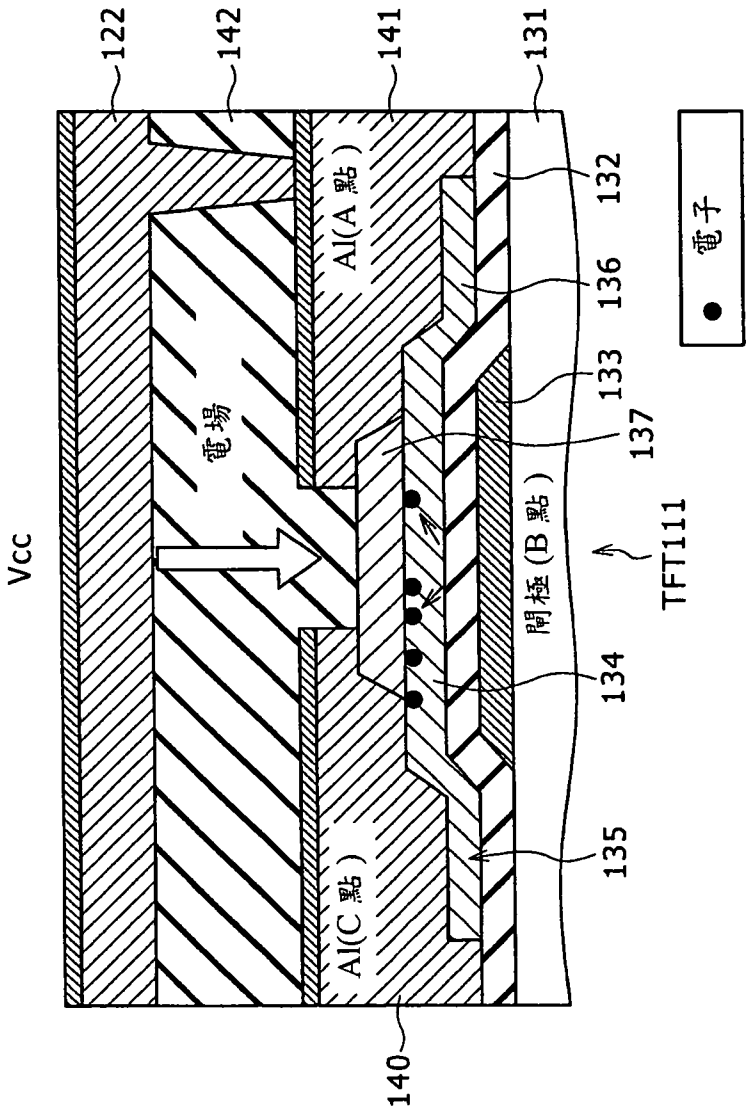

122
142
141
131
132
136
133
137
134
135
140
Vcc
電場
Al(A 點)
Al(C 點)
閘極 (B 點)
TFT111
電子

圖 21

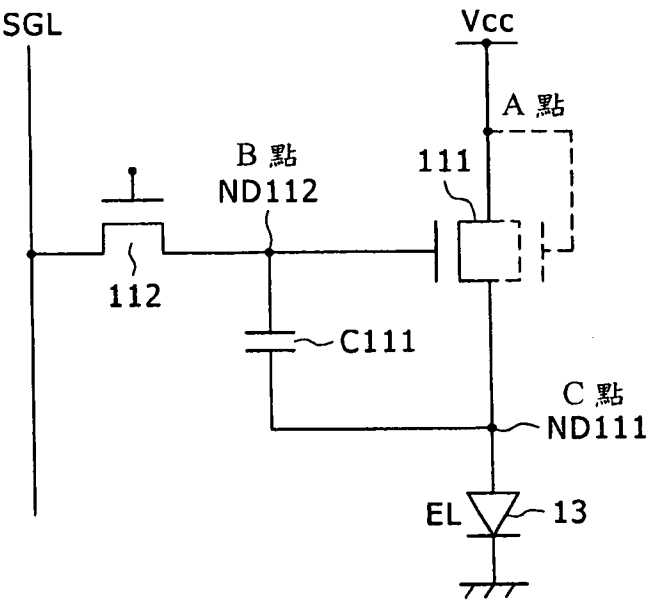


圖 22

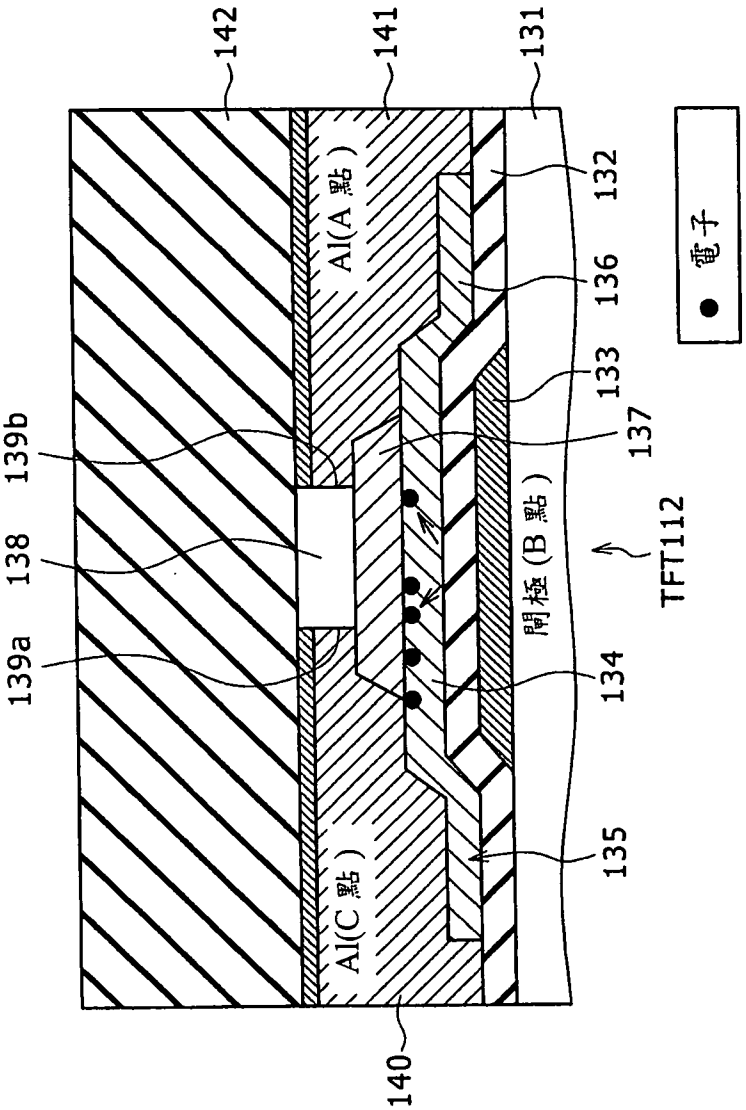

142
141
131
Al(A 點)
132
136
133
137
139b
138
139a
閘極(B 點)
TFT112
134
135
Al(C 點)
140
電子

圖 23

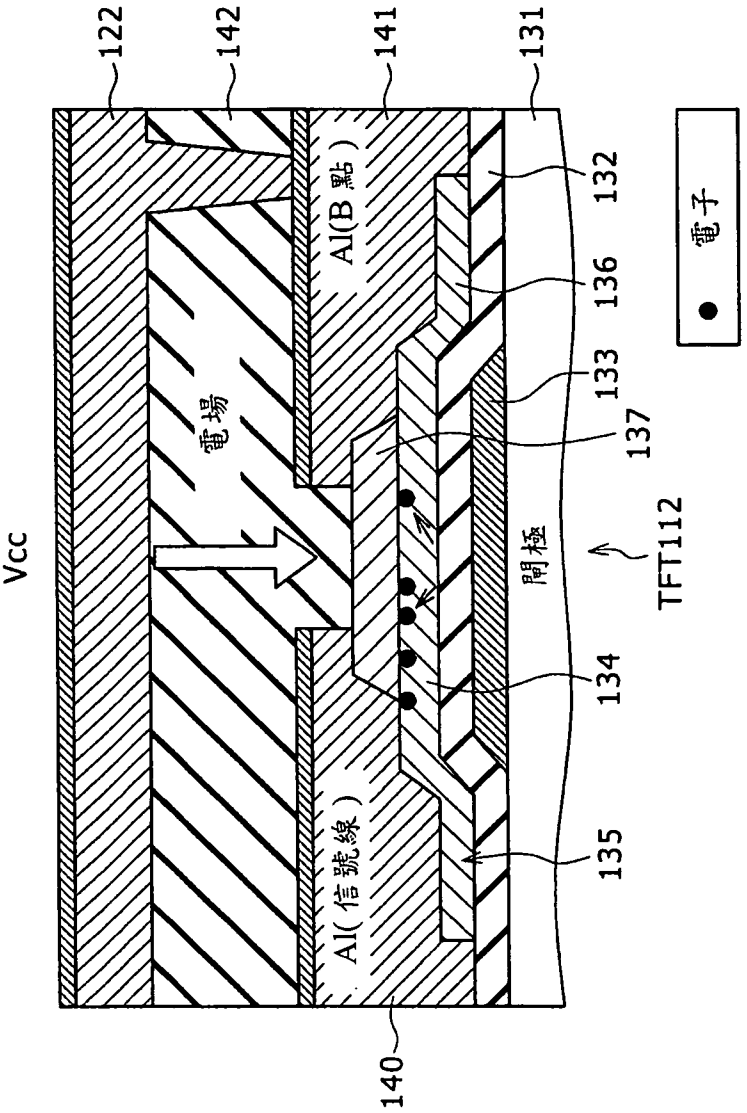

122
142
141
131
Al(B 點)
132
136
133
137
電場
Vcc
閘極
TFT112
134
135
Al(信號線)
140
電子

圖 24

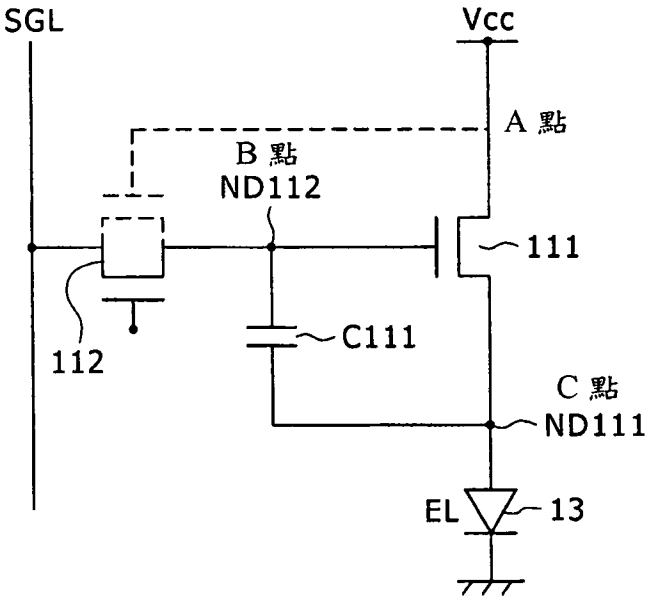


圖 25

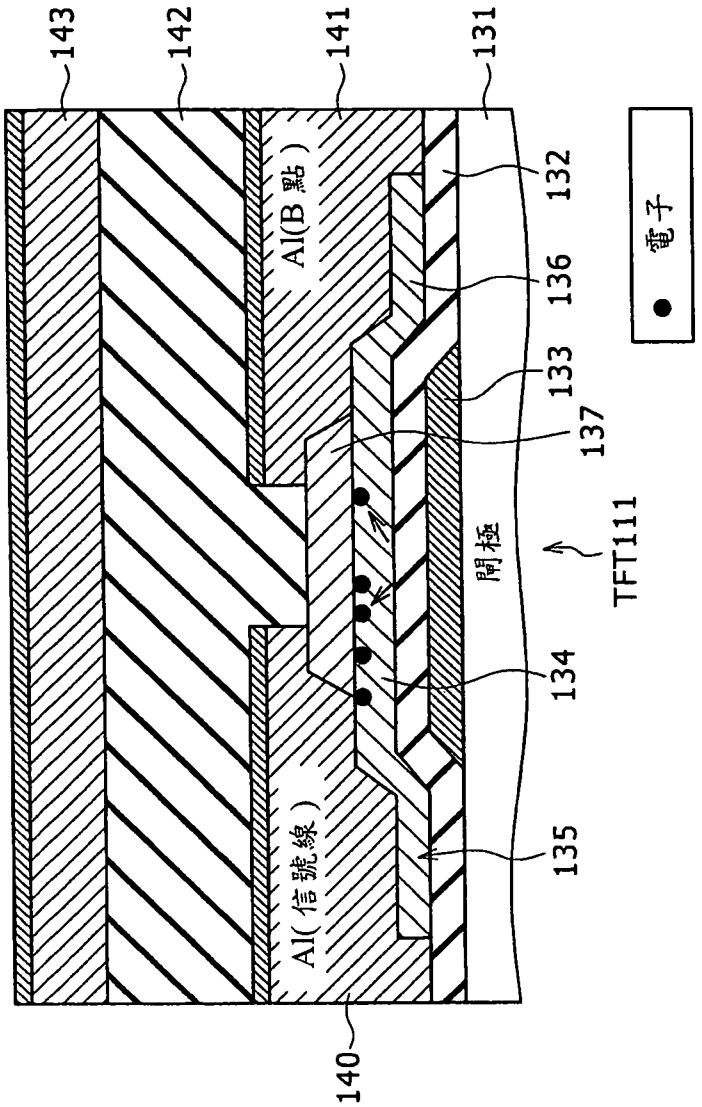

143
142
141
131
Al(B 點)
Al(信號線)
132
136
133
137
134
135
140
閘極
TFT111
電子

圖 26

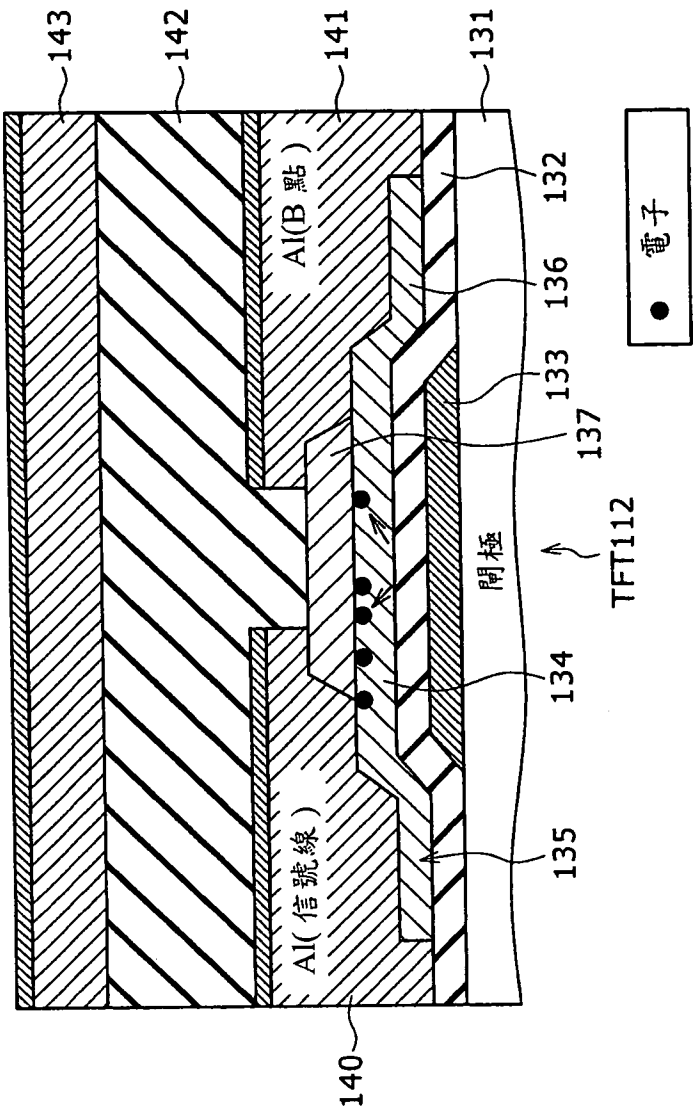

143
142
141
131
Al(B 點)
132
136
133
137
閘極
TFT112
134
135
Al(信號線)
140
電子

圖 27

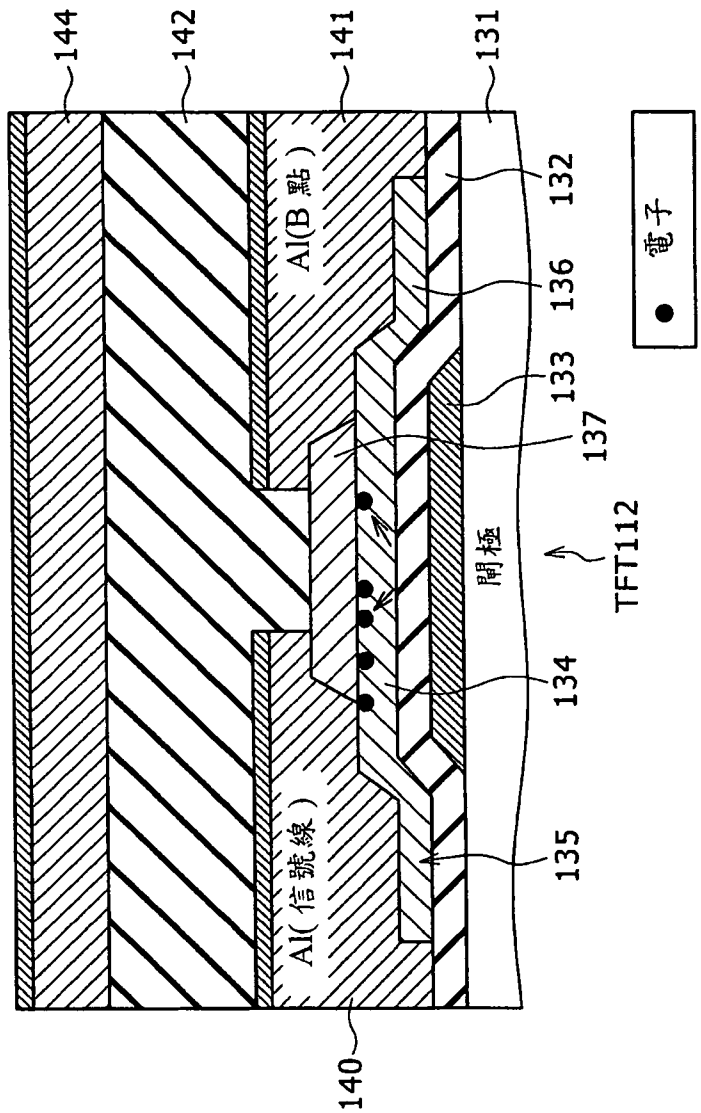

144
142
141
131
Al(B 點)
132
136
133
137
閘極
TFT112
134
135
Al(信號線)
140
電子

圖 28

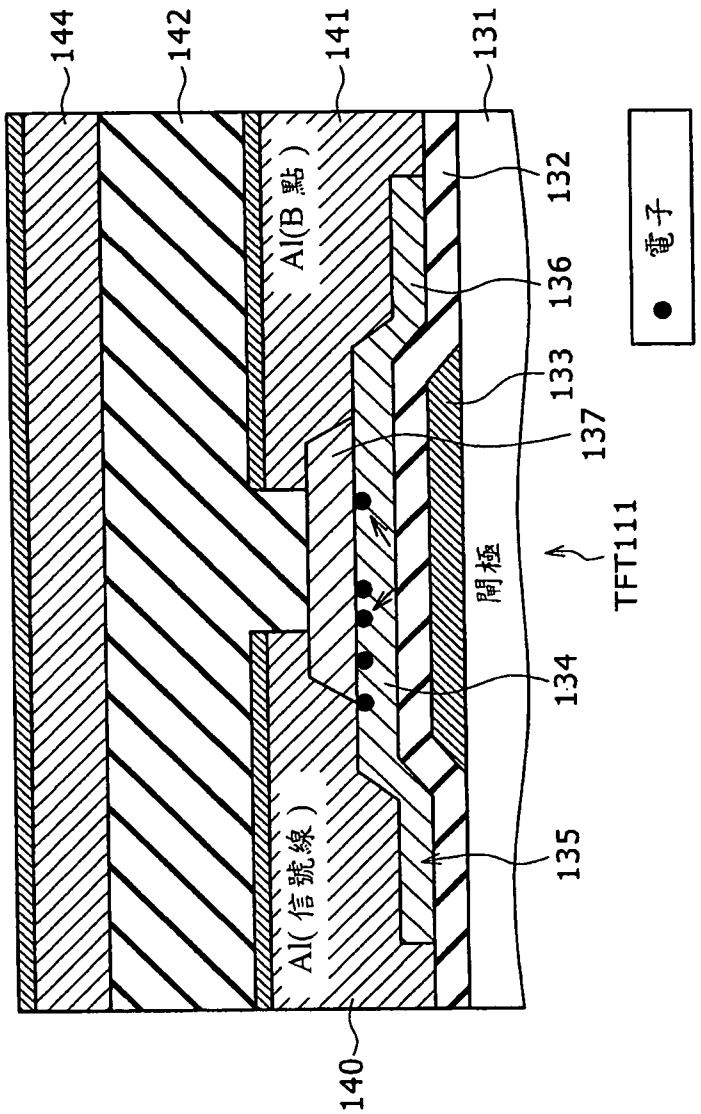

144
142
141
131
Al(B 點)
132
136
133
137
閘極
TFT111
134
135
Al(信號線)
140
電子

圖 29

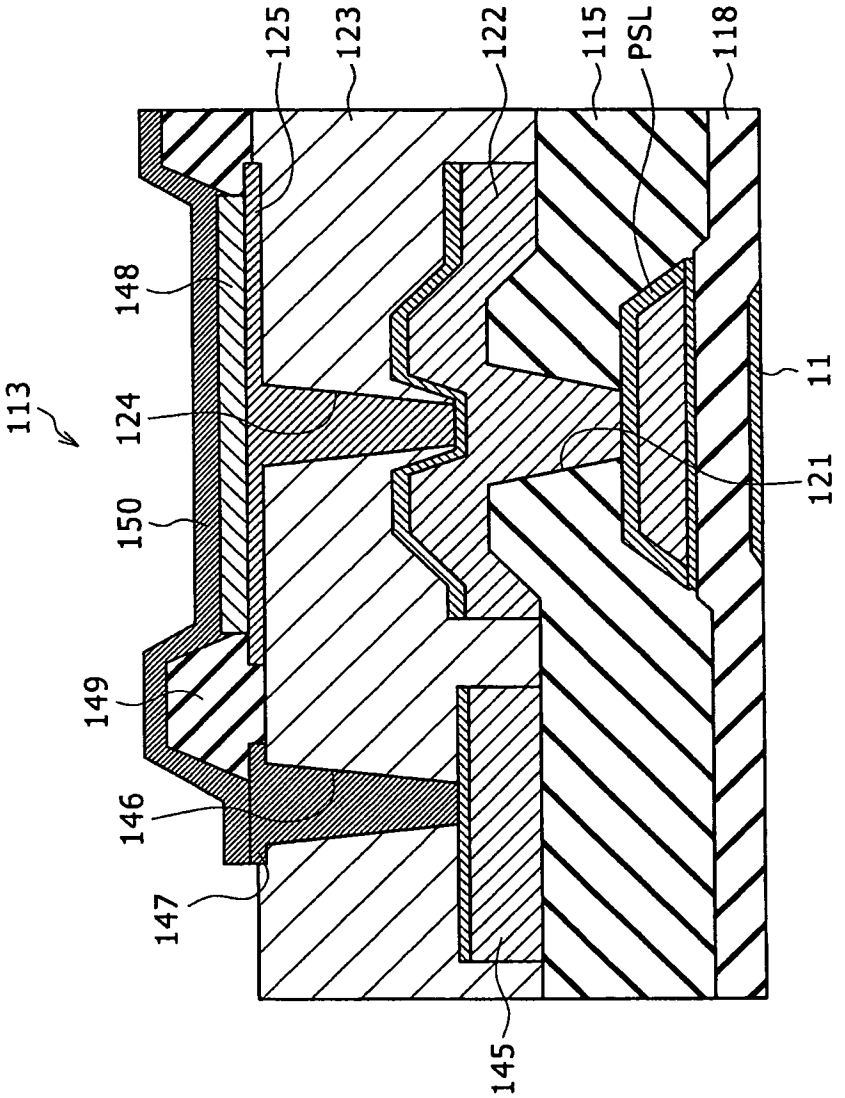


圖 30

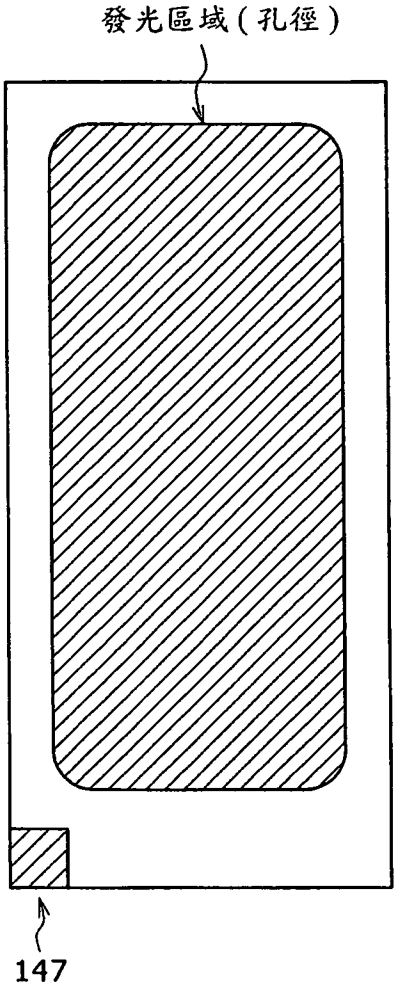


圖 31

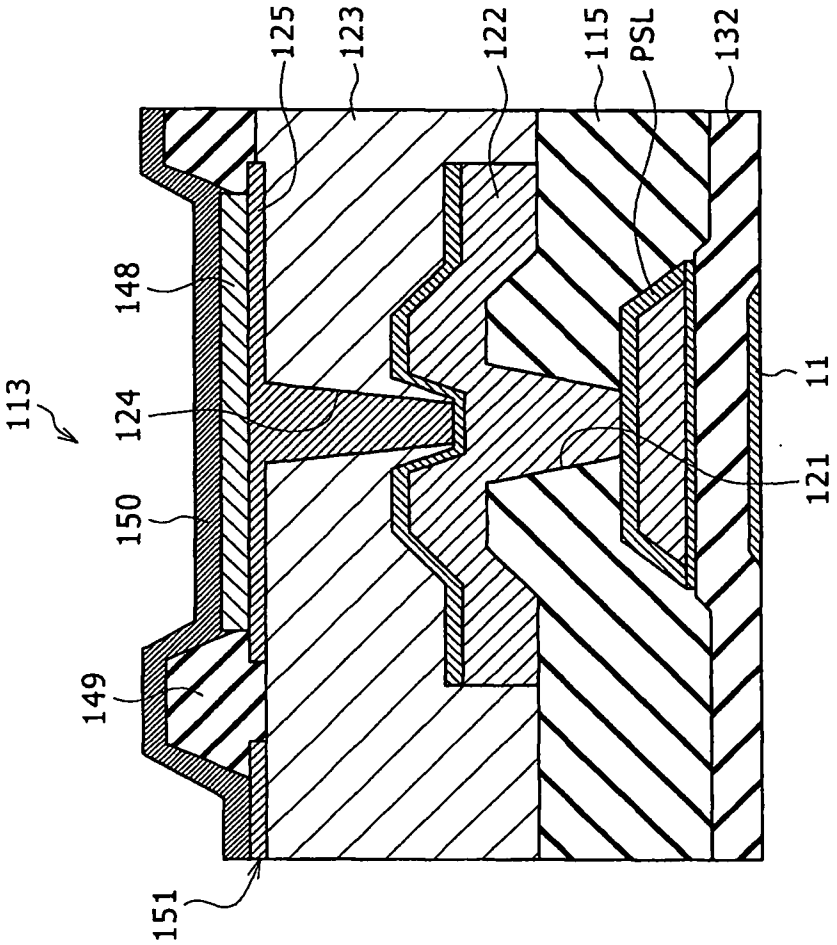


圖 32

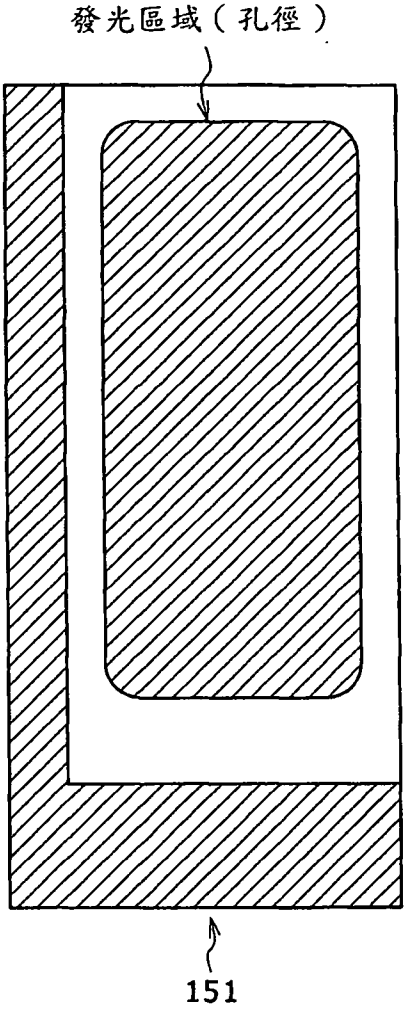
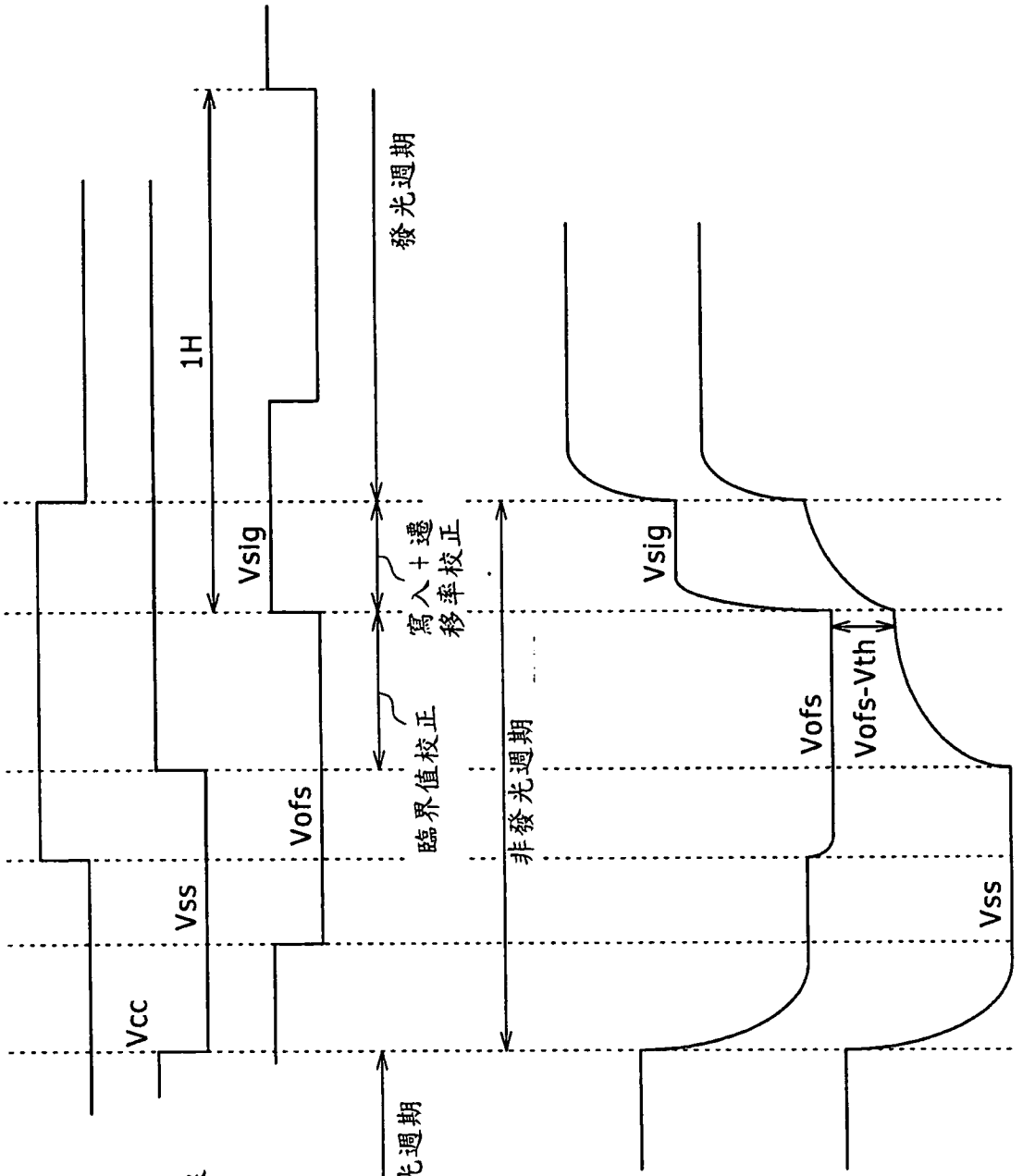


圖 33



GP T1
圖34A

PSG 電源供應線
圖34B

SIN 輸入信號
圖34C

發光週期

VDN112
圖34D

VDN111
圖34E

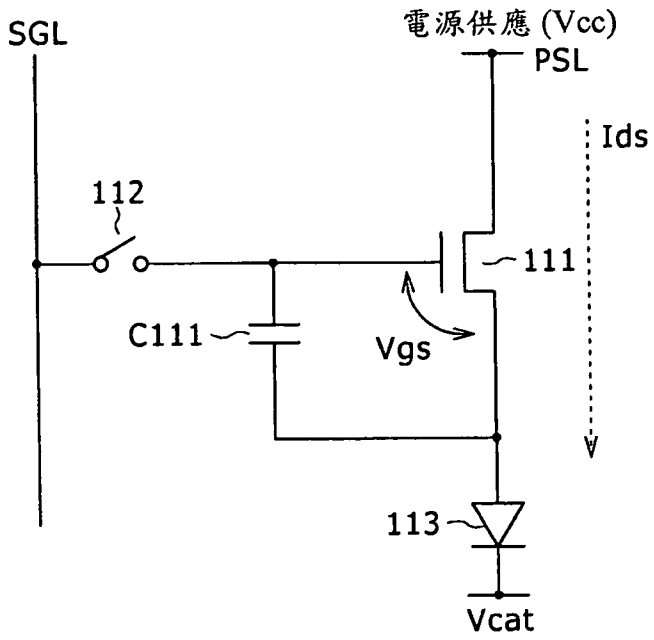

SGL
電源供應 (Vcc)
PSL
Ids
112
111
C111
Vgs
113
Vcat

圖 35

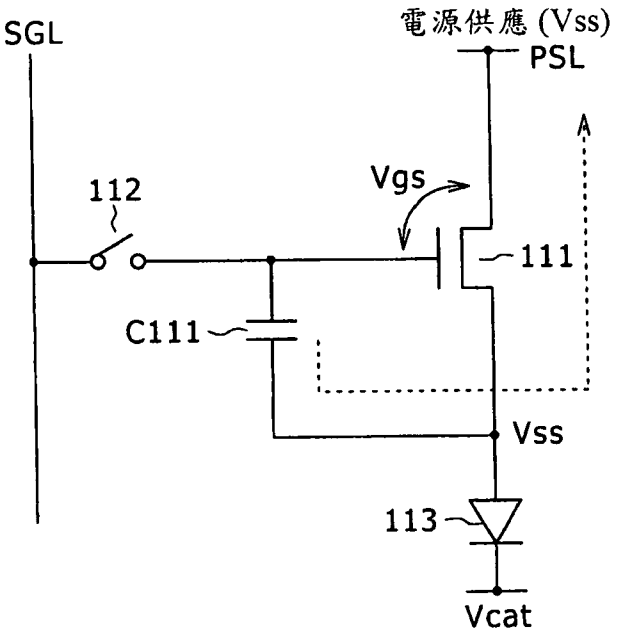

SGL
電源供應 (Vss)
PSL
Vgs
112
111
C111
Vss
113
Vcat

圖 36

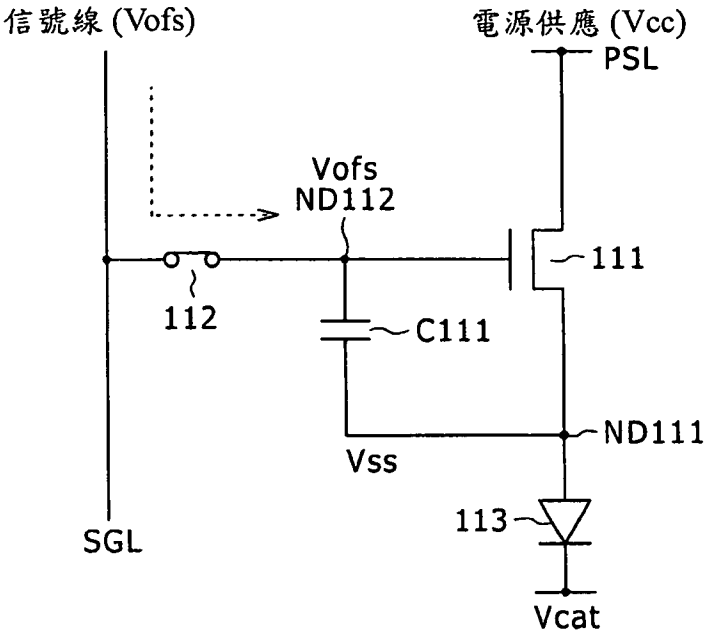

信號線 (Vofs)
電源供應 (Vcc)
PSL
Vofs
ND112
111
112
C111
ND111
Vss
113
SGL
Vcat

圖 37

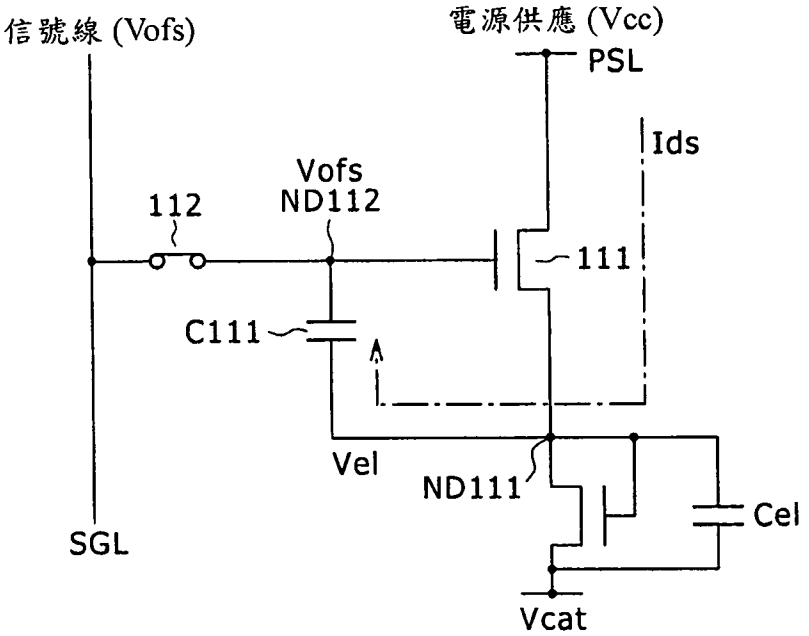

信號線 (Vofs)
電源供應 (Vcc)
PSL
Ids
Vofs
ND112
112
111
C111
Vel
ND111
Cel
SGL
Vcat

圖 38

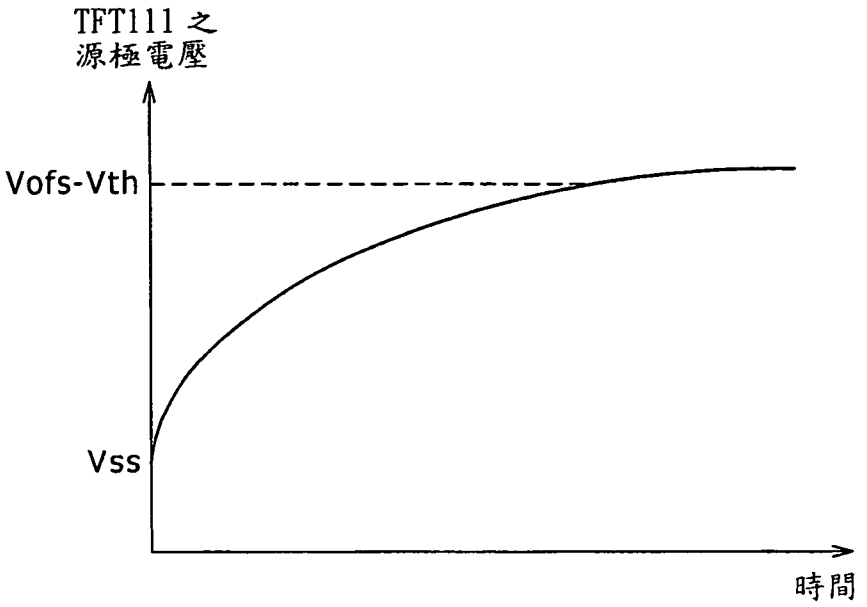

TFT111 之
源極電壓
Vofs-Vth
Vss
時間

圖 39

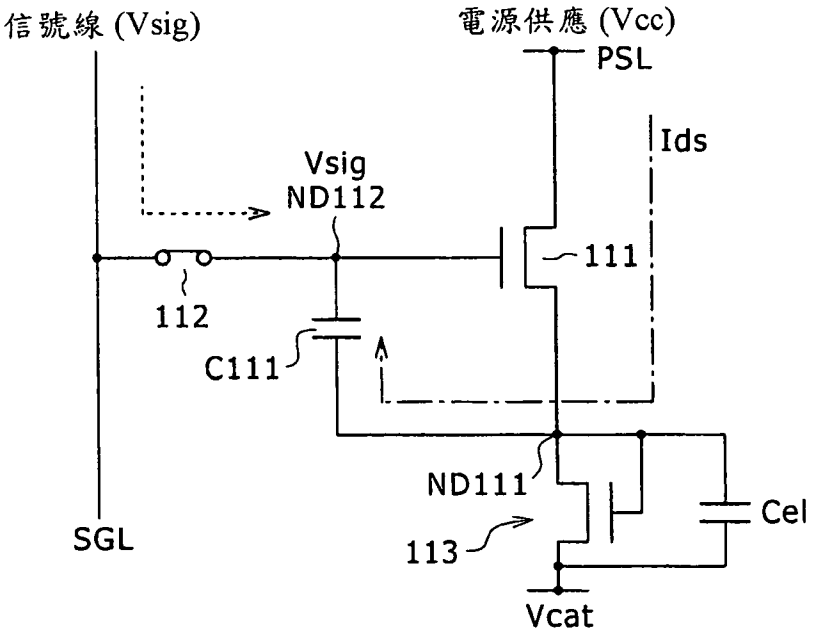

信號線 (Vsig)
電源供應 (Vcc)
PSL
Ids
Vsig
ND112
111
112
C111
ND111
Cel
113
SGL
Vcat

圖 40

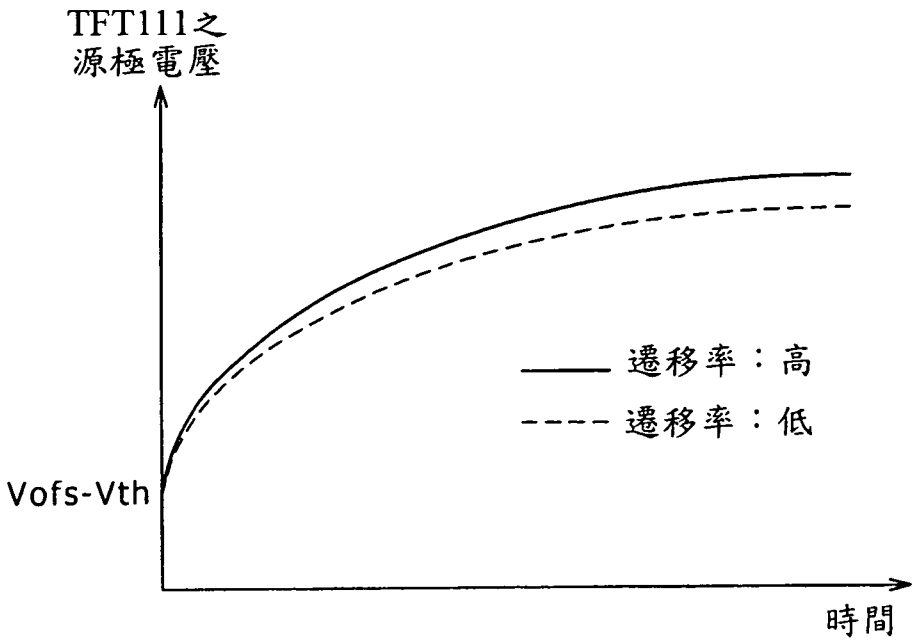

TFT111之
源極電壓
遷移率：高
遷移率：低
Vofs-Vth
時間

圖41

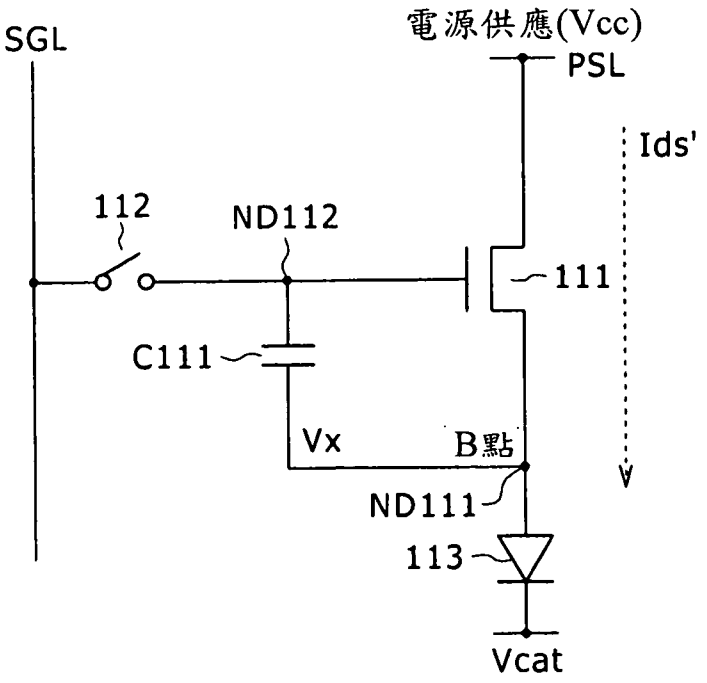

SGL
電源供應(Vcc)
PSL
Ids'
112
ND112
111
C111
Vx
B點
ND111
113
Vcat

圖42

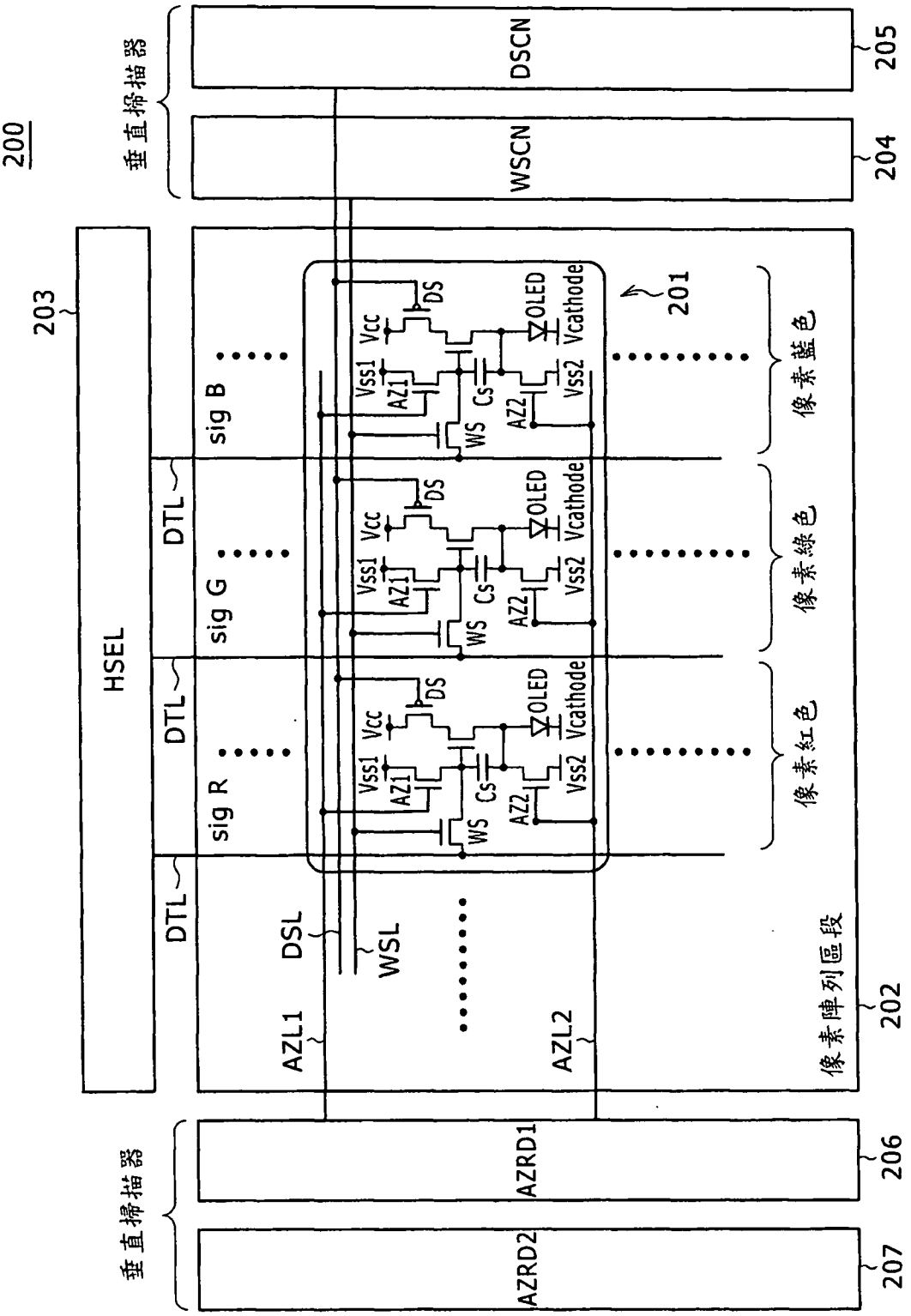

200
垂直掃描器
DSCN
205
WSCN
204
203
HSEL
DTL
sig B
sig G
sig R
201
Vss1
Vcc
AZ1
DS
WS
Cs
AZ2
OLED
Vss2
Vcathode
像素藍色
像素綠色
像素紅色
WSL
DSL
AZL1
AZL2
像素陣列區段
202
AZRD1
206
AZRD2
207

圖 43

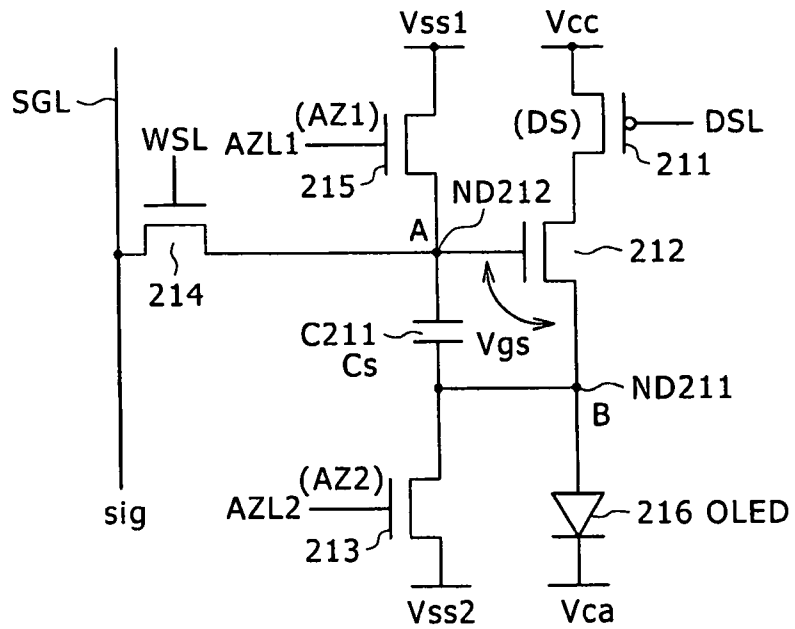

Vss1
Vcc
SGL
WSL
AZL1
(AZ1)
215
(DS)
DSL
211
ND212
A
212
214
C211
Cs
Vgs
ND211
B
sig
AZL2
(AZ2)
213
216 OLED
Vss2
Vca

圖 44

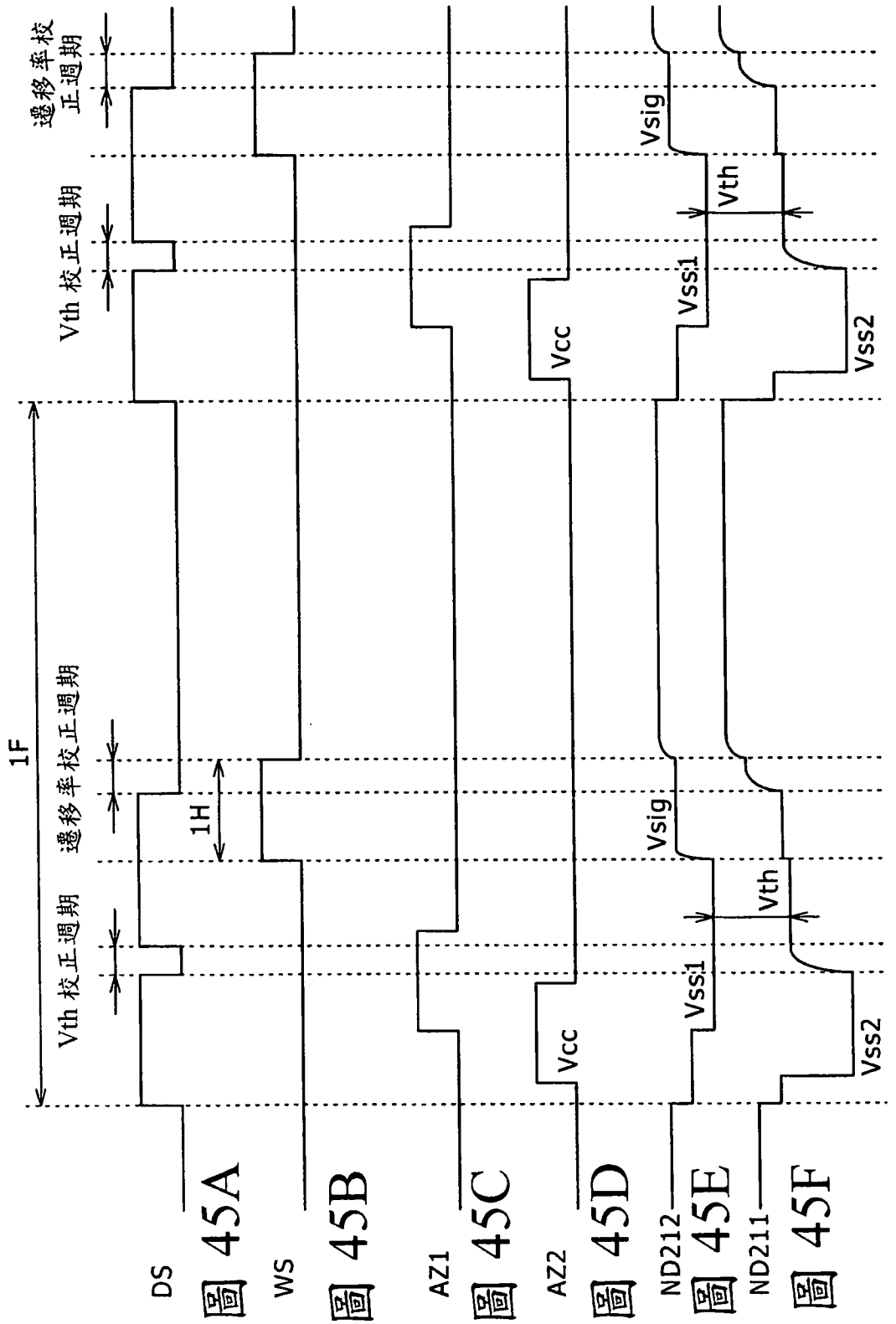


圖 45A 圖 45B 圖 45C 圖 45D 圖 45E 圖 45F