



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월27일
(11) 등록번호 10-1801960
(24) 등록일자 2017년11월21일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-7033145
(22) 출원일자(국제) 2011년04월27일
심사청구일자 2016년04월14일
(85) 번역문제출일자 2012년12월18일
(65) 공개번호 10-2013-0094218
(43) 공개일자 2013년08월23일
(86) 국제출원번호 PCT/JP2011/060690
(87) 국제공개번호 WO 2012/002040
국제공개일자 2012년01월05일
(30) 우선권주장
JP-P-2010-150889 2010년07월01일 일본(JP)
(56) 선행기술조사문헌
US20070057261 A1*
JP2007219484 A*
US20040051103 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 쉐큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
미야케 히로유키
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
히데아키 시시도
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
아라사와 료
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 22 항

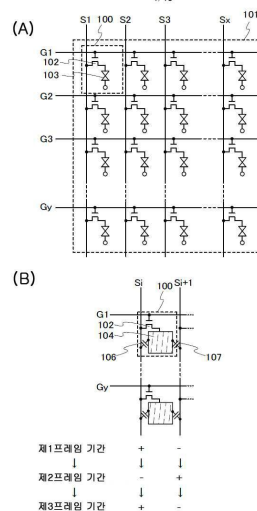
심사관 : 정구웅

(54) 발명의 명칭 액정 표시 장치의 구동 방법

(57) 요약

본 발명의 목적은 전력 소비가 적고 높은 화상 품질을 갖는 액정 장치의 구동 방법을 제공하는 것이다. 화소(100)는 액정 소자(103)와, 상기 액정 소자(103)에 화상 신호를 공급하는 것을 제어하는 트랜지스터(102)를 포함한다. 트랜지스터(102)는 채널 형성 영역에서, 실리콘 반도체보다 넓은 밴드 갭을 가지고 실리콘보다 낮은 진성 캐리어 밀도를 가지며 극히 낮은 오프 상태 전류를 가지는 반도체를 포함한다. 화소들의 반전 구동시, 반대 극성들을 가지는 화상 신호들이 한 쌍의 신호선에 입력되고, 이러한 한 쌍의 신호선 사이에는 화소 전극(104)이 배치된다. 그러한 구조를 이용함으로써, 화소(100)에서 용량 소자가 없는 경우에도 표시된 화상의 품질이 증가될 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

복수의 화소와 복수의 신호선을 포함하는 액정 표시 장치의 구동 방법에 있어서,

하나의 프레임 기간마다, 상기 복수의 신호선으로부터 상기 복수의 화소에 입력되는 화상 신호의 극성을 반전시키는 단계를 포함하고,

각각의 프레임 기간에서, 상기 화상 신호의 상기 극성은 서로 인접한 임의의 2개의 화소 사이에서, 그 사이에 위치한 상기 복수의 신호선 중 하나와 상이하고,

상기 복수의 화소 각각은 화소 전극을 포함하는 액정 소자와, 제 1 단자 및 제 2 단자를 포함하는 트랜지스터를 포함하고,

상기 트랜지스터는 실리콘 반도체보다 밴드 갭이 넓은 반도체를 포함하는, 액정 표시 장치의 구동 방법.

청구항 2

복수의 화소, 복수의 신호선, 및 복수의 주사선을 포함하는 액정 표시 장치의 구동 방법에 있어서,

하나의 프레임 기간마다, 상기 복수의 신호선으로부터 상기 복수의 화소에 입력되는 화상 신호의 극성을 반전시키는 단계를 포함하고,

각각의 프레임 기간에서, 상기 화상 신호의 상기 극성은 서로 인접한 임의의 2개의 화소 사이에서, 그 사이에 위치한 상기 복수의 신호선 중 하나와 상이하고,

각각의 프레임 기간에서, 상기 화상 신호의 상기 극성은 서로 인접한 임의의 2개의 화소에서, 그 사이에 위치한 상기 복수의 주사선 중 하나와 동일하고,

상기 복수의 화소 각각은 화소 전극을 포함하는 액정 소자와, 제 1 단자 및 제 2 단자를 포함하는 트랜지스터를 포함하고,

상기 트랜지스터는 실리콘 반도체보다 밴드 갭이 넓은 반도체를 포함하는, 액정 표시 장치의 구동 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 트랜지스터는 상기 반도체 위에 절연막을 더 포함하고,

상기 절연막은 제 13 족 원소의 금속 산화물을 포함하고,

상기 금속 산화물 중 산소의 비율은 화학량론값보다 높은, 액정 표시 장치의 구동 방법.

청구항 4

복수의 화소, 복수의 신호선, 및 복수의 주사선을 포함하는 액정 표시 장치의 구동 방법에 있어서,

하나의 프레임 기간마다, 상기 복수의 신호선으로부터 상기 복수의 화소에 입력되는 화상 신호의 극성을 반전시키는 단계를 포함하고,

각각의 프레임 기간에서, 상기 화상 신호의 상기 극성은 서로 인접한 임의의 2개의 화소 사이에서, 그 사이에 위치한 상기 복수의 신호선 중 하나와 상이하고,

각각의 프레임 기간에서, 상기 화상 신호의 상기 극성은 서로 인접한 임의의 2개의 화소 사이에서, 그 사이에 위치한 상기 복수의 주사선 중 하나와 상이하고,

상기 복수의 화소 각각은 화소 전극을 포함하는 액정 소자와, 제 1 단자 및 제 2 단자를 포함하는 트랜지스터를 포함하고,

상기 트랜지스터는 실리콘 반도체보다 밴드 갭이 넓은 반도체를 포함하는, 액정 표시 장치의 구동 방법.

청구항 5

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 상기 실리콘 반도체보다 낮은 진성 캐리어 밀도를 가지는, 액정 표시 장치의 구동 방법.

청구항 6

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 7

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 아연을 포함하는 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 8

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 갈륨을 포함하는 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 9

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 아연 및 갈륨을 포함하는 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 10

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 반도체는 In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치의 구동 방법.

청구항 11

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 복수의 화소 각각에서, 상기 트랜지스터의 상기 제 1 단자는 상기 복수의 신호선 중 하나에 전기적으로 접속되고, 상기 트랜지스터의 상기 제 2 단자는 상기 화소 전극과 상기 반도체에만 전기적으로 접속되는, 액정 표시 장치의 구동 방법.

청구항 12

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
상기 트랜지스터는 게이트 전극을 더 포함하고,
상기 게이트 전극과 상기 반도체 사이에 절연막이 제공되는, 액정 표시 장치의 구동 방법.

청구항 13

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
상기 트랜지스터의 채널 폭 $1\mu\text{m}$ 당 오프 전류의 값이, 상기 트랜지스터의 소스와 드레인 사이의 전압이 1V 내지 10V의 범위에 있는 상태에서 $100\text{zA}/\mu\text{m}$ 이하인, 액정 표시 장치의 구동 방법.

청구항 14

기판 위에 복수의 화소를 포함하는 액정 표시 장치에 있어서,
상기 복수의 화소 중 적어도 하나는,
상기 기판 위에 신호선;
상기 기판 위에 게이트 전극;
상기 게이트 전극 위의, 제 13 족 원소의 금속 산화물을 포함하는 게이트 절연막;
상기 게이트 절연막 위의, 실리콘 반도체보다 밴드 갭이 넓은 반도체막;
상기 반도체막 위의, 제 1 도전막과 제 2 도전막; 및
화소 전극을 포함하는 액정 소자를 포함하고,
상기 제 1 도전막은 상기 신호선에 전기적으로 접속되고, 상기 제 2 도전막은 상기 화소 전극에 전기적으로 접속되고,
상기 금속 산화물 중 산소의 비율은 화학량론값보다 높은, 액정 표시 장치.

청구항 15

제 14 항에 있어서,
상기 반도체막은 상기 실리콘 반도체보다 낮은 진성 캐리어 밀도를 가지는, 액정 표시 장치.

청구항 16

제 14 항에 있어서,
상기 반도체막은 산화물 반도체인, 액정 표시 장치.

청구항 17

제 14 항에 있어서,

상기 반도체막은 아연을 포함하는 산화물 반도체인, 액정 표시 장치.

청구항 18

제 14 항에 있어서,

상기 반도체막은 갈륨을 포함하는 산화물 반도체인, 액정 표시 장치.

청구항 19

제 14 항에 있어서,

상기 반도체막은 아연 및 갈륨을 포함하는 산화물 반도체인, 액정 표시 장치.

청구항 20

제 14 항에 있어서,

상기 반도체막은 In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치.

청구항 21

제 14 항에 있어서,

상기 제 2 도전막은 상기 화소 전극 및 상기 반도체막에만 전기적으로 접속되는, 액정 표시 장치.

청구항 22

제 14 항에 있어서,

트랜지스터는 상기 게이트 전극 및 상기 반도체 막을 포함하고,

상기 트랜지스터의 채널 폭 $1\mu\text{m}$ 당 오프 전류의 값이, 상기 트랜지스터의 소스와 드레인 사이의 전압이 1V 내지 10V의 범위에 있는 상태에서 $100\text{zA}/\mu\text{m}$ 이하인, 액정 표시 장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 트랜지스터를 화소에 가지는 액티브 매트릭스형 액정 표시 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 근년, 폴리 실리콘이나 미결정 실리콘에 의해 얻어지는 높은 이동도와, 아몰퍼스 실리콘에 의해 얻어지는 균일한 소자 특성을 겸비한 새로운 반도체 소자를 위한 재료로서, 산화물 반도체라 불리는, 반도체 특성을 나타내는 금속 산화물에 이목이 집중되고 있다. 금속 산화물은 다양한 용도로 이용되고 있는데, 예를 들어, 잘 알려진 금속 산화물인 산화 인듐은 액정 표시 장치에 있어서 화소 전극의 재료로서 이용되고 있다. 반도체 특성을 나타내는 금속 산화물로는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있으며, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 이용하는 트랜지스터가 이미 알려져 있다(특허문헌 1 및 특허문헌 2).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특개소 2007-123861호 공보
(특허문헌 0002) 일본국 특개소 2007-96055호 공보

발명의 내용

해결하려는 과제

[0004] 그런데, 반도체 표시 장치의 성능을 평가함에 있어 저소비 전력이라는 것은 중요한 포인트의 하나이지만, 액정 표시 장치도 예외가 아니다. 특히, 휴대 전화 등의 휴대형 전자 기기의 경우, 액정 표시 장치의 높은 소비 전력은 연속 사용 시간의 단축화라는 약점으로 이어지기 때문에, 낮은 소비 전력이 요구된다.

- [0005] 그리고, 투과형 액정 표시 장치의 경우, 빛을 투과하는 영역의 화소에 차지하는 비율, 즉 개구율을 높이면, 백라이트로부터 발하는 빛을 효율적으로 이용할 수 있기 때문에, 소비 전력을 저감시킬 수 있다. 그러나, 개구율의 향상을 우선하여 화소의 레이아웃을 정한다면, 화소를 구성하고 있는 트랜지스터나 용량 소자 등의 반도체 소자의 크기도 축소화시키지 않을 수 없다. 용량 소자의 용량값이 작게 되면, 화상 신호의 전위를 유지할 수 있는 기간이 짧아지기 때문에, 표시하는 화질이 저하된다.
- [0006] 상기 과제에 비추어, 본 발명의 일 양태는, 화질의 저하를 막으면서, 소비 전력의 저감을 실현할 수 있는 액정 표시 장치의 구동 방법의 제안을 과제로 한다.

과제의 해결 수단

- [0007] 본 발명의 일 양태에서는, 액정 소자와, 이 액정 소자로의 화상 신호의 공급을 제어하는 트랜지스터를 화소에 가진다. 그리고, 본 발명의 일 양태에서는, 상기 트랜지스터가, 오프 전류가 매우 작은 절연 게이트 전계 효과형 트랜지스터(이하, 줄여서 트랜지스터라고 한다)인 것을 특징으로 한다. 상기 트랜지스터는, 실리콘 반도체보다 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료를 채널 형성 영역에 포함하는 것을 특징으로 한다. 상기과 같은 특성을 가지는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 현저히 낮으며, 또한 고내압인 트랜지스터를 실현할 수 있다. 이러한 반도체 재료로서는, 예를 들어, 실리콘의 약 2배 이상의 크기인 밴드 갭을 가지는 산화물 반도체를 들 수 있다.
- [0008] 본 발명의 일 양태는, 오프 전류가 현저히 낮은 트랜지스터를 화소에 이용함으로써, 통상 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 이용한 경우와 비교하여, 화상 신호의 전위를 보다 장기간에 걸쳐 유지할 수 있다. 따라서, 화상 신호의 전위를 유지하기 위해, 액정 소자에 용량 소자를 접속하지 않아도 표시되는 화질이 저하되는 것을 막을 수 있다.
- [0009] 또한, 액정 소자가 가지는 화소 전극과, 화소에 화상 신호를 입력하기 위한 신호선과의 사이에는 기생 용량이 형성된다. 그리고, 액정 소자에 용량 소자를 접속하지 않는 경우, 화소 전극의 전위는 상기 기생 용량의 영향을 받기 쉽다. 그 때문에, 화상 신호의 전위를 유지하는 기간에 신호선의 전위가 변화하면, 그 변화에 따라 상기 화소 전극의 전위도 변동되는 크로스토크라고 불리는 현상이 일어나기 쉽다. 크로스토크가 일어나면, 콘트라스트가 저하된다.
- [0010] 그래서, 본 발명의 일 양태에서는, 화소를 반전 구동시킬 때에, 화소 전극을 사이에 끼우고 배치되어 있는 한 쌍의 신호선에, 서로 반대의 극성을 가지는 화상 신호를 입력한다. 또한, 서로 반대의 극성을 가지는 화상 신호란, 액정 소자의 대향 전극의 전위를 기준 전위로 하였을 때, 한쪽이 기준 전위보다 높은 전위를 가지는 화상 신호이며, 다른 한쪽이 기준 전위보다 낮은 전위를 가지는 화상 신호임을 의미한다.
- [0011] 구체적으로는, 하나의 신호선에 접속되어 있는 복수의 화소와, 상기 신호선에 접속하는 하나의 신호선에 접속되어 있는 복수의 화소에, 임의의 하나의 프레임 기간에 있어서 반대의 극성을 가지는 화상 신호를 입력하는 소스 라인 반전을 행한다. 또는, 하나의 신호선에 접속되어 있는 복수의 화소와, 상기 복수의 화소에 각각 접속하며, 또한 상기 하나의 신호선에 접속한 다른 신호선에 접속되어 있는 복수의 화소에, 임의의 하나의 프레임 기간에 있어서 반대의 극성을 가지는 화상 신호를 입력하며, 또한 동일한 신호선에 접속되어 있는 복수의 화소에 있어서, 인접하는 화소에 반대의 극성을 가지는 화상 신호를 입력하는 도트 반전을 행한다.
- [0012] 상기 반전 구동을 행함으로써, 인접하는 한 쌍의 신호선의 전위가 서로 반대의 방향으로 변동되기 때문에, 임의의 화소 전극이 받는 전위의 변동이 소거된다. 따라서, 크로스토크의 발생을 억제할 수 있다.
- [0013] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는, i형(진성 반도체) 또는 i형에 한없이 가깝다. 그 때문에, 상기 산화물 반도체를 이용한 트랜지스터는, 오프 전류가 현저히 낮다는 특성을 가진다. 구체적으로, 고순도화된 산화물 반도체는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 한다. 이에 의하여, 홀 효과 측정에 의해 측정할 수 있는 산화물 반도체막의 캐리어 밀도는, $1 \times 10^{14}/\text{cm}^3$ 미만, 또는 $1 \times 10^{12}/\text{cm}^3$ 미만, 또는 $1 \times 10^{11}/\text{cm}^3$ 미만이 된다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 또는 2.5eV 이상, 또는 3eV 이상이 된다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되어 고순도화된 산화물 반도체막을 이용함으로써

써, 트랜지스터의 오프 전류를 내릴 수 있다.

[0014] 여기서, 산화물 반도체막중의 수소 농도의 분석에 대하여 언급해 둔다. 산화물 반도체막 중 또는 도전막 중의 수소 농도 측정은, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 행한다. SIMS는 그 원리상, 시료 표면 근방이나 재질이 다른 막과의 적층 계면 근방의 데이터를 정확하게 얻기 어려운 것으로 알려져 있다. 그래서, 막 중의 수소 농도의 두께 방향의 분석을 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에서 값에 극단적인 변동이 없으며, 거의 일정한 값을 얻을 수 있는 영역에서 평균값을 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값을 얻을 수 있는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 이 막이 존재하는 영역에서 수소 농도의 극대값 또는 극소값을, 이 막 중의 수소 농도로서 채용한다. 또한, 이 막이 존재하는 영역에서 극대값의 피크, 극소값의 밸리가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.

[0015] 구체적으로, 고순도화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터의 오프 전류가 낮은 것은, 여러 실험에 의해 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자라도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V에서 10V의 범위에서 오프 전류(게이트 전극과 소스 전극간의 전압을 0V 이하로 하였을 때의 드레인 전류)가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류 밀도는, $100 \text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하여 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 이 트랜지스터로 제어하는 회로를 이용해, 오프 전류 밀도의 측정을 행하였다. 이 측정에서는 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 이용해, 용량 소자의 단위 시간당 전하량의 추이로부터 이 트랜지스터의 오프 전류 밀도를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에, 수십 $\text{yA}/\mu\text{m}$ 라는 더욱 낮은 오프 전류 밀도를 얻을 수 있음을 알 수 있었다. 따라서, 본 발명의 일 양태에 관한 반도체 장치에서는, 고순도화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터의 오프 전류 밀도를 소스 전극과 드레인 전극간의 전압에 따라서는 $100 \text{yA}/\mu\text{m}$ 이하, 바람직하게는 $10 \text{yA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1 \text{yA}/\mu\text{m}$ 이하로 할 수 있다. 따라서, 고순도화된 산화물 반도체막을 활성층으로서 이용한 트랜지스터는, 오프 전류가 결정성을 가지는 실리콘을 이용한 트랜지스터와 비교하여 현저히 낮다.

[0016] 또한, 고순도화된 산화물 반도체를 이용한 트랜지스터는, 오프 전류의 온도 의존성이 거의 나타나지 않는다. 이것은, 산화물 반도체 안에서 전자 공여체(도너)가 되는 불순물을 제거하여 산화물 반도체가 고순도화됨으로써, 도전형이 한없이 진성형에 가까워져 페르미 준위가 금체대의 중앙에 위치하기 때문이라 할 수 있다. 또한, 이것은, 산화물 반도체의 에너지 갭이 3eV 이상이며, 열여기 캐리어가 매우 적은 것에도 기인한다. 또한, 소스 전극 및 드레인 전극이 축퇴한 상태에 있는 것도, 온도 의존성이 나타나지 않는 요인이 되고 있다. 트랜지스터의 동작은, 축퇴한 소스 전극으로부터 산화물 반도체에 주입된 캐리어에 의한 것이 대부분이며, 캐리어 밀도에는 온도 의존성이 없기 때문에, 오프 전류의 온도 의존성을 볼 수 없는 것을 설명할 수 있다.

[0017] 또한, 산화물 반도체는 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 본 명세서에 있어서는, 예를 들어, In-Sn-Ga-Zn-O계 산화물 반도체란, 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 가지는 금속 산화물이라는 의미이며, 그 화학량론적 조성비는 특별히 묻지 않는다. 또한, 상기 산화물 반도체는 규소를 포함하고 있어도 좋다.

[0018] 또는, 산화물 반도체는, 화학식 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, m은 자연수라고는 한정하지 않는다)으로 표기할 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다.

발명의 효과

[0019] 본 발명의 일 양태에서는, 오프 전류가 현저하게 낮은 트랜지스터를 화소에 이용함으로써, 액정 소자에 용량 소자를 접속하지 않아도 표시되는 화질이 저하되는 것을 막을 수 있다. 따라서, 개구율을 높일 수 있고 소비 전력을 저감시킬 수 있다. 그리고, 본 발명의 일 양태에서는, 소스 라인 반전 또는 도트 반전을 이용함으로써,

용량 소자를 이용하지 않아도 크로스토크를 억제할 수 있으며, 화질의 향상을 도모할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 화소부의 회로도, 그 구동 방법을 모식적으로 나타내는 도면.
 도 2는 소스 라인 반전을 이용한 경우의 각 화소에 주어지는 화상 신호의 극성을 모식적으로 나타내는 도면.
 도 3은 도트 반전을 이용한 경우의 각 화소에 주어지는 화상 신호의 극성을 모식적으로 나타내는 도면.
 도 4는 화소부를 소스 라인 반전으로 동작시킨 경우의 타이밍 차트도.
 도 5는 화소의 상면도 및 단면도.
 도 6은 트랜지스터의 제작 방법을 나타내는 단면도.
 도 7은 트랜지스터의 단면도.
 도 8은 특성 평가 회로의 회로도.
 도 9는 특성 평가 회로의 타이밍 차트도.
 도 10은 특성 평가 회로에 있어 경과 시간(Time)과, 출력 신호의 전위(Vout)와의 관계를 나타내는 도면.
 도 11은 특성 평가 회로에 있어 경과 시간(Time)과, 그 측정에 의해 산출된 리크 전류와의 관계를 나타내는 도면.
 도 12는 특성 평가 회로에 있어 노드(A)의 전위와 리크 전류의 관계를 나타내는 도면.
 도 13은 액정 표시 장치의 블록도.
 도 14는 화소의 단면도.
 도 15는 액정 표시 장치의 구성을 나타내는 사시도.
 도 16은 전자 기기의 도면.
 도 17은 화소의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하에서는, 본 발명의 실시형태에 대해 도면을 이용하여 상세히 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하는 일없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은, 당업자라면 쉽게 이해될 것이다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0022] (실시형태 1)
- [0023] 본 발명의 일 양태에 관한 구동 방법에 이용되는 액정 표시 장치는, 액정 소자와 이 액정 소자로의 화상 신호의 공급을 제어하는 트랜지스터를 복수의 화소에 각각 가진다. 그리고, 상기 복수의 화소에는, 상기 복수의 화소를 선택하기 위한 복수의 주사선과, 선택된 화소에 화상 신호를 공급하기 위한 복수의 신호선이 각각 접속되어 있다.
- [0024] 도 1(A)에, 복수의 화소(100)가 형성된 화소부(101)의 구성을 일례로서 나타낸다. 도 1(A)에 있어서, 각 화소(100)는 신호선(S1)에서 신호선(Sx)의 적어도 하나와, 주사선(G1)에서 주사선(Gy)의 적어도 하나를 가지고 있다. 또한, 화소(100)는, 스위칭 소자로서 기능하는 트랜지스터(102)와 액정 소자(103)를 가지고 있다. 액정 소자(103)는, 화소 전극, 대향 전극, 화소 전극과 대향 전극간의 전압이 인가되는 액정을 가지고 있다.
- [0025] 트랜지스터(102)는, 액정 소자(103)의 화소 전극에 신호선의 전위, 즉 화상 신호의 전위를 부여할지 여부를 제어한다. 액정 소자(103)의 대향 전극에는, 소정의 기준 전위가 주어져 있다.
- [0026] 그리고, 본 발명의 일 양태에서는, 상기 트랜지스터(102)의 채널 형성 영역에 실리콘 반도체보다 밴드 갭이 넓

고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체를 포함하는 것을 특징으로 한다. 상기 반도체의 일례로서, 탄화 규소(SiC), 질화 갈륨(GaN) 등의 화합물 반도체, 산화 아연(ZnO) 등의 금속 산화물인 산화물 반도체 등을 적용할 수 있다. 이 중에서도 산화물 반도체는, 스퍼터링법이나 습식법(인쇄법 등)에 의해 제작할 수 있으며, 양산성이 뛰어나다는 이점이 있다. 또한, 탄화 실리콘의 프로세스 온도는 약 1500℃, 질화 갈륨의 프로세스 온도는 약 1100℃이지만, 산화물 반도체막의 성막(成膜)은 실온에서도 가능하다. 따라서, 산화물 반도체는, 저가로 입수하기 쉬운 유리 기판상에의 성막이 가능하며, 또한 1500℃~2000℃의 고온에서의 열처리에 대한 내성을 가지지 않는 반도체를 이용한 집적 회로상에, 산화물 반도체에 의한 반도체 소자를 적층시키는 것도 가능하다. 또한, 기판의 대형화에도 대응이 가능하다. 따라서, 상기 반도체 중에서도 특히 산화물 반도체는 양산성이 높다는 메리트를 가진다. 또한, 트랜지스터의 성능(예를 들어 전계 효과 이동도)을 향상시키기 위해 결정성의 산화물 반도체를 얻고자 하는 경우에도, 250℃에서 800℃의 열처리에 의해 쉽게 결정성의 산화물 반도체를 얻을 수 있다.

[0027] 이하의 설명에서는, 밴드 갭이 넓은 반도체로서, 상기와 같은 이점을 가지는 산화물 반도체를 이용하는 경우를 예로 들고 있다.

[0028] 상기와 같은 특성을 가지는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 매우 낮으며, 또한 고내압인 트랜지스터(102)를 실현할 수 있다. 그리고, 상기 구성을 가지는 트랜지스터(102)를 스위칭 소자로서 이용함으로써, 통상 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 이용한 경우와 비교하여, 액정 소자(103)에 축적된 전하의 리크를 막을 수 있다. 따라서, 화상 신호의 전위를 더욱 장기간에 걸쳐 유지할 수 있기 때문에, 화상 신호의 전위를 유지하기 위해 액정 소자(103)에 용량 소자를 접속하지 않아도, 표시되는 화질이 저하되는 것을 막을 수 있다. 따라서, 용량 소자를 형성하지 않거나, 또는 용량 소자의 크기를 작게 억제함으로써 개구율을 높일 수 있기 때문에, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0029] 또한, 본 명세서에 있어서, 용량 소자는 액정 소자 자체가 가지는 용량과는 구별된다.

[0030] 또한, 특별히 언급하지 않는 한, 본 명세서에서 오프 전류란, n채널형 트랜지스터에 있어서는, 드레인 전극을 소스 전극과 게이트 전극보다 높은 전위로 한 상태에서, 소스 전극의 전위를 기준으로 했을 때의 게이트 전극의 전위가 0 이하일 때에, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 의미한다. 또는, 본 명세서에서 오프 전류란, p채널형 트랜지스터에 있어서는, 드레인 전극을 소스 전극과 게이트 전극보다 낮은 전위로 한 상태에서, 소스 전극의 전위를 기준으로 했을 때의 게이트 전극의 전위가 0 이상일 때에, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 의미한다.

[0031] 또한, 트랜지스터가 가지는 소스 전극과 드레인 전극은, 트랜지스터의 극성 및 각 전극에 주어지는 전위의 차에 의해, 그 부르는 방법이 바뀐다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 주어지는 전극이 소스 전극이라고 불리며, 높은 전위가 주어지는 전극이 드레인 전극이라고 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 주어지는 전극이 드레인 전극이라고 불리며, 높은 전위가 주어지는 전극이 소스 전극이라고 불린다. 이하에서, 소스 전극과 드레인 전극 중 어느 한쪽을 제 1 단자, 다른 한쪽을 제 2 단자로 하고, 트랜지스터(102)와 액정 소자(103)의 구체적인 접속 관계에 대하여 설명한다.

[0032] 트랜지스터(102)의 게이트 전극은 주사선(G1)에서 주사선(Gy) 중 어느 하나에 접속되어 있다. 트랜지스터(102)의 제 1 단자는 신호선(S1)에서 신호선(Sx) 중 어느 하나에 접속되며, 트랜지스터(102)의 제 2 단자는, 액정 소자(103)의 화소 전극에 접속되어 있다.

[0033] 또한, 화소(100)는, 필요에 따라 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터 등의 그 밖의 회로 소자를 더 가지고 있어도 좋다.

[0034] 도 1(A)에서는, 화소(100)에 있어서, 하나의 트랜지스터(102)를 스위칭 소자로서 이용하고 있는 경우에 대하여 나타내고 있지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 이용하고 있어도 좋다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋으며, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.

[0035] 본 명세서에 있어서, 트랜지스터가 직렬로 접속되어 있는 상태란, 예를 들어, 제 1 트랜지스터의 제 1 단자와 제 2 단자 중 어느 한쪽만이, 제 2 트랜지스터의 제 1 단자와 제 2 단자 중 어느 한쪽에 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 병렬로 접속되어 있는 상태란, 제 1 트랜지스터의 제 1 단자가 제 2 트랜지스터의 제 1 단자에 접속되며, 제 1 트랜지스터의 제 2 단자가 제 2 트랜지스터의 제 2 단자에 접속되어 있는

상태를 의미한다.

- [0036] 또한, 본 명세서에 있어서 접속이란 전기적인 접속을 의미하고 있으며, 전류, 전압 또는 전위가 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, 접속된 상태란, 반드시 직접 접속된 상태를 가리키는 것이 아니며, 전류, 전압 또는 전위가 공급 가능, 또는 전송 가능하도록 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통하여 간접적으로 접속된 상태도 그 범주에 포함한다.
- [0037] 또한, 회로도상은 독립된 구성 요소끼리가 접속되어 있는 경우라도, 실제로는, 예를 들어 배선의 일부가 전극으로서 기능하는 경우 등, 하나의 도전막이 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 본 명세서에 있어서 접속이란, 이와 같은, 하나의 도전막이 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 그 범주에 포함한다.
- [0038] 도 1(B)에 임의의 신호선(Si)(i는 1에서 x-1 중 어느 것)에 접속된 1열의 화소(100)의 구성을 나타낸다. 단, 도 1(B)에서는, 도 1(A)과는 달리 액정 소자(103) 대신에, 액정 소자(103)가 가지는 화소 전극(104)을 도시하고 있다.
- [0039] 신호선(Si)에 접속되어 있는 화소(100)에서는, 화소 전극(104)이 신호선(Si)과, 신호선(Si)에 접속된 신호선(Si+1)에 끼워지도록 화소(100) 내에 배치되어 있다. 트랜지스터(102)가 오프 상태라면, 화소 전극(104)과 신호선(Si)은, 이상적으로는 전기적으로 분리되어 있다. 또한, 화소 전극(104)과 신호선(Si+1)도, 이상적으로는 전기적으로 분리되어 있다. 그러나, 실제로는, 화소 전극(104)과 신호선(Si)의 사이에는 기생 용량(106)이 존재하고 있으며, 또한 화소 전극(104)과 신호선(Si+1)의 사이에는 기생 용량(107)이 존재하고 있다.
- [0040] 액정 소자(103)에 용량 소자를 접속하지 않는 경우, 또는 액정 소자(103)에 접속되어 있는 용량 소자의 용량값이 작은 경우는, 화소 전극(104)의 전위가 상기 기생 용량(106)과 기생 용량(107)의 영향을 받기 쉽다. 그 때문에, 화상 신호의 전위를 유지하는 기간에 트랜지스터(102)가 오프 상태여도, 신호선(Si) 또는 신호선(Si+1)의 전위의 변화에 따라 상기 화소 전극(104)의 전위가 변동하는 소위 크로스토크라고 불리는 현상이 일어나기 쉽다. 그 때문에, 액정 소자(103)에 노멀리 화이트의 액정 소자를 이용한 경우, 화상이 희뿌옇게 되며 콘트라스트가 저하된다.
- [0041] 그래서, 본 발명의 일 양태에서는, 임의의 1프레임 기간에 있어서, 화소 전극(104)을 사이에 끼우고 배치되어 있는 신호선(Si)과 신호선(Si+1)에, 서로 반대의 극성을 가지는 화상 신호를 입력한다.
- [0042] 예를 들어, 도 1(B)에 나타난 것과 같이, 우선 제 1 프레임 기간에, 신호선(Si)에 정(+)의 극성을 가지는 화상 신호를 입력하고, 신호선(Si+1)에 부(-)의 극성을 가지는 화상 신호를 입력한다. 이어서, 제 2 프레임 기간에, 신호선(Si)에 부(-)의 극성을 가지는 화상 신호를 입력하고, 신호선(Si+1)에 정(+)의 극성을 가지는 화상 신호를 입력한다. 이어서, 제 3 프레임 기간에, 신호선(Si)에 정(+)의 극성을 가지는 화상 신호를 입력하고, 신호선(Si+1)에 부(-)의 극성을 가지는 화상 신호를 입력한다.
- [0043] 이와 같이, 신호선(Si)과 신호선(Si+1)에, 서로 반대의 극성을 가지는 화상 신호를 입력함으로써, 신호선(Si)의 전위의 변화에 의해 일어나게 될 화소 전극(104)의 전위의 변동과, 신호선(Si+1)의 전위의 변화에 의해 일어나게 될 화소 전극(104)의 전위의 변동이 역방향으로 작용하여 서로 소거한다. 따라서, 액정 소자(103)에 용량 소자를 접속하지 않는 경우, 또는 액정 소자(103)에 접속되어 있는 용량 소자의 용량값이 작은 경우라도, 화소 전극(104)의 전위의 변동을 작게 억제할 수 있다. 따라서, 크로스토크의 발생을 억제하고 화질을 향상시킬 수 있다.
- [0044] 또한, 인접하는 신호선에 서로 반대의 극성을 가지는 화상 신호를 입력하는 구동 방법에는, 소스 라인 반전과 도트 반전이 있다.
- [0045] 도 2(A)와 도 2(B)에, 소스 라인 반전을 이용한 경우의 각 화소에 주어지는 화상 신호의 극성을 모식적으로 나타낸다. 도 2(A)에서는, 임의의 1프레임 기간에 주어지는 화상 신호가 정(+)의 극성의 화소를 +의 기호로 나타내고 있다. 또한, 도 2(A)에서는, 임의의 1프레임 기간에 주어지는 화상 신호가 부(-)의 극성의 화소를 -의 기호로 나타내고 있다. 또한, 도 2(B)에서는, 도 2(A)의 다음 프레임 기간에 주어지는 화상 신호가 정(+)의 극성의 화소를 +의 기호로 나타내고 있다. 또한, 도 2(B)에서는, 도 2(A)의 다음 프레임 기간에 주어지는 화상 신호가 부(-)의 극성의 화소를 -의 기호로 나타내고 있다.
- [0046] 도 2(A)와 도 2(B)에 나타난 것과 같이, 소스 라인 반전에서는, 동일한 신호선에 접속되어 있는 복수의 화소 전부에, 동일한 극성을 가지는 화상 신호가 주어진다. 그리고, 인접한 신호선에 접속되어 있는 복수의 화소

전부에, 상기 극성과는 반대의 극성을 가지는 화상 신호가 주어지 있다.

- [0047] 또한, 도 3(A)과 도 3(B)에, 도트 반전을 이용한 경우의 각 화소에 주어지는 화상 신호의 극성을 모식적으로 나타낸다. 도 3(A)에서는, 임의의 1프레임 기간에 주어지는 화상 신호가 정의 극성의 화소를 +의 기호로, 또는 부의 극성의 화소를 -의 기호로 나타내고 있다. 또한, 도 3(B)에서는, 도 3(A)의 다음 프레임 기간에 주어지는 화상 신호가 정의 극성의 화소를 +의 기호로, 또는 부의 극성의 화소를 -의 기호로 나타내고 있다.
- [0048] 도 3(A)과 도 3(B)에 나타난 것과 같이, 도트 반전에서는, 하나의 신호선에 접속되어 있는 복수의 화소와, 상기 복수의 화소에 각각 접속하며, 또한 상기 하나의 신호선에 접속한 다른 신호선에 접속되어 있는 복수의 화소에, 서로 반대의 극성을 가지는 화상 신호가 주어지 있다. 또한, 동일한 신호선에 접속되어 있는 복수의 화소에, 인접하는 화소끼리 서로 반대의 극성을 가지는 화상 신호가 주어지 있다. 즉, 1프레임 기간에 착안하면, 하나의 신호선에 입력되는 화상 신호의 극성은, 번갈아 반전하는 것이 된다.
- [0049] 이어서, 도 4에 도 1(A)에 나타난 화소부(101)를 소스 라인 반전으로 동작시킨 경우의 타이밍 차트를 나타낸다. 구체적으로, 도 4에서는 주사선(G1)에 주어지는 신호의 전위와, 신호선(S1)에서 신호선(Sx)에 주어지는 화상 신호의 전위와, 주사선(G1)에 접속된 각 화소가 가지는 화소 전극의 전위의 시간 변화를 나타내고 있다.
- [0050] 우선, 주사선(G1)에 펄스를 가지는 신호가 입력됨으로써, 주사선(G1)이 선택된다. 선택된 주사선(G1)에 접속된 복수의 각 화소(100)의 트랜지스터(102)가 온이 된다. 그리고, 트랜지스터(102)가 온 상태일 때에, 신호선(S1)에서 신호선(Sx)에 화상 신호의 전위가 주어지면, 온 상태의 트랜지스터(102)를 통하여 화상 신호의 전위가 액정 소자(103)의 화소 전극에 주어진다.
- [0051] 도 4에 나타내는 타이밍 차트에서는, 제 1 프레임 기간의 주사선(G1)이 선택되어 있는 기간에, 홀수 번째의 신호선(S1), 신호선(S3), ...에 정의 극성의 화상 신호가 차례로 입력되어 있으며, 짝수 번째의 신호선(S2), 신호선(S4), ...신호선(Sx)에 부의 극성의 화상 신호가 입력되어 있는 예를 나타내고 있다. 따라서, 홀수 번째의 신호선(S1), 신호선(S3), ...신호선(Sx-1)에 접속된 화소(100) 내의 화소 전극(S1), 화소 전극(S3), ...화소 전극(Sx-1)에는 정의 극성의 화상 신호가 주어지 있다. 또한, 짝수 번째의 신호선(S2), 신호선(S4), ...신호선(Sx)에 접속된 화소(100) 내의 화소 전극(S2), 화소 전극(S4), ...화소 전극(Sx)에는 부의 극성의 화상 신호가 주어지 있다.
- [0052] 액정 소자(103)에서는, 화소 전극과 대향 전극의 사이에 주어지는 전압의 값에 따라서, 액정 분자의 배향이 변화하며 투과율이 변화한다. 따라서, 액정 소자(103)는 화상 신호의 전위에 의해 그 투과율이 제어됨으로써, 계조를 표시할 수 있다.
- [0053] 신호선(S1)에서 신호선(Sx)으로의 화상 신호의 입력이 종료되면, 주사선(G1)의 선택은 종료된다. 주사선의 선택이 종료되면, 이 주사선을 가지는 화소(100)의 트랜지스터(102)가 오프가 된다. 그렇게 되면, 액정 소자(103)는, 화소 전극과 대향 전극의 사이에 주어진 전압을 유지함으로써, 계조의 표시를 유지한다. 그리고, 주사선(G2)에서 주사선(Gy)이 차례로 선택되며, 주사선(G1)이 선택되어 있던 기간과 마찬가지로 동작이 상기 각 주사선에 접속된 화소에서 행해진다.
- [0054] 이어서, 제 2 프레임 기간에서, 재차 주사선(G1)이 선택된다. 그리고, 제 2 프레임 기간의 주사선(G1)이 선택되어 있는 기간에서는, 제 1 프레임 기간의 주사선(G1)이 선택되어 있는 기간과는 달리, 홀수 번째의 신호선(S1), 신호선(S3), ...신호선(Sx-1)에 부의 극성의 화상 신호가 차례로 입력되어 있으며, 짝수 번째의 신호선(S2), 신호선(S4), ...신호선(Sx)에 정의 극성의 화상 신호가 입력되어 있다. 따라서, 홀수 번째의 신호선(S1), 신호선(S3), ...신호선(Sx-1)에 접속된 화소(100) 내의 화소 전극(S1), 화소 전극(S3), ...화소 전극(Sx-1)에는 부의 극성의 화상 신호가 주어지 있다. 또한, 짝수 번째의 신호선(S2), 신호선(S4), ...신호선(Sx)에 접속된 화소(100) 내의 화소 전극(S2), 화소 전극(S4), ...화소 전극(Sx)에는 정의 극성의 화상 신호가 주어지 있다.
- [0055] 제 2 프레임 기간에서도, 신호선(S1)에서 신호선(Sx)으로의 화상 신호의 입력이 종료되면, 주사선(G1)의 선택은 종료된다. 그리고, 주사선(G2)에서 주사선(Gy)이 차례로 선택되며, 주사선(G1)이 선택되어 있던 기간과 마찬가지로 동작이 상기 각 주사선에 접속된 화소에서 행해진다.
- [0056] 그리고, 제 3 프레임 기간과 제 4 프레임 기간에서도, 상기 동작이 마찬가지로 반복된다.
- [0057] 또한, 도 4에 나타내는 타이밍 차트에서는, 신호선(S1)에서 신호선(Sx)에 차례로 화상 신호가 입력되어 있는 경우를 예시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 신호선(S1)에서 신호선(Sx)에 일제히 화상 신호

가 입력되어도 좋고, 복수의 신호선마다 차례로 화상 신호가 입력되어도 좋다.

- [0058] 또한, 본 실시형태에서는, 프로그레시브 방식을 이용한 경우의, 주사선의 선택에 대해 설명했지만, 인터레이스 방식을 이용하여 주사선의 선택을 행하도록 해도 좋다.
- [0059] 또한, 화상 신호의 전위의 극성을, 대향 전극의 전위를 기준으로 하여 반전시키는 반전 구동을 행함으로써, 번인(burn-in)이라고 불리는 액정의 열화를 막을 수 있다. 그러나, 반전 구동을 행하면, 화상 신호의 극성이 변화할 때에 신호선에 주어지는 전위의 변화가 커지기 때문에, 스위칭 소자로서 기능하는 트랜지스터(102)의 소스 전극과 드레인 전극의 전위차가 커진다. 따라서, 트랜지스터(102)는, 스레숄드 전압의 시프트 등의 특성의 열화가 일어나기 쉽다. 또한, 액정 소자(103)에 유지되어 있는 전압을 유지하기 위해, 소스 전극과 드레인 전극의 전위차가 커도, 낮은 오프 전류가 요구된다. 본 발명의 일 양태에서는, 트랜지스터(102)에, 실리콘 또는 게르마늄보다 밴드 갭이 크고, 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 이용하고 있으므로, 트랜지스터(102)의 내압성을 높이고, 오프 전류를 현저히 낮출 수 있다. 따라서, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 이용한 경우와 비교하여, 트랜지스터(102)의 열화를 막고, 액정 소자(103)에 유지되어 있는 전압을 유지할 수 있다.
- [0060] 또한, 액정은, 전압이 인가되고 나서부터 그 투과율이 포화될 때까지의 응답시간이 일반적으로 십수 msec 정도이다. 따라서, 액정의 응답 지연이 영상의 흐릿함으로 시인되기 쉽다. 그래서, 본 발명의 일 양태에서는, 액정 소자(103)에 인가되는 전압을 일시적으로 크게 하여 액정의 배향을 빠르게 변화시키는 오버 드라이브 구동을 이용해도 좋다. 오버 드라이브 구동을 이용함으로써, 액정의 응답 속도를 올리고, 동영상의 흐릿함을 막으며, 동영상의 화질을 개선할 수 있다.
- [0061] 또한, 트랜지스터(102)가 오프가 된 후에도, 액정 소자의 투과율이 포화되지 않고 계속 변화하면, 액정의 비유전율이 변화하기 때문에, 액정 소자를 유지하는 전압이 변화하기 쉽다. 특히, 본 발명의 일 양태와 같이, 액정 소자에 병렬로 용량 소자를 접속하지 않는 경우, 또는, 액정 소자에 병렬로 용량 소자를 접속하고 있어도 그 용량값이 작은 경우, 상기 액정 소자가 유지하는 전압의 변화는 현저하게 일어나기 쉽다. 그러나, 상기 오버 드라이브 구동을 이용함으로써, 응답 시간을 줄일 수 있으므로, 트랜지스터(102)가 오프가 된 후의 액정 소자의 투과율의 변화를 작게 할 수 있다. 따라서, 액정 소자에 병렬로 용량 소자를 접속하지 않는 경우, 또는, 액정 소자에 병렬로 용량 소자를 접속하고 있어도 그 용량값이 작은 경우에도 트랜지스터(102)가 오프가 된 후에 액정 소자가 유지하는 전압이 변화하는 것을 막을 수 있다.
- [0062] 다음으로, 본 발명의 일 양태에 있어, 화소의 구체적인 구성에 대해 설명한다. 도 5(A)에 본 발명의 일 양태에 있어, 화소의 상면도의 일례를 나타낸다. 또한, 도 5(A)의 과선 A1-A2의 단면도를 도 5(B)에 나타낸다.
- [0063] 도 5(A)에 나타내는 화소(100)에서는, 기판(200) 상에 절연막(201)이 형성되어 있으며, 또한 절연막(201) 상에 도전막(202)이 형성되어 있다. 도전막(202)은, 주사선 및 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(202) 상에 게이트 절연막(204)이 형성되어 있으며, 게이트 절연막(204) 상에 도전막(202)과 겹치는 위치에 반도체막(205)이 형성되어 있다. 반도체막(205)은, 실리콘 반도체보다 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체, 예를 들어 산화물 반도체를 포함하고 있으며, 트랜지스터(102)의 활성층으로서 기능한다.
- [0064] 또한, 반도체막(205) 상에, 도전막(206)과 도전막(207)이 형성되어 있다. 도전막(206)과 도전막(207)은, 게이트 절연막(204) 및 반도체막(205) 상에 형성된 하나의 도전막을 에칭 등에 의해 원하는 형상으로 가공함으로써 형성할 수 있다. 도전막(206)은, 신호선 및 트랜지스터(102)의 제 1 단자로서 기능한다. 또한, 도전막(207)은, 트랜지스터(102)의 제 2 단자로서 기능한다.
- [0065] 반도체막(205), 도전막(206) 및 도전막(207) 상에는, 절연막(208)이 형성되어 있으며, 절연막(208) 상에는 액정 소자(103)가 가지는 화소 전극(104)이 형성되어 있다. 화소 전극(104)은, 절연막(208)에 형성된 콘택트 홀을 통하여 도전막(207)에 접속되어 있다.
- [0066] 도 5(A)에 나타낸 것과 같이, 본 발명의 일 양태에서는, 액정 소자에 병렬로 용량 소자를 접속하고 있지 않다. 바꾸어 말하면, 도전막(207)은 화소 전극(104)과 반도체막(205)에만 전기적으로 접속하고 있다. 따라서, 화소(100)의 개구율을 대폭 향상시킬 수 있다.
- [0067] 또한, 도 5(A)에서는, 역 스테거형 트랜지스터(102)를 일례로서 나타냈지만, 트랜지스터(102)는 보텀 콘택트형이나 탑 게이트형 등, 다른 트랜지스터의 구조를 가지고 있어도 좋다.

- [0068] 화소 전극(104)에는, 투광성을 가지는 도전막을 이용한다. 투광성을 가지는 도전막은, 산화 인듐이나 산화 인듐 산화 주석 혼합 산화물(이하 ITO라고 약기한다) 등을 스퍼터링법이나 진공 증착법 등을 이용해 형성한다. 투광성을 가지는 도전막의 다른 재료로서, 질소를 포함시킨 Al-Zn-O계 산화물 반도체, 질소를 포함시킨 Zn-O계 산화물 반도체, 질소를 포함시킨 Sn-Zn-O계 산화물 반도체를 이용해도 좋다.
- [0069] 또한, 실제로는, 화소부에 상기 화소(100)가 복수 배치된다. 복수의 화소(100)는, 스트라이프 배치, 델타 배치, 또는 베이어(Bayer) 배치를 이용해 화소부에 배열되어 있어도 좋다.
- [0070] 또한, 컬러를 표시할 때에 이용하는 색은, RGB(R은 적(赤), G는 녹(綠), B는 청(靑))의 3색에 한정되지 않고, 그 이상의 수의 색을 이용하고 있어도 좋다. 예를 들어, RGBW(W는 백(白)), 또는 RGB에 옐로, 시안(청록), 마젠타(자홍) 등을 한 색 이상 추가하여, 컬러 표시를 행해도 좋다.
- [0071] 또한, 도 5에 나타난 화소에, 빛을 차폐할 수 있는 차폐막이 형성되어 있어도 좋다. 도 17(A)에, 차폐막(210)을 도 5에 나타난 화소(100)에 겹친 경우의 상면도의 일례를 나타낸다. 또한, 도 17(A)의 파선 A1-A2의 단면도를 도 17(B)에 나타낸다. 도 17에 나타난 것과 같이, 차폐막(210)이 화소 전극(104)과 겹치는 영역에 개구부를 가지고 있다. 따라서, 차폐막(210)에 의해 반도체막(205)이 차광되므로, 반도체막(205)에 포함되는 산화물 반도체의 광열화를 막고, 트랜지스터(102)의 스레숄드 전압의 시프트 등의 특성의 열화가 일어나는 것을 막을 수 있다. 또한, 차폐막(210)을 화소간에 형성함으로써, 화소간의 액정의 배향의 무질서에 기인하는 디스클리네이션이 시인되는 것을 막을 수 있다.
- [0072] 또한, 도 17에 나타난 것과 같이, 반도체막(205)을 게이트 전극으로서 기능하는 도전막(202)과 완전히 겹치는 위치에 형성함으로써, 반도체막(205)에 기관(200) 측으로부터 빛이 입사(入射)하는 것을 막을 수 있다. 따라서, 반도체막(205)에 포함되는 산화물 반도체의 광열화를 막고, 트랜지스터(102)의 스레숄드 전압의 시프트 등의 특성의 열화가 일어나는 것을 막을 수 있다.
- [0073] 또한, 구동 회로를 패널에 형성하는 경우, 구동 회로에 이용되는 트랜지스터에도 게이트 전극 또는 차폐막에 의한 차광을 행함으로써, 트랜지스터의 스레숄드 전압의 시프트 등의 특성의 열화가 일어나는 것을 막을 수 있다.
- [0074] 다음으로, 본 발명의 일 양태에 있어 산화물 반도체막을 이용한 트랜지스터에 의해, 어느 정도로 액정 표시 장치의 각 화소에서의 개구율이 향상되는가에 대해 대략적으로 추측해 보기로 한다.
- [0075] 화소의 개구율을 추측하기 위한 파라미터는, 산화물 반도체막을 이용한 트랜지스터의 오프 전류를 1yA, 화소부의 크기를 대각 3.4인치, 표시하는 계조를 256계조, 입력하는 전압을 10V, 1프레임 기간을 1.66×10^{-2} sec라고 가정한다. 또한, 게이트 절연막의 비유전율을 3.7, 막의 두께를 100nm라고 가정한다.
- [0076] 우선 화소수 $540 \times \text{RGB} \times 960$ 의 패널(제 1 패널이라고 한다)에 상기 파라미터를 적용했을 때의 용량 소자의 면적 및 개구율에 대해 어렵잡아 본다. 이 패널에 있어서는, 화소 크기가 $26\mu\text{m} \times 78\mu\text{m}$, 즉 화소의 면적이 $2.03 \times 10^{-9} \text{m}^2$ 가 된다. 이 중, 배선 및 트랜지스터가 차지하는 영역을 뺀 면적은 $1.43 \times 10^{-9} \text{m}^2$ 가 되며, 배선 및 트랜지스터가 차지하는 영역의 면적은 $6.00 \times 10^{-10} \text{m}^2$ 가 된다.
- [0077] 제 1 패널에서 필요 최저한의 용량값을 가지는 용량 소자는, 산화물 반도체막을 가지는 트랜지스터를 갖춘 화소로, $4.25 \times 10^{-25} \text{F}$ 가 된다. 이 경우, 필요한 용량 면적이 $1.30 \times 10^{-21} \text{m}^2$ 가 되며, 화소에 차지하는 용량 소자의 면적의 비율이 $6.4 \times 10^{-11} \%$, 개구율이 70.4%가 된다.
- [0078] 또한, 화소수 $480 \times \text{RGB} \times 640$ 의 패널(제 2 패널이라고 한다)에 상기 파라미터를 적용했을 때의 용량 소자의 면적 및 개구율에 대해 어렵잡아 본다. 이 패널에 있어서는, 화소 크기가 $36\mu\text{m} \times 108\mu\text{m}$, 즉 화소의 면적이 $3.89 \times 10^{-9} \text{m}^2$ 가 된다. 이 중, 배선 및 트랜지스터가 차지하는 영역을 뺀 면적은 $3.29 \times 10^{-9} \text{m}^2$ 가 되며, 배선 및 트랜지스터가 차지하는 영역의 면적은 $6.00 \times 10^{-10} \text{m}^2$ 가 된다.
- [0079] 제 2 패널에서 필요 최저한의 용량값을 가지는 용량 소자는, 산화물 반도체막을 가지는 트랜지스터를 갖춘 화소로, $4.25 \times 10^{-25} \text{F}$ 가 된다. 이 경우, 필요한 용량 면적이 $1.30 \times 10^{-21} \text{m}^2$ 가 되며, 화소에 차지하는 용량 소자의 면적의 비율이 $3.3 \times 10^{-11} \%$, 개구율이 84.6%가 된다.
- [0080] 따라서, 제 1 패널 및 제 2 패널에, 본 발명의 일 양태에 있어 오프 전류가 낮은 트랜지스터를 이용함으로써,

필요 최저한의 용량값을 가지는 용량 소자의 면적은 거의 무시할 수 있는 정도로 작게 할 수 있다. 따라서, 제 1 패널에서 70.4%, 제 2 패널에서 84.6%라는 높은 개구율을 얻을 수 있음을 알 수 있다.

- [0081] (실시형태 2)
- [0082] 본 실시형태에서는, 산화물 반도체를 이용한 트랜지스터의 제작 방법에 대해 설명한다.
- [0083] 우선, 도 6(A)에 나타난 것과 같이, 기판(700)의 절연 표면 상에, 절연막(701)을 형성하고, 절연막(701) 상에 게이트 전극(702)을 형성한다.
- [0084] 기판(700)으로서 사용할 수 있는 기판은 투광성을 가지고 있다면 좋으며, 그 밖에는 특별히 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지는 것이 필요하게 된다. 예를 들어, 기판(700)에는, 퓨전법이나 플로트법으로 제작되는 유리 기판, 석영 기판, 세라믹 기판 등을 이용할 수 있다. 유리 기판으로서, 후의 가열 처리의 온도가 높은 경우에는 변형점이 730℃ 이상의 것을 이용하면 좋다. 플라스틱 등의 가요성을 가지는 합성 수지로 이루어진 기판은, 일반적으로 상기 기판과 비교하여 내열 온도가 낮은 경향이 있지만, 제작 공정에서 처리 온도에 견딜 수 있다면 이용하는 것이 가능하다.
- [0085] 절연막(701)은, 후의 제작 공정에서 가열 처리의 온도에 견딜 수 있는 재료를 이용한다. 구체적으로는, 절연막(701)으로서, 산화 규소, 질화 규소, 질화 산화 규소, 산화 질화 규소, 질화 알루미늄, 산화 알루미늄 등을 이용하는 것이 바람직하다.
- [0086] 또한, 본 명세서에 있어서 산화 질화물이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 물질이며, 또한, 질화 산화물이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 물질을 의미한다.
- [0087] 게이트 전극(702)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 이용한 도전막, 또는 이들 금속 질화물을 단층으로 또는 적층으로 이용할 수 있다. 또한, 후의 공정에서 행해지는 가열 처리의 온도에 견딜 수 있다면, 상기 금속 재료로서 알루미늄, 구리를 이용할 수도 있다. 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위해 고용점 금속 재료와 조합해 이용하면 좋다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 이용할 수 있다.
- [0088] 예를 들어, 이층의 적층 구조를 가지는 게이트 전극(702)으로서, 게르마늄막상에 몰리브덴막이 적층된 이층 구조, 구리막 상에 몰리브덴막을 적층한 이층 구조, 구리막상에 질화 티타늄막 또는 질화 탄탈막을 적층한 이층 구조, 또는, 질화 티타늄막과 몰리브덴막을 적층한 이층 구조로 하는 것이 바람직하다. 3층의 적층 구조를 가지는 게이트 전극(702)으로서, 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막 또는 알루미늄과 네오디뮴의 합금막을 중간층으로 하고, 텅스텐막, 질화 텅스텐막, 질화 티타늄막 또는 티타늄막을 상하층으로서 적층한 구조로 하는 것이 바람직하다.
- [0089] 또한, 게이트 전극(702)에 산화 인듐, 산화 인듐 산화 주석 혼합 산화물, 산화 인듐 산화 아연 혼합 산화물, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성을 가지는 산화물 도전막을 이용할 수도 있다.
- [0090] 게이트 전극(702)의 막 두께는, 10nm~400nm, 바람직하게는 100nm~200nm로 한다. 본 실시형태에서는, 텅스텐 타겟을 이용한 스퍼터링법에 의해 150nm의 게이트 전극용 도전막을 형성한 후, 이 도전막을 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 게이트 전극(702)을 형성한다. 또한, 형성된 게이트 전극의 단부가 테이퍼 형상이면, 위에 적층하는 게이트 절연막의 피복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0091] 이어서, 도 6(B)에 나타난 것과 같이, 게이트 전극(702) 상에 게이트 절연막(703)을 형성한 후, 게이트 절연막(703) 상에 게이트 전극(702)과 겹치는 위치에, 섬 형상의 산화물 반도체막(704)을 형성한다.
- [0092] 게이트 절연막(703)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용해, 산화 규소막, 질화 규소막, 산화 질화 규소막, 질화 산화 규소막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 산화 하프늄막 또는 산화 탄탈막을 단층으로 또는 적층시켜 형성할 수 있다. 게이트 절연막(703)은, 수분이나, 수소, 산소 등의 불순물을 가능한 한 포함하지 않는 것이 바람직하다. 스퍼터링법에 의해 산화 규소막을 성막

하는 경우에는 타겟으로서 실리콘 타겟 또는 석영 타겟을 이용하며, 스퍼터링 가스로서 산소 또는 산소 및 아르곤의 혼합 가스를 이용한다.

- [0093] 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대하여 매우 민감하기 때문에, 고순도화된 산화물 반도체와 게이트 절연막(703)의 계면은 중요하다. 그 때문에 고순도화된 산화물 반도체에 접하는 게이트 절연막(G1)은, 고품질화가 요구된다.
- [0094] 예를 들어, μ 파(주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연막이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호하게 할 수 있기 때문이다.
- [0095] 물론, 게이트 절연막(703)으로서 양질의 절연막을 형성할 수 있다면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막 후의 열처리에 의해 막의 질이나, 산화물 반도체와의 계면 특성이 개선되는 절연막이어도 좋다. 어쨌든, 게이트 절연막으로서의 막질이 양호한 것은 물론이고, 게이트 절연막과 산화물 반도체와의 계면 준위 밀도를 저감하여, 양호한 계면을 형성할 수 있는 것이라면 좋다.
- [0096] 배리어성이 높은 재료를 이용한 절연막과, 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 적층시킨 구조를 가지는 게이트 절연막(703)을 형성해도 좋다. 이 경우, 산화 규소막, 산화 질화 규소막 등의 절연막은 배리어성이 높은 절연막과 산화물 반도체막의 사이에 형성한다. 배리어성이 높은 절연막으로서, 예를 들어, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 들 수 있다. 배리어성이 높은 절연막을 이용함으로써, 수분 또는 수소 등의 분위기 중의 불순물, 또는 기판 내에 포함되는 알칼리 금속, 중금속 등의 불순물이 산화물 반도체막 내(內), 게이트 절연막(703) 내, 또는 산화물 반도체막과 다른 절연막의 계면과 그 근방에 들어가는 것을 막을 수 있다. 또한, 산화물 반도체막에 접하도록 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성함으로써, 배리어성이 높은 절연막이 직접 산화물 반도체막에 접하는 것을 막을 수 있다.
- [0097] 예를 들어, 제 1 게이트 절연막으로서 스퍼터링법에 의해 막 두께 50nm 이상 200nm 이하의 질화 규소막(SiN_y ($y>0$))을 형성하며, 제 1 게이트 절연막 상에 제 2 게이트 절연막으로서 막 두께 5nm 이상 300nm 이하의 산화 규소막(SiO_x ($x>0$))을 적층하여, 게이트 절연막(703)으로 해도 좋다. 게이트 절연막(703)의 막의 두께는, 트랜지스터에 요구되는 특성에 따라 적절히 설정하면 되고 350nm 내지 400nm 정도여도 좋다.
- [0098] 본 실시형태에서는, 스퍼터링법으로 형성된 막 두께 50nm의 질화 규소막상에, 스퍼터링법으로 형성된 막 두께 100nm의 산화 규소막을 적층시킨 구조를 가지는 게이트 절연막(703)을 형성한다.
- [0099] 또한, 게이트 절연막(703)은 후에 형성되는 산화물 반도체와 접한다. 산화물 반도체는, 수소가 함유되면 특성에 악영향을 미치므로, 게이트 절연막(703)은 수소, 수산기 및 수분이 포함되지 않는 것이 바람직하다. 게이트 절연막(703)에 수소, 수산기 및 수분이 가급적 포함되지 않도록 하기 위해서는, 성막의 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극(702)이 형성된 기판(700)을 예비 가열하며, 기판(700)에 흡착한 수분 또는 수소 등의 불순물을 제거하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다.
- [0100] 섬 형상의 산화물 반도체막(704)은, 게이트 절연막(703) 상에 형성된 산화물 반도체막을 원하는 형상으로 가공함으로써 형성할 수 있다. 상기 산화물 반도체막의 막 두께는, 2nm 이상 200nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 한다. 산화물 반도체막은, 산화물 반도체를 타겟으로서 이용하며, 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막은, 회가스(예를 들어 아르곤) 분위기하, 산소 분위기하, 또는 회가스(예를 들어 아르곤) 및 산소 혼합 분위기하에서 스퍼터링법에 의해 형성할 수 있다.
- [0101] 또한, 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여, 게이트 절연막(703)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타겟측에 전압을 인가하지 않고 아르곤 분위기하에서 기판측에 RF 전원을 이용해 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기를 대신하여 질소, 헬륨 등을 이용해도 좋다. 또한, 아르곤 분위기에 산소, 아산화 질소 등을 더한 분위기로 행해도 좋다. 또한, 아르곤 분위기에 염소, 사불화 탄소 등을 더한 분위기로 행해도 좋다.
- [0102] 산화물 반도체막에는, 상기와 같이 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물

인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다.

[0103] 본 실시형태에서는, In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타겟을 이용한 스퍼터링법에 의해 얻어지는 막 두께 30nm의 In-Ga-Zn-O계 산화물 반도체의 박막을 산화물 반도체막으로서 이용한다. 상기 타겟으로서, 예를 들어, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol수비]의 조성비를 가지는 타겟을 이용한다. 또한, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol수비]의 조성비를 가지는 타겟, 또는 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol수비]를 가지는 타겟을 이용할 수 있다. 또한, In, Ga 및 Zn을 포함하는 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타겟을 이용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.

[0104] 본 실시형태에서는, 감압 상태로 유지된 처리실 내에 기판을 보유하며, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하며, 상기 타겟을 이용해 기판(700) 상에 산화물 반도체막을 성막한다. 성막시에 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 해도 좋다. 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용해 성막실을 배기하면, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(더욱 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0105] 성막 조건의 일례로서는, 기판과 타겟의 사이와의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막시에 발생하는 먼지를 경감할 수 있으며, 막의 두께 분포도 균일하게 되기 때문에 바람직하다.

[0106] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 가급적 포함되지 않도록 하기 위해서, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(703)까지가 형성된 기판(700)을 예비 가열하며, 기판(700)에 흡착한 수분 또는 수소 등의 불순물을 제거하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다. 또한, 이 예비 가열은, 후에 행해지는 절연막(707)의 성막 전에 도전막(705), 도전막(706)까지 형성한 기판(700)에도 마찬가지로 행해도 좋다.

[0107] 또한, 섬 형상의 산화물 반도체막(704)을 형성하기 위한 에칭은, 드라이 에칭이어도 웨트 에칭이어도 좋고 둘다 이용해도 좋다. 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 3염화 붕소(BCl_3), 4염화 규소(SiCl_4), 4염화 탄소(CCl_4) 등)가 바람직하다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 4불화 탄소(CF_4), 6불화 황(SF_6), 3불화 질소(NF_3), 트리플루오로 메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.

[0108] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.

[0109] 웨트 에칭에 이용하는 에칭액으로서, ITO-07N(관동 화학사(KANTO CHEMICAL CO., INC.) 제조)을 이용해도 좋다.

[0110] 섬 형상의 산화물 반도체막(704)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 코스트를 저감할 수 있다.

[0111] 또한, 다음 공정의 도전막을 형성하기 전에 역 스퍼터링을 행하여, 섬 형상의 산화물 반도체막(704) 및 게이트 절연막(703)의 표면에 부착되어 있는 레지스트 잔사(殘渣) 등을 제거하는 것이 바람직하다.

[0112] 또한, 스퍼터링 등으로 성막된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소가 다량 포함되어 있는 일

이 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 그래서, 본 발명의 일 양태에서는, 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감하기 위해서, 섬 형상의 산화물 반도체막(704)에 대하여, 질소, 산소, 조건조 공기, 또는 회가스(아르곤, 헬륨 등)의 분위기하에서 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하인 것이 바람직하다.

[0113] 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 섬 형상의 산화물 반도체막(704) 중의 수분 또는 수소를 이탈시킬 수 있다. 구체적으로는, 300℃ 이상 700℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 가열 처리를 행하면 좋다. 예를 들어, 500℃, 3분간 이상 6분간 이하 정도로 행하면 좋다. 가열 처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 변형점을 넘는 온도로도 처리할 수 있다.

[0114] 본 실시형태에서는, 가열 처리 장치의 하나인 전기로를 이용한다.

[0115] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 갖추고 있어도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 회가스, 또는 질소와 같은 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0116] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0117] 이상의 공정에 의해, 섬 형상의 산화물 반도체막(704) 중의 수소의 농도를 저감하고 고순도화할 수 있다. 그것에 의해 산화물 반도체막의 특성의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리로, 캐리어 밀도가 극단적으로 적고, 밴드 갭이 넓은 산화물 반도체막을 형성할 수 있다. 이 때문에, 대면적 기판을 이용해 트랜지스터를 제작할 수 있으며, 양산성을 높일 수 있다. 또한, 이 수소 농도가 저감되어 고순도화된 산화물 반도체막을 이용함으로써, 내압성이 높고 오프 전류가 현저히 낮은 트랜지스터를 제작할 수 있다.

[0118] 또한, 산화물 반도체막을 가열할 경우, 산화물 반도체막의 재료나 가열 조건에도 따르지만, 그 표면에 판상(板狀) 결정이 형성되는 일이 있다. 판상 결정은, 산화물 반도체막의 표면에 대해 거의 수직으로 c축 배향된 단결정체인 것이 바람직하다. 또한, 단결정체가 아니라도, 각 결정이 산화물 반도체막의 표면에 대해 거의 수직으로 c축 배향된 다결정체인 것이 바람직하다. 그리고, 상기 다결정체는, c축 배향되어 있는 것에 더해, 각 결정의 a, b면이 일치하지만, a축, 또는 b축이 일치하고 있는 것이 바람직하다. 또한, 산화물 반도체막의 하지 표면에 요철이 있는 경우, 판상 결정은 다결정체가 된다. 따라서, 하지 표면은 가능한 한 평탄한 것이 바람직하다.

[0119] 이어서, 도 6(C)에 나타난 것과 같이, 소스 전극, 드레인 전극으로서 기능하는 도전막(705), 도전막(706)과, 상기 도전막(705), 도전막(706) 및 섬 형상의 산화물 반도체막(704) 상에 절연막(707)을 형성한다.

[0120] 도전막(705), 도전막(706)은 섬 형상의 산화물 반도체막(704)을 덮도록, 스퍼터링법이나 진공 증착법으로 도전막을 형성한 후, 에칭 등에 의해 이 도전막을 패터닝함으로써 형성할 수 있다.

[0121] 도전막(705) 및 도전막(706)은 섬 형상의 산화물 반도체막(704)에 접해 있다. 도전막(705), 도전막(706)이 되는 도전막의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나 상기 원소를 조합한 합금막 등을 들 수 있다. 또한, 알루미늄, 구리 등의 금속막의 하층 또는 상층에 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 등의 고용점 금속막을 적층시킨 구성으로 해도 좋다. 또한, 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위해 고용점 금속 재료와 조합해 이용하면 좋다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 이트륨 등을 이용할 수 있다.

[0122] 또한, 도전막은, 단층 구조로 해도 2층 이상의 적층 구조로 해도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막상에 티타늄막을 적층하는 2층 구조, 티타늄막과 그 티타늄막상에 겹쳐서 알루미늄

늄막을 적층하고, 그 위에 티타늄막을 더 성막하는 3층 구조 등을 들 수 있다.

- [0123] 또한, 도전막(705), 도전막(706)이 되는 도전막으로서는, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 산화 주석 혼합 산화물, 산화 인듐 산화 아연 혼합 산화물, 또는 상기 금속 산화물 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0124] 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다.
- [0125] 또한, 도전막을 에칭할 때에, 섬 형상의 산화물 반도체막(704)가 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 섬 형상의 산화물 반도체막(704)의 노출된 부분이 일부 에칭됨으로써 홈부(오목부)가 형성되는 일도 있다.
- [0126] 본 실시형태에서는, 도전막에 티타늄막을 이용한다. 그 때문에, 암모니아와 과산화 수소수를 포함하는 용액(암모니아 과수)을 이용해 선택적으로 도전막을 웨트 에칭할 수 있지만, 섬 형상의 산화물 반도체막(704)도 일부 에칭된다. 구체적으로는, 31 중량%의 과산화 수소수와, 28 중량%의 암모니아수와 물을 체적비 5:2:2로 혼합한 암모니아 과수를 이용한다. 또는, 염소(Cl_2), 3염화 붕소(BCl_3) 등을 포함하는 가스를 이용해 도전막을 드라이 에칭해도 좋다.
- [0127] 또한, 포토 리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과한 빛에 다단계의 강도를 갖게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 이용해 에칭 공정을 행해도 좋다. 다계조 마스크를 이용해 형성한 레지스트 마스크는 복수의 막 두께를 가지는 형상이 되며, 에칭을 행함으로써 더욱 형상이 변형될 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 두 종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크 수를 삭감할 수 있으며, 대응하는 포토 리소그래피 공정도 삭감할 수 있기 때문에 공정의 간략화가 가능해진다.
- [0128] 또한, 절연막(707)을 형성하기 전에, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 섬 형상의 산화물 반도체막(704)에 대해 행한다. 이 플라즈마 처리에 의해 노출되어 있는 섬 형상의 산화물 반도체막(704)의 표면의 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용해 플라즈마 처리를 행해도 좋다.
- [0129] 절연막(707)은, 수분이나, 수소, 산소 등의 불순물을 가능한 한 포함하지 않는 것이 바람직하며, 단층의 절연막이어도 좋고, 적층된 복수의 절연막으로 구성되어 있어도 좋다. 절연막(707)에 수소가 포함되면, 그 수소가 산화물 반도체막으로 침입하며, 또는 수소가 산화물 반도체막 중의 산소를 추출하여, 섬 형상의 산화물 반도체막(704)의 백 채널부가 저저항화(n형화)되어, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(707)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법으로 수소를 이용하지 않는 것이 중요하다. 상기 절연막(707)에는, 배리어성이 높은 재료를 이용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 이용할 수 있다. 복수의 적층된 절연막을 이용하는 경우, 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다 섬 형상의 산화물 반도체막(704)에 가까운 측에 형성한다. 그리고, 질소의 함유 비율이 낮은 절연막을 사이에 끼우고, 도전막(705), 도전막(706) 및 섬 형상의 산화물 반도체막(704)과 겹치도록 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 이용함으로써, 섬 형상의 산화물 반도체막(704) 내, 게이트 절연막(703) 내, 또는 섬 형상의 산화물 반도체막(704)과 다른 절연막의 계면과 그 근방에 수분 또는 수소 등의 불순물이 들어오는 것을 막을 수 있다. 또한, 섬 형상의 산화물 반도체막(704)에 접하도록 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성함으로써, 배리어성이 높은 재료를 이용한 절연막이 직접 섬 형상의 산화물 반도체막(704)에 접하는 것을 막을 수 있다.
- [0130] 본 실시형태에서는, 스퍼터링법으로 형성된 막 두께 200nm의 산화 규소막상에, 스퍼터링법으로 형성된 막 두께 100nm의 질화 규소막을 적층시킨 구조를 가지는 절연막(707)을 형성한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다.
- [0131] 또한, 절연막(707)을 형성한 후에 가열 처리를 실시해도 좋다. 가열 처리는, 질소, 초진조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기하에서, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃로 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하인 것이 바람직하다. 본 실시형태에서는, 예를 들어, 질소 분위기하에서 250℃, 1시간의 가열 처리를 행한다. 또는, 도전

막(705), 도전막(706)을 형성하기 전에, 수분 또는 수소를 저감시키기 위한 산화물 반도체막에 대해 행한 가열 처리와 마찬가지로 고온 단시간의 RTA 처리를 행해도 좋다. 산소를 포함하는 절연막(707)이 형성된 후에 가열 처리가 실시됨으로써, 이전의 가열 처리에 의해, 섬 형상의 산화물 반도체막(704)에 산소 결손이 발생되어 있었다고 해도, 절연막(707)으로부터 섬 형상의 산화물 반도체막(704)에 산소가 공여된다. 그리고, 섬 형상의 산화물 반도체막(704)에 산소가 공여됨으로써, 섬 형상의 산화물 반도체막(704)에 있어서, 도너가 되는 산소 결손을 저감하며, 화학량론적 조성비를 만족시키는 것이 가능하다. 그 결과, 섬 형상의 산화물 반도체막(704)을 i형에 가깝게 할 수 있고, 산소 결손에 의한 트랜지스터의 전기 특성의 편차를 경감하며, 전기 특성의 향상을 실현할 수 있다. 이 가열 처리를 행하는 타이밍은, 절연막(707)의 형성 후라면 특별히 한정되지 않고, 다른 공정, 예를 들어 수지막 형성시의 가열 처리나, 투광성을 가지는 도전막을 저저항화시키기 위한 가열 처리와 겸함으로써, 공정수를 늘리는 일 없이 섬 형상의 산화물 반도체막(704)을 i형에 가깝게 할 수 있다.

[0132] 또한, 산소 분위기하에서 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 산화물 반도체에 산소를 첨가하며, 섬 형상의 산화물 반도체막(704) 중에 있어서 도너가 되는 산소 결손을 저감시켜도 좋다. 가열 처리의 온도는, 예를 들어 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만으로 행한다. 상기 산소 분위기하의 가열 처리에 이용되는 산소 가스에는, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 산소 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0133] 또는, 이온 주입법 또는 이온 도핑법 등을 이용해, 섬 형상의 산화물 반도체막(704)에 산소를 첨가함으로써, 도너가 되는 산소 결손을 저감시켜도 좋다. 예를 들어, 2.45GHz의 마이크로파(波)로 플라즈마화된 산소를 섬 형상의 산화물 반도체막(704)에 첨가하면 좋다.

[0134] 또한, 절연막(707) 상에 도전막을 형성한 후, 이 도전막을 패터닝함으로써, 섬 형상의 산화물 반도체막(704)과 겹치는 위치에 백 게이트 전극을 형성해도 좋다. 백 게이트 전극을 형성한 경우는, 백 게이트 전극을 덮도록 절연막을 형성하는 것이 바람직하다. 백 게이트 전극은, 게이트 전극(702), 또는 도전막(705), 도전막(706)과 마찬가지로의 재료, 구조를 이용해 형성하는 것이 가능하다.

[0135] 백 게이트 전극의 막 두께는, 10nm~400nm, 바람직하게는 100nm~200nm로 한다. 예를 들어, 티타늄막, 알루미늄막, 티타늄막이 적층된 구조를 가지는 도전막을 형성한 후, 포토 리소그래피법 등에 의해 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 이 도전막을 원하는 형상으로 가공(패터닝)함으로써, 백 게이트 전극을 형성하면 좋다.

[0136] 이상의 공정에 의해 트랜지스터(708)가 형성된다.

[0137] 트랜지스터(708)는, 게이트 전극(702)과, 게이트 전극(702) 상의 게이트 절연막(703)과, 게이트 절연막(703) 상에 있어서 게이트 전극(702)과 겹쳐 있는 섬 형상의 산화물 반도체막(704)과, 섬 형상의 산화물 반도체막(704) 상에 형성된 한 쌍의 도전막(705) 또는 도전막(706)을 가진다. 또한, 트랜지스터(708)는, 절연막(707)을 그 구성 요소에 포함해도 좋다. 도 6(C)에 나타내는 트랜지스터(708)는, 도전막(705)과 도전막(706)의 사이에 있어서, 섬 형상의 산화물 반도체막(704)의 일부가 에칭된 채널 에치 구조이다.

[0138] 또한, 트랜지스터(708)는 싱글 게이트 구조의 트랜지스터를 이용해 설명했지만, 필요에 따라, 전기적으로 접속된 복수의 게이트 전극(702)을 가짐으로써, 채널 형성 영역을 복수 가지는 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.

[0139] 본 실시형태는, 상기 실시형태와 조합해 실시하는 것이 가능하다.

[0140] (실시형태 3)

[0141] 본 실시형태에서는, 트랜지스터의 구성예에 대해 설명한다. 또한, 상기 실시형태와 동일 부분 또는 마찬가지로의 기능을 가지는 부분 및 공정은, 상기 실시형태와 마찬가지로 행할 수 있으며, 본 실시형태에서의 반복 설명은 생략한다. 또한, 같은 개소의 상세한 설명도 생략한다.

[0142] 도 7(A)에 나타내는 트랜지스터(2450)는, 기판(2400) 상에 게이트 전극(2401)이 형성되며, 게이트 전극(2401) 상에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 상에 산화물 반도체막(2403)이 형성되며, 산화물 반도체막(2403) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체막(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 절연막(2407)이 형성되어 있다. 또한, 절연막(2407)

상에 절연막(2409)을 형성해도 좋다. 트랜지스터(2450)는, 보텀 게이트 구조의 트랜지스터의 하나이고, 역 스테거형 트랜지스터의 하나이기도 하다.

[0143] 도 7(B)에 나타내는 트랜지스터(2460)는, 기판(2400) 상에 게이트 전극(2401)이 형성되며, 게이트 전극(2401) 상에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 상에 산화물 반도체막(2403)이 형성되며, 산화물 반도체막(2403) 상에 채널 보호막(2406)이 형성되며, 채널 보호막(2406) 및 산화물 반도체막(2403) 상에, 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 소스 전극(2405a) 및 드레인 전극(2405b) 상에 절연막(2409)을 형성해도 좋다. 트랜지스터(2460)는, 채널 보호형(채널 스탑형이라고도 한다)이라고 불리는 보텀 게이트 구조의 트랜지스터의 하나이며, 역 스테거형 트랜지스터의 하나이기도 하다. 채널 보호막(2406)은, 다른 절연막과 마찬가지로의 재료 및 방법을 이용해 형성할 수 있다.

[0144] 도 7(C)에 나타내는 트랜지스터(2407)는, 기판(2400) 상에 하지막(2436)이 형성되며, 하지막(2436) 상에 산화물 반도체막(2403)이 형성되며, 산화물 반도체막(2403) 및 하지막(2436) 상에, 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되며, 산화물 반도체막(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 상에 게이트 전극(2401)이 형성되어 있다. 또한, 게이트 전극(2401) 상에 절연막(2409)을 형성해도 좋다. 트랜지스터(2470)는, 탑 게이트 구조의 트랜지스터의 하나이다.

[0145] 도 7(D)에 나타내는 트랜지스터(2470)는, 기판(2400) 상에 게이트 전극(2411)이 형성되며, 게이트 전극(2411) 상에 제 1 게이트 절연막(2413)이 형성되며, 제 1 게이트 절연막(2413) 상에 산화물 반도체막(2403)이 형성되며, 산화물 반도체막(2403) 및 제 1 게이트 절연막(2413) 상에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체막(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 상에 제 2 게이트 절연막(2414)이 형성되며, 제 2 게이트 절연막(2414) 상에 백 게이트 전극(2412)이 형성되어 있다. 또한, 백 게이트 전극(2412) 상에 절연막(2409)을 형성해도 좋다.

[0146] 트랜지스터(2480)는, 트랜지스터(2450)와 트랜지스터(2470)를 합친 구조를 가지고 있다.

[0147] 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터의 스레숄드 전압을 변화시킬 수 있다. 백 게이트 전극은, 산화물 반도체막(2403)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은, 전기적으로 절연되어 있는 플로팅 상태여도 좋고, 전위가 주어지는 상태여도 좋다. 후자의 경우, 백 게이트 전극에는 게이트 전극과 같은 높이의 전위가 주어지 있어도 좋고, 그라운드 등의 고정 전위가 주어지 있어도 좋다. 백 게이트 전극에 부여하는 전위의 높이를 제어함으로써, 트랜지스터의 스레숄드 전압을 제어할 수 있다.

[0148] 또한, 백 게이트 전극과 소스 전극(2405a) 및 드레인 전극(2405b)에 의해 산화물 반도체막(2403)을 완전히 덮음으로써, 백 게이트 전극측으로부터 산화물 반도체막(2403)에 빛이 입사하는 것을 막을 수 있다. 따라서, 산화물 반도체막(2403)의 광열화를 막고, 트랜지스터의 스레숄드 전압의 시프트 등의 특성의 열화가 일어나는 것을 막을 수 있다.

[0149] 산화물 반도체막(2403)에 접하는 절연막(본 실시형태에 있어서는, 게이트 절연막(2402), 절연막(2407), 채널 보호막(2406), 하지막(2436), 제 1 게이트 절연막(2413), 제 2 게이트 절연막(2414)이 상당한다.)은, 제 13 족 원소 및 산소를 포함하는 절연 재료를 이용하는 것이 바람직하다. 산화물 반도체 재료에는 제 13 족 원소를 포함하는 것이 많으며, 제 13 족 원소를 포함하는 절연 재료는 산화물 반도체와 성질이 잘 맞고, 이것을 산화물 반도체에 접하는 절연막에 이용함으로써, 산화물 반도체와의 계면의 상태를 양호하게 유지할 수 있다.

[0150] 제 13 족 원소를 포함하는 절연 재료란, 절연 재료에 하나 또는 복수의 제 13 족 원소를 포함하는 것을 의미한다. 제 13 족 원소를 포함하는 절연 재료로서는, 예를 들어, 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 산화 갈륨 알루미늄 등의 금속 산화물이 있다. 여기서, 산화 알루미늄 갈륨이란, 갈륨의 함유량(원자 %)보다 알루미늄의 함유량(원자 %)이 많은 것을 나타내며, 산화 갈륨 알루미늄이란, 갈륨의 함유량(원자 %)이 알루미늄의 함유량(원자 %) 이상인 것을 나타낸다.

[0151] 예를 들어, 갈륨을 함유하는 산화물 반도체막에 접하여 절연막을 형성하는 경우에, 절연막에 산화 갈륨을 포함하는 재료를 이용함으로써, 산화물 반도체막과 절연막의 계면 특성을 양호하게 유지할 수 있다. 예를 들어, 산화물 반도체막과 산화 갈륨을 포함하는 절연막을 접하여 형성함으로써, 산화물 반도체막과 절연막의 계면에 있어 수소의 파일 업을 저감할 수 있다. 또한, 절연막에 산화물 반도체의 성분 원소와 같은 족의 원소를 이용하는 경우에는, 마찬가지로의 효과를 얻는 것이 가능하다. 예를 들어, 산화 알루미늄을 포함하는 재료를 이용해 절연막을 형성하는 것도 유효하다. 또한, 산화 알루미늄은 물을 투과시키기 어렵다는 특성을 가지고 있기 때문에, 이 재료를 이용하는 것은 산화물 반도체막으로의 물의 침입 방지라는 점에 있어서도 바람직하다.

- [0152] 또한, 산화물 반도체막(2403)에 접하는 절연막은, 산소 분위기하에 의한 열처리나 산소 도핑 등에 의해 절연 재료를 화학량론적 조성비(화학량론값)보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도핑이란, 산소를 벌크에 첨가하는 것을 말한다. 또한, 이 벌크라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 하는 취지로 이용하고 있다. 또한, 산소 도핑에는, 플라즈마화된 산소를 벌크에 첨가하는 산소 플라즈마 도핑이 포함된다. 또한, 산소 도핑은, 이온 주입법 또는 이온 도핑법을 이용하여 행해도 좋다.
- [0153] 예를 들어, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 갈륨을 이용한 경우, 산소 분위기하에 의한 열처리나 산소 도핑을 행함으로써, 산화 갈륨의 조성을 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 로 할 수 있다.
- [0154] 또한, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 알루미늄을 이용한 경우, 산소 분위기하에 의한 열처리나 산소 도핑을 행함으로써, 산화 알루미늄의 조성을 $Al_2O_x(X=3+\alpha, 0<\alpha<1)$ 로 할 수 있다.
- [0155] 또한, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 이용한 경우, 산소 분위기하에 의한 열처리나 산소 도핑을 행함으로써, 산화 갈륨 알루미늄(산화 알루미늄 갈륨)의 조성을 $Ga_xAl_{2-x}O_{3+\alpha}(0<X<2, 0<\alpha<1)$ 로 할 수 있다.
- [0156] 산소 도핑 처리를 행함으로써, 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막을 형성할 수 있다. 이와 같은 영역을 갖는 절연막과 산화물 반도체막이 접함으로써, 절연막 중의 과잉된 산소가 산화물 반도체막에 공급되며, 산화물 반도체막 중 또는 산화물 반도체막과 절연막의 계면에 있어 산소 결손을 저장하며, 산화물 반도체막을 i형화 또는 i형에 한없이 가까운 산화물 반도체로 할 수 있다.
- [0157] 또한, 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막은, 산화물 반도체막(2403)에 접하는 절연막 중, 상층에 위치하는 절연막 또는 하층에 위치하는 절연막 중, 어느 한쪽에만 이용해도 좋지만, 양쪽의 절연막에 이용하는 것이 바람직하다. 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막을, 산화물 반도체막(2403)에 접하는 절연막의 상층 및 하층에 위치하는 절연막에 이용해, 산화물 반도체막(2403)을 끼우는 구성으로 함으로써, 상기 효과를 더욱 높일 수 있다.
- [0158] 또한, 산화물 반도체막(2403)의 상층 또는 하층에 이용하는 절연막은, 상층과 하층에서 같은 구성 원소를 가지는 절연막으로 해도 좋고, 다른 구성 원소를 가지는 절연막으로 해도 좋다. 예를 들어, 상층과 하층 모두 조성비가 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 갈륨으로 하고, 다른 한쪽을 조성비가 $Al_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 알루미늄으로 해도 좋다.
- [0159] 또한, 산화물 반도체막(2403)에 접하는 절연막은, 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막의 적층으로 해도 좋다. 예를 들어, 산화물 반도체막(2403)의 상층에 조성이 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 갈륨을 형성하며, 그 위에 조성이 $Ga_xAl_{2-x}O_{3+\alpha}(0<X<2, 0<\alpha<1)$ 인 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 형성해도 좋다. 또한, 산화물 반도체막(2403)의 하층을 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막의 적층으로 해도 좋고, 산화물 반도체막(2403)의 상층 및 하층의 양쪽을 화학량론적 조성비보다 산소가 많은 영역을 가지는 절연막의 적층으로 해도 좋다.
- [0160] 본 실시형태는, 다른 실시형태와 적절히 조합해 실시하는 것이 가능하다.
- [0161] (실시형태 4)
- [0162] 본 실시형태에서는, 트랜지스터의 오프 전류의 산출예에 대해 설명한다.
- [0163] 우선, 오프 전류의 산출에 이용한 특성 평가 회로의 구성에 대해, 도 8을 이용해 설명한다. 본 실시형태에서는, 특성 평가 회로가 서로 병렬로 접속된 복수의 측정계(801)를 갖춘다. 구체적으로 도 8에서는, 여덟 개의 측정계(801)가 병렬로 접속되어 있는 특성 평가 회로를 예시하고 있다.
- [0164] 측정계(801)는, 트랜지스터(811)와, 트랜지스터(812)와, 용량 소자(813)와, 트랜지스터(814)와, 트랜지스터(815)를 포함한다.
- [0165] 트랜지스터(811)는, 전하 주입용 트랜지스터이다. 그리고, 트랜지스터(811)는 그 제 1 단자가 전위(V1)가 주어져 있는 노드에 접속되어 있으며, 그 제 2 단자가 트랜지스터(812)의 제 1 단자에 접속되어 있다. 트랜지스터(811)의 게이트 전극은 전위(Vext_a)가 주어져 있는 노드에 접속되어 있다.

- [0166] 트랜지스터(812)는 리크 전류 평가용 트랜지스터이다. 또한, 본 실시형태에 있어서 리크 전류란, 트랜지스터의 오프 전류를 포함하고 있다. 그리고, 트랜지스터(812)는 그 제 1 단자가 트랜지스터(811)의 제 2 단자에 접속되어 있으며, 그 제 2 단자가 전위(V2)가 주어지 있는 노드에 접속되어 있다. 트랜지스터(812)의 게이트 전극은 전위(Vext_b)가 주어지 있는 노드에 접속되어 있다.
- [0167] 용량 소자(813)의 제 1 전극은 트랜지스터(811)의 제 2 단자 및 트랜지스터(812)의 제 1 단자에 접속되어 있다. 용량 소자(813)의 제 2 전극은 전위(V2)가 주어지 있는 노드에 접속되어 있다.
- [0168] 트랜지스터(814)는 그 제 1 단자가 전위(V3)가 주어지 있는 노드에 접속되어 있으며, 그 제 2 단자가 트랜지스터(815)의 제 1 단자에 접속되어 있다. 트랜지스터(814)의 게이트 전극은, 트랜지스터(811)의 제 2 단자, 트랜지스터(812)의 제 1 단자, 용량 소자(813)의 제 1 전극에 접속되어 있다. 또한, 이 트랜지스터(814)의 게이트 전극이 접속되어 있는 개소를 노드(A)로 한다.
- [0169] 트랜지스터(815)는 그 제 1 단자가 트랜지스터(814)의 제 2 단자에 접속되어 있으며, 그 제 2 단자가 전위(V4)가 주어지 있는 노드에 접속되어 있다. 트랜지스터(815)의 게이트 전극은 전위(Vext_c)가 주어지 있는 노드에 접속되어 있다.
- [0170] 그리고, 측정계(801)는 트랜지스터(814)의 제 2 단자와 트랜지스터(815)의 제 1 단자가 접속되어 있는 노드의 전위를 출력 신호의 전위(Vout)로서 출력한다.
- [0171] 그리고, 본 실시형태에서는, 트랜지스터(811)로서 산화물 반도체를 활성층에 포함하며, 또한 활성층에 포함되는 채널 형성 영역의 크기가 채널 길이(L)=10 μ m, 채널 폭(W)=10 μ m인 트랜지스터를 이용한다.
- [0172] 또한, 채널 형성 영역이란, 반도체막 중, 소스 전극과 드레인 전극의 사이에 있어서, 게이트 절연막을 사이에 끼워서 게이트 전극과 겹치는 영역에 상당한다.
- [0173] 또한, 트랜지스터(814) 및 트랜지스터(815)로서, 산화물 반도체를 활성층에 포함하며, 또한 활성층에 포함되는 채널 형성 영역의 크기가 채널 길이 L=3 μ m, 채널 폭 W=100 μ m인 트랜지스터를 이용한다.
- [0174] 또한, 트랜지스터(812)로서, 산화물 반도체를 활성층에 포함하며, 활성층의 상부에 소스 전극 및 드레인 전극이 접하며, 소스 전극 및 드레인 전극과, 게이트 전극이 겹치는 오버랩 영역을 형성하지 않고, 폭 1 μ m의 오프셋 영역을 가지는 보텀 게이트 구조의 트랜지스터를 이용한다. 오프셋 영역을 형성함으로써, 기생 용량을 저감할 수 있다. 또한, 트랜지스터(812)로서, 활성층에 포함되는 채널 형성 영역이 아래의 표 1의 조건 1 내지 조건 6에 나타내는 것과 같은, 다른 크기를 가지는 트랜지스터를 이용한다.

표 1

[0175]

	채널 길이(L)[μ m]	채널 폭(W)[μ m]
조건 1	1.5	1×10^5
조건 2	3	1×10^5
조건 3	10	1×10^5
조건 4	1.5	1×10^6
조건 5	3	1×10^6
조건 6	10	1×10^6

- [0176] 또한, 전하 주입용의 트랜지스터(811)를 측정계(801)에 형성하지 않는 경우에는, 용량 소자(813)로 전하를 주입할 때에 리크 전류 평가용의 트랜지스터(812)를 한번 온으로 할 필요가 있다. 이 경우, 리크 전류 평가용의 트랜지스터(812)가 온에서 오프의 정상 상태가 될 때까지 시간을 필요로 하는 소자라면, 측정에 시간을 필요로 한다. 도 8에 나타난 것과 같이, 전하 주입용의 트랜지스터(811)와, 리크 전류 평가용의 트랜지스터(812)를 각각 따로 측정계(801)에 형성함으로써, 전하를 주입할 때에 리크 전류 평가용의 트랜지스터(812)를 항상 오프로 유지할 수 있다. 따라서, 측정에 필요한 시간을 단축화할 수 있다.

- [0177] 또한, 전하 주입용의 트랜지스터(811)와 리크 전류 평가용의 트랜지스터(812)를 측정계(801)에 각각 따로 형성함으로써, 각각의 트랜지스터를 적절한 크기로 할 수 있다. 또한, 리크 전류 평가용의 트랜지스터(812)의 채널 폭(W)을 전하 주입용의 트랜지스터(811)의 채널 폭(W)보다 크게 함으로써, 리크 전류 평가용의 트랜지스터(812)의 리크 전류 이외의 특성 평가 회로 내의 리크 전류 성분을 상대적으로 작게 할 수 있다. 그 결과, 리크 전류 평가용의 트랜지스터(812)의 리크 전류를 높은 정밀도로 측정할 수 있다. 동시에, 전하를 주입할 때에, 리크 전류 평가용의 트랜지스터(812)를 한번 온으로 할 필요가 없기 때문에, 채널 형성 영역의 전하의 일부가 노드(A)에 흘러들어감에 의한 노드(A)의 전위 변동의 영향도 없다.
- [0178] 한편, 전하 주입용의 트랜지스터(811)의 채널 폭(W)을 리크 전류 평가용의 트랜지스터(812)의 채널 폭(W)보다 작게 함으로써, 전하 주입용의 트랜지스터(811)의 리크 전류를 상대적으로 작게 할 수 있다. 또한, 전하를 주입할 때에, 채널 형성 영역의 전하의 일부가 노드(A)에 흘러들어감에 의한 노드(A)의 전위 변동의 영향도 작다.
- [0179] 또한, 도 8에 나타낸 것과 같이, 복수의 측정계(801)를 병렬로 접속시킨 구조로 함으로써, 더욱 정확하게 특성 평가 회로의 리크 전류를 산출할 수 있다.
- [0180] 다음으로, 도 8에 나타내는 특성 평가 회로를 이용한 트랜지스터의 오프 전류의 구체적인 산출 방법에 대해 설명한다.
- [0181] 우선, 도 8에 나타내는 특성 평가 회로의 리크 전류 측정 방법에 대하여, 도 9를 이용해 설명한다. 도 9는, 도 8에 나타내는 특성 평가 회로를 이용한 리크 전류 측정 방법을 설명하기 위한 타이밍 차트이다.
- [0182] 도 8에 나타내는 특성 평가 회로를 이용한 리크 전류 측정 방법은, 쓰기 기간 및 유지 기간으로 나눌 수 있다. 각각의 기간의 동작에 대해 이하에서 설명한다. 또한, 쓰기 기간 및 유지 기간의 두 기간에 있어서, 전위(V2) 및 전위(V4)를 0V, 전위(V3)를 5V, 전위(Vext_c)를 0.5V로 한다.
- [0183] 우선, 쓰기 기간에 있어서, 전위(Vext_b)를 트랜지스터(812)가 오프가 되는 높이의 전위(VL)(-3V)로 설정한다. 또한, 전위(V1)를 쓰기 전위(Vw)로 설정한 후, 전위(Vext_a)를 일정 기간 트랜지스터(811)가 온이 되는 높이의 전위(VH(5V))로 설정한다. 상기 구성에 의해, 노드(A)에 전하가 축적되어, 노드(A)의 전위는 쓰기 전위(Vw)와 동등한 값이 된다. 이어서, 전위(Vext_a)를 트랜지스터(811)가 오프가 되는 높이의 전위(VL)로 설정한다. 그 후, 전위(V1)를 전위(VSS(0V))로 설정한다.
- [0184] 다음으로, 유지 기간에 있어서, 노드(A)가 유지하는 전하량의 변화에 기인해 발생하는 노드(A)의 전위의 변화량의 측정을 행한다. 전위의 변화량으로부터, 트랜지스터(812)의 소스 전극과 드레인 전극과의 사이를 흐르는 전류값을 산출할 수 있다. 이상에 의해, 노드(A)의 전하의 축적과 노드(A)의 전위의 변화량의 측정을 행할 수 있다.
- [0185] 노드(A)의 전위의 측정 및 노드(A)의 전위의 변화량의 측정(측적 및 측정 동작이라고도 한다)은 반복하여 행한다. 우선, 제 1 측정 및 측정 동작을 15회 반복하여 행한다. 제 1 측정 및 측정 동작에서는, 쓰기 기간에 쓰기 전위(Vw)로서 5V의 전위를 입력하고, 유지 기간에 1시간의 유지를 행한다. 다음, 제 2 측정 및 측정 동작을 2회 반복하여 행한다. 제 2 측정 및 측정 동작에서는, 쓰기 기간에 쓰기 전위(Vw)를 3.5V로 하고, 유지 기간에 50시간의 유지를 행한다. 다음, 제 3 측정 및 측정 동작을 1회 행한다. 제 3 측정 및 측정 동작에서는, 쓰기 기간에 쓰기 전위(Vw)를 4.5V로 하고, 유지 기간에 10시간의 유지를 행한다. 측정 및 측정 동작을 반복하여 행함으로써, 측정된 전류값이 정상 상태의 값을 확인할 수 있다. 바꾸어 말하면, 노드(A)에 흐르는 전류(I_A) 중, 과도 전류(측정 개시 후부터 시간 경과와 함께 감소해 가는 전류 성분)를 제거할 수 있다. 그 결과, 더욱 높은 정밀도로 리크 전류를 측정할 수 있다.
- [0186] 일반적으로, 노드(A)의 전위(V_A)는, 출력 신호의 전위(V_{out})의 함수로서 다음 수식과 같이 나타낼 수 있다.

수학식 1

$$V_A = F(V_{out})$$

[0187]

[0188] 또한, 노드(A)의 전위(Q_A)는, 노드(A)의 전위(V_A), 노드(A)에 접속되는 용량(C_A), 정수(const)를 이용해 다음 수학적식과 같이 표현된다. 노드(A)에 접속되는 용량(C_A)은, 용량 소자(813)의 용량값과, 용량 소자(813) 이외의 용량이 가지는 용량값의 합이다.

수학적식 2

$$Q_A = C_A V_A + \text{const}$$

[0189]

[0190] 노드(A)의 전류(I_A)는, 노드(A)에 흘러들어가는 전하(또는 노드(A)로부터 흘러나오는 전하)의 시간 미분이기 때문에, 노드(A)의 전류(I_A)는 다음 수학적식과 같이 표현된다.

수학적식 3

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0191]

[0192] 예를 들어, Δt 를 약 54000sec이라고 한다. 노드(A)에 접속되는 용량(C_A)과 출력 신호의 전위(V_{out})로부터 노드(A)의 전류(I_A)를 구할 수 있기 때문에, 특성 평가 회로의 리크 전류를 구할 수 있다.

[0193] 다음으로, 상기 특성 평가 회로를 이용한 측정 방법에 의한 출력 신호의 전위(V_{out})의 측정 결과 및 이 측정 결과로부터 산출된 특성 평가 회로의 리크 전류의 값을 나타낸다.

[0194] 도 10에, 일례로서, 조건 1, 조건 2 및 조건 3에 있어 상기 측정(제 1 측정 및 측정 동작)에 관한 경과 시간(Time)과, 출력 신호의 전위(V_{out})와의 관계를 나타낸다. 도 11에, 상기 측정에 관한 경과 시간(Time)과, 이 측정에 의해 산출된 리크 전류와의 관계를 나타낸다. 측정 개시 후부터 출력 신호의 전위(V_{out})가 변동되어 있으며, 정상 상태에 이르기 위해서는 10시간 이상 필요한 것을 알 수 있다.

[0195] 또한, 도 12에, 상기 측정에 의해 얻어진 조건 1 내지 조건 6의 노드(A)의 전위와 리크 전류의 관계를 나타낸다. 도 12에서는, 예를 들어 조건 4에 있어서, 노드(A)의 전위가 3.0V인 경우, 리크 전류는 28yA/ μm 이다. 리크 전류에는 트랜지스터(812)의 오프 전류도 포함되기 때문에, 트랜지스터(812)의 오프 전류도 28yA/ μm 이하라고 간주할 수 있다.

[0196] 이상과 같이, 채널 형성층으로서의 기능을 가지며, 고순도화된 산화물 반도체층을 포함하는 트랜지스터를 이용한 특성 평가 회로에 있어서, 리크 전류가 충분히 낮기 때문에, 이 트랜지스터의 오프 전류가 충분히 작은 것이 확인되었다.

[0197] (실시형태 5)

[0198] 본 실시형태에서는, 본 발명의 일 양태에 관한 구동 방법을 이용한 액정 표시 장치의 구동 회로의 구성에 대해 설명한다.

[0199] 도 13에, 액정 표시 장치의 구성을 블록도로 일례로서 나타낸다. 또한, 블록도에서는, 구성 요소를 기능별로 분류하며, 서로 독립된 블록으로서 나타내고 있지만, 실제 구성 요소는 기능별로 완전히 나누는 것이 어려우며, 하나의 구성 요소가 복수의 기능에 관계되는 일도 있을 수 있다.

[0200] 도 13에 나타내는 액정 표시 장치(600)는 화소부(611)와, 신호선 구동 회로(601)와, 주사선 구동 회로(608)를

가지고 있다. 신호선 구동 회로(601)는 시프트 레지스터(602), 제 1 기억 회로(603), 제 2 기억 회로(604), 레벨 시프터(605), DAC(606), 아날로그 버퍼(607)를 가지고 있다. 또한, 주사선 구동 회로(608)는 시프트 레지스터(609), 디지털 버퍼(610)를 가지고 있다.

[0201] 이어서, 도 13에 나타내는 액정 표시 장치(600)의 동작에 대해 설명한다. 시프트 레지스터(602)에 스타트 신호(SSP), 클록 신호(SCK)가 입력되면, 시프트 레지스터(602)는, 펄스가 차례로 시프트되는 타이밍 신호를 생성한다.

[0202] 제 1 기억 회로(603)에는, 화상 신호(IMG)가 입력된다. 화상 신호(IMG)는 정의 극성의 펄스와 부의 극성의 펄스를 가지고 있다. 그리고, 제 1 기억 회로(603)에 타이밍 신호가 입력되면, 이 타이밍 신호의 펄스에 따라 화상 신호(IMG)가 샘플링되어, 제 1 기억 회로(603)가 가지는 복수의 기억 소자에 차례로 쓰인다. 즉, 직렬로 신호선 구동 회로(601)에 입력된 화상 신호(IMG)가 제 1 기억 회로(603)에 병렬로 기록되는 것이 된다. 제 1 기억 회로(603)에 기록되는 화상 신호(IMG)는 유지된다.

[0203] 또한, 제 1 기억 회로(603)가 가지는 복수의 기억 소자에 차례로 화상 신호(IMG)를 기록해도 좋지만, 제 1 기억 회로(603)가 가지는 복수의 기억 소자를 몇개의 그룹으로 나누어, 이 그룹별로 병행해 화상 신호(IMG)를 입력하는 소위 분할 구동을 행해도 좋다. 또한 이때의 그룹 내의 기억 소자 수를 분할수라고 부른다. 예를 들어, 4개의 기억 소자별로 그룹으로 나눈 경우, 4분할로 분할 구동하는 것이 된다.

[0204] 제 2 기억 회로(604)에는, 래치 신호(LP)가 입력된다. 제 1 기억 회로(603)로의 화상 신호(IMG)의 기록이 종료된 후, 귀선 기간에 있어서, 제 2 기억 회로(604)에 입력되는 래치 신호(LP)의 펄스에 따라, 제 1 기억 회로(603)에 유지되어 있는 화상 신호(IMG)가 제 2 기억 회로(604)에 일제히 기록되고 유지된다. 화상 신호(IMG)를 제 2 기억 회로(604)에 송출을 끝낸 제 1 기억 회로(603)에서는, 제차 시프트 레지스터(602)로부터의 타이밍 신호에 따라, 다음 화상 신호(IMG)의 기록이 차례로 행해진다. 이 두 번째의 1라인 기간 중에는, 제 2 기억 회로(604)에 기록되어 유지되고 있는 화상 신호(IMG)가 레벨 시프터(605)에 있어서, 그 전압의 진폭이 조정된 후, DAC(606)에 보내진다. DAC(606)에서는 입력된 화상 신호(IMG)가 디지털로부터 아날로그로 변환된다. 그리고, 아날로그로 변환된 화상 신호(IMG)는 아날로그 버퍼(607)에 보내진다. DAC(606)로부터 보내져온 화상 신호(IMG)는 아날로그 버퍼(607)로부터 신호선을 통해 화소부(611)로 보내진다.

[0205] 한편, 주사선 구동 회로(608)에 있어서, 시프트 레지스터(609)는 스타트 신호(GSP), 클록 신호(GCK)가 입력되면, 펄스가 차례로 시프트되는 주사 신호(SCN)를 생성한다. 시프트 레지스터(602)로부터 출력된 주사 신호(SCN)는 디지털 버퍼(610)로부터 주사선을 통하여 화소부(611)로 보내진다.

[0206] 화소부(611)가 가지는 화소는 주사선 구동 회로(608)로부터 입력된 주사 신호(SCN)에 의해 선택된다. 신호선 구동 회로(601)로부터 신호선을 통하여 화소부(611)로 보내진 화상 신호(IMG)는 상기 선택된 화소에 입력된다.

[0207] 도 13에 나타내는 액정 표시 장치(600)에서는, 스타트 신호(SSP), 클록 신호(SCK), 래치 신호(LP) 등이 신호선 구동 회로(601)의 구동 신호에 상당한다. 또한, 스타트 신호(GSP), 클록 신호(GCK) 등이 주사선 구동 회로(608)의 구동 신호에 상당한다.

[0208] 또한, 정지 화상을 표시하는 기간에 있어서, 구동 신호 및 전원 전위의 공급을 정지해도 좋다. 상기 구성에 의해, 화소부(611)로의 화상 신호(IMG)의 쓰기 횟수를 적게 하며, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0209] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0210] (실시형태 6)

[0211] 본 실시형태에서는, 본 발명의 일 양태에 관한 액정 표시 장치의 구성에 대해 설명한다.

[0212] 도 14에, 본 발명의 일 양태에 관한 액정 표시 장치의 화소의 단면도를 일례로서 나타낸다. 도 14에 나타내는 트랜지스터(1401)는, 절연 표면을 가지는 기판(1400) 상에 형성된 게이트 전극(1402)과, 게이트 전극(1402) 상의 게이트 절연막(1403)과, 게이트 절연막(1403) 상에 있어서 게이트 전극(1402)과 겹쳐 있는 산화물 반도체막(1404)과, 산화물 반도체막(1404) 상에 차례로 적층되도록 형성되며, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(1405) 및 도전막(1406)을 가진다. 또한, 트랜지스터(1401)는, 산화물 반도체막(1404) 상에 형성된 절연막(1407)을 그 구성 요소에 포함해도 좋다. 절연막(1407)은 게이트 전극(1402)과, 게이트 절연막(1403)과,

산화물 반도체막(1404)과, 도전막(1405) 및 도전막(1406)을 덮도록 형성되어 있다.

- [0213] 절연막(1407) 상에는 절연막(1408)이 형성되어 있다. 절연막(1407), 절연막(1408)의 일부에는 개구부가 형성되어 있으며, 이 개구부에 있어서 도전막(1406)과 접하도록, 화소 전극(1410)이 형성되어 있다.
- [0214] 또한, 절연막(1408) 상에는, 액정 소자의 셀 갭을 제어하기 위한 스페이서(1417)가 형성되어 있다. 스페이서(1417)는 절연막을 원하는 형상으로 에칭함으로써 형성하는 것이 가능하지만, 필러를 절연막(1408) 상에 분산시킴으로써 셀 갭을 제어해도 좋다.
- [0215] 그리고, 화소 전극(1410) 상에는, 배향막(1411)이 형성되어 있다. 또한, 화소 전극(1410)과 대치하는 위치에는 대향 전극(1413)이 형성되어 있으며, 대향 전극(1413)의 화소 전극(1410)에 가까운 측에는 배향막(1414)이 형성되어 있다. 배향막(1411), 배향막(1414)은 폴리이미드, 폴리 비닐 알콜 등의 유기 수지를 이용해 형성할 수 있으며, 그 표면에는 러빙 등의 액정 분자를 일정 방향으로 배열시키기 위한 배향 처리가 실시되어 있다. 러빙은, 배향막에 압력을 가하면서 나일론 등의 천을 감은 롤러를 회전시켜서, 상기 배향막의 표면을 일정 방향으로 마찰함으로써 행할 수 있다. 또한, 산화 규소 등의 무기 재료를 이용해 배향 처리를 실시하는 일 없이, 증착법으로 배향 특성을 가지는 배향막(1411), 배향막(1414)을 직접 형성하는 것도 가능하다.
- [0216] 그리고, 화소 전극(1410)과, 대향 전극(1413)의 사이에 있어서 시일재(1416)에 둘러싸인 영역에는, 액정(1415)이 형성되어 있다. 액정(1415)의 주입은 디스펜서식(적하식)을 이용해도 좋고, 딥핑식(딤프식)을 이용해도 좋다. 또한, 시일재(1416)에는 필러가 혼입되어 있어도 좋다.
- [0217] 또한, 화소 전극(1410)과, 대향 전극(1413)과, 액정(1415)으로 형성되는 액정 소자는 특정 파장 영역의 빛을 통과할 수 있는 컬러 필터와 겹쳐 있어도 좋다. 컬러 필터는 대향 전극(1413)이 형성되어 있는 기관(대향 기관)(1420) 상에 형성하면 된다. 컬러 필터는, 안료를 분산시킨 아크릴계 수지 등의 유기 수지를 기관(1420) 상에 도포한 후, 포토 리소그래피를 이용해 선택적으로 형성할 수 있다. 또한, 안료를 분산시킨 폴리이미드계 수지를 기관(1420) 상에 도포한 후, 에칭을 이용해 선택적으로 형성할 수도 있다. 또는, 잉크젯 등의 액적 토출법을 이용함으로써, 선택적으로 컬러 필터를 형성할 수도 있다.
- [0218] 또한, 기관(1420)에 빛을 차폐할 수 있는 차폐막(1430)을 형성한다. 도 14에 나타난 것과 같이, 차폐막(1430)을 산화물 반도체막(1404)과 겹치도록 형성함으로써, 산화물 반도체막(1404)에 기관(1420)측으로부터 빛이 입사하는 것을 막을 수 있다. 따라서, 산화물 반도체막(1404)의 광열화에 의해, 트랜지스터(1401)의 스레숄드 전압의 시프트 등의 특성의 열화를 막을 수 있다. 또한, 차폐막(1430)을 화소간에 형성함으로써, 화소간의 액정(1415)의 배향의 흐트러짐에 기인하는 디스클리네이션이 시인되는 것을 막을 수 있다. 차폐막에는 카본 블랙, 이산화 티타늄보다 산화수가 작은 저원자가 산화 티타늄 등의 흑색 안료를 포함하는 유기 수지를 이용할 수 있다. 또는, 크롬을 이용한 막으로 차폐막을 형성하는 것도 가능하다.
- [0219] 또한, 도 14에 나타난 것과 같이, 산화물 반도체막(1404)을 게이트 전극(1402)과 완전히 겹치는 위치에 형성함으로써, 산화물 반도체막(1404)에 기관(1400)측으로부터 빛이 입사하는 것을 막을 수 있다. 따라서, 산화물 반도체막(1404)의 광열화에 의해 트랜지스터(1401)의 스레숄드 전압의 시프트 등의 특성의 열화를 막을 수 있다.
- [0220] 화소 전극(1410)과 대향 전극(1413)에는, 예를 들어, 산화 규소를 포함하는 산화 인듐 산화 주석 혼합 산화물(ITSO), 산화 인듐 산화 주석 혼합 산화물, 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨을 첨가한 산화 아연(GZO) 등의 투명 도전 재료를 이용할 수 있다.
- [0221] 또한 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment), IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti-Ferroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등을 적용하는 것이 가능하다.
- [0222] 또한, 배향막을 이용하지 않는 블루상(blue phase)을 나타내는 액정을 액정(1415)에 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방성으로 전이하기 직전에 발현되는 상(相)이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 카이랄제(劑)나 자외선 경화 수지를 첨가해 온도 범위를 개선한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은 응답 속도가 10 μ sec. 이상 100 μ sec. 이하로 짧으며, 광학적 등방성이기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작

기 때문에 바람직하다.

- [0223] 도 15는, 본 발명의 일 양태에 관한 액정 표시 장치의 구조를 나타내는 사시도의 일례이다. 도 15에 나타내는 액정 표시 장치는, 한 쌍의 기관 간에 화소부가 형성된 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 반사판(1606)과, 광원(1607)과, 회로 기관(1608)과, 제 1 기관(1611)을 가지고 있다.
- [0224] 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 반사판(1606)은 차례로 적층되어 있다. 광원(1607)은 도광판(1605)의 단부에 형성되어 있으며, 도광판(1605) 내부에 확산된 광원(1607)으로부터의 빛은 제 1 확산판(1602), 프리즘 시트(1603) 및 제 2 확산판(1604)에 의해, 균일하게 패널(1601)에 조사된다.
- [0225] 또한, 본 실시형태에서는, 제 1 확산판(1602)과 제 2 확산판(1604)을 이용하고 있지만, 확산판의 수는 이에 한정되지 않으며, 단수여도 3 이상이어도 좋다. 그리고, 확산판은 도광판(1605)과 패널(1601)의 사이에 형성되어 있으면 좋다. 따라서, 프리즘 시트(1603)보다 패널(1601)에 가까운 측에만 확산판이 형성되어 있어도 좋고, 프리즘 시트(1603)보다 도광판(1605)에 가까운 측에만 확산판이 형성되어 있어도 좋다.
- [0226] 또한 프리즘 시트(1603)는, 단면이 도 15에 나타낸 톱니 모양의 형상에 한정되지 않으며, 도광판(1605)으로부터의 빛을 패널(1601)측에 집광할 수 있는 형상을 가지고 있으면 좋다.
- [0227] 회로 기관(1608)에는, 패널(1601)에 입력되는 각종 신호를 생성하는 회로, 또는 이들 신호에 처리를 실시하는 회로 등이 형성되어 있다. 그리고, 도 15에서는, 회로 기관(1608)과 패널(1601)이 COF 테이프(1609)를 통해 접속되어 있다. 또한, 제 1 기관(1611)이 COF(Chip On Film)법을 이용해 COF 테이프(1609)에 접속되어 있다.
- [0228] 도 15에서는, 광원(1607)의 구동을 제어하는 제어계의 회로가 회로 기관(1608)에 형성되어 있으며, 이 제어계의 회로와 광원(1607)이 FPC(1610)를 통해 접속되어 있는 예를 나타내고 있다. 단, 상기 제어계의 회로는 패널(1601)에 형성되어 있어도 좋으며, 이 경우는 패널(1601)과 광원(1607)이 FPC 등에 의해 접속되도록 한다.
- [0229] 또한, 도 15는, 패널(1601)의 단(端)에 광원(1607)을 배치하는 엣지 라이트(edge-light)형의 광원을 예시하고 있지만, 본 발명의 액정 표시 장치는 광원(1607)이 패널(1601)의 바로 밑에 배치되는 직하형이어도 좋다.
- [0230] 본 실시형태는, 상기 실시형태와 적절히 조합해 실시할 수 있다.
- [0231] [실시예 1]
- [0232] 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용함으로써, 저소비 전력의 전자 기기, 고화질 화상의 표시를 행할 수 있는 전자 기기를 제공하는 것이 가능하다.
- [0233] 액정 표시 장치는, 표시 장치, 노트형 퍼스널 컴퓨터, 기록 매체를 갖춘 화상 재생 장치(대표적으로는 DVD : Digital Versatile Disc 등의 기록 매체를 재생하며, 그 화상을 표시할 수 있는 디스플레이를 가지는 장치)에 이용할 수 있다. 그 밖에, 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 지급기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체 예를 도 16에 나타낸다.
- [0234] 도 16(A)은 휴대형 게임기이며, 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 가진다. 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치는, 표시부(7033) 또는 표시부(7034)에 이용할 수 있다. 표시부(7033) 또는 표시부(7034)에 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용함으로써, 저소비 전력의 휴대형 게임기, 고화질인 화상의 표시가 가능한 휴대형 게임기를 제공할 수 있다. 또한, 도 16(A)에 나타낸 휴대형 게임기는 두 개의 표시부(7033)와 표시부(7034)를 가지고 있지만, 휴대형 게임기가 가지는 표시부의 수는 이에 한정되지 않는다.
- [0235] 도 16(B)은 휴대 전화이며, 하우징(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키(7045), 수광부(7046) 등을 가진다. 수광부(7046)에 있어서 수신된 빛을 전기 신호로 변환함으로써, 외부의 화상을 로딩할 수 있다. 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치는, 표시부(7042)에 이용

할 수 있다. 표시부(7042)에 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용함으로써, 저소비 전력의 휴대 전화, 고화질인 화상의 표시가 가능한 휴대 전화를 제공할 수 있다.

[0236] 도 16(C)은 휴대 정보 단말이며, 하우징(7051), 하우징(7052), 조작 키(7053) 등을 가진다. 도 16(C)에 나타내는 휴대 정보 단말은, 모뎀이 하우징(7051)에 내장되어 있어도 좋다. 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치는, 표시부(7052)에 이용할 수 있다. 표시부(7052)에 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용함으로써, 저소비 전력의 휴대 정보 단말, 고화질인 화상의 표시가 가능한 휴대 정보 단말을 제공할 수 있다.

[0237] 도 16(D)은 표시 장치이며, 하우징(7011), 표시부(7012), 지지대(7013) 등을 가진다. 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치는, 표시부(7012)에 이용할 수 있다. 표시부(7012)에 본 발명의 일 양태에 관한 구동 방법을 채용한 액정 표시 장치를 이용함으로써, 저소비 전력의 표시 장치, 고화질인 화상의 표시가 가능한 표시 장치를 제공할 수 있다. 또한, 표시 장치에는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치가 포함된다.

[0238] 본 실시예는, 상기 실시형태와 적절히 조합해 실시할 수 있다.

[0239] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 7월 1일 일본 특허청에 출원된, 일련 번호가 2010-150889인 일본 특허 출원에 기초한다.

부호의 설명

- [0240]
- 100 : 화소
 - 101 : 화소부
 - 102 : 트랜지스터
 - 103 : 액정 소자
 - 104 : 화소 전극
 - 106 : 기생 용량
 - 107 : 기생 용량
 - 200 : 기관
 - 201 : 절연막
 - 202 : 도전막
 - 204 : 게이트 절연막
 - 205 : 반도체막
 - 206 : 도전막
 - 207 : 도전막
 - 208 : 절연막
 - 210 : 차폐막
 - 600 : 액정 표시 장치
 - 601 : 신호선 구동 회로
 - 602 : 시프트 레지스터
 - 603 : 기억 회로
 - 604 : 기억 회로

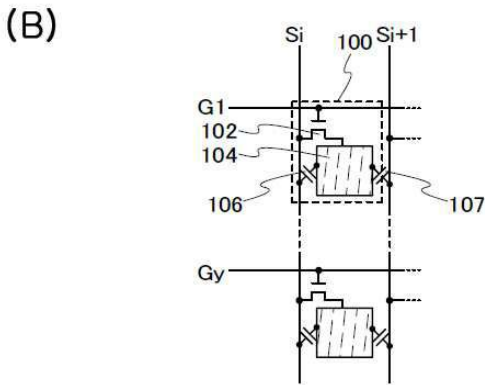
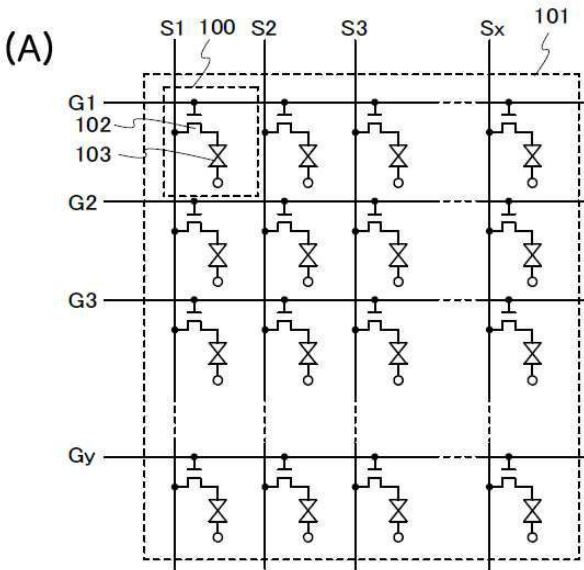
605 : 레벨 시프터
606 : DAC
607 : 아날로그 버퍼
608 : 주사선 구동 회로
609 : 시프트 레지스터
610 : 디지털 버퍼
611 : 화소부
700 : 기판
701 : 절연막
702 : 게이트 전극
703 : 게이트 절연막
704 : 산화물 반도체막
705 : 도전막
706 : 도전막
707 : 절연막
708 : 트랜지스터
801 : 측정계
811 : 트랜지스터
812 : 트랜지스터
813 : 용량 소자
814 : 트랜지스터
815 : 트랜지스터
1400 : 기판
1401 : 트랜지스터
1402 : 게이트 전극
1403 : 게이트 절연막
1404 : 산화물 반도체막
1405 : 도전막
1406 : 도전막
1407 : 절연막
1408 : 절연막
1410 : 화소 전극
1411 : 배향막
1413 : 대향 전극
1414 : 배향막
1415 : 액정

1416 : 시일재
 1417 : 스페이서
 1420 : 기관
 1430 : 차폐막
 1601 : 패널
 1602 : 확산판
 1603 : 프리즘 시트
 1604 : 확산판
 1605 : 도광판
 1606 : 반사판
 1607 : 광원
 1608 : 회로 기관
 1609 : COF 테이프
 1610 : FPC
 1611 : 기관
 2400 : 기관
 2401 : 게이트 전극
 2402 : 게이트 절연막
 2403 : 산화물 반도체막
 2405a : 소스 전극
 2405b : 드레인 전극
 2406 : 채널 보호막
 2407 : 절연막
 2409 : 절연막
 2411 : 게이트 전극
 2412 : 백 게이트 전극
 2413 : 게이트 절연막
 2414 : 게이트 절연막
 2436 : 하지막
 2450 : 트랜지스터
 2460 : 트랜지스터
 2470 : 트랜지스터
 2480 : 트랜지스터
 7011 : 하우징
 7012 : 표시부
 7013 : 지지대

7031 : 하우징
7032 : 하우징
7033 : 표시부
7034 : 표시부
7035 : 마이크로폰
7036 : 스피커
7037 : 조작 키
7038 : 스타일러스
7041 : 하우징
7042 : 표시부
7043 : 음성 입력부
7044 : 음성 출력부
7045 : 조작 키
7046 : 수광부
7051 : 하우징
7052 : 표시부
7053 : 조작 키

도면

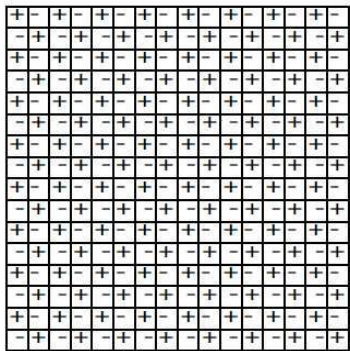
도면1



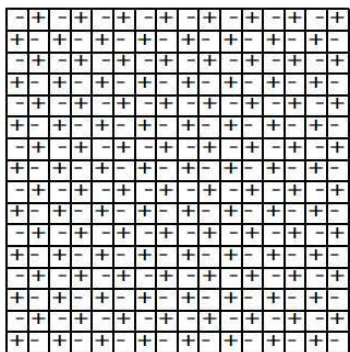
제1프레임 기간	+	-
↓	↓	↓
제2프레임 기간	-	+
↓	↓	↓
제3프레임 기간	+	-

도면3

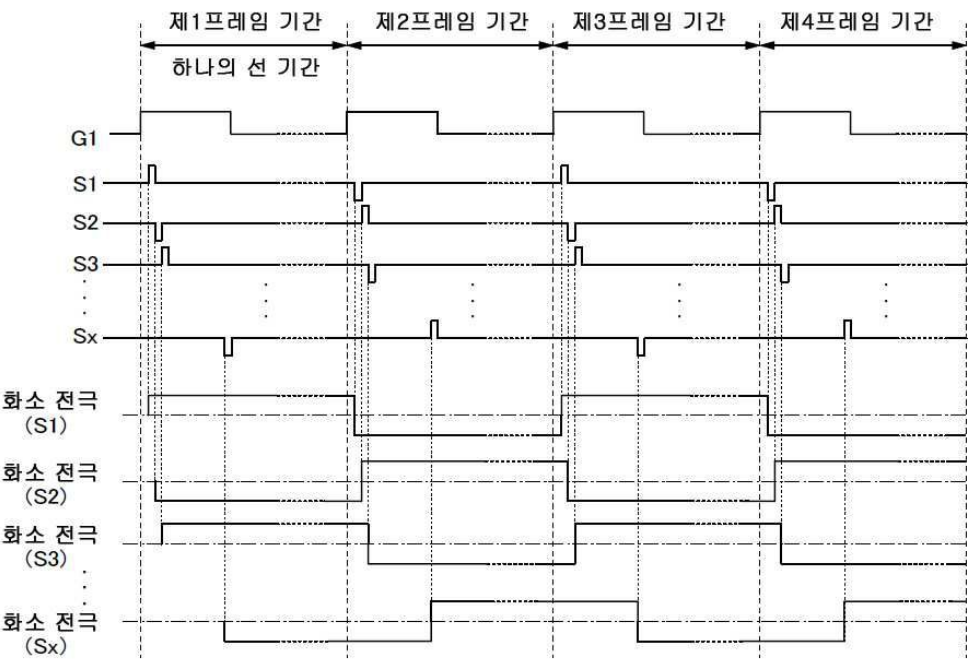
(A)



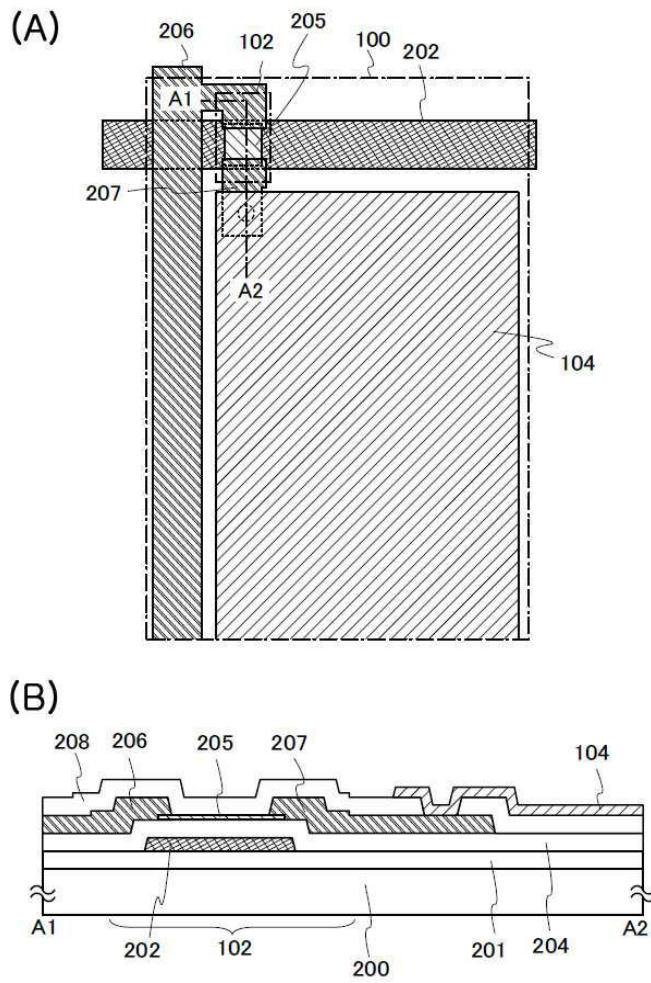
(B)



도면4

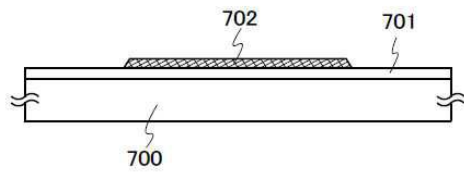


도면5

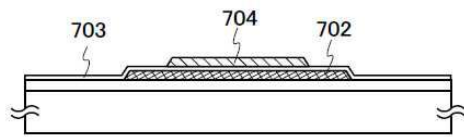


도면6

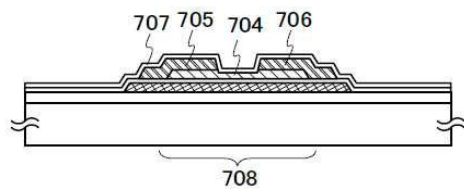
(A)



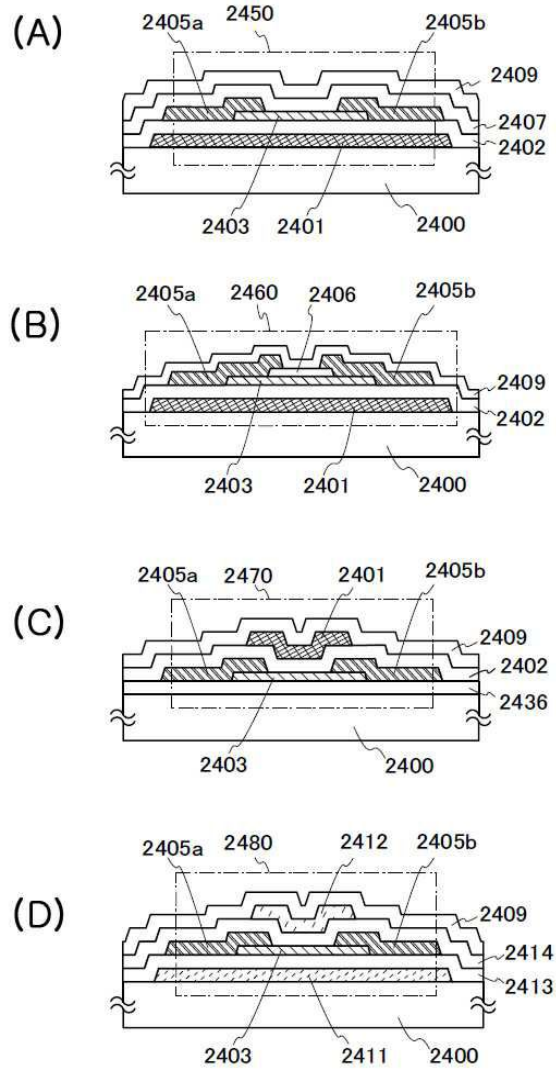
(B)



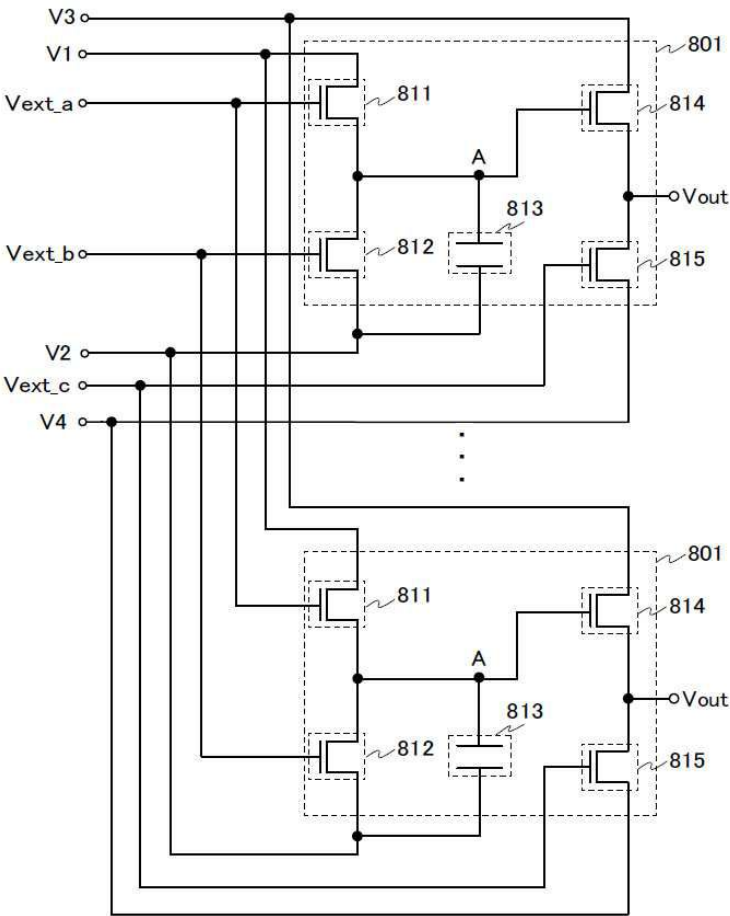
(C)



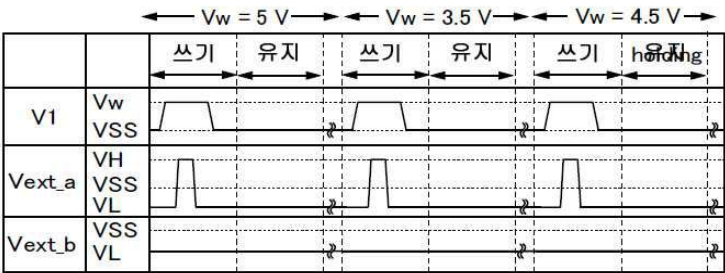
도면7



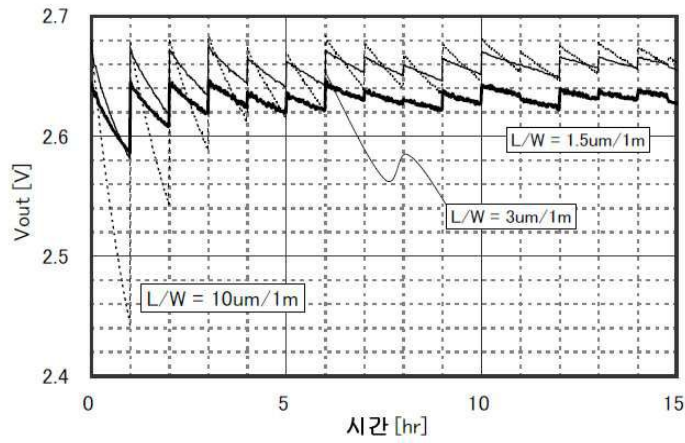
도면8



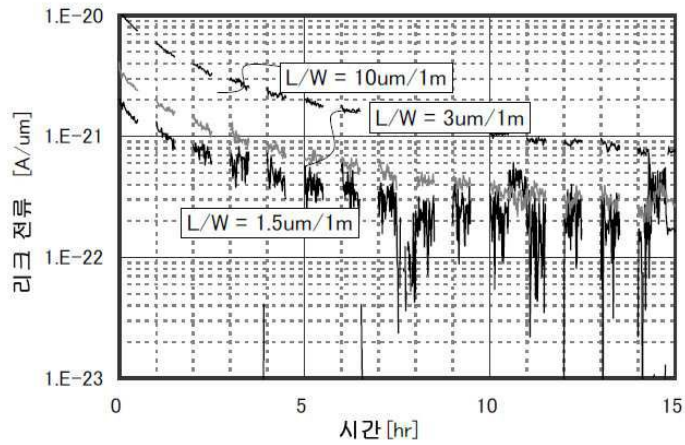
도면9



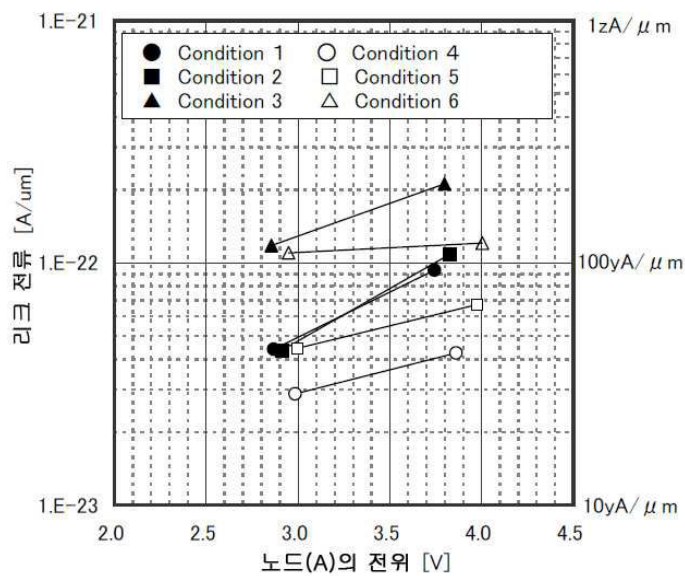
도면10



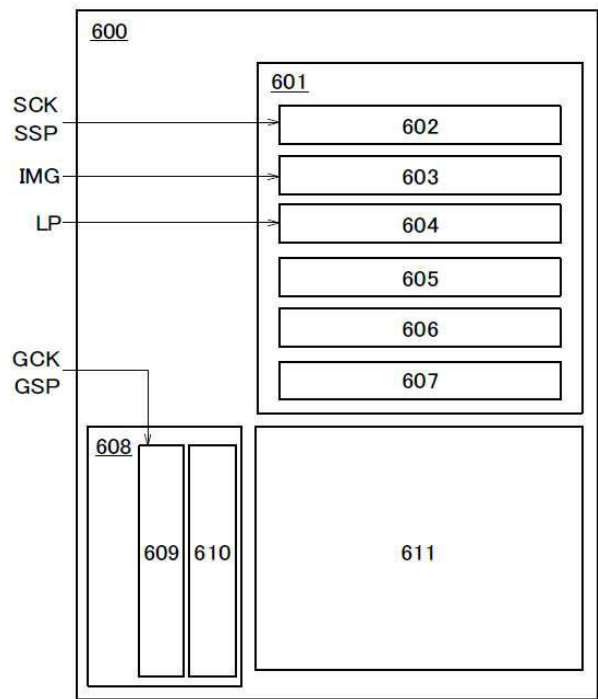
도면11



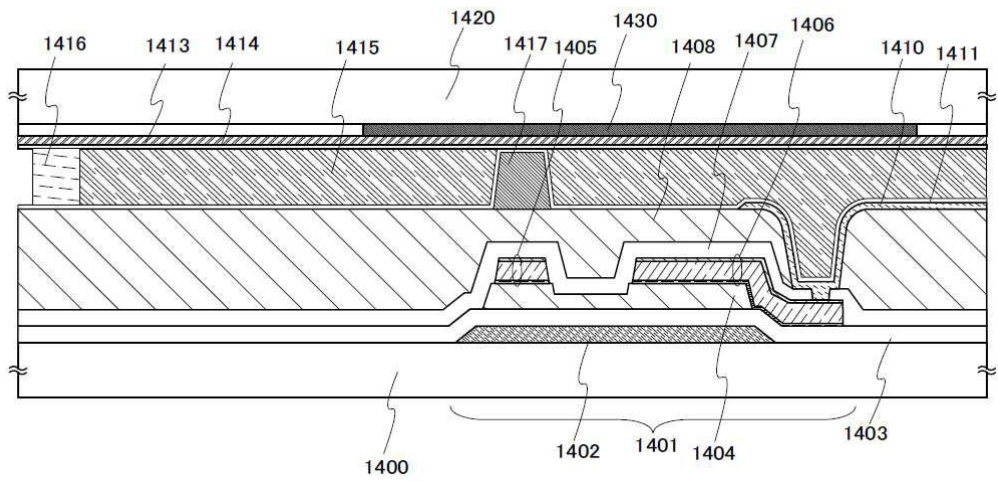
도면12



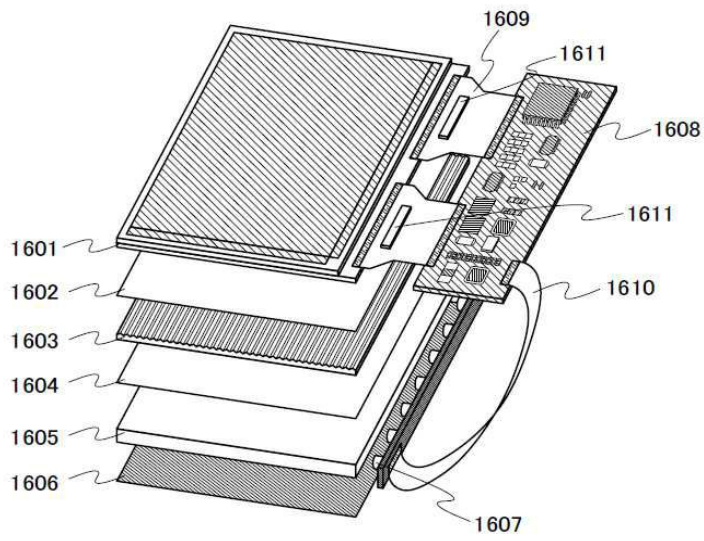
도면13



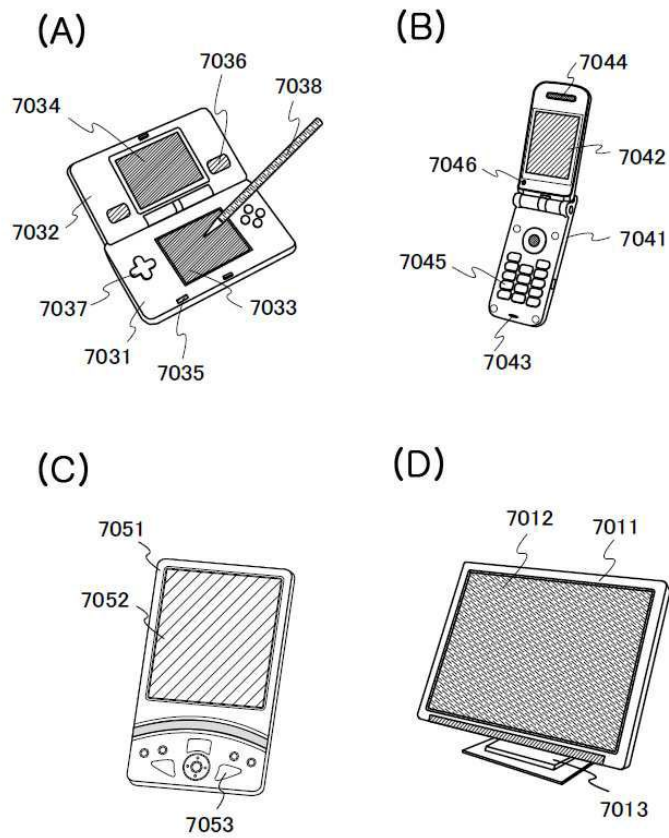
도면14



도면15



도면16



도면17

