

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3607026号

(P3607026)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

H03L 7/06

H03L 7/06

D

H03H 11/26

H03H 11/26

D

H03L 7/087

H03L 7/08

P

請求項の数 24 (全 19 頁)

(21) 出願番号	特願平8-351062	(73) 特許権者	000003078
(22) 出願日	平成8年12月27日(1996.12.27)		株式会社東芝
(65) 公開番号	特開平9-238072		東京都港区芝浦一丁目1番1号
(43) 公開日	平成9年9月9日(1997.9.9)	(74) 代理人	100064285
審査請求日	平成12年11月8日(2000.11.8)		弁理士 佐藤 一雄
審判番号	不服2001-22611(P2001-22611/J1)	(74) 代理人	100073379
審判請求日	平成13年12月17日(2001.12.17)		弁理士 佐藤 政光
(31) 優先権主張番号	特願平7-343167	(74) 代理人	100088889
(32) 優先日	平成7年12月28日(1995.12.28)		弁理士 橘谷 英俊
(33) 優先権主張国	日本国(JP)	(74) 代理人	100082991
			弁理士 佐藤 泰和
		(72) 発明者	小 野 雅 良
			神奈川県川崎市幸区堀川町580番1号
			株式会社東芝 半導体システム技術センタ
			ー内
			最終頁に続く

(54) 【発明の名称】 デジタルPLL回路

(57) 【特許請求の範囲】

【請求項1】

出力クロック信号の周波数と基準クロック信号の周波数とを比較し、周波数比較情報を発生する周波数比較回路と、

前記出力クロック信号の位相と前記基準クロック信号の位相とを比較し、位相比較情報を発生する位相比較回路と、

前記出力クロック信号の周波数についての前記周波数比較情報と、前記出力クロック信号の位相についての前記位相比較情報に基づいて、ディレイ可変用デジタル信号を発生するディレイ制御回路と、

前記ディレイ制御回路の出力により前記基準クロック信号の周波数および位相にロックされるような出力クロック信号を発生する可変周波数発振器と、

を備え

前記位相比較情報によるディレイ変化量は、前記周波数比較情報により決定したディレイ制御情報に対して単位ディレイ量を増加もしくは減少させるものであることを特徴とするデジタルPLL回路。

【請求項2】

前記可変周波数発振器は負荷容量回路を備え、

前記ディレイ制御回路は

前記周波数比較回路からの周波数比較情報と前記位相比較回路からの位相比較情報に基づいて、ディレイ量に対応する負荷容量を制御する制御情報を発生する負荷容量制御回路を

10

20

備えたことを特徴とする請求項 1 に記載のデジタル PLL 回路。

【請求項 3】

前記可変周波数発振器はディレイ段数可変回路を備え、

前記ディレイ制御回路は

前記周波数比較回路により発生された周波数比較情報に基づいてディレイ段数制御情報を発生するディレイ段数制御回路を備えたことを特徴とする請求項 1 に記載のデジタル PLL 回路。

【請求項 4】

前記可変周波数発振器は負荷容量回路をさらに備え、

前記ディレイ制御回路は

前記周波数比較回路からの周波数比較情報および前記位相比較回路からの位相比較情報に基づいてディレイ量に対応する負荷容量制御情報を発生する負荷容量制御回路をさらに備えたことを特徴とする請求項 3 に記載のデジタル PLL 回路。

【請求項 5】

前記周波数比較回路は第 1 および第 2 のカウンタを含む周波数比較器と、これら第 1 及び第 2 のカウンタにより出力されたカウント値を比較する比較器を含むことを特徴とする請求項 1 ないし 4 のいずれかに記載のデジタル PLL 回路。

【請求項 6】

前記可変周波数発振器は出力クロック信号を発生するリング発振器を備え、このリング発振器は、前記ディレイ段数制御情報および前記負荷容量制御情報に基づいて、可変ディレイ値を発生するディレイ可変回路と、入力が前記ディレイ可変回路の出力に接続され、出力が前記ディレイ可変回路の入力に接続されたインバータと、を備えたことを特徴とする請求項 4 に記載のデジタル PLL 回路。

【請求項 7】

前記負荷容量制御回路は、前記周波数比較回路からの周波数比較情報に基づいて中間情報を発生する第 1 の回路と、前記位相比較回路からの位相比較情報にตอบสนองして負荷容量制御情報を発生させるために前記中間情報を選択的に変更する第 2 の回路とを備えたことを特徴とする請求項 6 に記載のデジタル PLL 回路。

【請求項 8】

前記第 2 の回路は前記位相比較回路からの位相比較情報にตอบสนองして、負荷容量制御情報を発生するために、前記中間情報に対し「1」の加算あるいは減算を実行する加算/減算回路を備えたことを特徴とする請求項 7 に記載のデジタル PLL 回路。

【請求項 9】

前記ディレイ可変回路は、複数のディレイ発生段を有し、前記ディレイ段数制御情報にตอบสนองして直列に接続される段の数が選択的に変更できるようになっており、前記ディレイ可変回路の負荷容量を変更するために、負荷容量制御情報にตอบสนองして直列に接続されるディレイ発生段に接続される複数の負荷容量回路とを備えたことを特徴とする請求項 6 に記載のデジタル PLL 回路。

【請求項 10】

前記複数のディレイ発生段は 2 つのインバータでなり、接続段にかかわらず直列接続される第 1 のディレイ発生段と、それぞれ 2 つのインバータでなり、選択的に前記第 1 のディレイ発生段と接続される第 2 ～ 第 n のディレイ発生段とを含み、前記負荷容量回路は容量を含み、前記負荷容量回路は前記第 1 のディレイ発生段に独立して選択的に接続されることを特徴とする請求項 9 に記載のデジタル PLL 回路。

【請求項 11】

前記負荷容量回路が全部接続されるときに前記負荷容量回路により加えられるディレイ値は追加のディレイ発生段が直列に接続されるときに加わるディレイ値以上であることを特徴とする請求項 10 に記載のデジタル PLL 回路。

【請求項 12】

出力クロック信号を分周し、分周出力クロック信号を発生する第 1 の分周回路と、

10

20

30

40

50

基準クロック信号を分周し、分周基準クロック信号を発生する第2の分周回路と、
前記分周出力クロック信号の周波数と前記分周基準クロック信号の周波数とを比較し、周波数比較情報を発生する周波数比較回路と、
前記分周出力クロック信号の位相と前記分周基準クロック信号の位相とを比較し、位相比較情報を発生する位相比較回路と、
前記出力クロック信号の周波数についての前記周波数比較情報と、前記出力クロック信号の位相についての前記位相比較情報に基づいて、ディレイ可変用デジタル信号を発生するディレイ制御回路と、
前記出力クロック信号を発生する可変周波数発振器を備え、
前記出力クロック信号の周波数および位相の制御は前記周波数比較情報と前記位相比較情報に基づいて行われ、前記可変周波数発振器は出力クロック信号を基準クロック信号の周波数の N/M 倍(ただし、 M は前記第2の分周回路における基準クロック信号に対する周波数分割比、 N は前記第1の分周回路におけるディレイ可変回路の出力信号に対する周波数分割比であって、いずれも自然数)の周波数に位相ロックして出力し、
前記位相比較情報によるディレイ変化量は、前記周波数比較情報により決定したディレイ制御情報に対して単位ディレイ量を増加もしくは減少させるものであることを特徴とするデジタルPLL回路。

【請求項13】

前記可変周波数発振器は可変負荷容量回路を備え、
前記ディレイ制御回路は
前記周波数比較回路からの周波数比較情報と位相比較回路からの位相比較情報に基づいて、ディレイ量に対応する負荷容量制御情報を発生する負荷容量制御回路を備えたことを特徴とする請求項12に記載のデジタルPLL回路。

【請求項14】

前記可変周波数発振器はディレイ段数可変回路を備え、
前記ディレイ制御回路は
前記周波数比較回路により発生された周波数比較情報に基づいてディレイ段制御情報を発生するディレイ段数制御回路を備えたことを特徴とする請求項12に記載のデジタルPLL回路。

【請求項15】

前記可変周波数発振器は負荷容量回路をさらに備え、
前記ディレイ制御回路は
前記周波数比較情報および前記位相比較情報に基づいて負荷容量制御情報を発生する負荷容量制御回路をさらに備えたことを特徴とする請求項14に記載のデジタルPLL回路。

【請求項16】

前記可変周波数発振器は、可変ディレイ値を発生するディレイ可変回路と、入力が前記ディレイ可変回路の出力に接続され、出力が前記ディレイ可変回路の入力に接続されたインバータとを含み、出力信号を発生するリング発振器を備えたことを特徴とする請求項15に記載のデジタルPLL回路。

【請求項17】

前記負荷容量制御回路は、前記周波数比較回路からの周波数比較情報に基づいて中間情報を発生する第1の回路と、前記位相比較回路からの位相比較情報にตอบสนองして負荷容量制御情報を発生させるために前記中間情報を選択的に変更する第2の回路とを備えたことを特徴とする請求項16に記載のデジタルPLL回路。

【請求項18】

前記第2の回路は前記位相比較回路からの位相比較情報にตอบสนองして、負荷容量制御情報を発生するために、前記中間情報に対し「1」の加算あるいは減算を実行する加算/減算回路を備えたことを特徴とする請求項17に記載のデジタルPLL回路。

【請求項19】

前記ディレイ可変回路は、複数のディレイ発生段を有し、前記ディレイ段制御情報にตอบสนองして直列に接続される段の数が選択的に変更できるようになっており、前記ディレイ可変回路の負荷容量を変更するために、負荷容量制御情報にตอบสนองして直列に接続されるディレイ発生段に接続される複数の負荷容量回路とを備えたことを特徴とする請求項 16 に記載のデジタル PLL 回路。

【請求項 20】

前記複数のディレイ発生段は、2つのインバータでなり、接続段にかかわらず直列接続される第1のディレイ発生段と、それぞれ2つのインバータでなり、選択的に前記第1のディレイ発生段と接続される第2～第nのディレイ発生段とを含み、前記負荷容量回路は容量を含み、前記負荷容量回路は前記第1のディレイ発生段に独立して選択的に接続されることを特徴とする請求項 19 に記載のデジタル PLL 回路。

10

【請求項 21】

前記負荷容量回路が全部接続されるときに前記負荷容量回路により加えられるディレイ値は追加のディレイ発生段が直列に接続されるときに加わるディレイ値以上であることを特徴とする請求項 20 に記載のデジタル PLL 回路。

【請求項 22】

前記周波数比較回路は第1および第2のカウンタを含む周波数比較器と、これら第1及び第2のカウンタにより出力されたカウント値を比較する比較器を含むことを特徴とする請求項 12 に記載のデジタル PLL 回路。

【請求項 23】

前記周波数比較回路は第1および第2のカウンタを含む周波数比較器と、これら第1および第2のカウンタにより出力されたカウント値を比較する比較器を含むことを特徴とする請求項 12 に記載のデジタル PLL 回路。

20

【請求項 24】

基準クロックと出力クロックを比較する比較手段と、
前記比較手段からの比較情報をもとに負荷容量制御情報を発生させる負荷容量制御回路と、

前記負荷容量制御回路からの負荷容量制御情報をもとにディレイ値可変なディレイ可変回路を含み、所望の出力クロック信号を出力するクロック信号発生回路とを備え、

前記ディレイ可変回路は前記負荷容量制御回路からの負荷容量制御情報を MOS トランジスタのソースもしくはドレインに接続し、前記 MOS トランジスタのゲートを前記ディレイ可変回路の一端に接続した負荷容量可変回路を有することを特徴とするデジタル PLL 回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル PLL 回路に関し、特に複雑な制御アルゴリズムを必要とせずに低ジッタと高精度を提供できるように周波数比較回路を有するデジタル PLL 回路に関する。

【0002】

40

【従来の技術】

フェーズ・ロックド・ループ (PLL) 回路は、広い分野で用いられており、集積化に適したいかなる分野にも用いることができる。特に、PLL 回路は、AM・FM ラジオ、テレビ、無線通信等、周波数シンセサイザ、マルチプレクス・ステレオ復調回路等の各種信号回路に用いられている。

【0003】

一般に、PLL 回路は可変発振器により発生された周波数と位相が基準信号のそれらにロックされるようなフィードバックループである。PLL 回路は周波数変調された搬送波の中からベースバンド信号を復調するために用いられる。基本的な PLL 回路は位相比較回路と電圧制御発振器とを備えている。動作においては、変調された入力信号と電圧制御発

50

振器の出力とが位相比較回路によって比較され、この位相比較回路の出力によって電圧制御発振器の周波数が制御される。

図14は、従来のデジタルPLL回路のブロック構成図である。同図に示されるように、基準クロック信号が位相比較器74に入力され、位相比較器74の出力はディレイ制御回路73に与えられる。ディレイ可変回路76はディレイ制御回路73の出力を受け取り、ディレイ可変回路76の出力はインバータ77に与えられる。インバータ77の出力はディレイ可変回路76にフィードバックされ、ディレイ可変回路76及びインバータ77によってリング・オシレータが構成されている。

【0004】

リング・オシレータの出力信号（すなわち、インバータの出力信号）は出力クロック信号として用いられる一方、位相比較器74へ入力され、基準クロック信号と位相を比較される。ディレイ制御回路73は、位相比較器74からの位相比較出力を基にして基準クロック信号の位相と、出力クロック信号の位相とが一致するようにディレイ可変回路76を制御する。

【0005】

典型的には、ディレイ可変回路76は、通常、インバータ列で構成されており、その接続段数を変更することによりディレイ値を変更する。しかし、インバータの接続段数の変更のみでディレイ値を制御すると、制御可能なディレイ値の刻みが粗い。もし、可変負荷容量回路（キャパシタを含む）がインバータの出力側に接続されるならば、インバータに接続されるキャパシタの個数を変更することにより、インバータの出力負荷容量を変更することができる。このことは、ディレイ値のより高精度の制御と、より精度の高いデジタルPLL回路を得ることができる。このような回路では、ディレイ制御回路73は、位相比較器74からの位相比較出力を基にディレイ可変回路76のインバータの接続段数及び出力負荷容量を制御している。

【0006】

【発明が解決しようとする課題】

しかしながら、上述した従来のデジタルPLL回路においては、ディレイ可変回路76の出力負荷容量によるより高精度な制御を行った場合であっても、ディレイ制御回路73の制御を位相比較出力によって行っているため、PLLとしてロックするようにディレイ制御回路73を設計することが非常に困難であるという問題点がある。

【0007】

例えば、出力クロック信号の周波数が基準クロック信号の周波数と一致していた場合でも、出力クロック信号の位相が基準クロック信号の位相より遅れていたときは、位相比較器74の出力に基づきディレイ制御回路73はディレイ可変回路76のディレイ値を減少させるように動作する。多くの場合、位相を一致させるべく、この動作を幾度か繰り返した後は多くの場合、逆に周波数が不一致となる。したがって、ディレイ制御回路73は今度は周波数を一致させるべく動作する。この結果、競合する動作の繰り返しとなっており、周波数と位相とがともに一致するまでには多くの無駄な動作が含まれて所要時間も長くなる。

【0008】

以上のように、従来のデジタルPLL回路、特に出力クロック信号と基準クロック信号の位相及び周波数を一致させられるようなディレイ制御回路の設計は困難である。この結果、従来の設計は複雑な構成とディレイ制御回路を制御するための非常に複雑な制御用アルゴリズムを含むこととなる。また、従来のデジタルPLL回路はPLL回路が一度ロックした後でもわずかに位相がずれただけで、ディレイ制御回路はディレイ可変回路のディレイ値を変更するように動作し、その結果、出力クロック信号の周波数も変更され信号のジッタが大きくなるという問題もある。

【0009】

本発明は上記問題点に鑑みてなされたもので、その目的は、複雑な制御用アルゴリズムが不要で設計及び制御が容易な、ジッタの小さい高精度のデジタルPLL回路を提供する

10

20

30

40

50

ことである。

【 0 0 1 0 】

【課題を解決するための手段】

本発明に係るディジタルPLL回路の第1の態様によれば、
出力クロック信号の周波数と基準クロック信号の周波数とを比較し、周波数比較情報を発生する周波数比較回路と、
前記出力クロック信号の位相と前記基準クロック信号の位相とを比較し、位相比較情報を発生する位相比較回路と、
前記出力クロック信号の周波数についての前記周波数比較情報と、前記出力クロック信号の位相についての前記位相比較情報に基づいて、ディレイ可変用ディジタル信号を発生するディレイ制御回路と、
前記ディレイ制御回路の出力により前記基準クロック信号の周波数および位相にロックされるような出力クロック信号を発生する可変周波数発振器と、
を備え

前記位相比較情報によるディレイ変化量は、前記周波数比較情報により決定したディレイ制御情報に対して単位ディレイ量を増加もしくは減少させるものであることを特徴とする。

【 0 0 1 1 】

本発明に係るディジタルPLL回路の第2の態様によれば、
出力クロック信号を分周し、分周出力クロック信号を発生する第1の分周回路と、
基準クロック信号を分周し、分周基準クロック信号を発生する第2の分周回路と、
前記分周出力クロック信号の周波数と前記分周基準クロック信号の周波数とを比較し、周波数比較情報を発生する周波数比較回路と、
前記分周出力クロック信号の位相と前記分周基準クロック信号の位相とを比較し、位相比較情報を発生する位相比較回路と、
前記出力クロック信号の周波数についての前記周波数比較情報と、前記出力クロック信号の位相についての前記位相比較情報に基づいて、ディレイ可変用ディジタル信号を発生するディレイ制御回路と、
前記出力クロック信号を発生する可変周波数発振器を備え、
前記出力クロック信号の周波数および位相の制御は前記周波数比較情報と前記位相比較情報に基づいて行われ、前記可変周波数発振器は出力クロック信号を基準クロック信号の周波数の N/M 倍(ただし、 M は前記第2の分周回路における基準クロック信号に対する周波数分割比、 N は前記第1の分周回路におけるディレイ可変回路の出力信号に対する周波数分割比であって、いずれも自然数)の周波数に位相ロックして出力し、
前記位相比較情報によるディレイ変化量は、前記周波数比較情報により決定したディレイ制御情報に対して単位ディレイ量を増加もしくは減少させるものであることを特徴とする。

【 0 0 1 2 】

本発明に係るディジタルPLL回路の第3の態様によれば、
基準クロックと出力クロックを比較する比較手段と、
前記比較手段からの比較情報をもとに負荷容量制御情報を発生させる負荷容量制御回路と、
前記負荷容量制御回路からの負荷容量制御情報をもとにディレイ値可変なディレイ可変回路を含み、所望の出力クロック信号を出力するクロック信号発生回路とを備え、
前記ディレイ可変回路は前記負荷容量制御回路からの負荷容量制御情報をMOSトランジスタのソースもしくはドレインに接続し、前記MOSトランジスタのゲートを前記ディレイ可変回路の一旦に接続した負荷容量可変回路を有することを特徴とする。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明に係るPLLの実施の形態のいくつかにつき、図面を参照しながら説明する

10

20

30

40

50

。

図 1 は、本発明に係るデジタル PLL 回路の第 1 の実施の形態のブロック構成図である。周波数比較回路 11 は出力クロック信号の周波数を基準クロック信号の周波数と比較し、周波数比較情報を含む出力信号を発生する。負荷容量制御回路 12 は周波数比較回路 11 の出力を受け取り、ディレイ可変回路 16 の負荷容量を制御する負荷容量制御出力情報を含む出力信号を発生する。周波数比較回路 11 の出力はディレイ段数（ディレイ値を発生するインバータの接続段数）を制御するディレイ段数制御出力情報を発生するディレイ段数制御回路 13 に与えられる。

【0015】

さらに、位相比較回路 14 は出力クロック信号の位相と基準クロック信号の位相とを比較し位相比較出力情報を含む出力信号を発生する。 10

【0016】

加算／減算回路 15 は位相比較回路 14 の出力および負荷容量制御回路 12 の出力を受け取り、位相比較回路 14 からの位相比較出力情報に基づき、負荷容量制御回路 12 からの負荷容量制御出力情報に対しインクリメントまたはデクリメントを与え、負荷容量加算／減算制御出力情報を含む出力信号を発生する。ディレイ可変回路 16 はディレイ段数制御回路 13 の出力及び加算／減算回路 15 の出力を受け取り、ディレイ段数制御回路 13 からのディレイ段数制御出力情報に基づきディレイ段数を制御し、加算／減算回路 15 からの負荷容量加算／減算制御出力情報に基づき、負荷容量の加算／減算制御を行う。インバータ 17 はディレイ可変回路 16 の出力と入力との間に接続され、ディレイ可変回路 16 20 とともにリング・オシレータを構成する。

【0017】

このように、本発明では、ディレイ可変回路 16 のディレイ段数制御を、位相比較出力情報ではなく、周波数比較出力情報に基づいて行っている。また、ディレイ可変回路 16 の負荷容量可変回路の制御を行う加算／減算回路 15 は周波数比較出力情報を主として、位相比較出力情報を補助として制御を行う。このような特徴は、本発明の第 1 の実施の形態にかかるデジタル PLL 回路を複雑な制御用アルゴリズムが不要で、ジッタの小さい高精度のものとしている。さらに、ディレイ可変回路 16 は、ディレイ値をより高精度に制御可能とするため、接続段数変更可能な複数のインバータと、接続段数変更に関わらない 30 所定インバータの出力側に配設され、キャパシタを含む複数の負荷容量可変回路とを備え、インバータの接続段数及びインバータの出力負荷容量を制御することにより、ディレイ値をより高精度に制御することができる。

【0018】

図 2 は、図 1 に示したディレイ可変回路の好ましい実施例を示すブロック構成図である。

このディレイ可変回路 16 は、第 1 の段だけ縦列接続され、接続段数変更に関わらないインバータ 21 及び 22 を含んでいる。さらに、それぞれ 2 つのインバータを含む 2^{s-1}

段のインバータ対 23, 24 が選択された接続段数に基づいて選択的に用いられるように設けられている。各 2^s 段のインバータの出力はマルチプレクサ 20 に、その接続段数変更を制御すべく与えられる。さらに、負荷容量可変回路 $C_{n1} \sim C_{nm}$ と負荷容量可変回路 $C_{nm+1} \sim C_{nn}$ （キャパシタを含む）は第 1 段のインバータ 21 および 22 の出力負荷容量を定めるのに用いられる。上述したように、インバータの接続段数とインバータの出力負荷容量とを共に変更することにより、ディレイ値をより高精度に制御することができる。 40

【0019】

図 2 に示されたディレイ可変回路の動作を説明する。マルチプレクサ 20 には、ディレイ段数制御回路 13 からのディレイ段数制御出力情報であるディレイ段数制御信号 $E_{11} \sim E_{11}$ が入力され、これらのディレイ段数制御信号 $E_{11} \sim E_{11}$ のデジタル値を制御することによりマルチプレクサの入力端子 $0 \sim 2^{s-1}$ のうちのいずれかが選択される。マルチプレクサの入力には、上述のように、縦列接続された 2^s 段のインバータの出力が接続されているので、選択された段数のインバータがディレイ可変回路の出力に接続 50

され、所定のディレイ値を発生する。したがって、ディレイ段数制御信号 $E_{11} \sim E_{11}$ に基づくインバータの接続段数変更により、インバータ 2 段（すなわち 1 接続段）が発生するディレイ値を一単位として、ディレイ可変回路のディレイ値を制御することができる。

【0020】

そして、さらにディレイ値を高精度に制御するために、上述のように、接続段数変更に関わらないインバータ 21 及び 22 の出力側には、各インバータの出力負荷容量となるキャパシタを含む負荷容量可変回路 $C_{n1} \sim C_{nm}$ と負荷容量可変回路 $C_{nm+1} \sim C_{nn}$ とが選択的に接続されている。すなわち、各負荷容量可変回路 C は、その構成の一例が負荷容量可変回路 C_{n1} として示されるように、キャパシタ 25 とアナログスイッチ 26 とから構成されている。各負荷容量可変回路 C はそのアナログスイッチを負荷容量加算 / 減算制御信号 E_n の一つに基づいて開閉する。このように、負荷容量加算 / 減算制御信号は負荷容量制御回路 12 からの負荷容量制御情報および位相比較回路の出力に基づいて加算器 / 減算器回路 15 から出力される。

10

【0021】

すなわち、負荷容量加減制御信号 $E_{n1} \sim E_{nm}$ 、 $E_{nm+1} \sim E_{nn}$ の値が「1」のときは、当該信号が入力される負荷容量可変回路の対応するアナログスイッチが接続され、インバータ 21、22 の出力に当該負荷容量可変回路のキャパシタが接続される。逆に、負荷容量加減制御信号 $E_{n1} \sim E_{nm}$ 、 $E_{nm+1} \sim E_{nn}$ の値が「0」のときは、当該信号が入力される負荷容量可変回路の対応するアナログスイッチが開放され、インバータ 20 の出力から当該負荷容量可変回路のキャパシタが切り離される。したがって、負荷容量加減制御信号 $E_{n1} \sim E_{nm}$ 、 $E_{nm+1} \sim E_{nn}$ に基づいてインバータの出力負荷容量が加減される。これによりディレイ可変回路のディレイ値はより高精度に制御可能となる。

20

【0022】

図 3 は、ディレイ可変回路のインバータの接続段数とインバータに接続される出力負荷容量とを変更したときのディレイ値の変化を示すグラフである。そのグラフにおいて線 OP2、OP4、OP6 はそれぞれインバータの段数が 2 段、4 段、6 段のときのディレイ可変回路の出力信号のディレイ値である。それぞれ単調増加（厳密には、小さい階段状）のグラフとなっているのは、接続段数変更に関わらない 2 個のインバータの出力側に配設された複数の負荷容量可変回路によるディレイ値の高精度の制御によるものである。さらに、インバータの接続段数変更によるディレイ値の制御は、インバータ 2 段ごとの制御であり、かつ、複数の負荷容量可変回路によるディレイ値の調整量は、典型的にはインバータ 2 段分のディレイ値の量以上である。例えば、グラフ OP2 の右端とグラフ OP4 の左端、グラフ OP4 の右端とグラフ OP6 の左端とはそれぞれディレイ値が連続、または一部重複するようになっている。このように、本発明の第 1 の実施の形態にかかるディレイ可変回路は連続した高精度のディレイ値の制御を可能とする。

30

以下、図 1 および図 2 のデジタル PLL 回路全体の動作について説明する。最初に、出力クロック信号と基準クロック信号の周波数を一致させるデジタル PLL の動作につき説明する。

図 4 は、図 1 における周波数比較回路 11 の一例のブロック構成図である。図 4 に示すように、2 つのクロック信号 F_1 および F_2 がそれぞれ 2 個の 10 ビットカウンタ 41 及び 42 に与えられる。10 ビットコンパレータ 43 はこれらのカウンタの出力を受ける。2 個の 10 ビットカウンタ 41 及び 42 は、基準クロック信号 F_1 のクロック数とデジタル PLL 回路出力クロック信号 F_2 のクロック数とをそれぞれカウントし、いずれかのカウンタが 10 ビットをフルカウント（すなわち 2^{10} ）した時に両方の 10 ビットカウンタは停止される。2 個のカウンタのカウント出力はレジスタ回路に記憶され、コンパレータ 43 によって比較される。好ましい実施例ではレジスタ回路は各カウンタに含まれる。比較結果は周波数比較出力情報として周波数比較回路 11 から出力される。この実施の形態においては、周波数比較回路 11 はいずれのカウント値が大きいか、一致するかを示す 3 ビット信号（例えば常に 1 つの「1」と 2 つの「0」を持つ信号）を出力する。

40

50

【 0 0 2 3 】

周波数比較情報に応答して、負荷容量制御回路 1 2 およびディレイ段制御回路 1 3 は負荷容量制御信号 $E' n$ およびディレイ段制御信号 $E s$ をそれぞれ出力する。図 6 は図 1 における負荷容量制御回路 1 2 およびディレイ制御回路 1 3 の好ましい実施例のブロック図を示す。図示されたように、第 1 のアップダウンカウンタ 8 1 は周波数比較回路 1 1 から周波数比較情報を受け取る。第 1 のアップダウンカウンタ 8 1 の出力 $E' n$ はイネーブル論理回路 8 2 および加算 / 減算回路 1 5 に与えられる。イネーブル論理回路 8 2 は第 1 のアップダウンカウンタ 8 1 の出力がすべて「1」であり出力クロック信号 $F 2$ の周波数が基準クロック信号 $F 1$ の周波数よりも高いときか、第 1 のアップダウンカウンタ 8 1 の出力がすべて「0」であり出力クロック信号 $F 2$ の周波数が基準クロック信号 $F 1$ の周波数よりも低いときのいずれかの場合にイネーブル信号 $E c$ を発生する。図 6 の例では、加算 / 減算回路 1 5 は負荷容量加算 / 減算制御信号 $E n$ を発生するデコーダを含んでいる。他の例では、デコーダは負荷容量制御回路 1 2 に含まれる。さらに、ディレイ段制御回路 1 3 はイネーブル信号を負荷容量制御回路 1 2 から、周波数比較情報を周波数比較回路 1 1 からそれぞれ受け取る第 2 のアップダウンカウンタ 8 8 を含む。この第 2 のアップダウンカウンタ 8 8 の出力 $E s$ はディレイ可変回路 1 6 に与えられる。

10

【 0 0 2 4 】

より詳しく述べると、周波数比較回路が出力クロック信号の周波数が基準クロック信号の周波数より高いことを示したときは、負荷容量制御回路 1 2 は、負荷容量制御出力信号 $E' n 1 \sim E' n m$ の数を 1 つ増加させる。すなわち、負荷容量制御出力信号 $E' n 1 \sim E' n m$ のうち「1」の状態にある信号の個数を 1 個増加させる。これにより、インバータに接続されるキャパシタが 1 個増加してインバータの出力負荷容量がわずかに増加し、ディジタル P L L 回路出力クロック信号の周波数がわずかに低下する方向に作用する。次の周波数比較時に、キャパシタを 1 個接続してもなおディジタル P L L 回路出力クロック信号の周波数が基準クロック信号の周波数より高いときは、爾後の周波数比較時に上述したと同様に負荷容量制御出力信号 $E' n 1 \sim E' n n$ のうち「1」の状態にある信号の個数をさらに 1 個増加させる。この動作は、ディジタル P L L 回路出力クロック信号と基準クロック信号の周波数が等しくなるまで繰り返される。

20

【 0 0 2 5 】

負荷容量制御出力信号 $E' n 1 \sim E' n n$ のすべてが「1」となった後もディジタル P L L 回路出力クロック信号の周波数が基準クロック信号の周波数より高いときは、爾後の周波数比較時に負荷容量制御出力信号 $E' n 1 \sim E' n n$ をすべてリセットして「0」とし、同時にこのリセット情報をディレイ段数制御回路 1 3 に対して出力する。

30

【 0 0 2 6 】

ディレイ段数制御回路 1 3 においては、負荷容量制御回路 1 2 からのリセット情報に基づき、ディレイ段数制御出力情報であるディレイ段数制御信号 $E s$ をインクリメントする。これにより、ディレイ可変回路 1 6 のインバータの接続段数は 2 段増加する（すなわち、さらに 1 段の接続が用いられる）。上述のように、負荷容量制御回路 1 2 およびディレイ段数制御回路 1 3 は出力クロック信号と基準クロック信号とが一致するまで動作を続ける。負荷容量可変回路によるディレイ値の制御の幅は、通常、インバータ 2 段分のディレイ値の幅以上とされているため、連続したディレイ値の高精度の制御が可能となる。

40

【 0 0 2 7 】

以上のように、本発明の第 1 の実施の形態によれば、インバータの接続段数とインバータの出力負荷容量を順次増加させることにより、ディジタル P L L 回路出力クロック信号の周波数は基準クロック信号の周波数となるまで徐々に低下する。このようにして安定した周波数の一致が確立される。

【 0 0 2 8 】

ディジタル P L L 回路出力クロック信号の周波数が基準クロック信号の周波数より高い場合は、以上のような動作が行われるが、ディジタル P L L 回路出力クロック信号の周波数が基準クロック信号の周波数より低い場合は、以上とは逆の動作を行う。すなわち、周波

50

数比較出力情報に基づき、デジタルPLL回路出力クロック信号の周波数が基準クロック信号の周波数より低いときは、負荷容量制御回路12はアクティブ負荷容量制御出力信号 $E'_{n1} \sim E'_{nn}$ の数を1つ減少させるようにカウントダウンする。すなわち、負荷容量制御出力信号 $E'_{n1} \sim E'_{nn}$ のうち「1」の状態にある信号の個数を1個減少させる。その結果、第1段インバータに接続されるキャパシタが1個減少してインバータの出力負荷容量がわずかに減少し、逆に出力クロック信号の周波数がわずかに上昇する。接続されるキャパシタを1個減少させてもなお、次の比較時にデジタルPLL回路出力クロック信号の周波数が基準クロック信号の周波数より低いときは、爾後の周波数比較時に上述したと同様に負荷容量制御出力信号 $E'_{n1} \sim E'_{nn}$ のうち「1」の状態にある信号の個数をさらに1個減少させる。この動作は、デジタルPLL回路出力クロック信号と基準クロック信号の周波数が等しくなるまで繰り返される。

10

【0029】

負荷容量制御出力信号 $E'_{n1} \sim E'_{nn}$ のすべてが「0」となった後もデジタルPLL回路出力クロック信号の周波数が基準クロック信号の周波数より低いときは、負荷容量制御出力信号 $E'_{n1} \sim E'_{nn}$ をすべてリセットして「1」とし、同時にこのリセット情報をディレイ段数制御回路13に対して出力する。

【0030】

ディレイ段数制御回路13は、リセット情報に基づき、ディレイ段数制御出力情報であるディレイ段数制御信号 E_s をデクリメントする。これにより、ディレイ可変回路16のインバータの接続段数は2段減少する（すなわち、さらに1段少ない接続が用いられる）。上述のように、負荷容量制御回路12およびディレイ段数制御回路13は出力クロック信号と基準クロック信号とが一致するまで動作を続ける。

20

【0031】

以上のように、インバータの接続段数とインバータの出力負荷容量を順次減少させることにより、デジタルPLL回路出力クロック信号の周波数は基準クロック信号の周波数と同じ周波数になるまで徐々に上昇する。このようにして周波数の安定な一致が確立される。

【0032】

さらに、ディレイ可変回路16とインバータ17とから構成されるリング・オシレータの発振周波数、すなわち出力クロック信号の周波数は、インバータの段数とインバータに接続される出力負荷容量とによって決定されるので、一度、デジタルPLL回路がロックしたときは、非常に高精度の発振周波数を得ることができる。

30

【0033】

次に、図1および2のデジタルPLL回路の出力クロック信号と基準クロック信号の位相を一致させる動作（位相合わせ）について説明する。位相合わせは図1における位相比較回路14と加算/減算回路15により行われる。図5は図1の位相比較回路14の好ましい実施例を示すブロック図である。

【0034】

位相差検出部110の出力は第1および第2のSRフリップフロップ120および130に与えられる。位相差検出部は2つのクロック信号（F1およびF2）がそれぞれフリップフロップ101、102に与えられ、これらフリップフロップの入力端子は電源VDDに接続されている。NANDゲート104は両フリップフロップ101、102の出力を受ける。各フリップフロップ（101または102）の出力はインバータ対（103または105）を介してANDゲート107または108にも与えられる。NANDゲート104はANDゲート107および108、およびインバータ対106を介してフリップフロップ101および102のクリア端子に与えられている。

40

【0035】

位相差検出部110のUP出力信号は、基準クロック信号F1が与えられるフリップフロップ101の出力を受けるANDゲート107から第1のSRフリップフロップ120のセット端子に与えられる。同様に、DOWN出力信号は、出力クロック信号F2が与えら

50

れるフリップフロップ102の出力を受けるANDゲート108から第2のSRフリップフロップ130のセット端子に与えられる。基準クロック信号F1は第1のSRフリップフロップ120のリセット端子にインバータ111を介して与えられ、出力クロック信号F2は第2のSRフリップフロップ130のリセット端子にインバータ112を介して与えられる。位相比較器14から位相比較情報として出力されるUP'およびDOWN'出力信号は、第1および第2のSRフリップフロップ120および130からそれぞれ供給される。各SRフリップフロップのリセット端子には反転したクロック信号の一つが与えられるので、出力信号UP'およびDOWN'は図13(b)に示されるように、2つのクロック信号間の位相差にかかわらず、それぞれのクロック信号とパルス幅が一致する。

【0036】

上述したように、位相比較回路14は出力クロック信号の位相を基準クロック信号の位相と比較し、位相比較情報を出力する。さらに詳細には、もし出力クロック信号が基準クロック信号よりも遅れているときは、位相比較回路はUP'出力信号を出力し、加算/減算回路15に、負荷容量制御回路12からの負荷容量制御出力情報E'nに対して「1」を減算させる(図13(a)(b)参照)。その結果は、ディレイ可変回路16に対して負荷容量加算/減算制御出力情報として出力されて、ディレイ可変回路16のインバータに接続されているキャパシタが1個減少し、ディジタルPLL回路出力クロック信号の位相が基準クロック信号の位相に対してわずかに進む方向に変位する。

【0037】

逆に、ディジタルPLL回路出力クロック信号の位相と基準クロック信号の位相とを比較した結果、ディジタルPLL回路出力クロック信号の位相が基準クロック信号の位相に対して進んでいたときは、位相比較回路14はDOWN'出力信号を出力し、加算/減算回路15に、負荷容量制御回路12からの負荷容量制御出力情報E'nに対して「1」を加算させる(図13(b)参照)。その結果は、ディレイ可変回路16に対して負荷容量加算/減算制御出力情報として出力されて、ディレイ可変回路16のインバータに接続されているキャパシタが1個増加し、ディジタルPLL回路出力クロック信号の位相が基準クロック信号の位相に対してわずかに遅れる方向に変位する。

【0038】

加算/減算回路15は、位相比較回路14での位相比較の結果に基づき、単に、負荷容量制御回路12からの負荷容量制御出力情報に対して「1」の加算動作または減算動作を繰り返すのみである。したがって、加算動作または減算動作を行った結果に基づいて爾後の位相比較を行い、負荷容量制御出力情報に対して「1」の加算または減算をした結果の情報に対してさらに加算動作または減算動作を行うことはない。言い換えれば、加算/減算回路15は、負荷容量制御情報に対する最初の「1」の加算あるいは減算による制御情報に別の加算や減算を行うことはなく、位相比較回路は負荷容量制御回路の出力を「1」だけ変更できる(すなわち、一つのキャパシタを接続あるいは切り離しできる)だけである。

【0039】

また、ディジタルPLL回路出力クロック信号の位相と基準クロック信号の位相とが一致したときには、加算/減算回路15の加算動作または減算動作は停止される。この時点では、インバータの接続段数、負荷容量とともにPLL回路の周波数がロックしたときと同じなので、リング・オシレータの発振周波数も基準クロック信号の周波数と一致する。

【0040】

本発明におけるディジタルPLL回路では、周波数比較が行われた後、出力クロック信号の周波数は位相合わせの際に若干変化させられる。詳しく述べると、「1」の加算あるいは減算が負荷容量制御情報に基づいて行われる時、出力クロック信号の周波数は、周波数整合動作によって設定される周波数からはわずかに変化する。そして、次の周波数比較は位相合わせ動作によって影響されることになる。しかしながら、周波数比較が1024クロック周期(10ビットカウンタの場合)に1回であるのに対し、位相比較は毎クロック周期に行なわれるので、負荷容量制御情報における位相合わせ動作によるいかなる変動も

10

20

30

40

50

位相比較回路および加算／減算回路により修正される。さらに、位相比較回路は周波数比較動作（上述）により定められた負荷容量制御情報を「１」だけ変化させるものである。で、位相合わせ動作中に周波数がわずかに変動するのがせいぜいである。

【００４１】

このように、本発明の第１の実施の形態では、周波数及び位相が基準クロック信号と一致したデジタルPLL回路出力クロック信号を得ることができる。すなわち、本発明に係るデジタルPLL回路によれば、複雑な制御用アルゴリズムが不要で設計及び制御が容易な、ジッタの小さい高精度のデジタルPLL回路を実現することができる。

【００４２】

図７は、本発明に係るデジタルPLL回路の第２の実施の形態のブロック構成図である。この実施の形態では、基準クロック信号入力端子と周波数比較回路５１の入力側との間に１／Ｍデバイダ５８が挿入接続され、デジタルPLL回路出力クロック信号出力端子と位相比較回路５４ならびに周波数比較回路５１の入力側との間に１／Ｎデバイダ５９が挿入接続されたものである。第２の実施の形態にかかるデジタルPLL回路を構成する他の回路要素については上述した第１の実施の形態のデジタルPLL回路の構成と全く同じであるので、その説明は省略する。

10

【００４３】

第１の実施の形態と同様な動作が行われている間、基準クロック信号の周波数の N/M 倍の周波数のデジタルPLL回路出力クロック信号を得ることができる。例えば、デバイダ５８が１／４デバイダであり、デバイダ５９が１／２デバイダ（すなわち、 $M = 4$ 、 $N = 2$ ）であり、基準クロック信号の周波数が 8 kHz であった場合、第２の実施の形態にかかるデジタルPLL回路は 4 kHz の周波数を持つ出力パルスを発生する。

20

【００４４】

図８は、本発明に係るデジタルPLL回路の第３の実施の形態のブロック構成図である。図５の第２の実施の形態のデジタルPLL回路の構成から、位相比較回路及び加算／減算回路を除去した構成となっている。なお、この第３の実施の形態のデジタルPLL回路の構成におけるディレイ制御回路６３は、好ましくは負荷容量制御回路及びディレイ段数制御回路（図１および図５）を含むものである。この第３の実施の形態のデジタルPLL回路の構成においては、デジタルPLL回路出力クロック信号は基準クロック信号の周波数の N/M 倍の周波数であるが、両クロック信号の位相は合わされていない。したがって、この実施の形態のPLL回路は、特に位相を合わせる必要のない回路用途、例えば、高周波帯域で動作するLSIの内部クロック等に好適な構成である。

30

【００４５】

図９は本発明の第４の実施の形態のブロック構成図である。この実施の形態では、加算／減算回路１５は位相補正回路１１５で置き換えられ、負荷容量制御回路１２により出力された負荷容量制御情報直接ディレイ可変回路１１６に与えられている。より詳しくは、位相補正回路１１５は位相比較回路１４の出力を受け取り、補足的負荷容量制御情報を含む出力信号を発生する。ディレイ可変回路１１６は負荷容量制御回路１２、ディレイ段数制御回路１３、および位相補正回路１１５の各出力を受け取って、ディレイ段数制御回路１３の出力に基づいてディレイ段数を制御し、負荷容量制御回路１２および位相補正回路１１５の出力に基づいて負荷容量を制御する。

40

【００４６】

図１０は図９に示されたディレイ可変回路の好ましい例を示すブロック構成図である。図１０のディレイ可変回路１１６は、２つの付加的な可変負荷容量回路Ｃ０１およびＣ０２が第１段のインバータ２１および２２の負荷容量を補足的負荷容量制御信号 E_{01} 、 E_{02} （図９参照）に基づいて設定するために設けられている点を除き、図２のディレイ可変回路と同じである。上述したように、位相補正回路１１５から位相比較器１４の出力に基づいて補足的負荷容量制御信号が出力される。これによりインバータ２１および２２の負荷容量は負荷容量制御信号 E_n と補足的負荷容量制御信号 E_0 に基づいて増減される。

【００４７】

50

図 9 および図 10 のデジタル PLL 回路の出力クロック信号を基準クロック信号に一致させようとする動作は上述した第 1 の実施の形態の場合と同じである。しかし、出力クロック信号を基準クロック信号に位相を合わせようとするデジタル PLL の動作は次の通りである。位相合わせ動作は位相比較回路 14 と位相補正回路 115 (図 9) により行われる。上述したように、位相比較回路 14 は出力クロック信号の位相を基準クロック信号の位相と比較し、位相比較情報を出力する。もし、出力クロック信号の位相が基準クロック信号の位相とが一致したときには、位相補正回路 115 は「0」および「1」の値を持つ補足的負荷容量制御信号 E01、E02 をディレイ可変回路 116 に対して出力する。その結果、付加的可変負荷容量回路 C01 および C02 のうちのの一つがディレイ可変回路における第 1 段のインバータに接続される。

10

【0048】

もし、出力クロック信号の位相が基準クロック信号の位相よりも遅れているときは、位相比較器は UP' 出力信号を位相補正回路 115 に与え、双方とも「0」の値を持つ補足的負荷容量制御信号 E01、E02 をディレイ可変回路 116 に対して出力させる。この結果、付加的可変負荷容量回路 C01 および C02 はディレイ可変回路における第 1 段のインバータに全く接続されず、出力クロック信号の位相は基準クロック信号の位相に対してわずかに進む方向に変位される。

【0049】

逆に、出力クロック信号の位相が基準クロック信号の位相よりも進んでいるときは、位相比較器は DOWN' 出力信号を位相補正回路 115 に与え、双方とも「1」の値を持つ補足的負荷容量制御信号 E01、E02 をディレイ可変回路 116 に対して出力させる。この結果、付加的可変負荷容量回路 C01 および C02 はディレイ可変回路における第 1 段のインバータに双方とも接続され、出力クロック信号の位相は基準クロック信号の位相に対してわずかに遅れる方向に変位される。このように、位相比較器はディレイ可変回路中で 2 つの容量を接続したり、切り離したりするのみである。

20

【0050】

以上のように、本発明の第 4 の実施の形態は、周波数と位相に関して基準クロック信号と一致したデジタル PLL 回路出力信号を提供する。さらに、位相補正回路は第 1 の実施の形態における加算 / 減算回路よりも簡単な構成であり、第 4 の実施の形態は小型でより単純である。

30

【0051】

図 11 および図 12 は本発明のディレイ可変回路のさらに別の例を示すブロック図である。これらの例は可変負荷容量回路の異なる構造を提供する。他の回路要素に関しては図 10 において説明したのと同じであるので、その説明は省略する。図 11 の例では、各可変負荷容量回路 (例えば Cn1) はソースとドレインがインバータ 21 の出力に共通に接続された MOS トランジスタ 140 により構成される。トランジスタ 140 のゲートは制御信号 En1 を受ける。このような構成では、トランジスタ 140 は容量がアナログスイッチと合体されものとして機能する。より詳細には、制御信号が「1」の値を有し、トランジスタのドレインとソースの電位が VDD - Vth よりも低い、すなわち対応するインバータの出力が「0」である場合には、MOS トランジスタのゲート下にはチャネルが形成される。したがってソース、ドレイン間の容量は増加し、インバータの出力が「1」に変化したとき、ディレイを生ずる。他方、制御信号が「0」を持つとき、トランジスタのゲート下にチャネルが形成されず、インバータのディレイは増加しない。

40

【0052】

図 12 の例では、各可変負荷容量回路 (例えば Cn1) はゲートがインバータ 21 の出力側に接続された MOS トランジスタ 142 により形成される。トランジスタ 142 のソースとドレインは反転制御信号 / En1 を受けるべく共通接続される。

【0053】

このような構成では、トランジスタ 142 は反転制御信号 / En1 が「0」の値を持つとき、容量として機能する。特に、反転制御信号 / En1 が「0」の値を持ち、トランジス

50

タのゲート電位が V_{th} よりも高い、すなわち、対応するインバータは「1」である場合にはMOSトランジスタのゲート下にはチャネルが形成される。したがって、トランジスタは容量として機能し、インバータの出力を遅延させる。逆に、反転制御信号/ E_{n1} が「1」の値を持つとき、トランジスタは容量としては機能しない。

【0054】

図11および図12のディレイ可変回路は図10のディレイ可変回路と同様に動作する。しかし、図10の例では各可変負荷容量回路は少なくとも3つのトランジスタを必要とする。これに対し、図11および図12の例では各可変負荷容量回路はトランジスタ1つですむ。したがって、ディレイ可変回路の大きさと複雑さを減少させることができる。さらに、図11の例ではインバータの出力はMOSトランジスタのソース、ドレインと接続されているため、トランジスタのドレイン領域とウェル領域、あるいはソース領域とウェル領域の間で寄生トランジスタが生ずる。例えば、NチャネルMOSトランジスタの場合、寄生容量はN+ドレイン領域とPウェル領域との間で生ずる。このような寄生容量は、インバータの出力に影響を与える。これに対し、図12の例ではMOSトランジスタのゲートに直接接続されているので、寄生容量はインバータ出力に影響を与えない。このように、図12の例は、インバータの出力速度が速いので、高速ディレイ可変回路を実現できる。

10

【0055】

上述した実施の形態では、ディレイ制御回路は周波数比較回路の出力をもとに制御していたが、本発明はこのような場合に限られない。記載された実施の形態は当業者により周波数比較回路と位相比較回路により制御されるものに適用できる。このような形態では、周波数比較回路および位相比較回路をともに制御させることにより接続段数やディレイ可変回路の出力負荷容量を変化させることになる。

20

【0056】

【発明の効果】

以上詳細に説明したように、本発明に係るデジタルPLL回路によれば、ディレイ制御回路を周波数比較出力情報に基づき制御することとしたので、複雑な制御用アルゴリズムが不要で設計及び制御が容易な、ジッタの小さい高精度のデジタルPLL回路を構成することができる。

【0057】

さらに、本発明では、ディレイ可変回路が接続段数の変更に関係な第1および第2のインバータを備えており、2つのインバータよりなるインバータ群が接続段数の変化に影響され、可変負荷容量回路は第1及び第2のインバータの出力に接続され、独立に接続/開放されるようにしているので、ディレイ可変回路により発生するディレイ値は正確に調整することができる。さらに、すべての容量が接続されたときの負荷容量回路で発生したディレイ値は2つのインバータにより発生したディレイ値よりも大きい等しいので、正確で連続的なディレイ値をディレイ発生回路から得ることができる。

30

【図面の簡単な説明】

【図1】本発明に係るデジタルPLL回路の第1の実施の形態のブロック構成図。

【図2】図1のディレイ可変回路のブロック構成図。

40

【図3】ディレイ可変回路のインバータの接続段数とインバータに接続される出力負荷容量とを変更したときのディレイ値の変化を示すグラフ。

【図4】周波数比較回路のブロック構成図。

【図5】位相比較回路のブロック構成図。

【図6】負荷容量制御回路およびディレイ段制御回路のブロック構成図。

【図7】本発明に係るデジタルPLL回路の第2の実施の形態のブロック構成図。

【図8】本発明に係るデジタルPLL回路の第3の実施の形態のブロック構成図。

【図9】本発明に係るデジタルPLL回路の第4の実施の形態のブロック構成図。

【図10】図9のディレイ可変回路の例を示すブロック構成図。

【図11】ディレイ可変回路の他の例を示すブロック構成図。

50

【図 1 2】ディレイ可変回路の他の例を示すブロック構成図。

【図 1 3】図 5 の位相比較回路の動作を説明するタイミングチャート。

【図 1 4】従来のデジタル PLL 回路のブロック構成図。

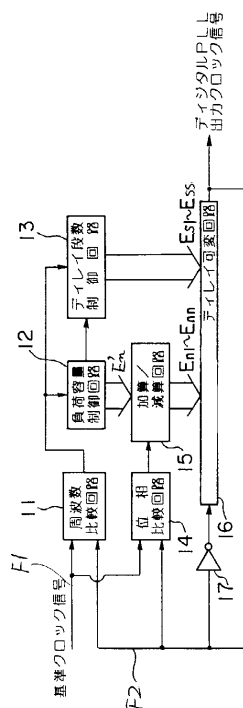
【符号の説明】

- 1 1、5 1、6 1 周波数比較回路
 1 2、5 2 負荷容量制御回路
 1 3、5 3、6 3、7 3 ディレイ段数制御回路
 1 4、5 4、7 4 位相比較回路
 1 5、5 5 加算／減算回路
 1 6、5 6、6 6、7 6 ディレイ可変回路
 1 7、5 7、6 7、7 7 インバータ
 2 0 マルチプレクサ
 2 1、2 2 インバータ
 2 3、2 4 2 段インバータ
 2 5 キャパシタ
 4 1、4 2 10 ビットカウンタ
 4 3 10 ビットコンパレータ
 5 8、5 9、6 8、6 9 デバイダ
 8 1、8 8 アップダウンカウンタ
 1 0 1、1 0 2 フリップフロップ
 1 1 0 位相差検出器
 1 1 5 位相補正回路
 1 2 0、1 3 0 R S フリップフロップ
 C n 1 ~ C n m、C n m + 1 ~ C n n 負荷容量可変回路

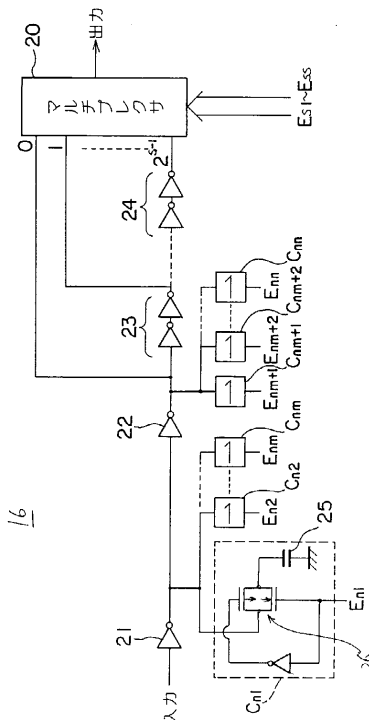
10

20

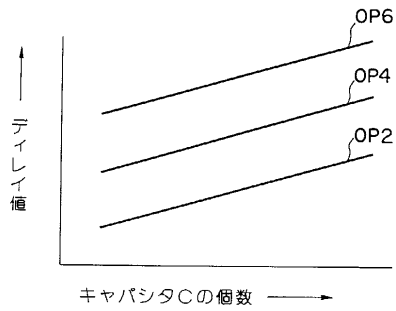
【図 1】



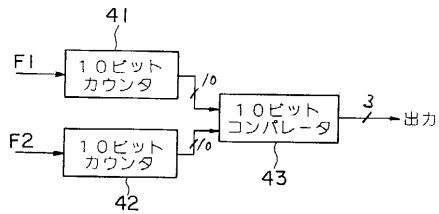
【図 2】



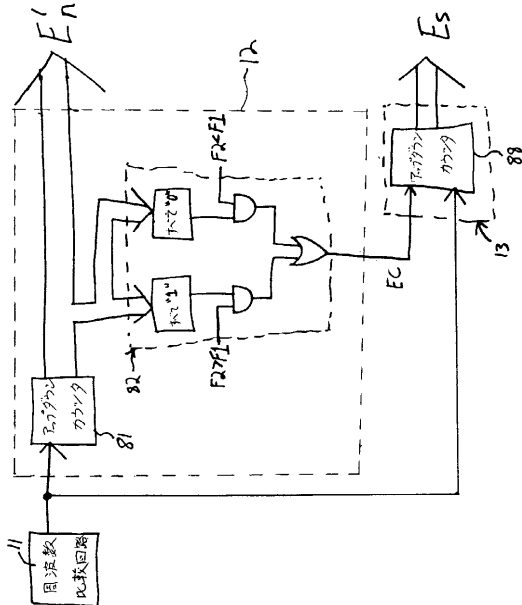
【図 3】



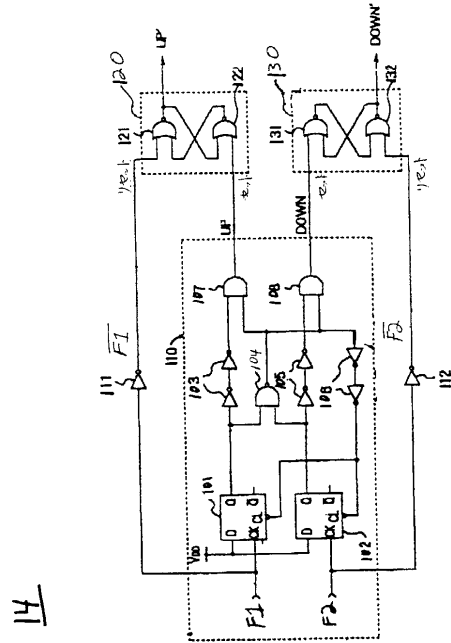
【図 4】



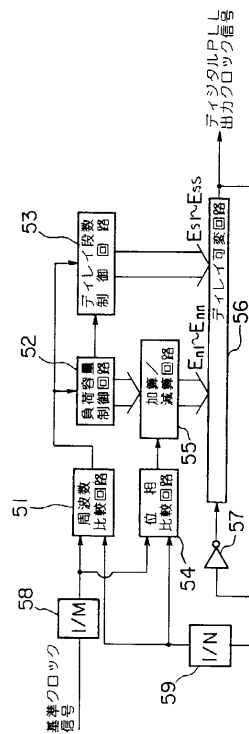
【図 6】



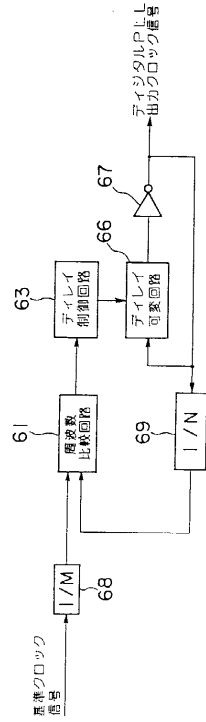
【図 5】



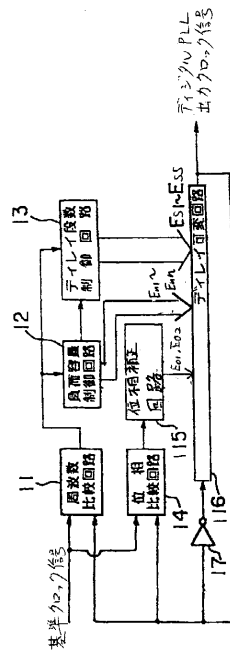
【図 7】



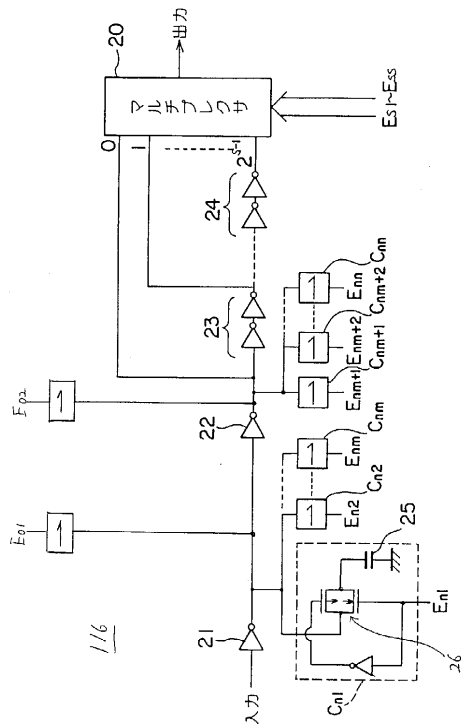
【 図 8 】



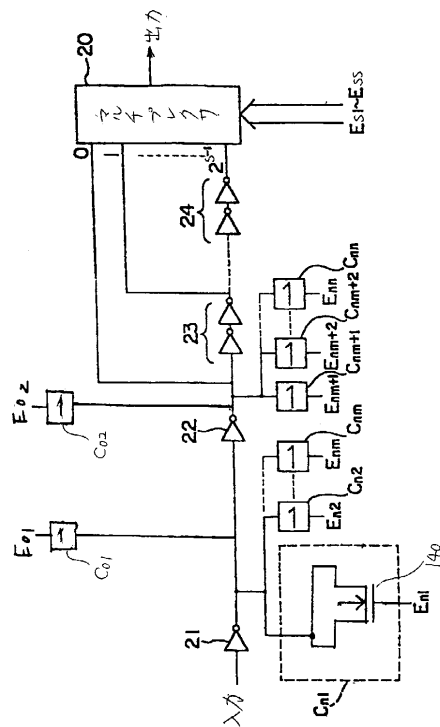
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

合議体

審判長 下野 和行

審判官 和田 志郎

審判官 治田 義孝

- (56)参考文献 特開平 7 - 2 7 3 6 4 6 (J P , A)
特開平 5 - 3 4 2 2 (J P , A)
特開平 6 - 3 4 2 5 6 6 (J P , A)
特開平 6 - 3 3 4 5 1 5 (J P , A)
特開平 3 - 2 5 9 6 1 9 (J P , A)
特開平 7 - 2 6 4 0 5 8 (J P , A)