

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月7日(07.02.2019)



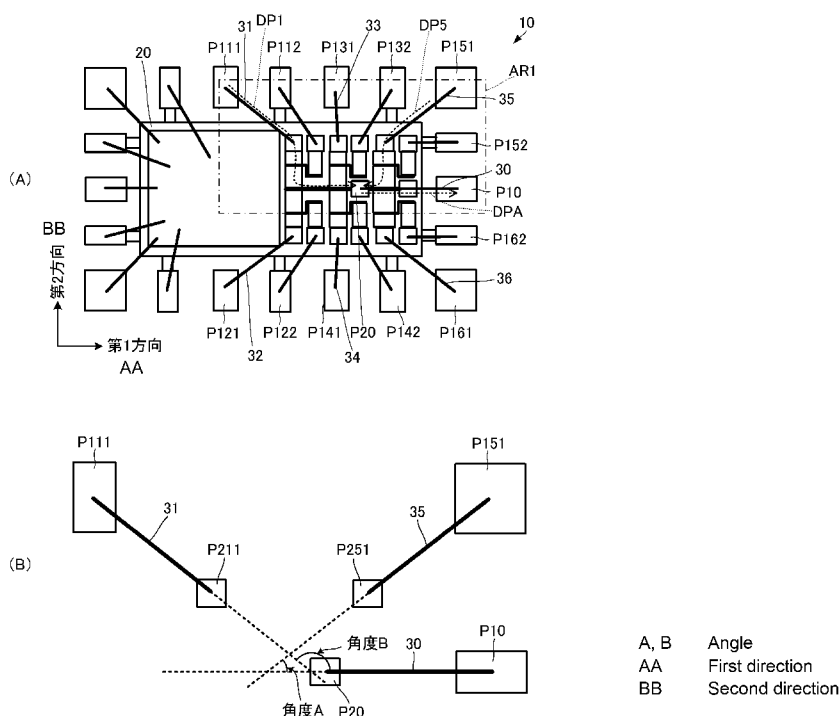
(10) 国際公開番号

WO 2019/026752 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01P 1/15 (2006.01)
H01L 27/04 (2006.01) H03K 17/62 (2006.01)
- (21) 国際出願番号: PCT/JP2018/028071
- (22) 国際出願日: 2018年7月26日(26.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-148755 2017年8月1日(01.08.2017) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 関 健太(SEKI Kenta); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: HIGH-FREQUENCY SWITCH

(54) 発明の名称: 高周波スイッチ



(57) Abstract: Provided is a high-frequency switch in which the length of a section in which a travel direction of power from an input/output terminal (P251) to a common terminal (P20) and a travel direction of power from the common terminal (P20) to an external connection terminal (P10) are opposite is greater than the length of a section in which a travel direction of power from an input/output terminal (P211) to the common terminal (P20) and a travel direction of power from the common terminal (P20) to the external connection terminal (P10) are opposite. An FET (251) and an FET (211)

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

have a structure such that power transmitted between the drain and source of the FET (251) due to a predetermined input power is greater than power transmitted between the drain and source of the FET (211).

(57) 要約: 入出力端子 (P 2 5 1) から共通端子 (P 2 0) への電力の進行方向と、共通端子 (P 2 0) から外部接続端子 (P 1 0) への電力の進行方向とが逆方向となる区間の長さは、入出力端子 (P 2 1 1) から共通端子 (P 2 0) への電力の進行方向と、共通端子 (P 2 0) から外部接続端子 (P 1 0) への電力の進行方向とが逆方向となる区間の長さよりも長い。FET (2 5 1) と FET (2 1 1) は、所定の入力電力による FET (2 5 1) のドレインソース間を伝送する電力が FET (2 1 1) のドレインソース間を伝送する電力よりも大きくなる構造を有する。

明 細 書

発明の名称： 高周波スイッチ

技術分野

[0001] 本発明は、共通端子に対して複数の入出力端子を選択的に接続する高周波スイッチに関する。

背景技術

[0002] 従来、高周波モジュールには、高周波スイッチが多く利用されている。例えば、高周波スイッチは、複数種類の通信信号に共通のアンテナと、複数種類の通信信号毎に配置された送受信回路との間に接続されている。高周波スイッチは、共通端子と複数の入出力端子とを備える。そして、共通端子は、アンテナに接続され、複数の入出力端子のそれぞれは、通信信号毎の送受信回路に接続される。

[0003] このような高周波スイッチとして、特許文献1に示すような半導体を用いた高周波スイッチが多く利用されている。特許文献1に示す高周波スイッチは、複数のFET（電界効果トランジスタ）を備えている。複数のFETのそれぞれは、共通端子と複数の入出力端子との間にそれぞれ接続されている。そして、この高周波スイッチは、複数のFETの開放および導通を制御することによって、複数の入出力端子のいずれかを共通端子に選択的に接続している。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-74027号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、半導体を用いて高周波スイッチを形成する場合、共通端子と複数の入出力端子との位置関係によって、共通端子と複数の入出力端子とをそれぞれに接続する各伝送経路の間で、挿入損失の偏差が生じることがあ

る。すなわち、通信信号毎に挿入損失に差が生じてしまうことがある。

[0006] したがって、本発明の目的は、共通端子と複数の入出力端子とをそれぞれに接続する各伝送経路の間での挿入損失の偏差を低減することにある。

課題を解決するための手段

[0007] (1) この発明の高周波スイッチは、第1 F E Tおよび第2 F E Tを少なくとも含む複数のF E Tが形成された半導体素子と、複数の外部接続端子と、半導体素子を封止する成形部材と、を備える。半導体素子は、共通端子と、第1端子および第2端子を少なくとも含む複数の入出力端子と、共通端子と第1端子との間に接続される第1 F E T、および、共通端子と第2端子との間に接続される第2 F E Tを備える。複数の外部接続端子は、共通端子に接続する共通端子用外部接続端子と、第1端子に接続する第1外部接続端子と、第2端子に接続する第2外部接続端子と、を含む。第1外部接続端子から共通端子への信号の進行方向と、共通端子から共通端子用外部接続端子への信号の進行方向とが逆方向となる区間の長さが、第2外部接続端子から共通端子への信号の進行方向と、共通端子から共通端子用外部接続端子への信号の進行方向とが逆方向となる区間の長さよりも長い構成において、第1 F E Tと第2 F E Tは、所定の入力電力による第1 F E Tのドレインソース間を伝送する信号の電力が第2 F E Tのドレインソース間を伝送する信号の電力よりも大きくなる構造を有する。

[0008] この構成では、信号の進行方向が逆となる部分の長さが異なることによって、外部接続端子毎に通信信号に対する挿入損失に差があっても、この差は、F E Tによる通信信号に対する抵抗の差によって相殺される。

[0009] (2) また、この発明の高周波スイッチでは、第1 F E Tのゲート幅は、第2 F E Tのゲート幅よりも広いことが好ましい。

[0010] この構成では、F E Tによる通信信号に対する抵抗の差が容易な構造で実現される。

[0011] (3) また、この発明の高周波スイッチは、次の構成であることが好ましい。第1外部接続端子と第1端子との間に接続される第1配線導体と、第2

外部接続端子と第2端子との間に接続される第2配線導体と、共通端子と共通端子用外部接続端子との間に接続される第3配線導体と、をさらに備える。第1外部接続端子から共通端子への信号の進行方向は、第1配線導体における信号の進行方向であり、第2外部接続端子から共通端子への信号の進行方向は、第2配線導体における信号の進行方向であり、共通端子から共通端子用外部接続端子への信号の進行方向は、第3配線導体における信号の進行方向である。

[0012] この構成では、第1配線導体、第2配線導体、および、第3配線導体によって、信号の進行方向が規定される。そして、この構成において、信号の進行方向が逆となる部分の長さが異なることによって、外部接続端子毎に通信信号に対する挿入損失に差があっても、この差は、FETによる通信信号に対する抵抗の差によって相殺される。

[0013] (4) また、この発明の高周波スイッチは、次の構成であることが好ましい。第1外部接続端子から共通端子への信号の進行方向と、共通端子から共通端子用外部接続端子への信号の進行方向とが逆方向となる箇所を有する。第2外部接続端子から共通端子への信号の進行方向と、共通端子から共通端子用外部接続端子への信号の進行方向とが逆方向となる箇所を有さない。

[0014] この構成では、信号の進行方向が逆方向になる箇所を有する伝送経路と、信号の進行方向が逆にならない箇所を有する伝送経路とを有することで、信号の進行方向が逆となる部分の長さが異なる状態が実現される。

[0015] (5) また、この発明の高周波スイッチは、次の構成であることが好ましい。第1配線導体の延長線と第3配線導体の延長線とで構成される角は鋭角である。第2配線導体の延長線と第3配線導体の延長線とで構成される角は鈍角である。

[0016] この構成では、信号の進行方向が逆方向になる箇所を有する伝送経路と、信号の進行方向が逆にならない箇所を有する伝送経路とを有する構成が、配線導体の物理的な配置によって実現される。

[0017] (6) また、この発明の高周波スイッチでは、次の構成であってもよい。

第1端子と第2端子とは、半導体素子の第1方向に沿って並んでいる。共通端子は、第1方向において、第1端子と第2端子との間に、配置されている。

[0018] この構成では、第1端子に対して、上述の信号の進行方向が逆となる部分が生じ、第2端子に対して、上述の信号の進行方向が逆となる部分が生じない。すなわち、信号の進行方向が逆となる部分の長さが異なる構成が発生する。このような場合に、上述の構成によって、FETによる通信信号に対する抵抗の差によって相殺される。また、この構成では、共通端子を共通端子用外部接続端子に接続する配線を長くでき、インピーダンス整合が容易になる。

[0019] (7) また、この発明の高周波スイッチでは、次の構成であることが好ましい。半導体素子は、複数の入出力端子のそれぞれと共通端子との間にそれぞれに接続された複数のFET、をさらに備える。複数の入出力端子および複数のFETは、第1方向と、第1方向に直交する第2方向に沿って配列して配置されている。

[0020] この構成では、複数の入出力端子、および、複数のFETの配置のバランスがよい。これにより、複数の入出力端子および複数のFETから共通端子への経路長の差が少ない構成が実現し易い。

[0021] (8) また、この発明の高周波スイッチでは、共通端子用外部接続端子は、第2方向に平行であり、かつ、共通端子を横切る直線を境にして、第1端子外部接続端子と同じ側にあり、第2外部接続端子とは反対側にあることが好ましい。

[0022] この構成では、信号の進行方向が逆方向になる箇所を有する伝送経路と、信号の進行方向が逆にならない箇所を有する伝送経路とを有する構成が、配線導体の物理的な配置によって明確に実現される。

[0023] (9) また、この発明の高周波スイッチでは、共通端子は、半導体素子を平面視した略中央に配置されていることが好ましい。

[0024] この構成では、複数の入出力端子および複数のFETから共通端子への経

路長の差が少ない構成が実現し易い。また、共通端子を共通端子用外部接続端子に接続する配線を長くでき、インピーダンス整合がさらに容易になる。

発明の効果

[0025] この発明によれば、共通端子と複数の入出力端子とをそれぞれに接続する各伝送経路の間での挿入損失の偏差を低減できる。

図面の簡単な説明

[0026] [図1]図1（A）は本発明の第1の実施形態に係る高周波スイッチ10の各端子の配置および電力の進行方向を示す平面図であり、図1（B）は、図1（A）の領域A R 1に対応する部分を拡大した部分拡大図である。

[図2]図2は本発明の第1の実施形態に係る高周波スイッチ10の半導体素子20の一部を拡大した平面図である。

[図3]図3は本発明の第1の実施形態に係る高周波スイッチ10の回路図である。

[図4]図4は派生構成の高周波スイッチ10Aの各端子の配置および電力の進行方向を示す平面図である。

[図5]図5は本発明の第2の実施形態に係る高周波スイッチ10Bの回路図である。

[図6]図6は本発明の第2の実施形態に係る高周波スイッチ10Bの半導体素子20Bの一部を拡大した平面図である。

発明を実施するための形態

[0027] 本発明の第1の実施形態に係る高周波スイッチについて、図を参照して説明する。図1（A）は、本発明の第1の実施形態に係る高周波スイッチ10の各端子の配置および電力の進行方向を示す平面図である。図1（B）は、図1（A）の領域A R 1に対応する部分を拡大した部分拡大図である。なお、図1（B）は、図1（B）で示す特徴を分かり易くするために必要な構成要素のみを記載し、他の構成要素の図示は省略している。図2は、本発明の第1の実施形態に係る高周波スイッチ10の半導体素子20の一部を拡大した平面図である。図3は、本発明の第1の実施形態に係る高周波スイッチ1

0の回路図である。

[0028] (高周波スイッチの回路構成)

高周波スイッチ10は、図3に示す回路構成を備える。図3に示すように、高周波スイッチ10は、半導体素子20、および、複数の外部接続端子P10、P111、P112、P121、P122、P131、P132、P141、P142、P151、P152、P161、P162を備える。

[0029] 外部接続端子P10は、高周波スイッチ10が実装される高周波フロントエンドモジュールにおけるアンテナに接続されている。外部接続端子P111、P121、P131、P141、P151、P161のそれぞれは、高周波スイッチ10が実装される高周波フロントエンドモジュールにおける通信信号毎の送受信回路（送信回路または受信回路も含む）に、それぞれ接続されている。外部接続端子P112、P122、P132、P142、P152、P162は、高周波スイッチ10が実装される高周波フロントエンドモジュールにおけるグランド端子に接続されている。

[0030] 外部接続端子P10は、本発明の「共通端子用外部接続端子」に対応する。外部接続端子P151、および、外部接続端子P161は、本発明の「第1外部接続端子」に対応する。外部接続端子P111、外部接続端子P121、外部接続端子P131、および、外部接続端子P141は、本発明の「第2外部接続端子」に対応する。

[0031] なお、図示を省略しているが、高周波スイッチ10は、半導体素子20の電源供給用および制御信号入力用の外部接続端子も備える。

[0032] 半導体素子20は、複数のFET211、212、221、222、231、232、241、242、251、252、261、262を備える。FET251、FET261が本発明の「第1FET」に対応し、FET211、221、231、241が本発明の「第2FET」に対応する。また、半導体素子20は、共通端子P20、複数の入出力端子P211、P221、P231、P241、P251、P261、および、複数のグランド用端子P212、P222、P232、P242、P252、P262を備え

る。

[0033] 入出力端子 P 2 5 1、P 2 6 1 が本発明の「第 1 端子」に対応し、入出力端子 P 2 1 1、P 2 2 1、P 2 3 1、P 2 4 1 が本発明の「第 2 端子」に対応する。

[0034] F E T 2 1 1 は、共通端子 P 2 0 と入出力端子 P 2 1 1 との間に接続されている。F E T 2 1 2 は、F E T 2 1 1 と入出力端子 P 2 1 1 との接続点とグラウンド用端子 P 2 1 2 との間に接続されている。F E T 2 1 1 のドレインソース間を導通し、F E T 2 1 2 のドレインソース間を開放することによって、共通端子 P 2 0 と入出力端子 P 2 1 1 とは、導通する。一方、F E T 2 1 1 のドレインソース間を開放し、F E T 2 1 2 のドレインソース間を導通することによって、共通端子 P 2 0 と入出力端子 P 2 1 1 との間は、開放する。

[0035] F E T 2 2 1 は、共通端子 P 2 0 と入出力端子 P 2 2 1 との間に接続されている。F E T 2 2 2 は、F E T 2 2 1 と入出力端子 P 2 2 1 との接続点とグラウンド用端子 P 2 2 2 との間に接続されている。F E T 2 2 1 のドレインソース間を導通し、F E T 2 2 2 のドレインソース間を開放することによって、共通端子 P 2 0 と入出力端子 P 2 2 1 とは、導通する。一方、F E T 2 2 1 のドレインソース間を開放し、F E T 2 2 2 のドレインソース間を導通することによって、共通端子 P 2 0 と入出力端子 P 2 2 1 との間は、開放する。

[0036] F E T 2 3 1 は、共通端子 P 2 0 と入出力端子 P 2 3 1 との間に接続されている。F E T 2 3 2 は、F E T 2 3 1 と入出力端子 P 2 3 1 との接続点とグラウンド用端子 P 2 3 2 との間に接続されている。F E T 2 3 1 のドレインソース間を導通し、F E T 2 3 2 のドレインソース間を開放することによって、共通端子 P 2 0 と入出力端子 P 2 3 1 とは、導通する。一方、F E T 2 3 1 のドレインソース間を開放し、F E T 2 3 2 のドレインソース間を導通することによって、共通端子 P 2 0 と入出力端子 P 2 3 1 との間は、開放する。

[0037] FET 241は、共通端子P20と入出力端子P241との間に接続されている。FET 242は、FET 241と入出力端子P241との接続点とグランド用端子P242との間に接続されている。FET 241のドレインソース間を導通し、FET 242のドレインソース間を開放することによって、共通端子P20と入出力端子P241とは、導通する。一方、FET 241のドレインソース間を開放し、FET 242のドレインソース間を導通することによって、共通端子P20と入出力端子P241との間は、開放する。

[0038] FET 251は、共通端子P20と入出力端子P251との間に接続されている。FET 252は、FET 251と入出力端子P251との接続点とグランド用端子P252との間に接続されている。FET 251のドレインソース間を導通し、FET 252のドレインソース間を開放することによって、共通端子P20と入出力端子P251とは、導通する。一方、FET 251のドレインソース間を開放し、FET 252のドレインソース間を導通することによって、共通端子P20と入出力端子P251との間は、開放する。

[0039] FET 261は、共通端子P20と入出力端子P261との間に接続されている。FET 262は、FET 261と入出力端子P261との接続点とグランド用端子P262との間に接続されている。FET 261のドレインソース間を導通し、FET 262のドレインソース間を開放することによって、共通端子P20と入出力端子P261とは、導通する。一方、FET 261のドレインソース間を開放し、FET 262のドレインソース間を導通することによって、共通端子P20と入出力端子P261との間は、開放する。

[0040] 外部接続端子P10と共通端子P20とは、配線導体30を介して接続されている。

[0041] 外部接続端子P111と入出力端子P211とは、配線導体31を介して接続されている。外部接続端子P121と入出力端子P221とは、配線導

体 3 2 を介して接続されている。外部接続端子 P 1 3 1 と入出力端子 P 2 3 1 とは、配線導体 3 3 を介して接続されている。外部接続端子 P 1 4 1 と入出力端子 P 2 4 1 とは、配線導体 3 4 を介して接続されている。外部接続端子 P 1 5 1 と入出力端子 P 2 5 1 とは、配線導体 3 5 を介して接続されている。外部接続端子 P 1 6 1 と入出力端子 P 2 6 1 とは、配線導体 3 6 を介して接続されている。配線導体 3 5、3 6 が、本発明の「第 1 配線導体」に対応し、配線導体 3 1、3 2、3 3、3 4 が、本発明の「第 2 配線導体」に対応し、配線導体 3 0 が、本発明の「第 3 配線導体」に対応する。

[0042] 外部接続端子 P 1 1 2 とグランド用端子 P 2 1 2、外部接続端子 P 1 2 2 とグランド用端子 P 2 2 2、外部接続端子 P 1 3 2 とグランド用端子 P 2 3 2、外部接続端子 P 1 4 2 とグランド用端子 P 2 4 2、外部接続端子 P 1 5 2 とグランド用端子 P 2 5 2、および、外部接続端子 P 1 6 2 とグランド用端子 P 2 6 2 は、それぞれ配線導体を介して接続されている。

[0043] また、外部接続端子 P 1 0 は、後述する第 2 方向に平行であり、かつ、共通端子 P 2 0 を横切る直線を境にして、外部接続端子 P 1 5 1、P 1 6 1 と同じ側に配置され、外部接続端子 P 1 1 1、P 1 2 1、P 1 3 1、P 1 4 1 とは反対側に配置されている。

[0044] (高周波スイッチの構造)

このような回路構成からなる高周波スイッチ 1 0 は、直方体形状の成形部材を備える。成形部材は樹脂モールドによって形成されており、半導体素子 2 0 は、この成形部材に内蔵されている。すなわち、半導体素子 2 0 は、成形部材によって封止されている。成形部材の裏面には、複数の外部導体が形成されている。複数の外部導体は、上述の外部接続端子 P 1 0、P 1 1 1、P 1 1 2、P 1 2 1、P 1 2 2、P 1 3 1、P 1 3 2、P 1 4 1、P 1 4 2、P 1 5 1、P 1 5 2、P 1 6 1、P 1 6 2 に、所定の配線パターンによって接続されている。

[0045] このような構成において、半導体素子 2 0 および成形部材内の外部接続端子 P 1 0、P 1 1 1、P 1 1 2、P 1 2 1、P 1 2 2、P 1 3 1、P 1 3 2

、P141、P142、P151、P152、P161、P162は、図1(A)、図1(B)、および図2に示す構成からなる。

[0046] 半導体素子20は、平面視において、互いに直交する第1方向と第2方向とを有する矩形を有する直方体からなる。

[0047] 図2に示すように、半導体素子20には、半導体基板に所定のドーピング処理等を行うことによって、FET211、212、221、222、231、232、241、242、251、252、261、262が形成されている。FET211、212、221、222、231、232、241、242、251、252、261、262は、ドレインとソースとを結ぶ方向が半導体素子20の第2方向と平行になるように、形成されている。また、半導体素子20には、電源系、制御系の回路が形成されている。FET211、212、221、222、231、232、241、242、251、252、261、262が形成された領域と、電源系、制御系の回路が形成された領域とは、第1方向に沿って並んでいる。

[0048] FET211、212、231、232、251、252は、半導体素子20の第1方向に沿って間隔を空けて配列して配置されている。FET221、222、241、242、261、262は、半導体素子20の第1方向に沿って間隔を空けて配列して配置されている。

[0049] そして、FET211、212、231、232、251、252と、FET221、222、241、242、261、262とは、半導体素子20の第2方向の中心を通り、第1方向に平行な直線を基準線として、線対称に配置されている。FET211、212、231、232、251、252は、当該基準線に対して第2方向の一方端側に配置されている。FET221、222、241、242、261、262は、当該基準線に対して第2方向の他方端側に配置されている。

[0050] また、半導体素子20の表面には、共通端子P20、P20Sと、複数の入出力端子P211、P221、P231、P241、P251、P261と、複数のグランド用端子P212、P222、P232、P242、P2

５２、Ｐ２６２と、が形成されている。これらの端子は、平面視において矩形である。

[0051] 入出力端子Ｐ２１１、グランド用端子Ｐ２１２、入出力端子Ｐ２３１、グランド用端子Ｐ２３２、入出力端子Ｐ２５１、および、グランド用端子Ｐ２５２は、この順で半導体素子２０の第１方向に沿って間隔を空けて配列して配置されている。

[0052] 入出力端子Ｐ２２１、グランド用端子Ｐ２２２、入出力端子Ｐ２４１、グランド用端子Ｐ２４２、入出力端子Ｐ２６１、および、グランド用端子Ｐ２６２は、この順で半導体素子２０の第１方向に沿って間隔を空けて配列して配置されている。

[0053] そして、入出力端子Ｐ２１１、グランド用端子Ｐ２１２、入出力端子Ｐ２３１、グランド用端子Ｐ２３２、入出力端子Ｐ２５１、および、グランド用端子Ｐ２５２と、入出力端子Ｐ２２１、グランド用端子Ｐ２２２、入出力端子Ｐ２４１、グランド用端子Ｐ２４２、入出力端子Ｐ２６１、および、グランド用端子Ｐ２６２とは、上述の基準線に対して線対称に配置されている。

[0054] また、入出力端子Ｐ２１１は、ＦＥＴ２１１に対して、半導体素子２０の第２方向の一方端側に配置されており、これらの第１方向における位置は略同じである。そして、入出力端子Ｐ２１１は、半導体素子２０に形成された配線パターンによってＦＥＴ２１１に接続されている。

[0055] グランド用端子Ｐ２１２は、ＦＥＴ２１２に対して、半導体素子２０の第２方向の一方端側に配置されており、これらの第１方向における位置は略同じである。そして、グランド用端子Ｐ２１２は、ＦＥＴ２１２に接続されている。また、ＦＥＴ２１２は、半導体素子２０に形成された配線パターンによって、ＦＥＴ２１１と入出力端子Ｐ２１１との配線パターンに接続されている。

[0056] 入出力端子Ｐ２３１は、ＦＥＴ２３１に対して、半導体素子２０の第２方向の一方端側に配置されており、これらの第１方向における位置は略同じである。そして、入出力端子Ｐ２３１は、半導体素子２０に形成された配線パ

ターンによってF E T 2 3 1に接続されている。

[0057] グランド用端子P 2 3 2は、F E T 2 3 2に対して、半導体素子20の第2方向の一方端側に配置されており、これらの第1方向における位置は略同じである。そして、グランド用端子P 2 3 2は、F E T 2 3 2に接続されている。また、F E T 2 3 2は、半導体素子20に形成された配線パターンによって、F E T 2 3 1と入出力端子P 2 3 1との配線パターンに接続されている。

[0058] 入出力端子P 2 5 1は、F E T 2 5 1に対して、半導体素子20の第2方向の一方端側に配置されており、これらの第1方向における位置は略同じである。そして、入出力端子P 2 5 1は、半導体素子20に形成された配線パターンによってF E T 2 5 1に接続されている。

[0059] グランド用端子P 2 5 2は、F E T 2 5 2に対して、半導体素子20の第2方向の一方端側に配置されており、これらの第1方向における位置は略同じである。そして、グランド用端子P 2 5 2は、F E T 2 5 2に接続されている。また、F E T 2 5 2は、半導体素子20に形成された配線パターンによって、F E T 2 5 1と入出力端子P 2 5 1との配線パターンに接続されている。

[0060] 入出力端子P 2 2 1は、F E T 2 2 1に対して、半導体素子20の第2方向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、入出力端子P 2 2 1は、半導体素子20に形成された配線パターンによってF E T 2 2 1に接続されている。

[0061] グランド用端子P 2 2 2は、F E T 2 2 2に対して、半導体素子20の第2方向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、グランド用端子P 2 2 2は、F E T 2 2 2に接続されている。また、F E T 2 2 2は、半導体素子20に形成された配線パターンによって、F E T 2 2 1と入出力端子P 2 2 1との配線パターンに接続されている。

[0062] 入出力端子P 2 4 1は、F E T 2 4 1に対して、半導体素子20の第2方

向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、入出力端子P241は、半導体素子20に形成された配線パターンによってFET241に接続されている。

[0063] グランド用端子P242は、FET242に対して、半導体素子20の第2方向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、グランド用端子P242は、FET242に接続されている。また、FET242は、半導体素子20に形成された配線パターンによって、FET241と入出力端子P241との配線パターンに接続されている。

[0064] 入出力端子P261は、FET261に対して、半導体素子20の第2方向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、入出力端子P261は、半導体素子20に形成された配線パターンによってFET261に接続されている。

[0065] グランド用端子P262は、FET262に対して、半導体素子20の第2方向の他方端側に配置されており、これらの第1方向における位置は略同じである。そして、グランド用端子P262は、FET262に接続されている。また、FET262は、半導体素子20に形成された配線パターンによって、FET261と入出力端子P261との配線パターンに接続されている。

[0066] 共通端子P20は、半導体素子20の第2方向の中央位置で、且つ、半導体素子20における複数のFETおよび入出力端子が形成される領域における第1方向の略中央の位置に形成されている。共通端子P20Sは、半導体素子20の第2方向の中央位置で、且つ、第1方向の一方端（電源系、制御系の回路と反対側の端）に形成されている。

[0067] 共通端子P20、P20Sは、第1方向に対して平行に延びる配線パターンによって接続されている。また、共通端子P20、P20Sは、この配線パターンによって、FET211、221、231、241、251、261に接続されている。なお、共通端子P20は、第1方向において、入出力

端子P 2 5 1と入出力端子P 2 1 1との間に配置されている。

[0068] この構成では、この共通端子P 2 0に接続する配線パターンを基準にして、F E T 2 1 1、2 3 1、2 5 1は、第2方向の一方端側に配置され、F E T 2 2 1、2 4 1、2 6 1は、第2方向の他方端側に配置される。そして、F E T 2 1 1、2 3 1、2 5 1と、F E T 2 2 1、2 4 1、2 6 1とは、この配線パターンを基準に線対称に配置される。

[0069] また、この構成では、F E T 2 1 1、2 2 1、2 3 1、2 4 1は、共通端子P 2 0を基準に、電源系、制御系の回路側に配置され、F E T 2 5 1、2 6 1は、共通端子P 2 0を基準に、電源系、制御系の回路と反対側に配置される。

[0070] このような半導体素子2 0に対して、配線導体3 0、3 1、3 2、3 3、3 4、3 5、3 6は、図1 (A)に示すように、形成される。配線導体3 0、3 1、3 2、3 3、3 4、3 5、3 6は、導電性のワイヤからなる。

[0071] 配線導体3 0は、共通端子P 2 0と、外部接続端子P 1 0とを接続している。外部接続端子P 1 0は、半導体素子2 0の第1方向の一方端よりも外方の位置に配置されている。

[0072] 配線導体3 1は、入出力端子P 2 1 1と外部接続端子P 1 1 1とを、平面視において略直線で接続している。外部接続端子P 1 1 1は、半導体素子2 0の第2方向における一方端よりも外方側で、且つ、第1方向において入出力端子P 2 1 1よりも他方端側（電源系、制御系の回路側）の位置に配置されている。

[0073] 配線導体3 2は、入出力端子P 2 2 1と外部接続端子P 1 2 1とを、平面視において略直線で接続している。外部接続端子P 1 2 1は、半導体素子2 0の第2方向における他方端よりも外方側で、且つ、第1方向において入出力端子P 2 2 1よりも他方端側（電源系、制御系の回路側）の位置に配置されている。

[0074] 配線導体3 3は、入出力端子P 2 3 1と外部接続端子P 1 3 1とを、平面視において略直線で接続している。外部接続端子P 1 3 1は、半導体素子2

0の第2方向における一方端よりも外方側で、且つ、第1方向において入出力端子P231よりも他方端側（電源系、制御系の回路側）で略同じ位置に配置されている。

[0075] 配線導体34は、入出力端子P241と外部接続端子P141とを、平面視において略直線で接続している。外部接続端子P141は、半導体素子20の第2方向における他方端よりも外方側で、且つ、第1方向において入出力端子P241よりも他方端側（電源系、制御系の回路側）の位置に配置されている。

[0076] 配線導体35は、入出力端子P251と外部接続端子P151とを、平面視において略直線で接続している。外部接続端子P151は、半導体素子20の第2方向における一方端よりも外方側で、且つ、第1方向において入出力端子P251よりも一方端側（電源系、制御系の回路側と反対側）の位置に配置されている。

[0077] 配線導体36は、入出力端子P261と外部接続端子P161とを、平面視において略直線で接続している。外部接続端子P161は、半導体素子20の第2方向における他方端よりも外方側で、且つ、第1方向において入出力端子P261よりも一方端側（電源系、制御系の回路側と反対側）の位置に配置されている。

[0078] このような構成では、図1（A）に示すように、外部接続端子P111から高周波信号が入力すると、高周波信号は、配線導体31、入出力端子P211、FET211を介して、共通端子P20に伝送され、共通端子P20から配線導体30を介して、外部接続端子P10に伝送される。この際、外部接続端子P111から共通端子P20までの信号経路と、共通端子P20から外部接続端子P10までの信号経路とでは、信号の伝送方向が逆方向にならない。言い換えれば、外部接続端子P111から共通端子P20までの高周波の電力の進行方向DP1と、共通端子P20から外部接続端子P10までの高周波の電力の進行方向DPAとでは、逆方向になる箇所がない。なお、外部接続端子P111から共通端子P20までの高周波信号の電力の進

行方向D P 1は、外部接続端子P 1 1 1と入出力端子P 2 1 1とを接続する配線導体3 1における信号の進行方向、すなわち、平面視において、配線導体3 1の延びる方向と略同じである。共通端子P 2 0から外部接続端子P 1 0までの高周波の電力の進行方向D P Aは、共通端子P 2 0と外部接続端子P 1 0とを接続する配線導体3 0における信号の進行方向、すなわち、平面視において、配線導体3 0の延びる方向と略同じである。外部接続端子P 1 2 1、P 1 3 1、P 1 4 1から高周波信号が入力される場合も同様である。

[0079] 一方、図1 (A) に示すように、外部接続端子P 1 5 1から高周波信号が入力すると、高周波信号は、配線導体3 5、入出力端子P 2 5 1、F E T 2 5 1を介して、共通端子P 2 0に伝送され、共通端子P 2 0から配線導体3 0を介して、外部接続端子P 1 0に伝送される。この際、外部接続端子P 1 5 1から共通端子P 2 0までの信号経路と、共通端子P 2 0から外部接続端子P 1 0までの信号経路とでは、信号の伝送方向が逆方向になる箇所がある。言い換えれば、外部接続端子P 1 5 1から共通端子P 2 0までの高周波の電力の進行方向D P 5と、共通端子P 2 0から外部接続端子P 1 0までの高周波の電力の進行方向D P Aとでは、逆方向になる箇所がある。

[0080] なお、外部接続端子P 1 5 1から共通端子P 2 0までの高周波の電力の進行方向D P 5は、外部接続端子P 1 5 1と入出力端子P 2 5 1とを接続する配線導体3 5における信号の進行方向、すなわち、平面視において、配線導体3 5の延びる方向と略同じである。

[0081] ここで、ある信号の進行方向と他の信号の進行方向とが逆になる場合とは、例えば、ある信号の進行方向（すなわち、ある信号が伝送する配線導体における信号の進行方向）と他の信号の進行方向（すなわち、他の信号が伝送する配線導体における信号の進行方向）とで構成される角度が鋭角になる場合である。言い換えれば、ある信号が伝送する配線導体の延長線と他の信号が伝送する配線導体の延長線とで構成される角度が鋭角になる場合である。

[0082] したがって、図1 (B) に示すように、配線導体3 5の延長線と配線導体3 0の延長線とで構成される角度は鋭角（角度A）となるため、配線導体3

5 を伝送する信号の進行方向 D P 5 と、配線導体 3 0 を伝送する信号の進行方向 D P A とは逆方向である。

[0083] また、ある信号の進行方向と他の信号の進行方向とが逆にならない場合とは、例えば、ある信号の進行方向（すなわち、ある信号が伝送する配線導体における信号の進行方向）と他の信号の進行方向（すなわち、他の信号が伝送する配線導体における信号の進行方向）とで構成される角度が鈍角になる場合である。言い換えれば、ある信号が伝送する配線導体の延長線と他の信号が伝送する配線導体の延長線とで構成される角度が鈍角になる場合である。

[0084] したがって、図 1（B）に示すように、配線導体 3 1 の延長線と配線導体 3 0 の延長線とで構成される角度は鈍角（角度 B）となるため、配線導体 3 1 を伝送する信号の進行方向 D P 1 と配線導体 3 0 を伝送する信号の進行方向 D P A とは逆方向でない。

[0085] ところで、一般的な高周波回路モジュールにおいて、複数の信号経路が平行に配置され、近接する場合、これら複数の信号経路間において、電磁界結合が生じる虞があり、複数の信号経路に電磁界結合を生じると、その平行する距離、電力の進行方向によって、当該複数の信号経路を含む伝送経路のインダクタンスが変化する。例えば、複数の信号経路間で電力の進行方向が逆になる箇所では、互いの信号経路から生じる磁束を打ち消しあうように電磁界結合する負性の電磁界結合が生じる。一方、複数の信号経路間で電力の進行方向が逆にならない箇所ではそのような負性の電磁界結合は生じない。このような複数の信号経路が負性の電磁界結合を生じない箇所と比較して、複数の信号経路が負性の電磁界結合を生じる箇所は、インダクタンスは低下する。

[0086] そして、従来技術に示したそれぞれが同じ構造の複数の F E T を備える高周波スイッチにおいて、複数の F E T に対して、このようなインダクタンスの異なる伝送線路が接続されていると、F E T によって選択される伝送線路毎に、挿入損失が異なってしまう。例えば、複数の信号経路が負性の電磁界

結合を生じない伝送経路に対してインピーダンス整合を行っている、負性の電磁界結合を生じる伝送経路に対しては、インピーダンス整合が十分でなくなってしまう、挿入損失が大きくなってしまふ。

[0087] しかしながら、本願の高周波スイッチ 10 においては、図 2 に示すように、半導体素子 20 は、FET 251 のゲート幅 W_{g251} を、FET 211 のゲート幅 W_{g211} よりも広くしている。

[0088] このとき、FET 251 のドレインソース間を伝送する信号の電力が、FET 211 のドレインソース間を伝送する信号の電力より大きくなる。これにより、FET 251 を介する第 1 伝送経路の損失を、FET 251 のゲート幅の広がりによる電気抵抗の低下、すなわち、ドレインソース間に伝送する信号の電力の増加で相殺できる。したがって、FET 251 を介する第 1 伝送経路と FET 211 を介する第 2 伝送経路との挿入損失の偏差を低減できる。また、挿入損失が大きな第 1 伝送経路を補償して、第 2 伝送経路の挿入損失に近づけるので、高周波スイッチ 10 としての挿入損失を小さくできる。すなわち、高周波スイッチ 10 の性能が向上する。

[0089] なお、FET 261 のゲート幅 W_{g261} も、FET 221 のゲート幅 W_{g221} よりも広くしている。この際、FET 261 のゲート幅 W_{g261} は、FET 251 のゲート幅 W_{g251} と同じであることが好ましい。これにより、FET 251 と FET 261 との対称性が保持される。さらに、FET 231 のゲート幅は、FET 211 のゲート幅 W_{g211} と略同じであり、FET 241 のゲート幅は、FET 221 のゲート幅 W_{g221} と略同じである。

[0090] このように、高周波スイッチ 10 は、電力の進行方向が途中で逆になる伝送経路と、電力の進行方向が逆にならない伝送経路とで、それぞれに接続される FET のゲート幅を異ならせることによって、伝送経路間の挿入損失の偏差を低減できる。

[0091] 例えば、高周波スイッチ 10 の構成を用いない、FET のゲート幅が同じ場合、伝送経路間での挿入損失の偏差は、約 0.1 dB となるが、高周波ス

スイッチ 10 の構成を用いることで、約 0.02 dB まで低下する。すなわち、高周波スイッチ 10 では、挿入損失の偏差が約 0.02 dB となるように、FET 211、FET 221、FET 231、FET 241 のゲート幅に対して、FET 251、FET 261 のゲート幅を広くしている。

[0092] また、高周波スイッチ 10 では、複数の FET および入出力端子が共通端子 P20 を通り第 1 方向に平行な基準線に対して線対称で配置されている。これにより、伝送線路間での挿入損失の偏差を低減できる。

[0093] また、高周波スイッチ 10 では、半導体素子 20 の中央領域に共通端子 P20 を配置している。これにより、半導体素子 20 における外部接続端子 P10 側の端部に共通端子 P20 を配置する場合よりも、共通端子 P20 から外部接続端子 P10 への配線導体 30 を長く確保でき、整合用のインダクタンスを稼ぐことができる。したがって、いずれの伝送経路に対しても低損失に高周波信号を伝送でき、挿入損失の少ない高周波スイッチ 10 を実現できる。

[0094] なお、本実施形態では、ゲート幅によって FET の抵抗を調整する態様を示したが、ゲート長、ドーピング量によって FET の抵抗を調整することも可能である。

[0095] また、上述の説明では、SP6T の高周波スイッチ 10 を例に示したが、SPnT (n は 2 以上の整数) に対して、上述の構成を適用し、同様の作用効果を得ることが可能である。図 4 は、派生構成の高周波スイッチ 10A の各端子の配置および電力の進行方向を示す平面図である。図 4 は、SP8T の高周波スイッチ 10A を示している。

[0096] 図 4 に示すように、高周波スイッチ 10A は、高周波スイッチ 10 に対して、入出力端子 P271、P272、P281、P282、外部接続端子 P171、P172、P181、P182、FET 271、272、281、282 が増加した点で異なる。高周波スイッチ 10A の他の構成は、高周波スイッチ 10 の基本構成と略同様であり、同様の箇所の説明は、省略する。

[0097] 高周波スイッチ 10A では、FET 271、272、281、282 は、

共通端子 P 2 0 よりも、半導体素子 2 0 の第 1 方向の一方端側に配置されている。同様に、入出力端子 P 2 7 1、P 2 7 2、P 2 8 1、P 2 8 2 も、共通端子 P 2 0 よりも、半導体素子 2 0 の第 1 方向の一方端側に配置されている。入出力端子 P 2 7 1 は、平面視において略直線状の配線導体 3 7 を介して、外部接続端子 P 1 7 1 に接続されている。入出力端子 P 2 8 1 は、平面視において略直線状の配線導体 3 8 を介して、外部接続端子 P 1 8 1 に接続されている。

[0098] このような構成では、F E T 2 7 1、2 8 1 のゲート幅を、F E T 2 1 1、2 2 1、2 3 1、2 4 1 のゲート幅に対して調整する。例えば、F E T 2 7 1、2 8 1 のゲート幅を、F E T 2 5 1、2 6 1 のゲート幅と同様に、F E T 2 1 1、2 2 1、2 3 1、2 4 1 のゲート幅に対して広くする。この際、F E T 2 7 1、2 8 1 のゲート幅と、F E T 2 5 1、2 6 1 のゲート幅とは、同じである必要はない。これにより、高周波スイッチ 1 0 A は、高周波スイッチ 1 0 と同様の作用効果を得ることが可能である。なお、F E T 2 7 1、2 8 1 のゲート幅は、半導体素子 2 0 に起因する他の要素に応じて、F E T 2 5 1、2 6 1 と同様に広げなくてもよいことがある。この場合は、高周波スイッチ 1 0 A の仕様に依じて、F E T 2 7 1、2 8 1 のゲート幅を適宜設定すればよい。

[0099] なお、上述の構成では、複数の F E T、複数の入出力端子、複数の外部接続端子を、共通端子 P 2 0 に対して対称性を持って配置する態様を示した。しかしながら、対称性を有さない場合でも、上述のように、電力の進行方向が逆となる区間の長さが異なる（一方は長さが 0 であってもよい）複数の伝送経路を有する高周波スイッチであれば、上述の構成を適用でき、上述の作用効果を奏することができる。

[0100] 図 5 は、本発明の第 2 の実施形態に係る高周波スイッチ 1 0 B の回路図である。図 6 は、本発明の第 2 の実施形態に係る高周波スイッチ 1 0 B の半導体素子 2 0 B の一部を拡大した平面図である。

[0101] 図 5、図 6 に示すように、第 2 の実施形態に係る高周波スイッチ 1 0 B は

、第１の実施形態に係る高周波スイッチ１０に対して、ＦＥＴ２１３、２２３、２３３、２４３、２５３、２６３を追加した点において異なる。高周波スイッチ１０Ｂの他の構成は、高周波スイッチ１０と同じであり、同じ箇所の説明は省略する。

[0102] 図５、図６に示すように、半導体素子２０Ｂは、複数のＦＥＴ２１１、２１２、２１３、２２１、２２２、２２３、２３１、２３２、２３３、２４１、２４２、２４３、２５１、２５２、２５３、２６１、２６２、２６３を備える。

[0103] ＦＥＴ２１３は、ＦＥＴ２１１と入出力端子Ｐ２１１との間に直列に接続されている。そして、ＦＥＴ２１２は、ＦＥＴ２１１とＦＥＴ２１３との接続点とグランド用端子Ｐ２１２との間に直列に接続されている。

[0104] ＦＥＴ２２３は、ＦＥＴ２２１と入出力端子Ｐ２２１との間に直列に接続されている。そして、ＦＥＴ２２２は、ＦＥＴ２２１とＦＥＴ２２３との接続点とグランド用端子Ｐ２２２との間に直列に接続されている。

[0105] ＦＥＴ２３３は、ＦＥＴ２３１と入出力端子Ｐ２３１との間に直列に接続されている。そして、ＦＥＴ２３２は、ＦＥＴ２３１とＦＥＴ２３３との接続点とグランド用端子Ｐ２３２との間に直列に接続されている。

[0106] ＦＥＴ２４３は、ＦＥＴ２４１と入出力端子Ｐ２４１との間に直列に接続されている。そして、ＦＥＴ２４２は、ＦＥＴ２４１とＦＥＴ２４３との接続点とグランド用端子Ｐ２４２との間に直列に接続されている。

[0107] ＦＥＴ２５３は、ＦＥＴ２５１と入出力端子Ｐ２５１との間に直列に接続されている。そして、ＦＥＴ２５２は、ＦＥＴ２５１とＦＥＴ２５３との接続点とグランド用端子Ｐ２５２との間に直列に接続されている。

[0108] ＦＥＴ２６３は、ＦＥＴ２６１と入出力端子Ｐ２６１との間に直列に接続されている。そして、ＦＥＴ２６２は、ＦＥＴ２６１とＦＥＴ２６３との接続点とグランド用端子Ｐ２６２との間に直列に接続されている。

[0109] このように、半導体素子２０Ｂは、共通端子Ｐ２０と、入出力端子Ｐ２１、Ｐ２２１、Ｐ２３１、Ｐ２４１、Ｐ２５１、Ｐ２６１のそれぞれとの間

に、T型トポロジーのスイッチ回路が接続された構成を備える。

[0110] このような構成からなる高周波スイッチ10Bも、第1の実施形態に係る高周波スイッチ10と同様に、伝送経路の間での挿入損失の偏差を低減できる。

[0111] なお、上述の説明では、電力の進行方向が途中で逆になる伝送経路と、電力の進行方向が逆にならない伝送経路との組を複数組有している態様を示した。しかしながら、電力の進行方向が途中で逆になる伝送経路と、電力の進行方向が逆にならない伝送経路とをそれぞれ1個備えていれば、これらの伝送経路に対して本発明の構成を適用することで、上述の作用効果と同様の作用効果を奏することができる。

[0112] また、上述の説明では、電力の進行方向が逆になる伝送経路と、逆にならない伝送経路とを備える態様を示した。しかしながら、電力の進行方向が逆になる伝送経路を複数有しており、これらの伝送経路における逆になる区間の長さが異なる場合にも、上述のゲート幅の調整等を行うことによって、上述の作用効果と同様の作用効果を奏することができる。なお、電力の進行方向が途中で逆になる伝送経路のそれぞれにおける逆になる区間の長さとは、各伝送経路中の各外部接続端子と共通端子との間の距離と共通端子と共通端子用外部接続端子との間の距離とのうち、短い距離のことを指す。例えば、第1の実施形態に係る高周波スイッチ10における電力の進行方向が途中で逆になる伝送経路である外部接続端子P151、共通端子P20、および、共通端子用外部接続端子P10を経由する伝送経路において、電力の進行方向が逆になる区間の長さとは、外部接続端子P151と共通端子P10との間の距離と共通端子P20と共通端子用外部接続端子P10との間の距離とのうち、短い距離のことを指す。

符号の説明

[0113] 10、10A、10B：高周波スイッチ

20、20B：半導体素子

30、31、32、33、34、35、36、37、38：配線導体

211、212、213、221、222、223、231、232、233、241、242、243、251、252、253、261、262、263、271、281：FET

AR1：領域

P10、P111、P112、P121、P122、P131、P132、P141、P142、P151、P152、P161、P162、P171、P172、P181、P182：外部接続端子

P20、P20S：共通端子

P211、P221、P231、P241、P251、P261、P271、P281：入出力端子

P212、P222、P232、P242、P252、P262、P272、P282：グラウンド用端子

Wg211、Wg251：ゲート幅

請求の範囲

- [請求項1] 第1 F E Tおよび第2 F E Tを少なくとも含む複数のF E Tが形成された半導体素子と、
 複数の外部接続端子と、
 前記半導体素子を封止する成形部材と、を備え、
 前記半導体素子は、
 共通端子と、
 第1 端子および第2 端子を少なくとも含む複数の入出力端子と、
 前記共通端子と前記第1 端子との間に接続される前記第1 F E T、
 および、前記共通端子と前記第2 端子との間に接続される前記第2 F E Tを備え、
 前記複数の外部接続端子は、前記共通端子に接続する共通端子用外部接続端子と、前記第1 端子に接続する第1 外部接続端子と、前記第2 端子に接続する第2 外部接続端子と、を含み、
 前記第1 外部接続端子から前記共通端子への信号の進行方向と、前記共通端子から前記共通端子用外部接続端子への信号の進行方向とが逆方向となる区間の長さが、
 前記第2 外部接続端子から前記共通端子への信号の進行方向と、前記共通端子から前記共通端子用外部接続端子への信号の進行方向とが逆方向となる区間の長さよりも長い構成において、
 前記第1 F E Tと前記第2 F E Tは、
 所定の入力電力による前記第1 F E Tのドレインソース間を伝送する信号の電力が前記第2 F E Tのドレインソース間を伝送する信号の電力よりも大きくなる構造を有する、
 高周波スイッチ。
- [請求項2] 前記第1 F E Tのゲート幅は、前記第2 F E Tのゲート幅よりも広い、
 請求項1に記載の高周波スイッチ。

- [請求項3] 前記第1外部接続端子と前記第1端子との間に接続される第1配線導体と、
- 前記第2外部接続端子と前記第2端子との間に接続される第2配線導体と、
- 前記共通端子と前記共通端子用外部接続端子との間に接続される第3配線導体と、をさらに備え、
- 前記第1外部接続端子から前記共通端子への信号の進行方向は、前記第1配線導体における信号の進行方向であり、
- 前記第2外部接続端子から前記共通端子への信号の進行方向は、前記第2配線導体における信号の進行方向であり、
- 前記共通端子から前記共通端子用外部接続端子への信号の進行方向は、前記第3配線導体における信号の進行方向である、
- 請求項1または2に記載の高周波スイッチ。
- [請求項4] 前記第1外部接続端子から前記共通端子への信号の進行方向と、前記共通端子から前記共通端子用外部接続端子への信号の進行方向とが逆方向となる箇所を有し、
- 前記第2外部接続端子から前記共通端子への信号の進行方向と、前記共通端子から前記共通端子用外部接続端子への信号の進行方向とが逆方向となる箇所を有さない、
- 請求項3に記載の高周波スイッチ。
- [請求項5] 前記第1配線導体の延長線と前記第3配線導体の延長線とで構成される角は鋭角であり、
- 前記第2配線導体の延長線と前記第3配線導体の延長線とで構成される角は鈍角である、
- 請求項4に記載の高周波スイッチ。
- [請求項6] 前記第1端子と前記第2端子とは、前記半導体素子の第1方向に沿って並んでおり、
- 前記共通端子は、前記第1方向において、前記第1端子と前記第2

端子との間に、配置されている、

請求項 1 乃至請求項 5 のいずれかに記載の高周波スイッチ。

[請求項7]

前記半導体素子は、

前記複数の入出力端子のそれぞれと前記共通端子との間にそれぞれに接続された複数の F E T をさらに備え、

前記複数の入出力端子および前記複数の F E T は、前記第 1 方向と該第 1 方向に直交する第 2 方向に沿って配列して配置されている、

請求項 6 に記載の高周波スイッチ。

[請求項8]

前記共通端子用外部接続端子は、前記第 2 方向に平行であり、かつ、前記共通端子を横切る直線を境にして、前記第 1 端子外部接続端子と同じ側にあり、前記第 2 外部接続端子とは反対側にある、請求項 7 に記載の高周波スイッチ。

[請求項9]

前記共通端子は、

前記半導体素子を平面視した略中央に配置されている、

請求項 1 乃至請求項 8 のいずれかに記載の高周波スイッチ。

[図1]

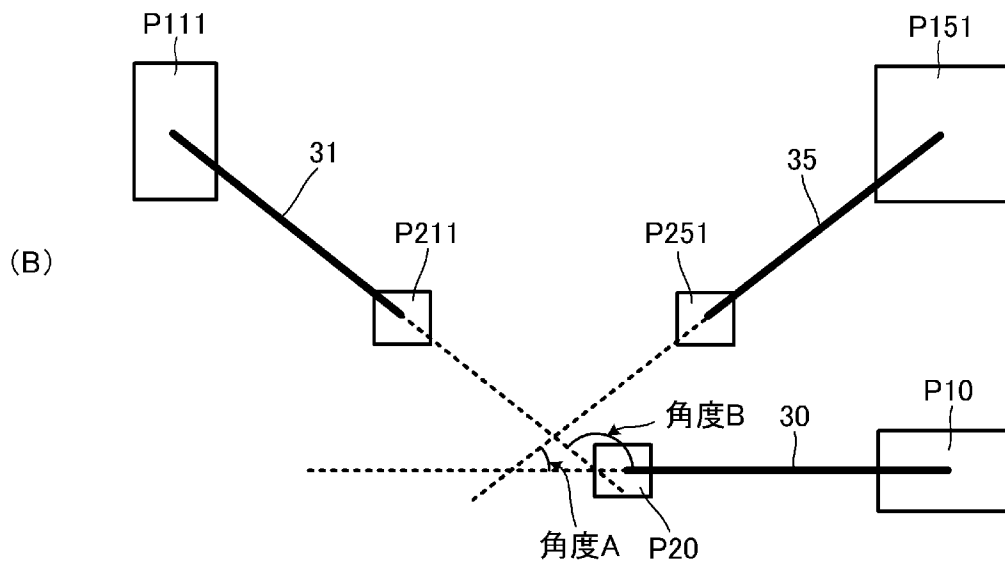
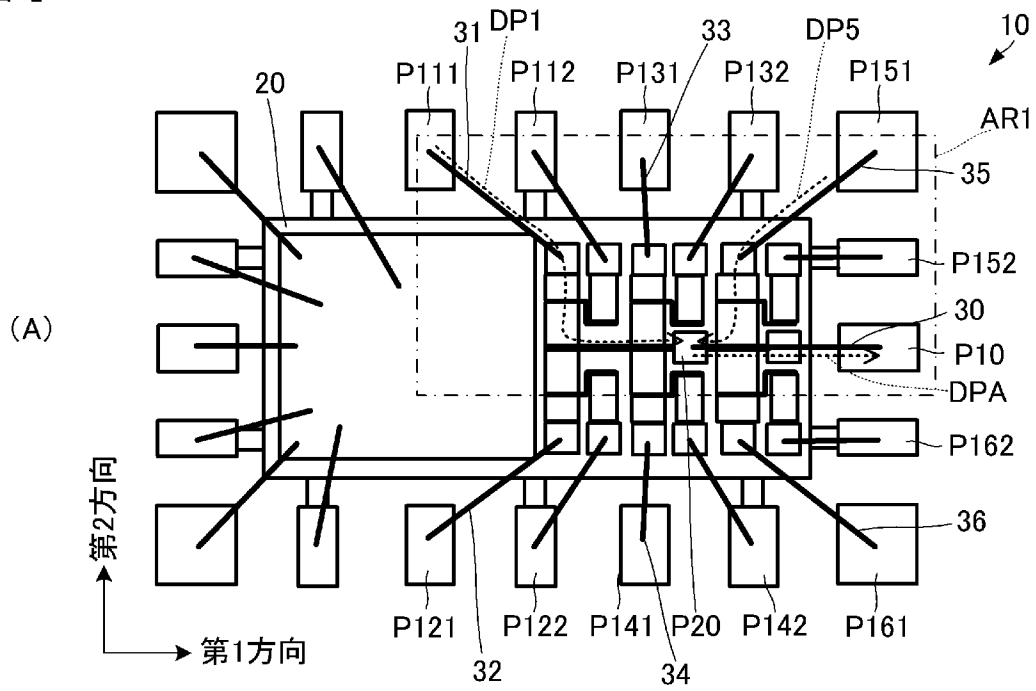
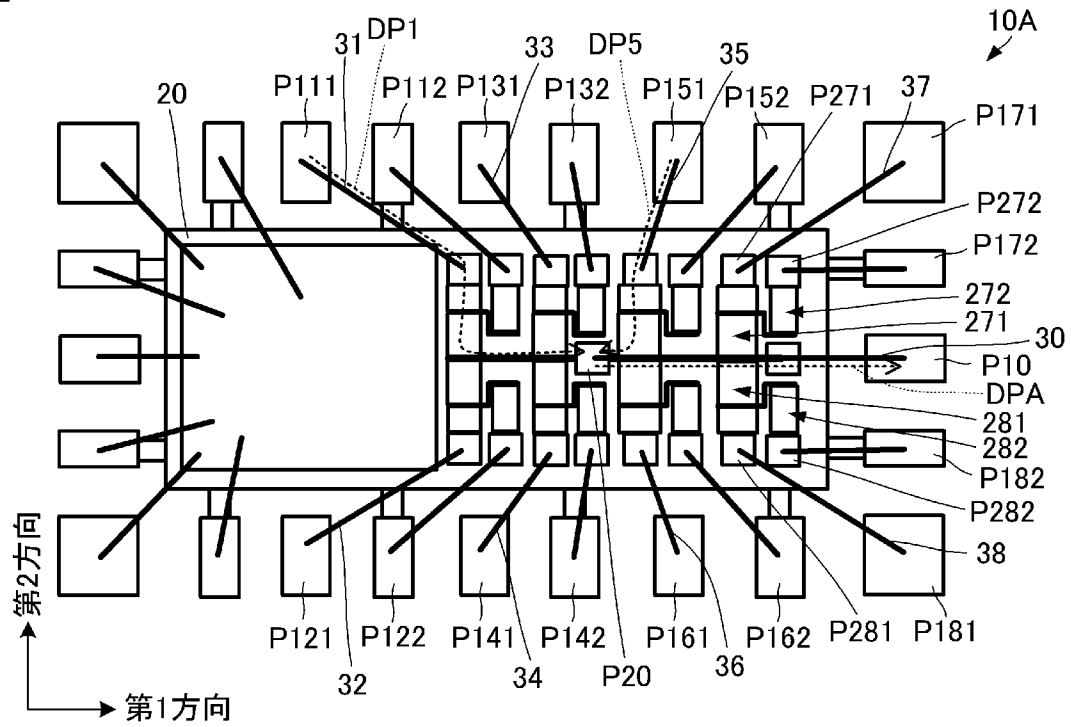


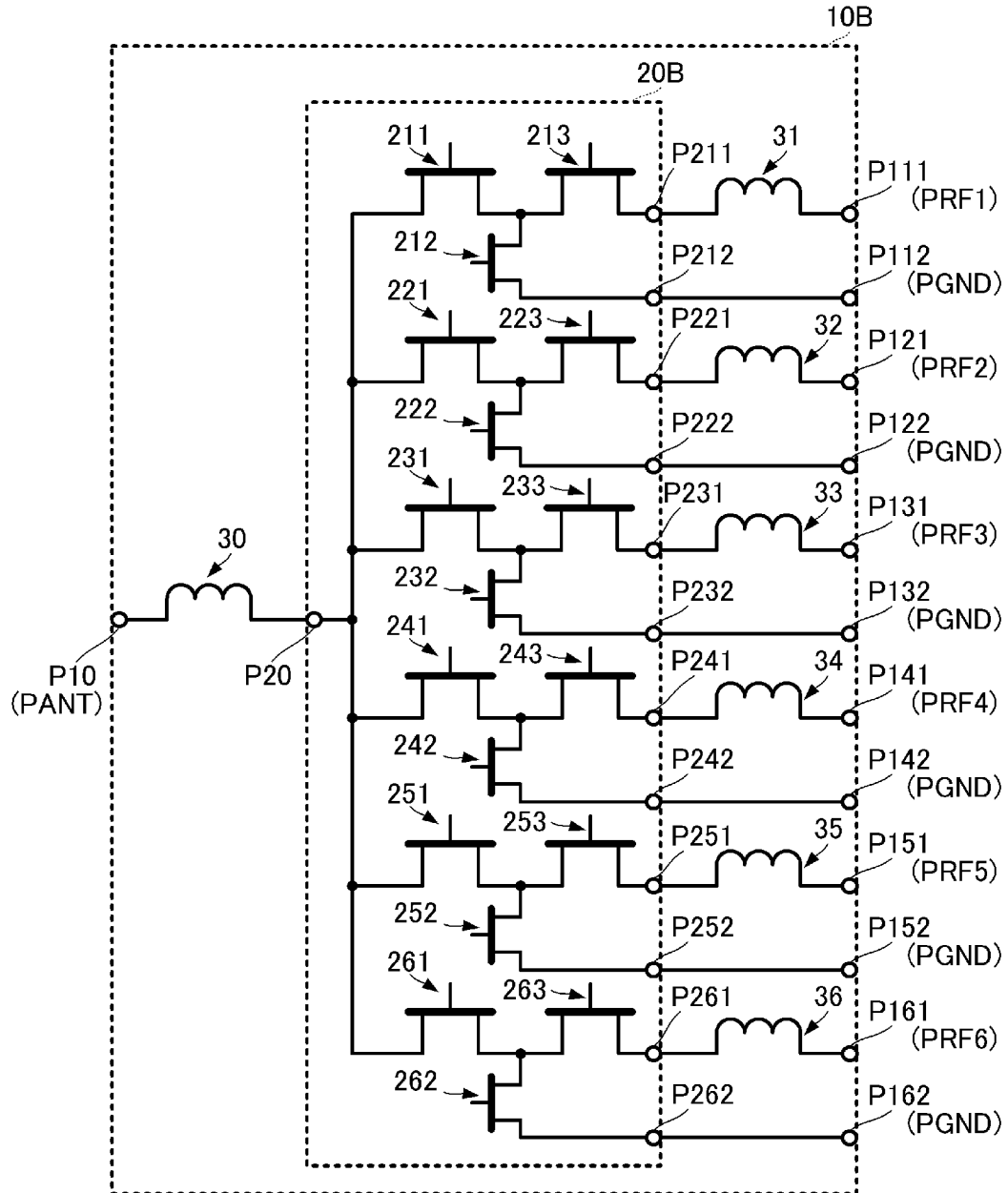
Figure 1 is a plan view of a semiconductor device 10. The device includes a central horizontal line 241 and a thick horizontal line 242. The device is divided into several regions by these lines and other patterns. The regions are labeled with reference numerals: 211, 212, 221, 222, 231, 232, 251, 252, 261, 262. The device also includes a grid of patterns labeled P211, P212, P231, P232, P251, P252, P221, P222, P241, P242, P261, P262. A coordinate system is shown with '第1方向' (1st direction) and '第2方向' (2nd direction) axes.

The diagram illustrates a multi-channel antenna system 10. It features a PANT (P10) connected to a matching network (30). This network is followed by a series of six parallel channels. Each channel contains a matching network (31-36) and a series of transistors (211-262). The channels are connected to a common output line (P162) which is connected to a common ground (PGND).

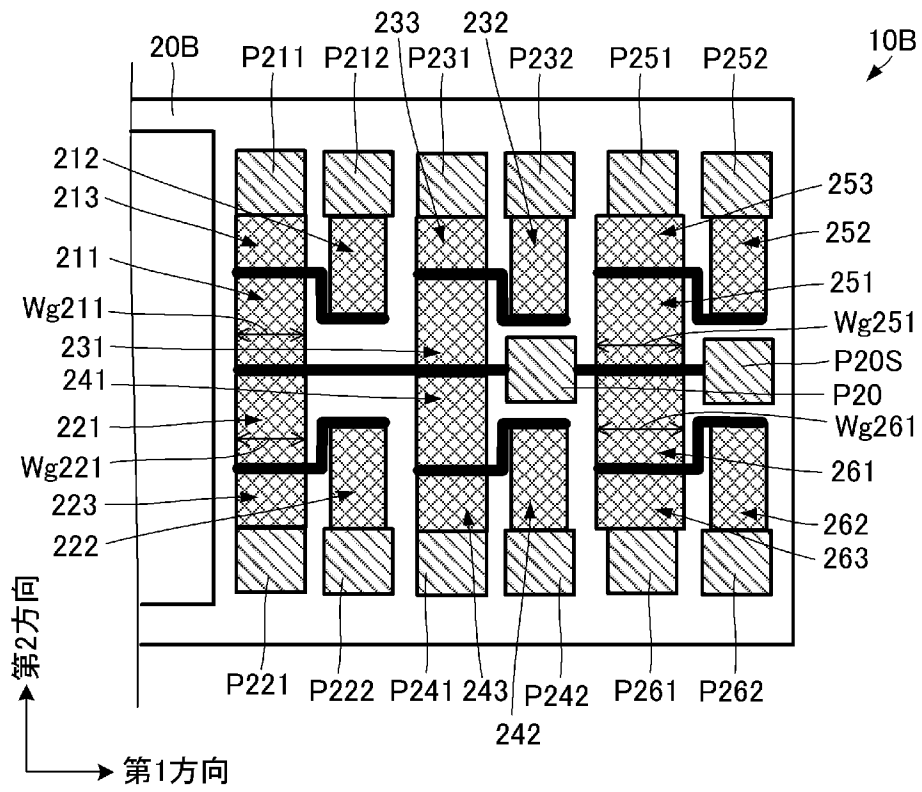
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/028071

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, H01P1/15 (2006.01) i,
H03K17/62 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L27/04, H01P1/15, H03K17/62

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-204009 A (SANYO ELECTRIC CO., LTD.) 18 July 2003, entire text, all drawings & US 2003/0094679 A1 & EP 1309003 A2 & TW 561598 B & KR 10-2003-0043630 A & CN 1419284 A	1-9
A	JP 2010-27030 A (DENSO CORP.) 04 February 2010, entire text, all drawings & US 2009/0315524 A1	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 October 2018 (04.10.2018)

Date of mailing of the international search report
16 October 2018 (16.10.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/028071

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-152009 A (SANYO ELECTRIC CO., LTD.) 23 May 2003, entire text, all drawings & US 2003/0137044 A1 & EP 1315203 A2 & TW 561599 B & KR 10-2003-0040128 A & CN 1420559 A	1-9
A	JP 2015-226262 A (TOSHIBA CORP.) 14 December 2015, entire text, all drawings & US 2015/0348993 A1	1-9
A	JP 2015-530798 A (QUALCOMM INC.) 15 October 2015, entire text, all drawings & US 9024838 B2 & WO 2014/026158 A1 & EP 2883308 A1 & CN 104541453 A & KR 10-2015-0042808 A	1-9
A	JP 4-287360 A (HITACHI, LTD.) 12 October 1992, entire text, all drawings (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01P1/15(2006.01)i, H03K17/62(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L27/04, H01P1/15, H03K17/62

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-204009 A (三洋電機株式会社) 2003.07.18, 全文, 全図 & US 2003/0094679 A1 & EP 1309003 A2 & TW 561598 B & KR 10-2003-0043630 A & CN 1419284 A	1-9
A	JP 2010-27030 A (株式会社デンソー) 2010.02.04, 全文, 全図 & US 2009/0315524 A1	1-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.10.2018

国際調査報告の発送日

16.10.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-152009 A (三洋電機株式会社) 2003.05.23, 全文, 全図 & US 2003/0137044 A1 & EP 1315203 A2 & TW 561599 B & KR 10-2003-0040128 A & CN 1420559 A	1-9
A	JP 2015-226262 A (株式会社東芝) 2015.12.14, 全文, 全図 & US 2015/0348993 A1	1-9
A	JP 2015-530798 A (クゥアルコム・インコーポレイテッド) 2015.10.15, 全文, 全図 & US 9024838 B2 & WO 2014/026158 A1 & EP 2883308 A1 & CN 104541453 A & KR 10-2015-0042808 A	1-9
A	JP 4-287360 A (株式会社日立製作所) 1992.10.12, 全文, 全図 (ファミリーなし)	1-9