

(12) 发明专利申请

(10) 申请公布号 CN 102006420 A

(43) 申请公布日 2011.04.06

(21) 申请号 201010592913.9

H04N 5/77(2006.01)

(22) 申请日 2010.12.17

H04N 7/26(2006.01)

(71) 申请人 四川川大智胜软件股份有限公司

地址 610045 四川省成都市武侯科技园武科
东一路 7 号

(72) 发明人 莫思特 胡术 冯达敏 吴志红

(74) 专利代理机构 成都和睿达专利代理事务所
(普通合伙) 51217

代理人 潘育敏

(51) Int. Cl.

H04N 5/232(2006.01)

H04N 5/235(2006.01)

权利要求书 2 页 说明书 4 页 附图 9 页

(54) 发明名称

可使用外接同步的多种数据输出格式摄像机的设计方法

(57) 摘要

可使用外接同步的多种数据输出格式摄像机的设计方法涉及摄像机的数据输出。利用可编程门阵列模块进行外接同步信号与 CCD 时序的转换, 实现与外接同步的双向通信。在 FPGA 上外接输入行模块、输入场模块、输入时钟模块和输入曝光模块来发送同步信号, 外接高速串行接口、并行接口、低压差分信号接口和网络接口实现与外接同步的双向通信。软件控制 FPGA 首先使用外接控制信号。控制信号可以是输入场同步信号、输入行同步信号、输入时钟信号和输入曝光控制信号的一种或两种或三种或四种。外接设备还可增加视频压缩芯片或增加嵌入式芯片或增加视频压缩芯片和嵌入式芯片。本发明可使曝光时刻与特定事件同步、与外接设备的运算处理同步, 软件编程快捷, 程序运行时间和内存使用更少。



1. 一种可使用外接同步的多种数据输出格式摄像机的设计方法,其特征在于:利用可编程门阵列模块 FPGA 进行外接同步信号与 CCD 时序的转换,利用可编程门阵列模块 FPGA 实现与外接同步的双向通信;实现的方式是:在现有摄像机上外接发送同步信号和通信接口电路的外接设备,外接设备中发送同步信号的模块包括输入行模块、输入场模块、输入时钟模块和输入曝光模块,通信接口电路包括高速串行接口、并行接口、低压差分信号接口和网络接口电路,各个模块通过引脚连接在可编程门阵列 FPGA 相关引脚上;外接设备发送给摄像机控制命令,通过通信接口电路控制或通过输入同步信号对可编程门阵列进行控制,输入的同步信号可以是输入场同步信号、输入行同步信号、输入时钟信号和输入曝光控制信号的一种或两种或三种或四种;可编程逻辑门阵列根据外接设备指令以及所输入的控制信号产生图像传感器所需要的场同步信号,行同步信号,时钟信号,驱动时序信号,曝光控制信号,控制图像传感器按序输出成像平面像素的亮度信号;

可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号;进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩;并根据外接设备的控制命令选择像素的亮度信号, RGB 格式视频信号, YUV 格式视频信号, M-JPEG 格式视频压缩信号, H264 视频压缩信号中的一种或多种,输出给外接设备;

所述可编程门阵列所产生图像传感器所需要的场同步信号,行同步信号,时钟信号,驱动时序信号,曝光控制信号也可自己产生。

2. 如权利要求 1 所述的方法,其特征在于:在可编程门阵列 FPGA 上还外接有视频压缩处理芯片及其外围电路;可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号后进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号;可编程逻辑门阵列将视频输出信号输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩数据送给可编程逻辑门阵列 FPGA。

3. 如权利要求 1 所述的方法,其特征在于:在可编程门阵列 FPGA 上还外接有嵌入式芯片及其外围电路;在外接的通信接口中,高速串行接口,并行接口,低压差分信号接口由 FPGA 实现,网络接口由嵌入式芯片完成,嵌入式芯片与 FPGA 之间通信通过板内并行接口完成;可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号后进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩;并根据外接设备的控制命令选择像素的亮度信号, RGB 格式视频信号, YUV 格式视频信号, M-JPEG 格式视频压缩信号, H264 视频压缩信号中的一种或多种,输出给外接设备。

4. 如权利要求 1 所述的方法,其特征在于:在可编程门阵列 FPGA 上还外接有视频压缩处理芯片及其外围电路和嵌入式芯片及其外围电路;在外接通信接口中,高速串行接口,并行接口,低压差分信号接口由 FPGA 实现,网络接口由嵌入式芯片完成;嵌入式芯片与 FPGA 之间通信通过板内并行接口完成;可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号;可编程逻辑门阵列将视频输出信号输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩数据送给可编程逻辑门阵列 FPGA;可编程逻辑门阵列 FPGA 根据外接设备的控制命令选择像素的亮度信号, RGB 格式视频信号, YUV 格式

视频信号, M-JPEG 格式视频压缩信号, H264 视频压缩信号中的一种或多种, 输出给外接设备。

5. 如权利要求 1 或 2 或 3 或 4 所述的方法, 其特征在于: 所述外接设备的通信接口中的高速串行接口包括 PCI Express 接口和 RocketIO 接口。

可使用外接同步的多种数据输出格式摄像机的设计方法

技术领域

[0001] 本发明属计算机应用范畴,特别涉及摄像机的数据。

背景技术

[0002] 现有摄像机,数据输出格式单一,没有采用外同步,也没有多种数据格式的输出。这样,在需要与外部事件同步的情况下,没法实现与外部事件的同步。同时,由于输出信号单一,在外接设备需要进行数字图像处理时,必须有外部设备进行数据格式转换,既影响原始数据质量,又占用了外接设备的处理时间。

发明内容

[0003] 本发明的目的是提供一种可使用外接同步的多种数据输出格式摄像机的设计方法。按照这种方法,实现现有摄像机外接场同步和行同步信号。并且数据可以用网络接口输出,也可以用高速串行通信方式输出,也可以用并行接口输出。数据输出格式可以为 JPEG, Bayer, RGB, YUV 的任意一种。

[0004] 本发明的目的是这样达到的:利用可编程门阵列模块 FPGA 进行外接同步信号与 CCD 时序的转换,利用可编程门阵列模块 FPGA 实现与外接同步的双向通信。实现的方式是:在现有摄像机上外接发送同步信号和通信接口电路的外接设备,外接设备中发送同步信号的模块包括输入行模块、输入场模块、输入时钟模块和输入曝光模块,通信接口电路包括高速串行接口、并行接口、低压差分信号接口和网络接口电路,各个模块通过引脚连接在可编程门阵列 FPGA 相关引脚上。外接设备发送给摄像机控制命令,通过通信接口电路控制或通过输入同步信号对可编程门阵列进行控制,输入的同步信号可以是输入场同步信号、输入行同步信号、输入时钟信号和输入曝光控制信号的一种或两种或三种或四种。可编程逻辑门阵列根据外接设备指令以及所输入的控制信号产生图像传感器所需要的场同步信号,行同步信号,时钟信号,驱动时序信号,曝光控制信号,控制图像传感器按序输出成像平面像素的亮度信号。

[0005] 可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号;进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩。并根据外接设备的控制命令选择像素的亮度信号, RGB 格式视频信号, YUV 格式视频信号, M-JPEG 格式视频压缩信号, H264 视频压缩信号中的一种或多种,输出给外接设备。

[0006] 所述可编程门阵列所产生图像传感器所需要的场同步信号,行同步信号,时钟信号,驱动时序信号,曝光控制信号也可自己产生。

[0007] 在可编程门阵列 FPGA 上还外接有视频压缩处理芯片及其外围电路。可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号后进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号;可编程逻辑门阵列将视频输出信号输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩

数据送给可编程逻辑门阵列 FPGA。

[0008] 在可编程门阵列 FPGA 上还外接有嵌入式芯片及其外围电路。在外接的通信接口中,高速串行接口,并行接口,低压差分信号接口由 FPGA 实现,网络接口由嵌入式芯片完成,嵌入式芯片与 FPGA 之间通信通过板内并行接口完成。可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号后进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩;并根据外接设备的控制命令选择像素的亮度信号,RGB 格式视频信号,YUV 格式视频信号,M-JPEG 格式视频压缩信号,H264 视频压缩信号中的一种或多种,输出给外接设备。

[0009] 在可编程门阵列 FPGA 上还外接有视频压缩处理芯片及其外围电路和嵌入式芯片及其外围电路。在外接通信接口中,高速串行接口,并行接口,低压差分信号接口由 FPGA 实现,网络接口由嵌入式芯片完成。嵌入式芯片与 FPGA 之间通信通过板内并行接口完成;可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号。可编程逻辑门阵列将视频输出信号输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩数据送给可编程逻辑门阵列 FPGA;可编程逻辑门阵列 FPGA 根据外接设备的控制命令选择像素的亮度信号,RGB 格式视频信号,YUV 格式视频信号,M-JPEG 格式视频压缩信号,H264 视频压缩信号中的一种或多种,输出给外接设备。

[0010] 外接设备的通信接口中的高速串行接口包括 PCI Express 接口和 RocketIO 接口。

[0011] 本发明的优点是:提供了一种外接同步,可以使得曝光时刻与特定事件同步。比如,在摄像机中,与 50HZ 工频信号同步。也可以由外边产生行场同步,与外接设备的运算处理同步。多种输出接口和数据输出格式,使得外接设备接口更加容易。外接设备软件编程更加快捷,并可以使用更少的程序运行时间和使用更少的内存。

附图说明

[0012] 图 1 是本发明的方法示意图。

[0013] 图 2 是在可编程门阵列模块上外接外部设备示意图。

[0014] 图 3 是在图 2 基础上,增加视频压缩处理芯片以及外围电路接口模块示意图。

[0015] 图 4 在图 2 基础上,增加嵌入式处理芯片以及外围电路接口模块示意图。

[0016] 图 5 在图 2 基础上,增加视频压缩处理芯片以及外围电路接口模块和嵌入式处理芯片以及外围电路接口模块示意图。

[0017] 图 6 可编程门阵列产生图像传感器所需要的信息数据处理流程图。

[0018] 图 7 外接输入行,场,时钟和曝光电路图。

[0019] 图 8 外接串行,并行接口输入电路图。

[0020] 图 9 网络接口电路图。

[0021] 图 10、11 共同构成视频压缩以及外围电路接口模块电路图。

[0022] 图 12、13 (U10C)、14、15、16、17 (U10C)共同构成嵌入式模块以及外围电路接口模块电路图。

具体实施方式

[0023] 附图给出了本方法的四种具体实施例。在实施例 1 的基础上可根据实际需要增加不同的模块实现不同外接输出。实施例中,在模块内部以及模块之间,网络名相同的芯片引脚存在短接关系。

[0024] 在实施例中,采用芯片的公司和型号如下:

图像传感器: SONY 公司, ICX205 可编程门阵列: Xilinx 公司, X3S1200
视频压缩芯片: TOKYO 公司, TE3310 嵌入式芯片: Atmel 公司, AR91RM9200
外接输入行,场,时钟和曝光电路:均采用 MAXIM 公司, MAX3491
外接串行,并行接口输入电路:TI 公司, SN74LVC16245。

[0025] 在四种实施例中,可编程门阵列对输入数据的处理一致。保证了在有外接输入信号时使用输入信号,没有外接信号时使用可编程门阵列自己的信号。从图 6 可知,可编程门阵列产生图像传感器所需要的信息数据处理流程图是:分别对输入场同步信号、输入行同步信号、输入时钟同步信号和输入曝光同步信号进行检测,若有上述输入信号,首先使用输入信号,若没有输入信号则使用可编程门阵列自己的场同步信号、行同步信号、时钟同步信号和曝光同步信号,控制图像传感器按序输出成像平面像素的亮度信号。输入信号模块采用了四块 MAX3491 模块,分别作为输入行模块、输入场模块、输入时钟模块和曝光模块。

[0026] 在实施例 1,参见附图 2。在现有摄像机上外接发送同步信号和通信接口电路的外接设备,外接设备中发送同步信号的模块包括输入行模块、输入场模块、输入时钟模块和曝光模块,通信接口电路包括高速串行接口、并行接口、低压差分信号接口和网络接口电路,各个模块通过引脚连接在可编程门阵列 FPGA 相关引脚上。外接设备发送给摄像机控制命令,通过通信接口电路控制或通过输入同步信号对可编程门阵列进行控制,输入的同步信号可以是输入场同步信号、输入行同步信号、输入时钟信号和输入曝光控制信号的一种或两种或三种或四种。可编程逻辑门阵列根据外接设备指令以及所输入的控制信号产生图像传感器所需要的场同步信号,行同步信号,时钟信号,驱动时序信号,曝光控制信号,控制图像传感器按序输出成像平面像素的亮度信号。

[0027] 可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号;进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩。并根据外接设备的控制命令选择像素的亮度信号,RGB 格式视频信号,YUV 格式视频信号,M-JPEG 格式视频信号,H264 视频压缩信号中的一种或多种,输出给外接设备。

[0028] 实施例 2,参见附图 3。实施例 1 的基础上增加了视频压缩处理芯片及其外围电路。增加视频压缩处理芯片可以使专用的压缩集成电路,也可以使数字信号处理(DSP)芯片。本例使用的是 TOKYO 公司的 TE3310 芯片。

[0029] 可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号。进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号。可编程逻辑门阵列将视频输出信号(RGB 信号或者 YUV 信号)输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩数据送给可编程逻辑门阵列 FPGA。

[0030] 实施例 3,参见附图 4。在实施例 1 的基础上增加嵌入式处理芯片以及外围电路接

口模块。增加的嵌入式处理芯片可以是 ARM 芯片,也可以是 POWER PC 芯片。本例使用的是 Atmel 公司的 AR91RM9200 芯片。外接通信接口中的高速串行接口,并行接口,低压差分信号接口连接在可编程门阵列模块上,由可编程门阵列模块 FPGA 实现上述接口的双向通信。网络接口连接在嵌入式芯片上,由嵌入式芯片完成网络通信。嵌入式芯片与可编程门阵列模块 FPGA 之间的通信通过板内并行接口完成。可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号。进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号,并对 YUV 格式视频信号进行 M-JPEG 格式视频压缩和 H264 视频压缩。并根据外接设备的控制命令选择像素的亮度信号,RGB 格式视频信号,YUV 格式视频信号,M-JPEG 格式视频压缩信号,H264 视频压缩信号中的一种或多种,输出给外接设备。

[0031] 实施例 4,参见附图 5。在实施例 1 的基础上增加视频压缩处理芯片及其外围电路和嵌入式处理芯片以及外围电路接口模块。与实施例 3 一样,外接通信接口中的高速串行接口,并行接口,低压差分信号接口连接在可编程门阵列模块上,由可编程门阵列模块 FPGA 实现上述接口的双向通信。网络接口连接在嵌入式芯片上,由嵌入式芯片完成网络通信。嵌入式芯片与可编程门阵列模块 FPGA 之间的通信通过板内并行接口完成。

[0032] 可编程逻辑门阵列收到图像传感器输出成像平面像素的亮度信号。进行 Bayer 变换,生成 RGB 格式视频信号,再将 RGB 格式视频信号转换为 YUV 格式视频信号。可编程逻辑门阵列将视频输出信号(RGB 信号或者 YUV 信号)输出给视频压缩处理芯片,由视频压缩处理芯片完成 M-JPEG 压缩或 H264 压缩,并将压缩数据送给可编程逻辑门阵列 FPGA。可编程逻辑门阵列 FPGA 根据外接设备的控制命令选择像素的亮度信号,RGB 格式视频信号,YUV 格式视频信号,M-JPEG 格式视频压缩信号,H264 视频压缩信号中的一种或多种,输出给外接设备。

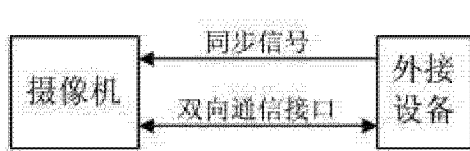


图 1

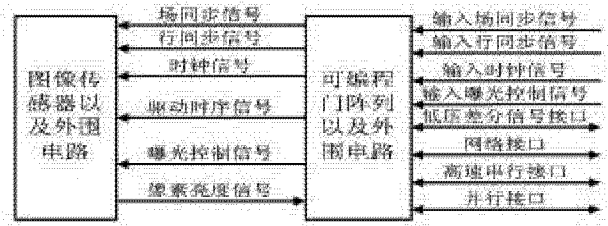


图 2

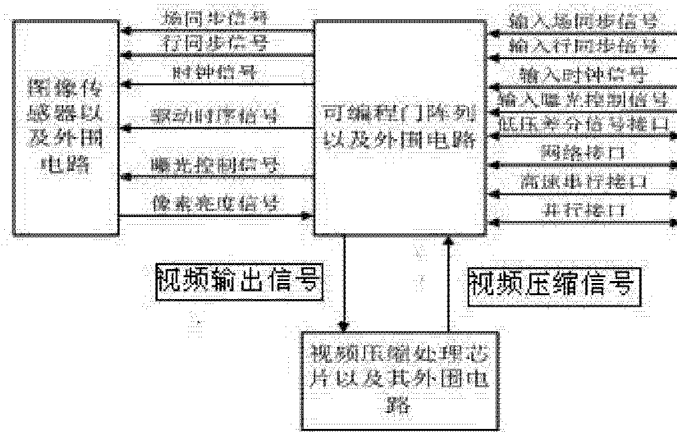


图 3

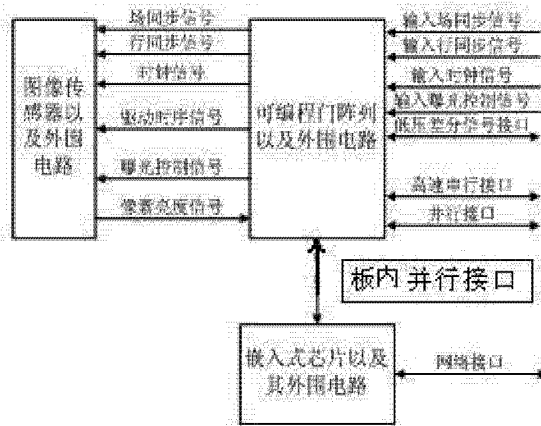


图 4

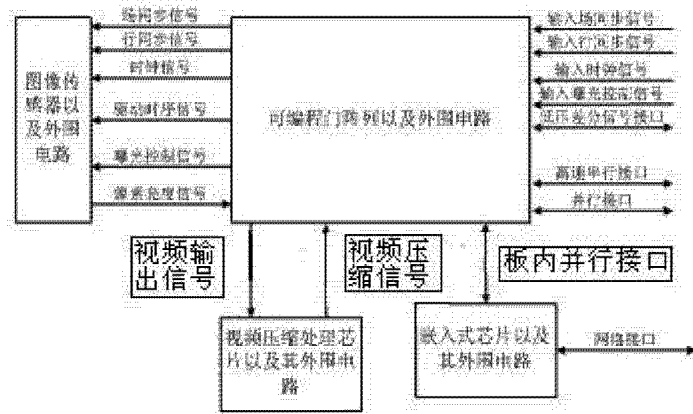


图 5

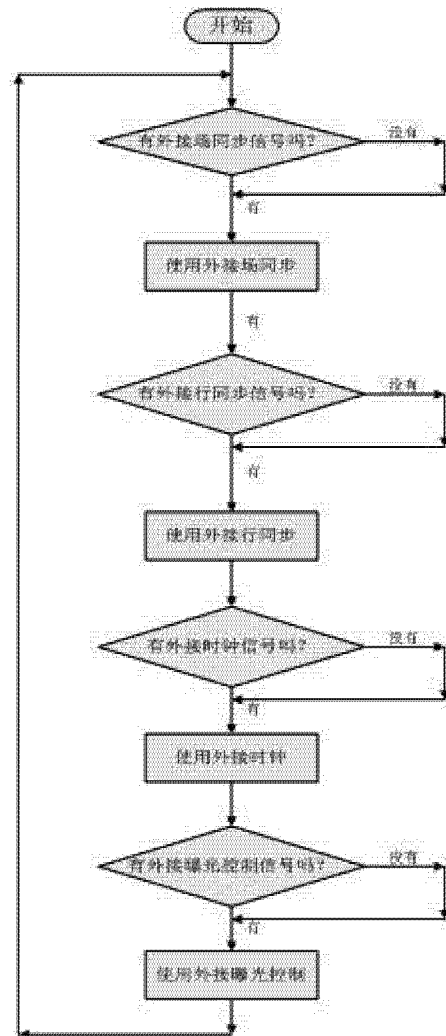


图 6

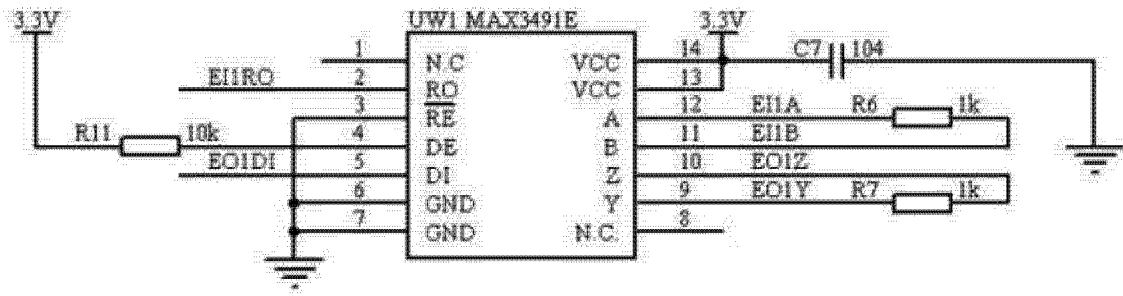


图 7

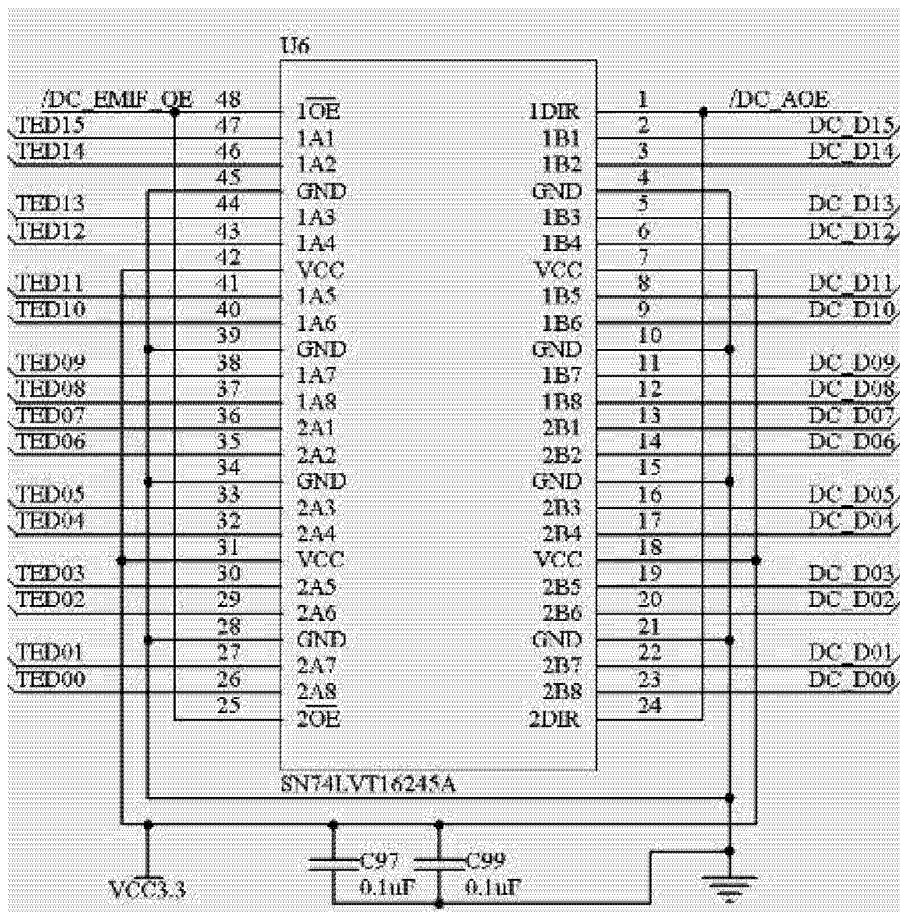


图 8

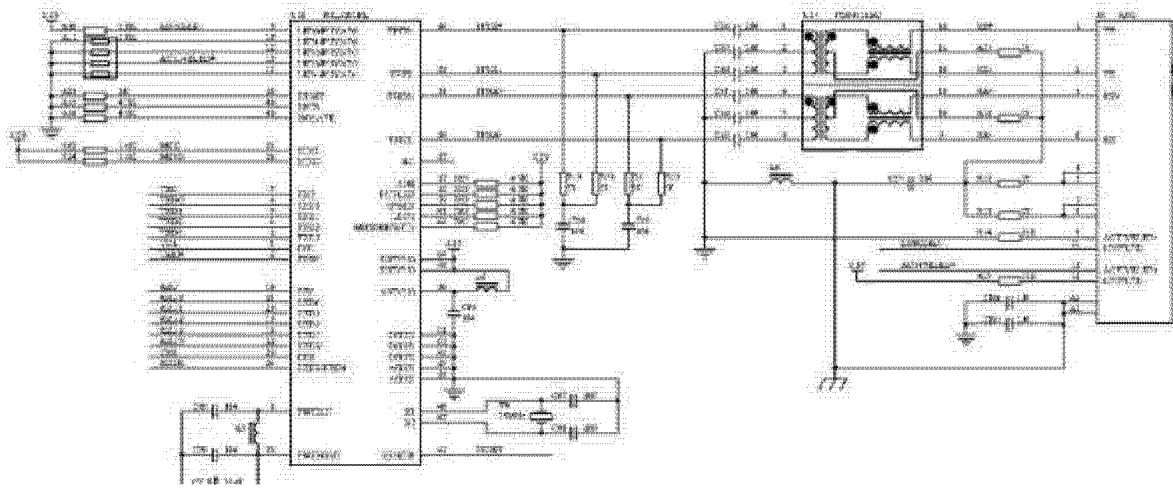


图 9

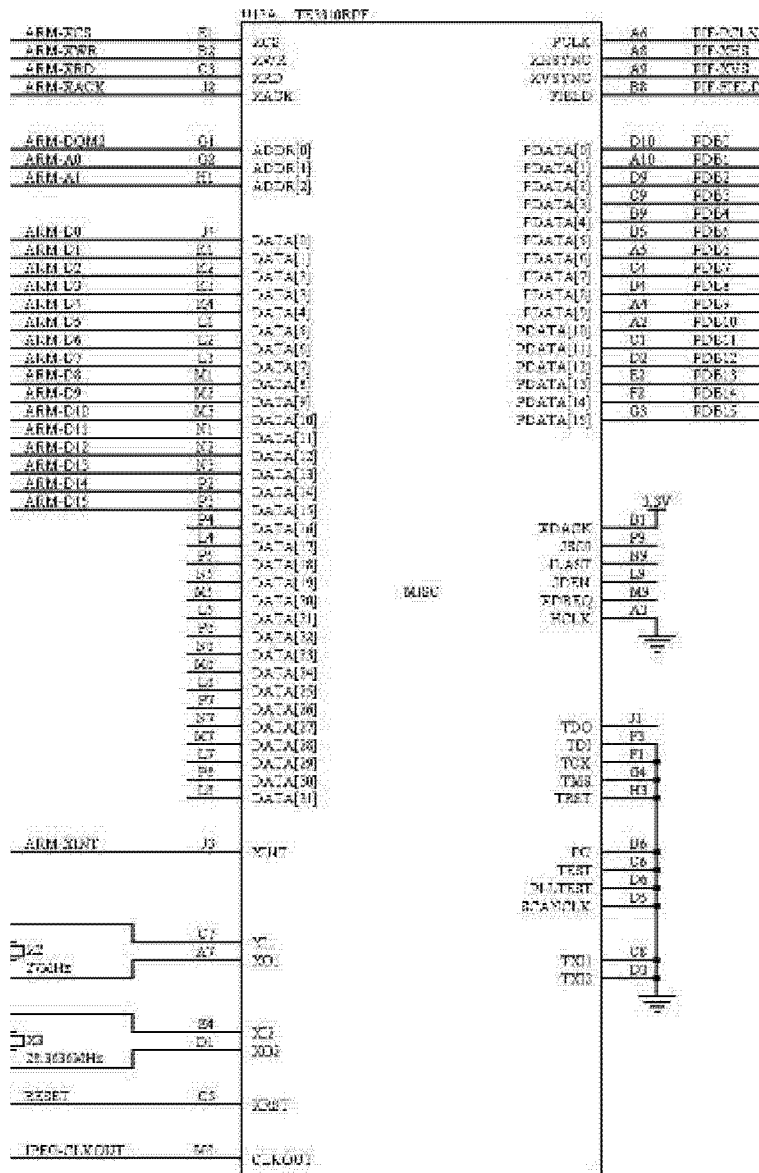


图 10

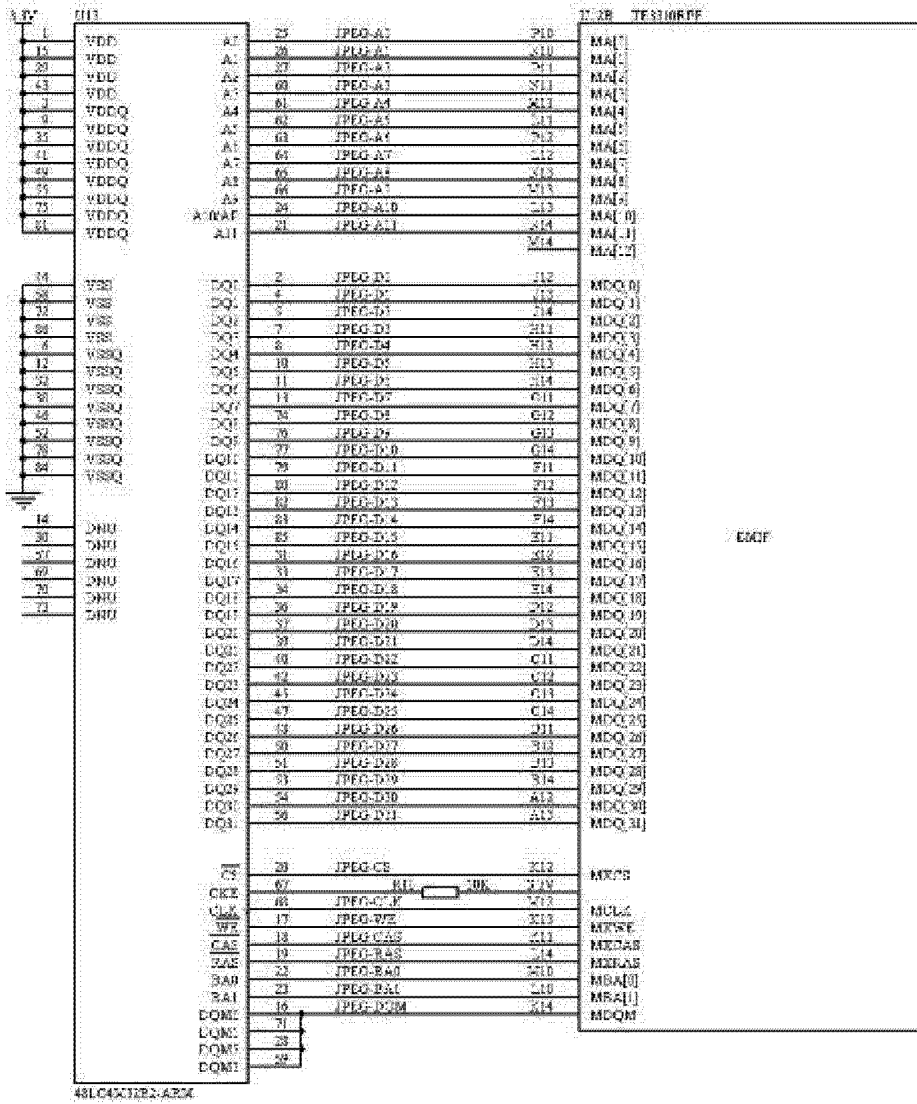


图 11

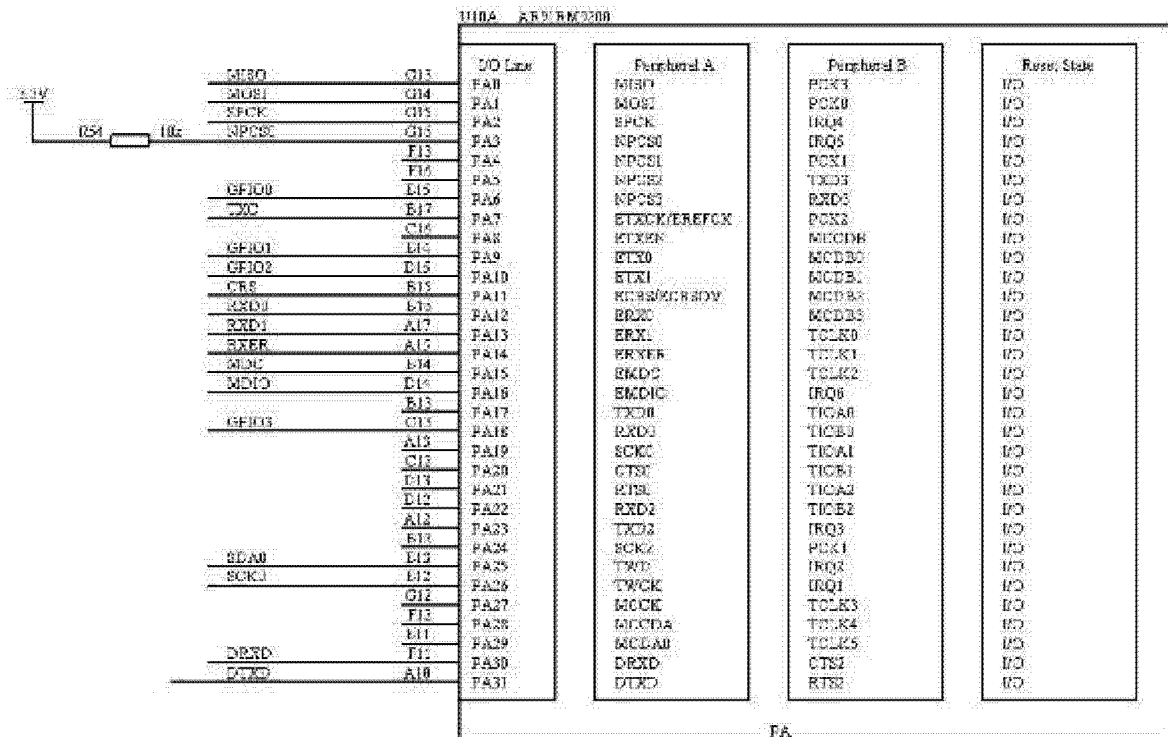


图 12

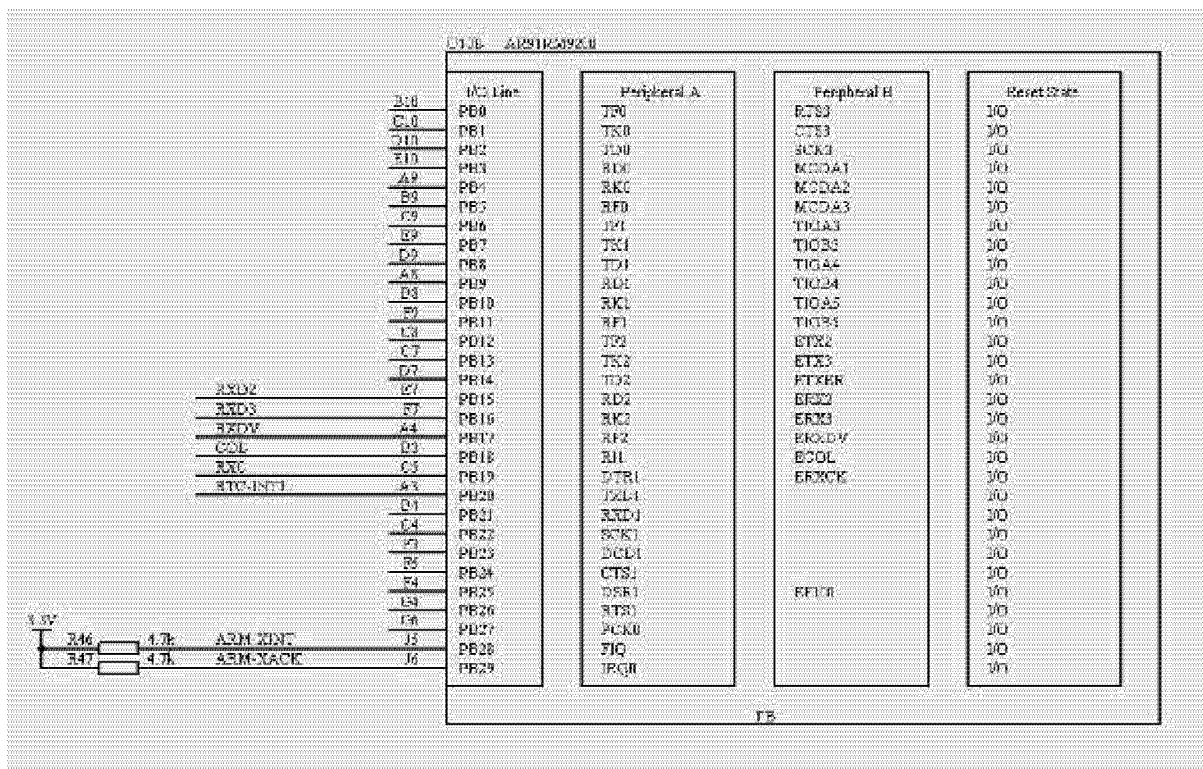


图 13

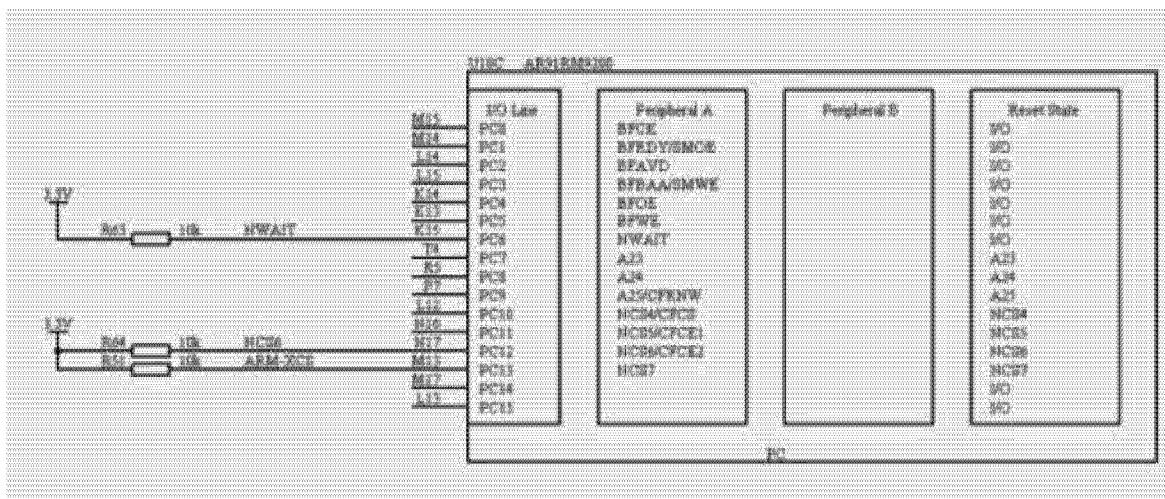


图 14

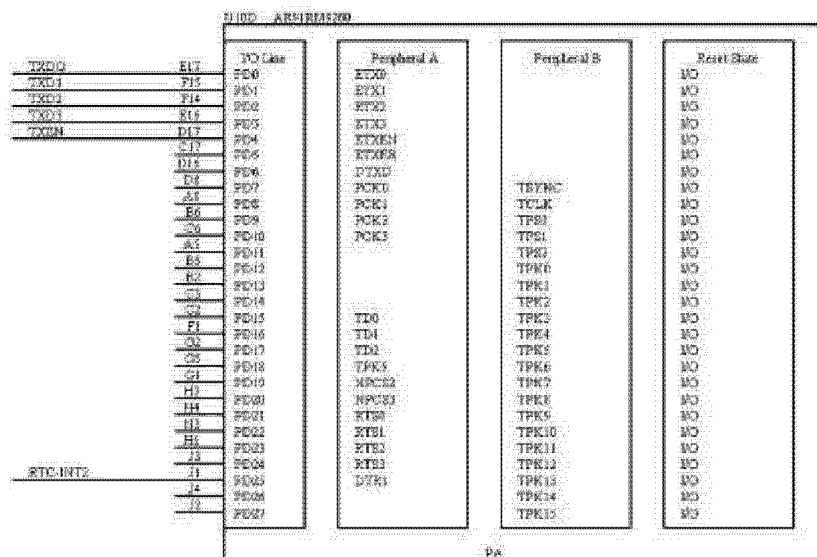


图 15

