(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H05K 1/14

(11) 공개번호 특2002-0070140
(43) 공개일자 2002년09월05일

(21) 출원번호 10-2002-0010419
(22) 출원일자 2002년02월27일

(30) 우선권주장 09/795,603 2001년02월27일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 헤이니칼알
미국캘리포니아주95664파일럿힐낸스드라이브5001
딕키데이비드
미국캘리포니아주95678로즈빌벨리우드드라이브172
데블랭크제임스제이
미국캘리포니아주95678로즈빌사우스블러프드라이브1242

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 전자 장치를 지원하고 상호 접속하는 장치

요약

회로 기판(17)은 기판의 양 측면 상에 위치하거나 또는 그 내부에 매립되어 디스크 드라이브, 프로세서 및 외부 케이블에 대한 커넥터와 같은 전자 장치(12, 13)를 상호접속하는 차등 버스 트레이스(21, 26, 106, 107)를 포함한다. 장치 및 케이블 커넥터 필드(31, 32)의 크기 및 구성과 유사한 비아 트레이스 필드(36)는 기판상의 각 커넥터(14, 16) 사이에 배치된다. 비아 필드는 기판의 한쪽 측면 위 또는 그 내부의 버스 트레이스(26, 107)를 기판의 다른쪽 측면 위 또는 그 내부의 각 버스 트레이스(21, 106)와 연결한다. 비아 필드(37, 38)는 트레이스 패턴에 미세한 균일하지 않은 기복을 포함하여, 모든 트레이스 쌍의 길이에 균일성을 제공한다. 비아 필드(37, 38) 및 커넥터 필드(31, 32) 모두는 기판의 대향하는 측면들 위의 트레이스 접속부에 반복적인 컨덕터 순서 반전을 포함하여, 채널간 크로스토크를 감소시킨다. 비아 필드(36, 73)는 동일 직선상에 배열된 장치(12, 13)에 대해 평행하거나, 또는 평행한 장치 혹은 커넥터(71, 72)에 대해 직교하는 방향으로 배향될 수 있다. 커넥터가 핀 접속부(79, 81, 82)의 측방향 오프셋 그룹을 갖는 경우, 비아 필드는 비아(83, 84, 86)의 오프셋 그룹을 또한 포함하여 트레이스 길이 균일성을 제공한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 분산형 버스 및 비아 필드에 의해 상호 접속된 두개의 컴퓨터 장치를 나타내는 본 발명의 장치에 대한 평면도,

도 2는 컴퓨터 장치의 커넥터가, 병렬로 버스 트레이스위에 탑재되고 버스 트레이스에 접속되는 종래 기술의 버스 구조를 나타낸 도면,

도 3은 컴퓨터 장치의 커넥터가 동일 직선상에 정렬되고 버스 트레이스가 커넥터의 위 및 아래로 교번적으로 기복하는(undulate) 종래 기술의 버스 구조를 나타낸 도면,

도 4는 컴퓨터 장치가 동일 직선상에 정렬되고 스터브에 의해 병렬 버스에 접속되는 종래 기술의 버스 구조를 나타낸 도면,

도 5는 상부 및 하부 층 트레이스 쌍, 매립형 그라운드 평판 및 중심 코어를 가지는 마이크로 스트립 회로 기판을 확장된 스케일로 도시한 부분 단면도,

도 6은 상부 및 하부 그라운드 평판, 매립형 트레이스 쌍, 및 중심 코어를 가진 스트립라인 회로 기판을 확장된 스케일로 도시한 부분 단면도,

도 7은 AABB 컨덕터 순서 패턴을 나타낸 커넥터 및 비아 트레이스 필드에 대한 도면,

도 8은 ABBA 컨덕터 순서 패턴을 나타낸 커넥터 및 비아 트레이스 필드에 대한 도면,

도 9는 회로 기판의 상부 및 하부상의 비아 필드 및 직교하는 트레이스 쌍을 나타낸 도면,

도 10은 비아 필드내에 실행된 트레이스 쌍 길이 조정 방식을 확장된 스케일로 도시한 도 9의 비아 필드에 대한 도면,

도 11은 비아 필드와 상호 접속되는 회로 기판의 대향 에지들에 배치된 두 장치의 커넥터에 대한 도면,

도 12는 트레이스 길이 조정을 실행하기 위해 이동된 핀 그룹을 가진 비아 필드와 상호 접속되는, 회로 기판의 대향 에지상에 배치된 하드 드라이브의 커넥터 및 케이블 커넥터를 나타낸 도면,

도 13은 차등 버스에 의해 비아 필드와 상호 접속되는 4개의 드라이브 및 2개의 커넥터를 포함한 것으로, 본 발명의 특징을 구체적으로 나타낸 회로 기판을 나타낸 도면.

도면의 주요 부분에 대한 부호의 설명

12, 13 : 컴퓨터 장치14, 16 : 커넥터

17 : 기판22, 23 : 상부 트레이스

27, 28 : 하부 트레이스33 : 네가티브 핀

34 : 포지티브 핀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 디스크 드라이브(disk drive) 및 프로세서(processor)와 같은 컴퓨터 장치를 지원하고 상호 접속하는데 이용할 수 있는 개선된 회로 기판에 관한 것이다. 보다 상세하게, 본 발명은 전자 장치들간에 고속의 신호 전달을 제공하기 위해, 차등 버스(differential bus) 및 특정의 비아 필드(via field)를 포함하는 다층화된 회로 기판에 관한 것이다.

현대의 컴퓨터 시스템은 고속 디지탈 버스를 이용하여 디스크 드라이브나 프로세서와 같은 고성능 컴퓨터 장치들을 접속시킨다. 일반적으로, 이러한 버스는 다수의 병렬로 된 도전성 와이어(conductive wire) 또는 트레이스(trace)를 포함한다. 전형적으로, 버스 와이어는, 비 도전성 코어 물질에 의해 이격된 버스 와이어의 내부 또는 외부 트레이스를 가지는 인쇄 회로 기판상에 배열된다. 트레이스 특성 임피던스를 정합시키기 위해 고안된 능동 종단 부하가 각 와이어 또는 트레이스의 단부에 제공된다. 이러한 부하는 부하 레지스터를 포함하며, 또한 전압 소오스 또는 전류 소오스를 포함할 수 있다.

컴퓨터 장치는 와이어 스터브(wire stub)에 의해 버스의 중간 부분의 트레이스와 연결된다. 와이어 스터브는, 횡적으로 배치된 장치에 병렬의 전기적 접속을 제공하는 버스를 가로질러 연장된다. 스터브가 버스를 가로지르기 때문에, 스터브는 컴퓨터 시스템의 버스를 통해 전송된 데이터에게 신호 섭동(signal perturbation) 및 노이즈 아티팩트(noise artifact)를 제공한다.

스터브를 사용함으로서, 회로 기판의 레이아웃을 고안하는데 있어서, 다른 문제점이 유발된다. 컴퓨터 장치를 인쇄 회로 기판에 탑재된 커넥터(connector) 또는 소켓(socket)에 플러깅(plugging)하는 것이 전형적이다. 스터브 또는 다른 접속 트레이스는 커넥터의 핀들로 부터 도출되어 버스로 진행한다. 컴퓨터 시스템이 점점 더 복잡해짐에 따라, 버스에 연결되어야만 하는 장치의 수도 증가한다. 그러나, 기판상에 탑재시켜 버스와 상호 연결하기 위한 장치들의 수가 많을 수록 기판의 회로 레이아웃을 구현하기가 점점 더 어려워진다. 장치들 사이의 길고 병렬로 된 트레이스들은 특정의 트레이스 임피던스를 유지하고, 크로스토크(crosstalk)를 최소화하며, 회로 기판 공간의 소비를 최소화하고, 트레이스 길이를 균일하게 하며, 최소수의 기판층들을 이용하도록 라우팅되어야 한다. 결과적으로, 컴퓨터 시스템의 성능에 있어서 절충(compromise)이 이루어져 모든 장치가 필요에 따라 상호 접속될 수 있다.

장치를 상호 접속하는데 이용되는 버스들은 단일 단부형 또는 차등 구조(single-ended or differential design)이다. 단일 단부형 버스들은 모든 컨덕터(conductor)에 대해 공통인 그라운드판(ground plate)으로 부터 이격되고 절연되는 다수의 단일 컨덕터들로 이루어진 회로들에 의해 좌우된다. 단일 단부형 버스는 비교적 쉽게 구현되지만, 데이터 전송 속도에 있어서는 크게 제한적이고, 인접 채널간의 노이즈 간섭을 받게 된다.

반대로 차등 버스(differential bus)는 이격되게 배열되고 그라운드판으로 부터 절연되는 한쌍의 컨덕터 또는 트레이스 쌍을 이용한다. 절연 유전체, 그라운드 평판 및, 두 컨덕터간의 기설정된 이격 거리는 디지털 데이터의 신속하고 효과적인 전송을 위해 제어 임피던스 층을 제공한다. 두 컨덕터들은 항상 그라운드 평판보다 전기적으로 높다. 전송기 및 수신기가 트레이스 쌍의 각 단부에 이용되어 그들간의 차이인 기설정된 신호를 인코딩하고 디코딩한다. 결과적으로, 차등 버스는, 단일 단부형 버스에 비해, 데이터 전송 속도가 높고 노이즈에 보다 강한 장점을 제공한다. 그러나, 차등 버스는 두개의 트레이스를 필요로 하기 때문에, 회로 기판 레이아웃 및 고안을 위한 선택성에 보다 제약을 받게 된다.

상술한 종래 기술의 어려움 때문에, 차등 버스를 사용할 수 있고, 전자 장치를 위한 커넥터 및 기판상에 편리하고 효과적으로 배치될 케이블을 허용하는 회로 기판 구조가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명의 장치는, 두개 이상의 컴퓨터 장치들을 탑재하여 전기적으로 상호 접속시키기 위한 4층의 인쇄 회로 기판을 이용한다. 이 컴퓨터 장치들은 디스크 드라이브, 프로세서 및 외부 케이블을 포함한다. 이 장치들 각각은 4열 20행의 SCSI(Small Computer System Interface) 디스크 드라이브 커넥터와 같은 종래 장치의 커넥터에 플러깅하는데 적용된다. 커넥터들은 회로 기판의 원하는 어느 한 측면, 예를들어 기판의 일측 에지를 따르는 라인 또는 대향하는 에지들상에 배치된다.

각 커넥터는, 차등 버스와의 접속을 위한 적어도 하나의 커넥터 트레이스 필드를 포함한다. 커넥터가 두개의 커넥터와 접속될 것이면, 그것은 두개의 커넥터 트레이스 필드를 포함한다. 커넥터 트레이스 필드는 커넥터의 핀들과 버스간에 도전성 전이(conductive transition)를 제공한다. 차등 버스는 인접하는 컴퓨터 장치들간에 걸쳐있는 다수의 컨덕터 트레이스 쌍으로 이루어진다. 제 1 길이의 차등 버스는 기판의 상측면상에 있으며, 제 2 길이의 버스는 기판의 하측면상에 있다.

비아 트레이스 필드가 제공되어 제 1 및 제 2 길이의 버스들을 상호 접속시킨다. 비아 트레이스 필드는 상부 비아 필드와 하부 비아 필드를 포함한다. 이러한 비아 필드 트레이스는 구성 및 크기 면에서 컨덕터 트레이스 필드와 실질적으로 동일하다. 회로 기판을 통과하는 도전 경로를 제공하는 비아들은 상부 및 하부 비아 필드를 상호접속시킨다.

비아 트레이스 필드는, 각각의 차등 버스내의 트레이스 쌍의 전체 길이를 균일하게 하기 위해 약간의 기복(undulation)을 포함한다. 또한, 비아 트레이스 필드는 트레이스 쌍 그룹의 트레이스 또는 컨덕터 순서를 반전시키기 위해 선택적으로 이용되며, 그에 따라 트레이스들간의 유도 전류가 소거되어 그들간의 크로스토크가 최소로 된다. 이러한 트레이스 순서 반전 특징은 커넥터 트레이스 필드에도 이용되어 동일한 방식으로 크로스토크를 최소화시킨다.

비아 필드는 동일 직선상에 배열된 장치와 병렬로 배치되거나, 또는 병렬로 된 장치나 커넥터들과 직교한다. 커넥터가 핀 접속의 측방향 오프셋 그룹을 가지고 있는 경우, 비아 필드는 트레이스 길이 균일성을 제공하기 위해 비아의 오프셋 그룹을 포함한다. 또한, 이러한 직교하는 비아 필드는, 컴퓨터 장치들간의 신호 전달의 확실성을 보장하기 위해 버스 길이를 균일하게 하는 기능 및 버스내의 트레이스의 컨덕터 순서를 반전시키는 기능을 가진다.

바람직한 마이크로 스트립 구성에 있어서, 트레이스 쌍은 기판의 외부 층상에 마련되며, 트레이스 쌍의 각 셋트에 대한 그라운드 평판이 기판내에 매립된다. 대안적으로, 개시된 스트립 라인 구성에 있어서, 트레이스 쌍은 기판에 매립되고 외부 기판 표면은 그라운드 평판이 된다.

본 발명의 장치에 대한 이러한 목적 및 다른 목적은 첨부된 도면 및 이하의 바람직한 실시예에 상세한 설명에 의해 명백해질 것이다.

발명의 구성 및 작용

도면을 참조하면, 도 1에는 컴퓨터 장치(12,13)를 지원하고 상호 접속하도록 고안된 장치(11)의 가장 기본적인 형태가 도시된다. 명료성을 위해, 장치(12,13)는 단지 개략적인 형태로 도시되며, 그들 각각은 제 1 장치 커넥터(14)와 제 2 장치 커넥터(16)위에 배치되어 제 1 장치 커넥터(14) 및 제 2 장치 커넥터(16)에 플러깅된다. 장치(12,13)는 디스크 드라이브나 프로세서와 같은 임의의 컴퓨터 장치일 수 있다.

커넥터(14,16)는 응용을 위한 임의의 적당한 유형일 수 있지만, 이 경우에는 높이 방향으로 4열 및 폭 방향으로 20행의 핀 접속 어레이를 포함하되, 제거 가능하고, 넓은 SCSI 디스크 드라이브 커넥터이다. 긴 커넥터들은, 그들의 축이 4층의 회로 기판(17)의 일측 에지를 따라 정렬된 상태로 탑재된다. 커넥터는 본 명세서에서 보다 상세하게 설명하겠지만 병렬로 정렬됨을 알아야 한다. 또한, 커넥터는 지시를 필요로 할 경우에 컴퓨터 장치 또는 케이블 접속을 위해 이용될 수 있다.

업계에 마이크로 스트립 구성이라고 알려진 회로 기판(17)이 도 5에 세부 단면도로 도시된다. 기판(17)은, 열 활성 접착 성질을 가진 사전 주입된 유전 물질인 " 프리프레그(prepreg)" 로 이루어진 상측면(18)과 하측면(19)을 가진다. 상부 차등 트레이스 쌍(21)은 개별적인 상부 트레이스(22,23)를 가지며, 그 둘은 상측면(18)상에 이격되게 배치된다. 상측면(18)의 바로 아래에는 전도성 그라운드 평판(24)이 마련된다. 상측면(18)과 그라운드 평판(24)위에 배치된 이격된 상부 트레이스(22,23)들을 조합하여 디지털 신호의 전송을 위한 제어 임피던스 층을 구성한다. 또한, 코어(25)는 유전 물질로 이루어지고 기판(17)의 중앙에 제공된다. 이러한 소자들간의 기초적인 조합을 통해 본 발명의 장치(11)를 전체적으로 상호 접속시키는데 이용되는 차등 버스의 빌딩 블록(building block)을 형성한다.

회로 기판의 다른 측면상에는 개별적인 하부 트레이스(27,28)를 포함하는 하부 차등 트레이스 쌍(26)이 제공된다. 하측면(19) 바로 위에는 도전성 그라운드 평판(29)이 마련된다. 이러한 부품들은, 회로 기판(17)의 하측면상에 차등 버스 상호 접속을 제공하는데 이용되는 제어 임피던스 층을 형성한다.

도 1을 참조하면, 제 1 커넥터 트레이스 필드(31)는 커넥터(14)와 상호 접속되고, 제 2 커넥터 트레이스 필드(32)는 커넥터(16)와 상호 접속된다. 트레이스 필드(31)는, " 네가티브" 핀(33)과 " 포지티브" 핀(34)에 다양하게 접속되는 다수의 상부 트레이스 쌍(21)을 포함한다. 도 7의 좌측의 네가티브 부호 및 포지티브 부호는 특정의 핀 열의 극성을 식별하기 위해 포함된 것이다. 핀들로 부터 도출되는 각 트레이스 라인과 관련하여 이러한 핀 극성을 수반함으로서, 후속하는 콘덕터의 반전 또는 트레이스 순서의 반전에 대한 설명이 보다 명확해질 것이다. 편리를 위해, 특정의 트레이스 쌍에 대한 핀 접속 순서를 나타내는 표기 " A" 를 좌측 트레이스에 대한 " 네가티브" 핀 접속과 우측 트레이스에 대한 " 포지티브" 핀 접속에 대응시킨다. 그리고, 핀 접속 순서에 대한 표기 " B" 를 좌측 트레이스에 대한 " 포지티브" 핀 접속 및 우측 트레이스에 대한 " 네가티브" 핀 접속에 대응시킨다. 그럼으로서, 제 1 커네터 트레이스 필드(31)가 AABB의 반복적인 컨덕터 순서 패턴을 디스플레이함을 알수 있을 것이다.

도 8에는 제 2 커넥터 트레이스 필드(32)에 대한 서로 다른 컨덕터 순서 패턴이 도시된다. 초기에, 트레이스 필드(32)는 회로 기판(17)의 하측면(19)상에 배치됨을 알아야 한다. 그에 따라, 필드(32)의 트레이스 쌍은 도 1 및 도 8에 절선(broken line)으로 도시된다. 도 7과 같이, 커넥터 핀(33,34)은 각각 네가티브 및 포지티브로 표기된다. 트레이스 필드(32)의 상측 및 좌측면에서 우측으로 진행할 경우, ABBA 패턴의 컨덕터 순서 패턴이 이용됨이 명백하다.

제 1 커넥터(14)와 제 2 커넥터(16) 사이에 비아 트레이스 필드(36)가 있다. 비아 필드(36)의 우선적인 기능중 하나는 차등 버스의 두 길이간에 " 폴드 오버(fold over)" 를 가져오는 것이다. " 폴드 오버" 란 버스 내 트레이스 쌍의 보정 재 배향(corrective reorientation)을 말한 것으로, 그에 따라 인접 장치들간의 핀 접속이 적당하게 되고 대칭적이 될 것이다. 도 1 에 도시된 응용에 있어서, 비아 트레이스 필드(36)는 동일 직선상에 정렬된 커넥터(14,16)의 축과 병렬인 배향을 가진다. 본 명세서에 나타난 바와 같이, 상호 접속될 커넥터의 위치 및 배향에 따라 비아 필드에 대한 다른 배향이 또한 이용될 수 있다. 또한, 비아 필드(36)는 커넥터(14,16)들 사이의 정중앙에 있는 것이 바람직하다. 이러한 배치는 상부 차등 트레이스 쌍(21)과 하부 차등 트레이스 쌍(26)이 각각 동일한 길이를 가지며, 본질적으로 서로간에 미러 이미지(mirror image)가 되는 것을 보장한다.

도 9 및 도 10에 보다 상세하게 도시된 바와 같이, 비아 트레이스 필드(36)는 상부 비아 필드(37)와 하부 비아 필드(38)를 포함한다. 상부 및 하부 비아 필드의 각 트레이스 쌍은 하나의 단부에서 각 비아(39)에 접속된다. 상부 비아 필드(37)는 AABB 컨덕터 순서 패턴을 이용하여 비아(39)에 접속된다. 이것은 제 1 커넥터 트레이스 필드(31)에 의해 이용된 컨덕더 순서 패턴과 동일하다. 하부 비아 필드(38)는 ABBA 컨덕터 순서 패턴을 이용하여 비아(39)에 접속된다. 이것은 제 2 커넥터 트레이스 필드(32)에 의해 이용된 컨덕터 순서 패턴과 동일하다. 27개의 비아(39) 쌍이 회로 기판을 통과하여 상부 및 하부 비아 트레이스 필드 사이에 도전형 경로를 제공한다. 이에 따라, 비아 필드(36)에 의해, 트레이스 쌍의 서로 다른 컨덕터 순서 패턴이 이루어지며, 그와 동시에, 차등 버스가 " 폴드 오버" 된다.

상부 및 하부 비아 트레이스 필드(37,38)는 실질적으로 크기 및 구성면에서 제 1 및 제 2 커넥터 트레이스 필드(31,32)와 동일하다. 또한, 비아(39)의 수 및 패턴은 커넥터(14,16)의 네가티브 핀(33) 및 포지티브 핀(34)의 구조를 밀접하게 반영한다. 트레이스 필드 구성과, 핀 및 비아 구조에 있어서 이러한 전반적인 대칭은 차등 버스가 커넥터들 사이를 지날때 그 차등 버스에 균일하고 상보적인 변형을 제공한다. 그러나, 도 10의 세부적인 트레이스 필드를 자세히 검사해보면, 트레이스 경로내의 작은 기복으로 인해 각 트레이스의 전체 길이를 조정할 수 있게 되었음을 알수 있을 것이다. 이러한 방식에서는, 비아 필드를 통하는 트레이스 경로의 선택적인 라우팅(routing)이 버스내 트레이스 경로의 전체 길이가 균일하게 될 수 있게 하는 제 1 메카니즘을 제공한다.

제 1 버스 길이(41)를 포함하는 다수의 상부 차등 트레이스 쌍(21)은 기판(17)의 상측면(18)위, 및 제 1 커넥터 트레이스 필드(31)와 상부 비아 필드(38)사이에 연장된다. 커넥터(14)와 비아 필드(36)사이의 거리를 횡단하는데 있어서, 제 1 버스 길이(41)는 제 1 경로에서 상측 방향 및 우측 방향으로 구부러진후 제 2 경로에서 수평 방향 및 우측으로 연장되며, 제 3 경로에서 상측 방향 및 다시 우측으로 구부러진다. 동일한 방식으로, 제 2 버스 길이(42)를 구비하는 다수의 하부 차등 트레이스 쌍(26)은 기판의 하측면(19)위 및 제 2 커넥터 트레이스 필드(32)와 하부 비아 필드(38) 사이에 연장된다. 제 2 버스 길이는 제 1 세그먼트에서 상측 방향 및 좌측으로 구부러지며, 그 다음 제 2 세그먼트에서 수평 방향 및 좌측 방향으로 연장되고, 마지막으로 제 3 세그먼트에서 상측 방향 및 다시 좌측 방향으로 구부러진다.

버스의 제 1 및 제 2 길이가 서로간에 위 또는 아래로 교차하는 곳에서 그들은 서로 직교한다(도 1 및 도 9를 참조). 그러한 배향은, 상부 및 하부 트레이스에 의해 생성된 마그네틱 필드들이 서로 직교할 때, 채널간의 크로스토크(cross talk)를 줄여준다. 또한, 이러한 배향은 트레이스에 대한 인접하는 크로스-오버 영역(proximal cross-over area)을 줄여서 상부 및 하부 트레이스간의 용량성 결합을 최소화한다.

또한, 비아 필드의 양측면상에 컨덕터 순서 패턴을 재배열함으로서 크로스토크를 상쇄시킨다. 상부 트레이스 쌍(21)은 AABB의 트레이스 쌍 컨덕터 순서로 구성된다. 패턴 A에 있어서, " 네가티브" 트레이스는 좌측으로 라우팅되고, " 포지티브" 트레이스는 우측으로 라우팅된다. 패턴 B에서는 그 순서가 반대로 된다. 회로 기판(17)의 상측면상에서는, 제 1 쌍(패턴 A)의 포지티브 트레이스와 제 2 쌍(패턴 B)의 네가티브 트레이스간의 스트레이 커패시턴스 및 마그네틱 결합으로 인해 크로스토크가 발생된다. 제 1 트레이스 쌍이 포지티브 신호 전이를 가지면, 제 1 트레이스 쌍(컬프릿 트레이스(culprit trace))의 포지티브 컨덕터는 제 2 트레이스 쌍(빅팀 트레이스(victim trace))의 네가티브 부재에 포지티브 섭동을 주게된다. 패턴 BB로 배열된 제 3 및 제 4 쌍간에도 동일한 작용을 일으킨다.

회로 보드의 하측면상에, 동일한 제 1, 제 2 , 제 3 및 제 4 쌍의 패턴이 ABBA로 재 배열된다. 상술한 동일한 포지티브 신호 전이로 인해 기판의 하측면상의 제 2 트레이스 쌍의 포지티브 부재에 대해 동일한 극성의 동일한 섭동이 발생된다. 제 1 쌍의 포지티브 컨덕터는 여전히 컬프릿 트레이스이지만, 현재 이웃하는 제 2 쌍의 포지티브 트레이스는 새로운 빅팀 트레이스이다. 일단 신호가 제 1 및 제 2 버스 길이를 통해 진행하면, 제 2 쌍의 두 트레이스는 동일한 극성의 동일한 섭동을 전달한다. 그러나, 제 2 쌍에 대한 섭동만이 공통 모드이다. 섭동의 차등 성분을 제거함으로서, 결과적으로

버스에 결합된 장치의 차등 수신기는 섭동에 응답하지 못하게 된다.

크로스토크 상쇄에 대한 제 1 실시예에 있어서, 컬프릿 트레이스 쌍은 회로 기판의 상부 및 하부상에 패턴 A를 유지한다. 빅팀 트레이스 쌍은 컨덕터 순서를 상측면(패턴A)에서 하측면(패턴B)로 변경한다. 차등 섭동 상쇄 과정은, 컬프릿 트레이스 쌍이 패턴을 변경하고 빅팀 트레이스 쌍이 동일한 컨덕터 순서를 유지할때 발생한다. 이러한 상황은 제 2 및 제 3 트레이스 쌍간의 전자기 상호 작용으로 부터 발생된다.

제 2 트레이스 쌍이 포지티브 신호 전이를 가질때, 제 2 트레이스 쌍(컬프릿 트레이스)의 포지티브 컨덕터는 제 3 트레이스 쌍(빅팀 트레이스)의 포지티브 컨덕터에 포지티브 섭동을 제공한다. 기판의 하측면상에 있어서, 제 2 쌍의 네가티브 컨덕터가 새로운 컬프릿 트레이스가 되어 제 3 트레이스 쌍의 동일한 포지티브 빅팀 트레이스상에 네가티브 섭동을 유도한다. 따라서, 버스의 제 2 길이에 대한 균일한 또는 반대의 섭동이 버스의 제 1 길이상에 제공된 초기 섭동을 없앤다. 이 경우에, 섭동은 완전히 소거되며, 차등이 없거나 공통 모드 성분을 남긴다. 이러한 두개의 섭동 상쇄 메카니즘은 버스를 가로지르는 인접하는 트레이스 쌍 사이를 교번한다.

장치(11)에 채용된 크로스토크 상쇄에 대한 메카니즘은 번들형 케이블(bundled cable)내의 트위스트형 와이어 쌍의 크로스 토크를 제거하는 메카니즘과 유사하다. 묶임 케이블에는 인접하는 트위스트 쌍간에 트위스트가 불규칙하게 분산되어 있다. 케이블이 충분히 길 경우에, 트위스트쌍이 다른 것 보다 하나의 극성에서 보다 많은 신호 섭동을 유도할 가능성이 허용 가능한 레벨로 낮아진다. 다시 말해서, 대향하는 트위스트 쌍 부재의 결합된 섭동 전체가 거의 소거된다. 본 발명에 채용된 소거 방법은 트위스트형 와이어 쌍의 번들이 아닌 인쇄 회로 기판상의 트레이스가 회로 컨덕터인 것과는 약간 다른 것이다. 또한, 컨덕터 순서 매김의 선택적인 반전과 결합되는 대칭적 회로 토폴로지로서, 본 명세서에서 보다 유효하게 이용되는 소거 방법에 따르면 인접 장치들간에 연장되는 차등 버스는 정반대되는 트레이스 쌍에 의해 영향을 받는다.

반대로, 종래 기술의 회로 기판 구조는, 크로스토크로 부터의 회로의 면역성을 손상시키지 않고서는, 회로 기판상에 컴퓨터 장치를 배열하는데 있어서 동일한 효율 및 융통성을 제공하지 못한다. 예를들어, 도 2 에는, 종래 기술의 버스 구조(43)가 도시되며, 거기에서는 컴퓨터 장치의 커넥터(44)가 병렬 버스 트레이스(46)위에 직접 탑재되어 그 트레이스(46)에 연결된다. 이것은 버스 트레이스에 똑바로 뻗은 라우팅을 제공하지만, 컴퓨터 장치가 수직 방향으로 배향되는 환경에 사용하기에는 제한을 받는다.

컴퓨터 장치가 수평 방향으로 배향될 경우, 버스 트레이스는 동일한 핀 시퀀스를 유지하기 위해 장치 커넥터 및 그 주변의 곡선 경로를 따라가야 한다. 이러한 종래 기술의 버스 구조(47)는 도 3에 도시된다. 구조(47)에 있어서, 장치 커넥터(48)는 그들이 축이 수평 및 동일 직선상에 정렬되게 탑재된다. 그러나, 적당한 핀 접속 시퀀스를 유지하기 위해, 버스(49)는 180도의 경로 재 배향되어야 하며, 이로 인해 커넥터의 양 측면상에 심각한 량의 회로 기판 공간을 낭비하게 된다. 또한, 그것은 장치 커넥터가 회로 기판의 에지를 따라 탑재되지 못하게 한다.

도 4에, 또 다른 종래 기술의 버스 구조(51)가 도시된다. 구조(51)에 있어서, 병렬 버스(52)는 기판의 하측면상에 배치된다(도시되지 않음). 그러므로, 버스(52)는 절선으로 도시된다. 각 장치 커넥터(53)는 각 스터브(54)에 의해 버스(52)와 상호 접속된다. 구조(51)는 회로 기판의 양측면과 회로 기판을 통과하는 비아들(56)을 이용하여 버스 " 폴드 오버" 를 수행하여, 스터브(54)의 단부와 버스(52)를 연결한다. 그러나, 상술한 바와 같이, 스터브가 부하에서 종결되지 않고, 그들이 버스를 횡단하도록 배향되는 경우, 스터브는 버스에 신호 반사를 생성한다.

가장 기본적인 형태의 장치(11)를 제공하고, 그의 동작적인 특징 및 종래 기술의 버스 구조보다 나은 장점을 설명하기 위해, 장치 및 커넥터를 탑재하고 상호 접속하기 위한 다른 요건에 동일한 원리를 여러개 적용하는 것에 대해 개시한다. 도 11에는 병렬 커넥터(58,59)에 대해 직교하는 방향으로 배향된 비아 필드(57)의 실시예가 도시된다. 커넥터(58,59)는 두개의 컴퓨터 장치, 컴퓨터 장치 및 케이블, 또는 두개의 케이블을 수용한다. 도 1에 도시된 실시예와는 다르게, 커넥터(58,59)는, 그들의 축 오프셋이 회로 기판(17)의 대향하는 상부 및 하부 에지를 따라 병렬로 배열되게 탑재된다. 다수의 트레이스 쌍을 포함하는 차등 버스(61)는 커넥터들(58,59)을 상호 접속시킨다.

비아 필드(57)는 상술한 비아 필드(36)의 구성과 동일하다. 그러나, 커넥터(58,59)의 축에 대한 그의 배향때문에, 비아 필드(57)는 버스(61)내의 각 트레이스 쌍의 중심에 있지 않다. 상부 트레이스 런(top trace run)(62)은 커넥터(59)에서 하부 방향 및 좌측으로 진행하여 비아 필드(57)까지 연장된다. 상부 트레이스 런(62)은 회로 기판(17)의 상측면(18)위에 배치된다. 하부 트레이스 런(63)은 비아 필드(57)에서 하부 방향 및 우측으로 진행하여 커넥터(58)까지 연장된다. 하부 트레이스 런(63)은 회로 기판의 하측면(19)위에 배치된다. 트레이스 쌍의 전체 길이는 동일하지만, 기판의 상측면상의 각 트레이스 쌍의 길이는 기판의 하측면상의 각 길이와 다름을 알아야 한다. 예를들어, 기판 상부위의 짧은 트레이스 쌍(64)은 비아 필드(57)를 통해 기판의 하부상의 긴 트레이스 쌍(66)과 상호 접속된다. 기판 상부의 긴 트레이스 쌍(67)은 비아 필드를 통해 기판 하부의 짧은 트레이스 쌍(68)과 상호 접속된다.

기판의 상측면과 하측면사이의 이러한 상이한 트레이스 쌍의 길이 비율은 커넥터(58,59)에 대한 핀 배치에 따라 달라진다. 이것은 크로스토크 상쇄에 불리하며, 컨덕터 순서 반전을 통해 균일하고 상반되는 섭동을 가져온다. 이것은, 회로 기판상에 그밖의 다른 부품의 유사한 " 밸런싱(balancing)" 상호 접속을 제공함에 의해, 어느 정도 보상된다. 예를들어, 밸런싱 상호 접속 구조에 있어서, 하나의 상호 접속 구조의 상부에서의 트레이스 쌍이 길면 하부에서의 트레이스 쌍은 짧다. 이러한 특징은 실질적인 회로 기판 구조가 설명되는 이하에서 전체적으로 설명된다.

적어도 하나의 커넥터내의 핀들이 서로에 대해 수평방향으로 또는 측방향으로 이동되는 두개 이상의 그룹으로 분리되는 경우, 상호 접속 구조내의 영향에 대한 균형을 유지할려고 하면 보다 복잡해진다. 도 12에는, 장치 커넥터(71)와 케이블 커넥터(72)간의 전형적인 상호 접속 구조가 도시된다. 장치 커넥터(71)가 종래의 연속적인 핀 접속 라인을 가지지만, 케이블 커넥터(72)는 3개 그룹의 핀 접속을 가진다. 커넥터 핀 그룹의 이러한 오프셋 또는 이동 관계 때문에, 특정의 보상 비아 필드(73)가 버스 트레이스 쌍의 길이를 균일하게 하도록 제공된다.

차등 버스(74)는 제 1 상부 트레이스 그룹(76) 및 제 2 상부 트레이스 그룹(77)을 포함한다. 버스(74)는, 도 12의 절선으로 도시된 하부 트레이스 그룹(78)을 포함하며, 그룹(78)은 회로 기판의 하측면(19)을 따라 진행한다. 케이블 커넥터(72)는 제 1 커넥터 필드(79)와, 제 2 커넥터 필드(81) 및 제 3 커넥터 필드(82)를 포함한다. 비아 필드(73)는 상부 필드 그룹(83)과, 중간 필드 그룹(84) 및 하부 필드 그룹(86)을 포함한다. 이러한 필드 그룹들은, 비아(87)에 의해 서로간에 상호 접속되는 회로 기판의 상측면 및 하측면상에 대응하는 트레이스를 가진다. 단순성을 위해, 구조가 동일한 경우에는, 상기에서 아주 상세하게 설명된 이러한 구조에 대해 더이상 설명하지 않겠다.

제 1 트레이스 그룹(76)은 상부 필드 그룹(83)과 제 1 커넥터 필드(79)를 상호 접속시킨다. 제 2 트레이스 그룹(77)은 중간 필드 그룹(84)과 제 2 커넥터 필드(81)를, 그리고 하부 필드 그룹(86)과 제 3 커넥터 필드(82)를 상호 접속

시킨다. 하부 트레이스 필드(78)는 필드(73)의 상부, 중간 및 하부 필드 그룹을 장치 커넥터 필드(88)와 상호 접속시킨다. 커넥터 필드(79,81,82)가 서로에 대해 측방향으로 이동되기 때문에, 필드 그룹(83,84,86)은 대응적으로 그리고 수평 방향으로 오프셋되고, 그에 따라 버스(74)의 트레이스 쌍의 전체 길이가 균일하게 될 것이다. 중간 필드 그룹(84)이 하부 필드 그룹(86)의 인접 트레이스에 대해 약간 수직 방향으로 이동됨으로서, 커넥터 필드들(81,82)간의 약간의 측방향 이동을 보상함을 알아야 한다. 따라서, 비아 필드내의 트레이스 쌍 그룹들의 수평 및 수직 이동은 버스 트레이스 쌍의 전체 길이를 균일하게 하기 위한 또 다른 메카니즘을 제공한다.

도 13을 참조하면, 본 발명의 장치(11)의 실제적인 응용이 도시된다. SCSI 후면 회로 기판(89)은 그의 상부 코너에 있는 제 1 SCSI 케이블 커넥터(9)와, 제 2 SCSI 케이블 커넥터(92)를 포함한다. 디스크 드라이브 커넥터(93,94,95,96)는 기판(89)의 하부 에지를 따라 탑재된다. 좌측 비아 필드(97)는 케이블 커넥터(91)와 디스크 드라이브 커넥터(93) 사이에 제공된다. 중간 비아 필드(98)는 디스크 드라이브 커넥터(93)와 디스크 드라이브 커넥터(94) 사이에 제공된다. 중간 비아 필드(99)는 디스크 드라이브 커넥터(94)와 디스크 드라이브 커넥터(95) 사이에 제공된다. 중간 비아 필드(101)는 디스크 드라이브 커넥터(95)와 디스크 드라이브 커넥터(96) 사이에 제공된다. 우측 비아 필드(102)는 디스크 드라이브 커넥터(96)와 케이블 커넥터(92) 사이에 제공된다.

기판(89)의 상부 좌측 코너부터 시작하여, 트레이스 쌍에 대한 컨덕터 순서 패턴이 차등 버스(103)의 각 세그먼트 링크에 제공됨을 알게 될 것이다. 예를들어, 버스의 제 1 상부 세그먼트에 있어서, 커넥터(91)에서 좌측 비아 필드(97)로, ABBA 컨덕터 순서 패턴이 채용된다. 그 다음, 버스의 제 1 하부 세그먼트에 있어서, 좌측 비아 필드(97)에서 커넥터(93)로, BBAA의 컨덕터 순서 패턴이 이용된다. " 밸런싱" 상호 접속 구조는 커넥터(92)와, 우측 비아 필드(102)와 커넥터(96)를 포함하며, BAAB 및 AABB 컨덕터 순서 패턴을 이용한다. 이러한 특정의 상호 접속의 경우에 대해, 원하는 목적은 각 트레이스 쌍 및 인접하고 이웃하는 쌍들간에 균일하고 반대되는 작용을 성취하기 위한 것이다. 그러나, 이것은 인접하는 트레이스 쌍간에 " 동일 레터" 페어링(pairing)(즉, AA 또는 BB) 및 " 반대되는 레터" 페어링(즉, AB 또는 BA)를 가진 세그먼트 길이가 동일 비율로 유지되는 컨덕터 순서 패턴을 선택함에 의해 이루어진다.

제 1 및 제 2 트레이스 쌍은 기판의 상측면상의 페어링 AB와 함께 라우팅된다. 이것은 짧은 세그먼트이다. 페어링 BA는 " 밸런싱" 구조의 하부층상의 이러한 두개의 쌍을 위해 선택된다. 이것은 긴 세그먼트이다. 이러한 두개의 세그먼트 길이의 합은, 두개의 상호 접속 구조의 이러한 트레이스 쌍에 대한 전체 트레이스 길이의 절반과 동일하다. 균일하고 상반되는 섭동이 좌측 구조의 하부층 및 우측 구조의 상부층상에 생성되며, 그 패턴 쌍은 BB 및 AA이다. 따라서, 그 구조의 양측면에 배치된 장치에 대한 크로스토크가 상쇄된다. 이러한 상호 접속 구조사이에 배치된 장치에 대해 크로스토크가 감소하지만 완전히 상쇄되는 것은 아니다.

종래의 설명과 마찬가지로, 디스크 드라이브(93,94)들간의 상호 접속에 대한 컨덕터 순서 패턴이 AABB에서 ABBA로 변경된다. 유사하게, 디스크 드라이버(94)에 형성된 상호 접속에 대한 컨덕터 순서 패턴은 컨덕터 순서를 ABBA 패턴에서 BBAA 패턴으로 변경한다. 이것은 비아 필드가 동일한 작업을 수행하는 것과 아주 동일한 방식으로 컨덕터 순서 패턴을 변경하는데 이용되는 커넥터 트레이스 필드의 예이다. 비아 필드(99)는 패턴을 BBAA에서 BAAB 패턴으로 변경한다. 컨덕터 순서 패턴 변경은 디스크 드라이브(95)의 커넥터 필드에서 (BAAB에서 AABB로) 다시 발생된다. 이로인해 드라이브(95,96)간의 상호 접속에 대해 AABB에서 ABBA로 복귀된다.

비록 설명된 모든 회로 기판 구성이 마이크로 스트립 고안에 대한것과는 다르지만, 본 발명의 장치(11)는 스트립 라인 회로 기판과 접속하는데 바람직하게 이용될 수 있다. 그러한 스트립 라인 구성(104)은 도 6에 도시된다. 마이크로 스트립 구성은 본래 높은 임피던스를 가지지만, 스트립 라인 구성에서는 트레이스 쌍간의 특성 임피던스가 낮아지게 된다.

스트립 라인 구성은 기판에 매립되는 트레이스 쌍(106,107)을 포함한다. 기판의 외부 표면은 상부 및 하부 그라운드 평판(108,109)을 포함한다. 제 1 프리프레그 유전층(111)은 트레이스 쌍(106)과 그라운드 평판(108) 사이에 제공되고, 제 2 프리프레그 유전층(112)은 트레이스 쌍(107)과 그라운드 평판(109) 사이에 제공된다. 마이크로 스트립 기판에 관한 것과 마찬가지로, 스트립라인(104)의 중앙에 코어(113)가 제공된다.

트레이스 쌍(106,107)이 스트립 라인에 비교적 가까우며, 그들 사이에 그라운드 평판이 없기 때문에, 임의의 응용에 있어서, 스트립라인간에 크로스토크를 최소화하기 위해 그러한 그라운드 평판 또는 추가적인 유전층을 부가하는 것이 바람직하다. 다른 한편, 이러한 수정은, 비아 필드에 인접하는 크로스 오버영역의 트레이스가 서로에대해 항상 직교하여 트레이스 쌍의 층들간에 전자기 결합을 최소화하는 경우에는, 필요치 않다.

발명의 효과

이상 설명한 바와 같이 본 발명은 차등 버스를 사용할 수 있고, 전자 장치를 위한 커넥터 및 기판상에 편리하고 효과적으로 배치될 케이블을 허용하는 회로 기판 구조를 제공하는 효과가 있다.

(57) 청구의 범위

청구항 1.

전자 장치(12, 13)를 지원하고 상호접속하는 장치(11)에 있어서,

a. 상측면 및 하측면을 갖는 회로 기판(17)과,

b. 상기 상측면의 위 또는 그 내부의 제 1 커넥터 트레이스 필드(31)에 접속되는 제 1 다수의 핀을 포함하는 제 1 커넥터(14)와,

c. 상기 하측면의 위 또는 그 내부의 제 2 커넥터 트레이스 필드(32)에 접속되는 제 2 다수의 핀을 포함하는 제 2 커넥터(14)와,

d. 크기 및 구성이 상기 제 1 및 제 2 커넥터 트레이스 필드(31, 32)와 실질적으로 동일한 상부 비아 필드(37) 및 하부 비아 필드(38)를 포함하고 상기 제 1 및 제 2 커넥터 사이의 상기 기판의 위 또는 그 내부에 배치되며 상기 기판을 통과하여 상기 상부 비아 필드와 하부 비아 필드를 상호접속하는 비아 커넥터(39)를 포함하는 비아 트레이스 필드(36)와,

e. 상기 기판의 상기 상측면의 위 또는 그 내부에 위치하며, 상기 제 1 커넥터 필드와 상기 상부 비아 필드를 상호접속하는 다수의 상부 차등 버스 트레이스 쌍(21)과,

f. 상기 기판의 상기 하측면의 위 또는 그 내부에 위치하며, 상기 제 2 커넥터 필드와 상기 하부 비아 필드를 상호접속하는 다수의 하부 차등 버스 트레이스 쌍(26)을 포함하는

전자 장치를 지원하고 상호접속하는 장치.

청구항 2.

제 1 항에 있어서,

상기 상부 및 하부 비아 필드(37, 38)는 트레이스 쌍을 포함하고, 상기 트레이스 쌍 중 적어도 하나에 균일하지 않은 기복이 제공되어, 상기 하나의 트레이스 쌍의 전체 길이와 다른 상기 트레이스 쌍의 전체 길이 사이에 균일성을 제공하는 전자 장치를 지원하고 상호접속하는 장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 및 제 2 커넥터(14, 16)는 동일 직선상의 길이 방향 축을 갖고, 상기 비아 필드(36)는 상기 커넥터의 상기 길이 방향 축에 대해 평행하게 이격되어 있는 길이 방향 축을 갖는 전자 장치를 지원하고 상호접속하는 장치.

청구항 4.

제 3 항에 있어서,

상기 비아 필드(36)는 상기 제 1 및 제 2 커넥터(14, 16) 사이의 중간에 위치되는 전자 장치를 지원하고 상호접속하는 장치.

청구항 5.

제 1 항에 있어서,

상기 제 1 및 제 2 커넥터(71, 72)는 평행하게 이격되어 있는 길이 방향 축을 갖고, 상기 비아 필드(73)는 상기 커넥터의 상기 길이 방향 축에 대해 직교하는 길이 방향 축을 갖는 전자 장치를 지원하고 상호접속하는 장치.

청구항 6.

제 5 항에 있어서,

상기 커넥터들 중 하나는 서로에 대해 측방향으로 배치되는 커넥터 필드(79, 81, 82)의 그룹을 갖고, 상기 비아 필드는 상기 커넥터 필드의 상기 측방향 배치에 의해 영향을 받는 상기 상부 및 하부 차등 트레이스 쌍의 차(differences) 길이를 보상하도록 서로에 대해 오프셋되는 비아 필드 그룹(83, 84, 86)을 갖는 전자 장치를 지원하고 상호접속하는 장치.

청구항 7.

제 1 항에 있어서,

상기 상부 비아 필드(37) 및 상기 하부 비아 필드(38)는 상기 상부 및 하부 차등 트레이스 쌍 중 선택된 것들 사이의 컨덕터 순서 패턴 반전을 포함하는 전자 장치를 지원하고 상호접속하는 장치.

청구항 8.

제 7 항에 있어서,

상기 컨덕터 순서 반전은 반복 패턴에서 선택적으로 형성되어, 상기 상부와 하부 트레이스 쌍 사이의 크로스토크를 상쇄시키는 전자 장치를 지원하고 상호접속하는 장치.

청구항 9.

전자 장치(12, 13)를 지원하고 상호접속하는 장치(11)에 있어서,

a. 상측면 및 하측면을 갖는 회로 기판(17)과,

b. 상기 상측면의 위 또는 그 내부의 제 1 커넥터 트레이스 필드(31)에 접속되는 제 1 다수의 핀을 포함하는 제 1 커넥터(14)와,

c. 상기 하측면의 위 또는 그 내부의 제 2 커넥터 트레이스 필드(32)에 접속되는 제 2 다수의 핀을 포함하는 제 2 커넥터(14)와,

d. 상기 제 1 커넥터 트레이스 필드와 상기 제 2 커넥터 트레이스 필드를 상호접속하는 차등 트레이스 수단(21, 26)—상기 차등 트레이스 수단은 크기 및 구성이 상기 제 1 및 제 2 커넥터 트레이스 필드(31, 32)와 실질적으로 동일한 상부 비아 필드(37) 및 하부 비아 필드(38)를 포함하고 상기 제 1 및 제 2 커넥터 사이의 상기 기판(17)의 위 또는 그 내부에 위치되며 상기 기판을 통과하여 상기 상부 비아 필드와 하부 비아 필드를 상호접속하는 비아 커넥터(39)를 포함하는 비아 트레이스 필드(36)를 포함함—을 포함하는

전자 장치를 지원하고 상호접속하는 장치.

청구항 10.

전자 장치(12, 13)를 지원하고 상호접속하는 장치(11)에 있어서,

a. 상측면 및 하측면을 갖는 회로 기판(17)과,

b. 상기 상측면의 위 또는 그 내부의 제 1 커넥터 트레이스 필드(31)에 접속되는 제 1 다수의 핀을 포함하는 제 1 커넥터(14)와,

c. 상기 하측면의 위 또는 그 내부의 제 2 커넥터 트레이스 필드(32)에 접속되는 제 2 다수의 핀을 포함하는 제 2 커넥터(14)와,

d. 크기 및 구성이 상기 제 1 및 제 2 커넥터 트레이스 필드(31, 32)와 실질적으로 동일한 상부 비아 필드(37) 및 하부 비아 필드(38)를 포함하고 상기 제 1 및 제 2 커넥터(14, 16) 사이의 상기 기판의 위 또는 그 내부에 위치되며 상기 기판의 적어도 일부분을 통과하여 상기 상부 비아 필드와 하부 비아 필드를 상호접속하는 비아 커넥터(39)를 포함하는 비아 트레이스 필드(36)와,

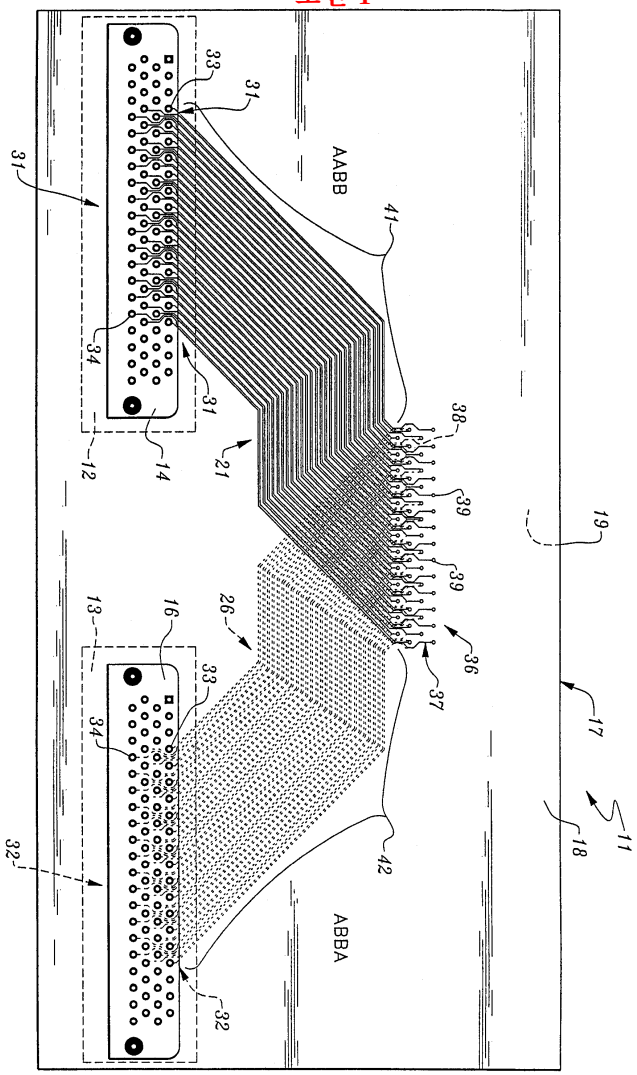
e. 상기 기판의 상기 상측면 내에 위치하며, 상기 제 1 커넥터 필드(31)와 상기 상부 비아 필드(37)를 상호접속하는 다수의 상부 차등 버스 트레이스 쌍(106)과,

f. 상기 기판의 상기 하측면 내에 위치하며, 상기 제 2 커넥터 필드(32)와 상기 하부 비아 필드(38)를 상호접속하는 다수의 하부 차등 버스 트레이스 쌍(107)을 포함하는

전자 장치를 지원하고 상호접속하는 장치.

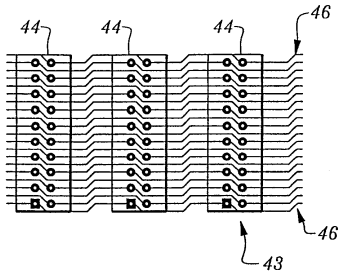
도면

도면 1

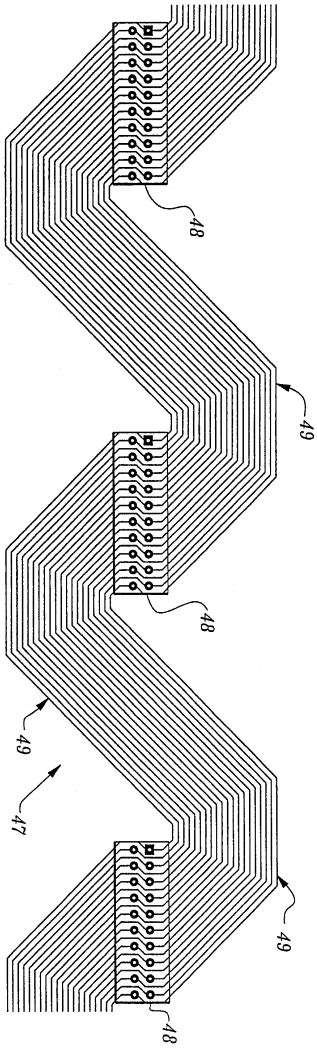


도면 2

(종래기술)



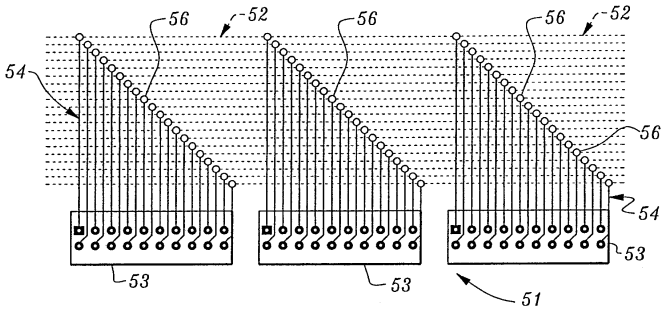
도면 3



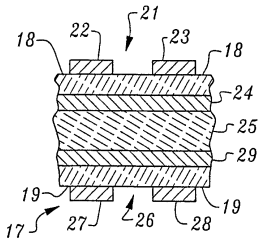
(종래기술)

도면 4

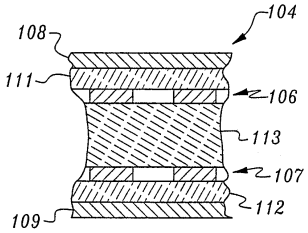
(종래기술)



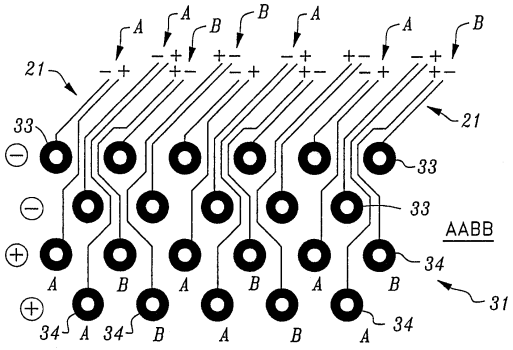
도면 5



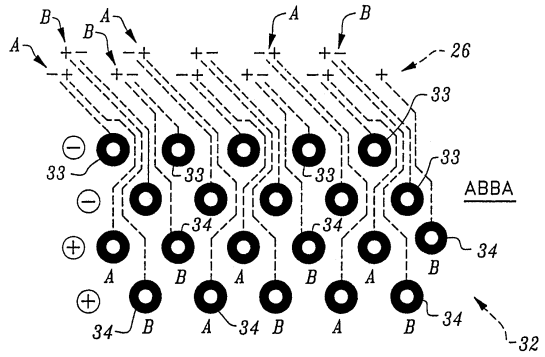
도면 6



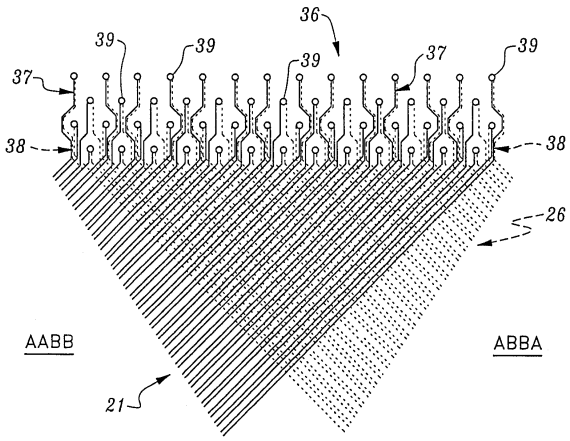
도면 7



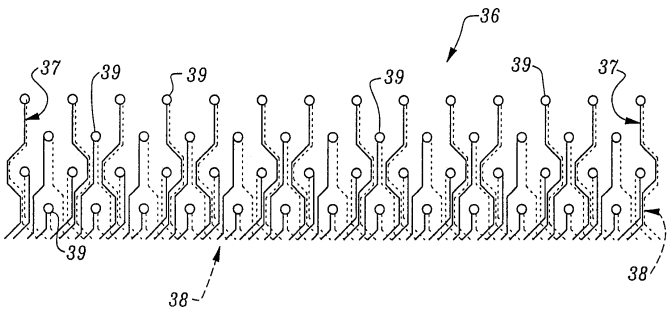
도면 8



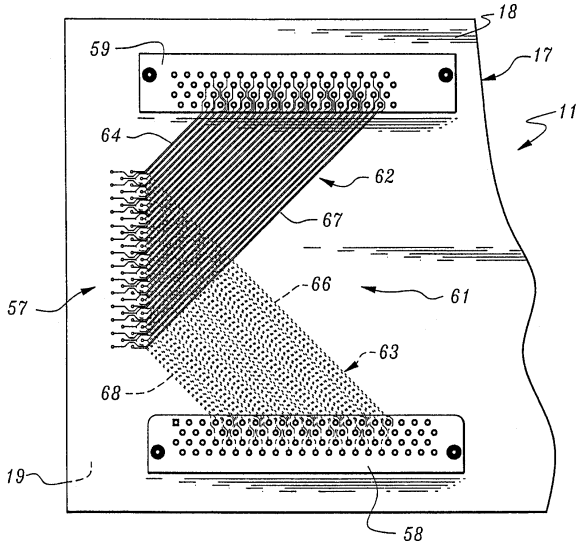
도면 9



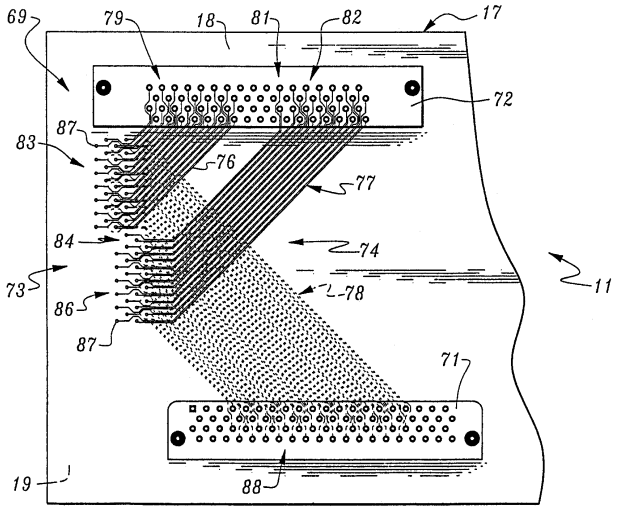
도면 10



도면 11



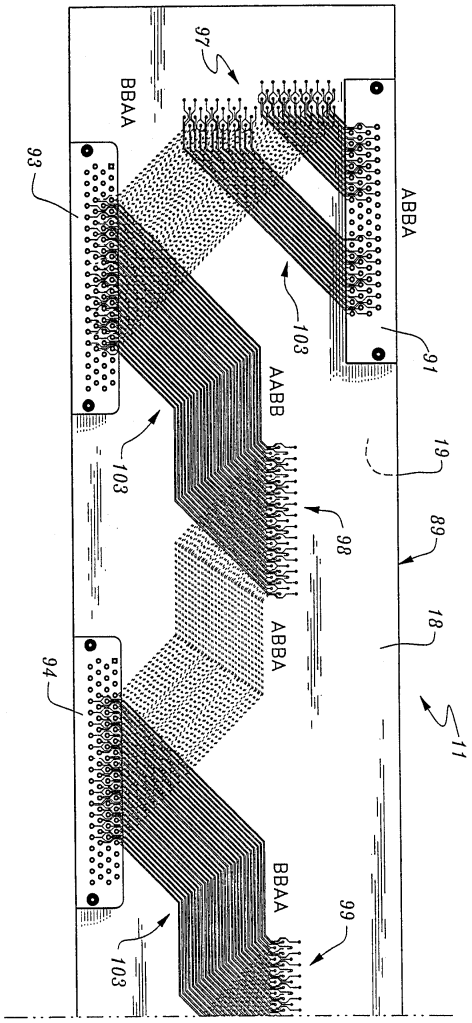
도면 12



도면 13

도 13a
도 13b

도면 13a



도면 13b

