

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 29 日 (29.06.2017)



(10) 国际公布号
WO 2017/107285 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G02F 1/13 (2006.01)
- (21) 国际申请号: PCT/CN2016/072426
- (22) 国际申请日: 2016 年 1 月 28 日 (28.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510989189.6 2015 年 12 月 22 日 (22.12.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 颜尧 (YAN, Yao); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

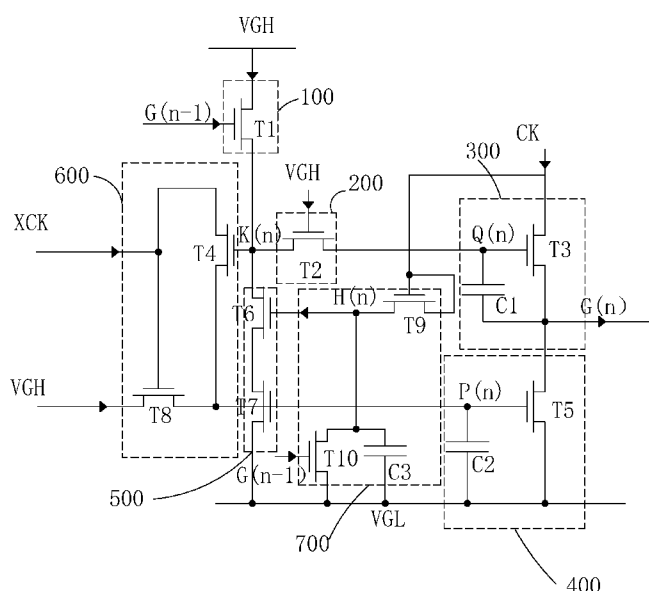
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GOA CIRCUIT FOR NARROW-BEZEL LIQUID CRYSTAL DISPLAY PANEL

(54) 发明名称: 用于窄边框液晶显示面板的 GOA 电路



(57) Abstract: A GOA circuit for a narrow-bezel liquid crystal display panel, which is additionally provided with a first-node leakage protection unit (700) consisting of a ninth thin film transistor (T9), a tenth thin film transistor (T10), and a third capacitor (C3). The gate and the source of the ninth thin film transistor (T9) are both electrically connected to an output clock signal (CK) to form a diode structure; the third capacitor (C3) and a fourth node (H(n)) are charged to a high potential during an output period, the tenth thin film transistor (T10) clears the fourth node (H(n)) during a stage-by-stage signal transmission period, such that normal charging of a first node (Q(n)) is ensured. The GOA circuit is applicable to a two-sided driven progressive scanning structure and also applicable to a two-sided driven interlaced scanning structure, wherein when the GOA circuit is applied to the two-sided driven interlaced scanning structure, leakage of the first node can be prevented, stable work of the circuit can be ensured, reliability of the GOA circuit can be greatly improved, and the design of a narrow-bezel display panel can be easily implemented because only two clock signals are provided on each side.

(57) 摘要:

[见续页]

图6



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种用于窄边框液晶显示面板的 GOA 电路, 增设了由第九薄膜晶体管(T9)、第十薄膜晶体管(T10)、及第三电容(C3)构成的第一节点漏电防护单元(700); 第九薄膜晶体管(T9)栅极与源极均与输出时钟信号(CK)电性连接, 形成二极管结构, 在输出期间将第三电容(C3)及第四节点(H(n))充电至高电位, 第十薄膜晶体管(T10)在信号级传期间对第四节点(H(n))进行清零处理, 保证第一节点(Q(n))的正常充电; 该 GOA 电路既适用于双边驱动逐行扫描架构, 又适用于双边驱动隔行扫描架构, 在应用于双边驱动隔行扫描架构时, 能够防止第一节点漏电, 保证电路稳定工作, 大幅提高 GOA 电路的可靠性, 且每一边均只设置两条时钟信号, 有利于窄边框显示面板的设计。

用于窄边框液晶显示面板的 GOA 电路

技术领域

5 本发明涉及显示技术领域，尤其涉及一种用于窄边框液晶显示面板的 GOA 电路。

背景技术

液晶显示器 (Liquid Crystal Display, LCD) 具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。如：液晶电视、移动电话、个人数字
10 助理 (PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

GOA 技术 (Gate Driver on Array) 即阵列基板行驱动技术，是运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接集成电路板 ((Integrated Circuit, IC) 来完成水平
15 扫描线的驱动。GOA 技术能减少外接 IC 的焊接 (bonding) 工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

随着低温多晶硅 (Low Temperature Poly-silicon, LTPS) 半导体薄膜晶体管的发展，LTPS-TFT 液晶显示器也越来越受关注，LTPS-TFT 液晶显示
20 器具有高分辨率、反应速度快、高亮度、高开口率等优点。由于低温多晶硅较非晶硅 (a-Si) 的排列有次序，低温多晶硅半导体本身具有超高的电子迁移率，比非晶硅半导体相对高 100 倍以上，可以采用 GOA 技术将栅极驱动器制作在薄膜晶体管阵列基板上，达到系统整合的目标、节省空间及驱动 IC 的成本。

25 请参阅图 1，现有的一种常见的 GOA 电路包括：级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元 100、稳压单元 200、控制输出单元 300、下拉维持单元 400、下拉单元 500、及第二节点控制单元 600，设 n 为正整数，除第一级 GOA 单元外，在第 n 级 GOA 单元中：

30 所述控制输入单元 100 包括：第一薄膜晶体管 T1，所述第一薄膜晶体管 T1 的栅极电性连接于控制时钟信号 XCK，源极电性连接于上一级第 $n-1$ 级 GOA 单元的输出端 $G(n-1)$ ，漏极电性连接于第三节点 $K(n)$ ；

所述稳压单元 200 包括：第二薄膜晶体管 T2，所述第二薄膜晶体管 T2 的栅极电性连接恒压高电位 VGH，源极电性连接于第三节点 $K(n)$ ，漏极电

性连接于第一节点 Q(n);

所述控制输出单元 300 包括: 第三薄膜晶体管 T3, 所述第三薄膜晶体管 T3 的栅极电性连接于第一节点 Q(n), 源极电性连接于输出时钟信号 CK, 漏极电性连接于输出端 G(n); 以及第一电容 C1, 所述第一电容 C1 的一端电性连接于第一节点 Q(n), 另一端电性连接于输出端 G(n);

所述下拉维持单元 400 包括: 第五薄膜晶体管 T5, 所述第五薄膜晶体管 T5 的栅极电性连接于第二节点 P(n), 源极电性连接于输出端 G(n), 漏极电性连接于恒压低电位 VGL; 以及第二电容 C2, 所述第二电容 C2 的一端电性连接于第二节点 P(n), 另一端电性连接于恒压低电位 VGL;

所述下拉单元 500 包括: 第六薄膜晶体管 T6, 所述第六薄膜晶体管 T6 的栅极电性连接于输出时钟信号 CK, 源极电性连接于第三节点 K(n), 漏极电性连接于第七薄膜晶体管 T7 的源极; 以及第七薄膜晶体管 T7, 所述第七薄膜晶体管 T7 的栅极电性连接于第二节点 P(n), 漏极电性连接于恒压低电位 VGL;

所述第二节点控制单元 600 包括: 第四薄膜晶体管 T4, 所述第四薄膜晶体管 T4 的栅极电性连接于第三节点 K(n), 源极电性连接于控制时钟信号 XCK, 漏极电性连接于第二节点 P(n); 以及第八薄膜晶体管 T8, 所述第八薄膜晶体管 T8 的栅极电性连接于控制时钟信号 XCK, 源极电性连接于恒压高电位 VGH, 漏极电性连接于第二节点 P(n)。

图 2 所示为双边驱动逐行扫描的 GOA 电路的架构示意图, 在显示面板左、右两边分别设置一 GOA 电路, 每一 GOA 电路均包括第一级至最后一级 GOA 单元, 两边的 GOA 电路的时序相同, 每一边的各级 GOA 电路均接入第一时钟信号 CK(1)和第二时钟信号 CK(2)分别轮流作为控制时钟信号 XCK 和输出时钟信号 CK, 每一边的 GOA 电路均按照像素排列顺序逐行扫描, 两边同级的 GOA 单元共同作用于同一行像素的驱动。请参阅图 3, 图 1 所示的 GOA 电路进行双边驱动逐行扫描时, 各级 GOA 单元内的第一节点 Q(n)、第二节点 P(n)、输出端 G(n)的波形都是稳定的, 因此图 1 所示的 GOA 电路能够在双边驱动逐行扫描架构下稳定工作。

图 4 所示为双边驱动隔行扫描的 GOA 电路的架构示意图, 在显示面板左、右两边分别设置一 GOA 电路, 一边的 GOA 电路仅包括奇数级 GOA 单元, 另一边的 GOA 电路仅包括偶数级 GOA 单元。两边 GOA 电路的时序不同, 其中一边的各级 GOA 电路接入第一时钟信号 CK(1)和第三时钟信号 CK(3) 分别轮流作为控制时钟信号 XCK 和输出时钟信号 CK, 对奇数行像素进行逐行扫描; 另一边的各级 GOA 电路接入第二时钟信号 CK(2)和第

三时钟信号 CK(4) 分别轮流作为控制时钟信号 XCK 和输出时钟信号 CK, 对偶数行像素进行逐行扫描。请参阅图 5, 图 1 所示的 GOA 电路进行双边驱动隔行扫描时, 电路中存在很多不稳定的因素, 这是因为每一边的两条时钟信号不连续, 而该现有的 GOA 电路中也没有设置任何对第一节点 Q(n) 进行漏电防护的设计。第一节点 Q(n) 出现漏电会造成 GOA 电路失效的问题, 且在输出端 G(n) 输出完成后存在控制时钟信号 XCK 与输出时钟信号 CK 同时为低电位的盲区, 也会导致 GOA 电路不稳定, 严重时可能造成 GOA 电路失效。因此, 图 1 所示的现有的 GOA 电路在双边驱动隔行扫描架构下不能稳定工作, 需进行改进。

发明内容

本发明的目的在于提供一种用于窄边框液晶显示面板的 GOA 电路, 既适用于双边驱动逐行扫描架构, 又适用于双边驱动隔行扫描架构, 在应用于双边驱动隔行扫描架构时, 能够防止第一节点漏电, 保证电路稳定工作, 大幅提高 GOA 电路的可靠性。

为实现上述目的, 本发明提供了一种用于窄边框液晶显示面板的 GOA 电路, 包括: 级联的多级 GOA 单元, 每一级 GOA 单元均包括: 控制输入单元、稳压单元、控制输出单元、下拉维持单元、下拉单元、第二节点控制单元、及第一节点漏电防护单元;

设 n 为正整数, 在第 n 级 GOA 单元中:

所述控制输入单元包括: 第一薄膜晶体管, 所述第一薄膜晶体管的栅极电性连接于级传信号, 源极电性连接于第一恒压电位, 漏极电性连接于第三节点;

所述稳压单元包括: 第二薄膜晶体管, 所述第二薄膜晶体管的栅极电性连接于第一恒压电位, 源极电性连接于第三节点, 漏极电性连接于第一节点;

所述控制输出单元包括: 第三薄膜晶体管, 所述第三薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于输出时钟信号, 漏极电性连接于输出端; 以及第一电容, 所述第一电容的一端电性连接于第一节点, 另一端电性连接于输出端;

所述下拉维持单元包括: 第五薄膜晶体管, 所述第五薄膜晶体管的栅极电性连接于第二节点, 源极电性连接于输出端, 漏极电性连接于第二恒压电位; 以及第二电容, 所述第二电容的一端电性连接于第二节点, 另一端电性连接于第二恒压电位;

所述下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第三节点，漏极电性连接于第七薄膜晶体管的源极；以及第七薄膜晶体管，所述第七薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第二恒压电位；

5 所述第二节点控制单元包括：第四薄膜晶体管，所述第四薄膜晶体管的栅极电性连接于第三节点，源极电性连接于控制时钟信号，漏极电性连接于第二节点；以及第八薄膜晶体管，所述第八薄膜晶体管的栅极电性连接于控制时钟信号，源极电性连接于第一恒压电位，漏极电性连接于第二节点；

10 所述第一节点漏电防护单元包括：第九薄膜晶体管，所述第九薄膜晶体管的栅极与源极均电性连接于输出时钟信号，漏极电性连接于第四节点；第十薄膜晶体管，所述第十薄膜晶体管的栅极电性连接于级传信号，源极电性连接于第四节点，漏极电性连接于第二恒压电位；以及第三电容，所述第三电容的一端电性连接于第四节点，漏极电性连接于第二恒压电位。

15 可选的，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压高电位，第二恒压电位为恒压低电位。

可选的，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压低电位，第二恒压电位为恒压高电位。

20 所述用于窄边框液晶显示面板的 GOA 电路可应用于双边驱动逐行扫描架构的显示面板，显示面板左、右两边分别设置一 GOA 电路，每一边的 GOA 电路均包括第一级至最后一级 GOA 单元；每一边的各级 GOA 单元均接入两条时钟信号：第一条时钟信号和第二条时钟信号，所述第一条时钟信号和第二条时钟信号的相位相反。

25 在各级 GOA 单元中，所述第一条时钟信号和第二条时钟信号分别轮流作为输出时钟信号和控制时钟信号。

除第一级 GOA 单元外，第 n 级 GOA 单元的级传信号为上一级第 $n-1$ 级 GOA 单元的输出信号；

第一级 GOA 单元的级传信号为电路起始信号。

30 所述用于窄边框液晶显示面板的 GOA 电路还可应用于双边驱动隔行扫描架构的显示面板，显示面板左、右两边分别设置一 GOA 电路，一边的 GOA 电路仅包括奇数级 GOA 单元，另一边的 GOA 电路仅包括偶数级 GOA 单元；

其中一边 GOA 电路的各级 GOA 单元均接入两条时钟信号：第一条时钟信号和第三条时钟信号；

另一边 GOA 电路的各级 GOA 单元均接入另两条时钟信号，第二条时钟信号和第四条时钟信号。

所述第一、第二、第三、及第四条时钟信号的脉冲周期相同，所述第一条时钟信号的下降沿与第二条时钟信号的上升沿同时产生，所述第二条时钟信号的下降沿与第三条时钟信号的上升沿同时产生，所述第三条时钟信号的下降沿与第四条时钟信号的上升沿同时产生，所述第四条时钟信号的下降沿与第一条时钟信号的上升沿同时产生。

在一边 GOA 电路的各级 GOA 单元中，所述第一条时钟信号和第三条时钟信号分别轮流作为输出时钟信号和控制时钟信号；在另一边 GOA 电路的各级 GOA 单元中，所述第二条时钟信号和第四条时钟信号分别轮流作为输出时钟信号和控制时钟信号。

除第一级和第二级 GOA 单元外，第 n 级 GOA 单元的级传信号为上两级第 $n-2$ 级 GOA 单元的输出信号；

第一级和第二级 GOA 单元的级传信号均为电路起始信号。

本发明还提供一种用于窄边框液晶显示面板的 GOA 电路，包括：级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元、稳压单元、控制输出单元、下拉维持单元、下拉单元、第二节点控制单元、及第一节点漏电防护单元；

设 n 为正整数，在第 n 级 GOA 单元中：

所述控制输入单元包括：第一薄膜晶体管，所述第一薄膜晶体管的栅极电性连接于级传信号，源极电性连接于第一恒压电位，漏极电性连接于第三节点；

所述稳压单元包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于第一恒压电位，源极电性连接于第三节点，漏极电性连接于第一节点；

所述控制输出单元包括：第三薄膜晶体管，所述第三薄膜晶体管的栅极电性连接于第一节点，源极电性连接于输出时钟信号，漏极电性连接于输出端；以及第一电容，所述第一电容的一端电性连接于第一节点，另一端电性连接于输出端；

所述下拉维持单元包括：第五薄膜晶体管，所述第五薄膜晶体管的栅极电性连接于第二节点，源极电性连接于输出端，漏极电性连接于第二恒压电位；以及第二电容，所述第二电容的一端电性连接于第二节点，另一端电性连接于第二恒压电位；

所述下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的栅极电

性连接于第四节点，源极电性连接于第三节点，漏极电性连接于第七薄膜晶体管的源极；以及第七薄膜晶体管，所述第七薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第二恒压电位；

所述第二节点控制单元包括：第四薄膜晶体管，所述第四薄膜晶体管的栅极电性连接于第三节点，源极电性连接于控制时钟信号，漏极电性连接于第二节点；以及第八薄膜晶体管，所述第八薄膜晶体管的栅极电性连接于控制时钟信号，源极电性连接于第一恒压电位，漏极电性连接于第二节点；

所述第一节点漏电防护单元包括：第九薄膜晶体管，所述第九薄膜晶体管的栅极与源极均电性连接于输出时钟信号，漏极电性连接于第四节点；第十薄膜晶体管，所述第十薄膜晶体管的栅极电性连接于级传信号，源极电性连接于第四节点，漏极电性连接于第二恒压电位；以及第三电容，所述第三电容的一端电性连接于第四节点，漏极电性连接于第二恒压电位；

其中，应用于双边驱动逐行扫描架构的显示面板，显示面板左、右边分别设置一 GOA 电路，每一边的 GOA 电路均包括第一级至最后一级 GOA 单元；每一边的各级 GOA 单元均接入两条时钟信号：第一条时钟信号和第二条时钟信号，所述第一条时钟信号和第二条时钟信号的相位相反；

其中，在各级 GOA 单元中，所述第一条时钟信号和第二条时钟信号分别轮流作为输出时钟信号和控制时钟信号；

其中，除第一级 GOA 单元外，第 n 级 GOA 单元的级传信号为上一级第 n-1 级 GOA 单元的输出信号；

第一级 GOA 单元的级传信号为电路起始信号。

本发明的有益效果：本发明提供的一种用于窄边框液晶显示面板的 GOA 电路，增设了由第九薄膜晶体管、第十薄膜晶体管、及第三电容构成的第一节点漏电防护单元，其中第九薄膜晶体管的栅极与源极均与输出时钟信号电性连接，形成二极管结构，在输出期间将第三电容及第四节点充电至高电位，第十薄膜晶体管在信号级传期间对第四节点进行清零处理，保证第一节点的正常充电，该 GOA 电路既适用于双边驱动逐行扫描架构，又适用于双边驱动隔行扫描架构，在应用于双边驱动隔行扫描架构时，能够防止第一节点漏电，保证电路稳定工作，大幅提高 GOA 电路的可靠性，且每一边均只设置两条时钟信号，有利于窄边框显示面板的设计。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本

发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的一种常见的 GOA 电路的电路示意图；

5 图 2 为现有的双边驱动逐行扫描的 GOA 电路的架构示意图；

图 3 为图 1 所示 GOA 电路应用于图 2 所示架构时的时序图；

图 4 为现有的双边驱动隔行扫描的 GOA 电路的架构示意图；

图 5 为图 1 所示 GOA 电路应用于图 4 所示架构时的时序图；

10 图 6 为本发明的用于窄边框液晶显示面板的 GOA 电路的第一实施例的电路图；

图 7 为本发明的用于窄边框液晶显示面板的 GOA 电路的第二实施例的电路图；

图 8 为本发明的用于窄边框液晶显示面板的 GOA 电路的第三实施例的电路图；

15 图 9 为本发明的用于窄边框液晶显示面板的 GOA 电路的第四实施例的电路图；

图 10 为本发明的用于窄边框液晶显示面板的 GOA 电路的第一和第三实施例中第一级 GOA 单元的电路图；

20 图 11 为本发明的用于窄边框液晶显示面板的 GOA 电路的第二和第四实施例中第一级 GOA 单元的电路图；

图 12 为本发明的用于窄边框液晶显示面板的 GOA 电路的第三实施例中第二级 GOA 单元的电路图；

图 13 为本发明的用于窄边框液晶显示面板的 GOA 电路的第四实施例中第二级 GOA 单元的电路图；

25 图 14 为本发明的用于窄边框液晶显示面板的 GOA 电路的第一实施例应用于图 2 所示双边驱动逐行扫描架构的时序图；

图 15 为本发明的用于窄边框液晶显示面板的 GOA 电路的第三实施例应用于图 4 所示双边驱动隔行扫描架构的时序图。

30 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 6、图 7、图 8、或图 9，本发明提供一种用于窄边框液晶显示面板的 GOA 电路，包括：级联的多级 GOA 单元，每一级 GOA 单元均

包括：控制输入单元 100、稳压单元 200、控制输出单元 300、下拉维持单元 400、下拉单元 500、第二节点控制单元 600、及第一节点漏电防护单元 700。

设 n 为正整数，在第 n 级 GOA 单元中：

5 所述控制输入单元 100 包括：第一薄膜晶体管 T1，所述第一薄膜晶体管 T1 的栅极电性连接于级传信号，源极电性连接于第一恒压电位，漏极电性连接于第三节点 $K(n)$ ；

10 所述稳压单元 200 包括：第二薄膜晶体管 T2，所述第二薄膜晶体管 T2 的栅极电性连接于第一恒压电位，源极电性连接于第三节点 $K(n)$ ，漏极电性连接于第一节点 $Q(n)$ ；

所述控制输出单元 300 包括：第三薄膜晶体管 T3，所述第三薄膜晶体管 T3 的栅极电性连接于第一节点 $Q(n)$ ，源极电性连接于输出时钟信号 CK，漏极电性连接于输出端 $G(n)$ ；以及第一电容 C1，所述第一电容 C1 的一端电性连接于第一节点 $Q(n)$ ，另一端电性连接于输出端 $G(n)$ ；

15 所述下拉维持单元 400 包括：第五薄膜晶体管 T5，所述第五薄膜晶体管 T5 的栅极电性连接于第二节点 $P(n)$ ，源极电性连接于输出端 $G(n)$ ，漏极电性连接于第二恒压电位；以及第二电容 C2，所述第二电容 C2 的一端电性连接于第二节点 $P(n)$ ，另一端电性连接于第二恒压电位；

20 所述下拉单元 500 包括：第六薄膜晶体管 T6，所述第六薄膜晶体管 T6 的栅极电性连接于第四节点 $H(n)$ ，源极电性连接于第三节点 $K(n)$ ，漏极电性连接于第七薄膜晶体管 T7 的源极；以及第七薄膜晶体管 T7，所述第七薄膜晶体管 T7 的栅极电性连接于第二节点 $P(n)$ ，漏极电性连接于第二恒压电位；

所述第二节点控制单元 600 包括：

25 第四薄膜晶体管 T4，所述第四薄膜晶体管 T4 的栅极电性连接于第三节点 $K(n)$ ，源极电性连接于控制时钟信号 XCK，漏极电性连接于第二节点 $P(n)$ ；以及第八薄膜晶体管 T8，所述第八薄膜晶体管 T8 的栅极电性连接于控制时钟信号 XCK，源极电性连接于第一恒压电位，漏极电性连接于第二节点 $P(n)$ ；

30 所述第一节点漏电防护单元 700 包括：第九薄膜晶体管 T9，所述第九薄膜晶体管 T9 的栅极与源极均电性连接于输出时钟信号 CK，漏极电性连接于第四节点 $H(n)$ ；第十薄膜晶体管 T10，所述第十薄膜晶体管 T10 的栅极电性连接于级传信号，源极电性连接于第四节点 $H(n)$ ，漏极电性连接于第二恒压电位；以及第三电容 C3，所述第三电容 C3 的一端电性连接于第

四节点 $H(n)$ ，漏极电性连接于第二恒压电位。

具体地，在图 6 所示的本发明的用于窄边框液晶显示面板的 GOA 电路的第一实施例中，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压高电位 V_{GH} ，第二恒压电位为恒压低电位 V_{GL} ；除第一级 GOA 单元外，第 n 级 GOA 单元的级传信号为上一级第 $n-1$ 级 GOA 单元的输出信号 $G(n-1)$ ，特别地，如图 10 所示，第一级 GOA 单元的级传信号为电路起始信号 STV 。

在图 7 所示的本发明的用于窄边框液晶显示面板的 GOA 电路的第二实施例中，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压低电位 V_{GL} ，第二恒压电位为恒压高电位 V_{GH} ；除第一级 GOA 单元外，第 n 级 GOA 单元的级传信号为上一级第 $n-1$ 级 GOA 单元的输出信号 $G(n-1)$ ，特别地，如图 11 所示，第一级 GOA 单元的级传信号为电路起始信号 STV 。

所述第一与第二实施例适用于如图 2 所示的应用于双边驱动逐行扫描架构的显示面板，即显示面板左、右两边分别设置一 GOA 电路，每一边的 GOA 电路均包括第一级至最后一级 GOA 单元；每一边的各级 GOA 单元均接入两条时钟信号：第一条时钟信号 $CK(1)$ 和第二条时钟信号 $CK(2)$ ，所述第一条时钟信号 $CK(1)$ 和第二条时钟信号 $CK(2)$ 的相位相反。在各级 GOA 单元中，所述第一条时钟信号 $CK(1)$ 和第二条时钟信号 $CK(2)$ 分别轮流作为输出时钟信号 CK 和控制时钟信号 XCK 。

在图 8 所示的本发明的用于窄边框液晶显示面板的 GOA 电路的第三实施例中，各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压高电位 V_{GH} ，第二恒压电位为恒压低电位 V_{GL} ；除第一级和第二级 GOA 单元外，第 n 级 GOA 单元的级传信号为上两级第 $n-2$ 级 GOA 单元的输出信号 $G(n-2)$ ，特别地，如图 10、图 12 所示，第一级和第二级 GOA 单元的级传信号均为电路起始信号 STV 。

在图 9 所示的本发明的用于窄边框液晶显示面板的 GOA 电路的第四实施例中，各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管；所述第一恒压电位为恒压低电位 V_{GL} ，第二恒压电位为恒压高电位 V_{GH} ；除第一级和第二级 GOA 单元外，第 n 级 GOA 单元的级传信号为上两级第 $n-2$ 级 GOA 单元的输出信号 $G(n-2)$ ，特别地，如图 11、图 13 所示，第一级和第二级 GOA 单元的级传信号均为电路起始信号 STV 。

所述第三与第四实施例适用于如图 4 所示的双边驱动隔行扫描架构的显示面板，即显示面板左、右两边分别设置一 GOA 电路，一边的 GOA 电

路仅包括奇数级 GOA 单元, 用于对奇数行像素进行扫描, 另一边的 GOA 电路仅包括偶数级 GOA 单元, 用于对偶数行像素进行扫描。其中一边 GOA 电路的各级 GOA 单元均接入两条时钟信号: 第一条时钟信号 CK(1)和第三条时钟信号 CK(3); 另一边 GOA 电路的各级 GOA 单元均接入另两条时钟信号: 第二条时钟信号 CK(2)和第四条时钟信号 CK(4)。进一步的, 所述第一、第二、第三、及第四条时钟信号 CK(1)、CK(2)、CK(3)、CK(4)的脉冲周期相同, 所述第一条时钟信号 CK(1)的下降沿与第二条时钟信号 CK(2)的上升沿同时产生, 所述第二条时钟信号 CK(2)的下降沿与第三条时钟信号 CK(3)的上升沿同时产生, 所述第三条时钟信号 CK(3)的下降沿与第四条时钟信号 CK(4)的上升沿同时产生, 所述第四条时钟信号 CK(4)的下降沿与第一条时钟信号 CK(1)的上升沿同时产生。在一边 GOA 电路的各级 GOA 单元中, 所述第一条时钟信号 CK(1)和第三条时钟信号 CK(3)分别轮流作为输出时钟信号 CK 和控制时钟信号 XCK; 在另一边 GOA 电路的各级 GOA 单元中, 所述第二条时钟信号 CK(2)和第四条时钟信号 CK(4)分别轮流作为输出时钟信号 CK 和控制时钟信号 XCK。

请同时参阅图 6 与图 14, 并结合图 2, 本发明的用于窄边框液晶显示面板的 GOA 电路的第一实施例的具体工作过程为:

首先, 控制时钟信号 XCK 及第 $n-1$ 级 GOA 单元的输出信号 $G(n-1)$ 提供高电位, 第一薄膜晶体管 T1 和第八薄膜晶体管 T8 打开, 第二薄膜晶体管 T2 受恒压高电位 VGH 的控制始终打开, 第三节点 K(n)、第一节点 Q(n) 和第二节点 P(n) 充电至高电位; 第十薄膜晶体管 T10 打开, 拉低第四节点 H(n)至低电位, 关闭受第四节点 H(n)控制的第六薄膜晶体管 T6。

紧接着, 控制时钟信号 XCK 及第 $n-1$ 级 GOA 单元的输出信号 $G(n-1)$ 均转变为低电位, 于此同时, 输出时钟信号 CK 提供高电位, 第一、第八和第十薄膜晶体管 T1、T8、T10 关闭, 第一节点 Q(n)在第一电容 C1 的存储作用下保持高电位, 第三薄膜晶体管 T3 打开, 将输出时钟信号 CK 的高电位作为第 n 级 GOA 单元的输出信号 $G(n)$ 输出, 并将第一节点 Q(n)抬升至更高电位; 第四薄膜晶体管 T4 打开, 第二节点 P(n)被低电位的控制时钟信号 XCK 拉低至低电位, 关闭第五和第七薄膜晶体管 T5、T7, 保证 $G(n)$ 正常输出; 第九薄膜晶体管 T9 受高电位的输出时钟信号 CK 的控制打开, 第四节点 H(n)充电至高电位;

随后, 控制时钟信号 XCK 再次提供高电位, 第八薄膜晶体管 T8 打开, 第二节点 P(n)被充电至高电位, 第五薄膜晶体管 T5 打开, 下拉输出信号 $G(n)$ 至低电位; 第七薄膜晶体管 T7 打开, 第四节点 H(n)在第三电容 C3 的

存储作用下保持高电位，第六薄膜晶体管打开，将第三节点 $K(n)$ 和第一节点 $Q(n)$ 拉低并稳定在低电位。

可见，该第一实施例在工作过程中，各个节点的波形都是稳定的，适用于双边驱动逐行扫描架构的显示面板。

5 图 7 所示的第二实施例与上述第一实施例的具体工作过程类似，仅需要将各信号、节点的电位高低进行调换即可，此处不再赘述。

请同时参阅图 8 与图 15，并结合图 4，本发明的用于窄边框液晶显示面板的 GOA 电路的第三实施例的具体工作过程为：

首先，控制时钟信号 XCK 及第 $n-2$ 级 GOA 单元的输出信号 $G(n-2)$ 提供高电位，第一薄膜晶体管 $T1$ 和第八薄膜晶体管 $T8$ 打开，第二薄膜晶体管 $T2$ 受恒压高电位 VGH 的控制始终打开，第三节点 $K(n)$ 、第一节点 $Q(n)$ 和第二节点 $P(n)$ 充电至高电位；第十薄膜晶体管 $T10$ 打开，拉低第四节点 $H(n)$ 至低电位，关闭受第四节点 $H(n)$ 控制的第六薄膜晶体管 $T6$ 。

紧接着，控制时钟信号 XCK 与第 $n-2$ 级 GOA 单元的输出信号 $G(n-2)$ 输出完毕均转变为低电位，第一节点 $Q(n)$ 在第一电容 $C1$ 的存储作用下保持高电位，第一、第十、和第八薄膜晶体管 $T1$ 、 $T10$ 、 $T8$ 关闭，受第三节点 $K(n)$ 控制的第四薄膜晶体管 $T4$ 打开，第二节点 $P(n)$ 被低电位的控制时钟信号 XCK 拉低至低电位，拉低第二节点 $P(n)$ 的电位，关闭第五和第七薄膜晶体管 $T5$ 、 $T7$ ，第四节点 $H(n)$ 在第三电容 $C3$ 的存储作用下保持低电位，受第四节点 $H(n)$ 控制的第六薄膜晶体管 $T6$ 仍关闭，阻断了第一节点 $Q(n)$ 的漏电路径，对第一节点 $Q(n)$ 进行漏电防护。

随后，输出时钟信号 CK 提供高电位，第一、第八和第十薄膜晶体管 $T1$ 、 $T8$ 、 $T10$ 仍关闭，第一节点 $Q(n)$ 在第一电容 $C1$ 的存储作用下仍保持高电位，第三薄膜晶体管 $T3$ 打开，将输出时钟信号 CK 的高电位作为第 n 级 GOA 单元的输出信号 $G(n)$ 输出，并将第一节点 $Q(n)$ 抬升至更高电位；第四薄膜晶体管 $T4$ 仍打开，第二节点 $P(n)$ 仍为低电位，关闭第五和第七薄膜晶体管，保证 $G(n)$ 正常输出；第九薄膜晶体管 $T9$ 受高电位的输出时钟信号 CK 的控制打开，第四节点 $H(n)$ 充电至高电位；

然后，控制时钟信号 XCK 再次提供高电位，第八薄膜晶体管 $T8$ 打开，第二节点 $P(n)$ 被充电至高电位，第五薄膜晶体管 $T5$ 打开，下拉输出信号 $G(n)$ 至低电位；第七薄膜晶体管 $T7$ 打开，第四节点 $H(n)$ 在第三电容 $C3$ 的存储作用下保持高电位，第六薄膜晶体管打开，将第三节点 $K(n)$ 和第一节点 $Q(n)$ 拉低并稳定在低电位。

可见，该第三实施例在工作过程中，各个节点的波形都是稳定的，在

第一节点 $Q(n)$ 维持高电位的期间有漏电防护，适用于双边驱动逐行扫描架构的显示面板。

图 9 所示的第四实施例与上述第三实施例的具体工作过程类似，仅需要将各信号、节点的电位高低进行调换即可，此处不再赘述。

- 5 综上所述，本发明的用于窄边框液晶显示面板的 GOA 电路，增设了由第九薄膜晶体管、第十薄膜晶体管、及第三电容构成的第一节点漏电防护单元，其中第九薄膜晶体管的栅极与源极均与输出时钟信号电性连接，形成二极管结构，在输出期间将第三电容及第四节点充电至高电位，第十薄膜晶体管在信号级传期间对第四节点进行清零处理，保证第一节点的正常
- 10 充电，该 GOA 电路既适用于双边驱动逐行扫描架构，又适用于双边驱动隔行扫描架构，在应用于双边驱动隔行扫描架构时，能够防止第一节点漏电，保证电路稳定工作，大幅提高 GOA 电路的可靠性，且每一边均只设置两条时钟信号，有利于窄边框显示面板的设计。

- 15 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种用于窄边框液晶显示面板的 GOA 电路, 包括: 级联的多级 GOA 单元, 每一级 GOA 单元均包括: 控制输入单元、稳压单元、控制输出单元、
5 下拉维持单元、下拉单元、第二节点控制单元、及第一节点漏电防护单元;

设 n 为正整数, 在第 n 级 GOA 单元中:

所述控制输入单元包括: 第一薄膜晶体管, 所述第一薄膜晶体管的栅极电性连接于级传信号, 源极电性连接于第一恒压电位, 漏极电性连接于第三节点;

10 所述稳压单元包括: 第二薄膜晶体管, 所述第二薄膜晶体管的栅极电性连接于第一恒压电位, 源极电性连接于第三节点, 漏极电性连接于第一节点;

所述控制输出单元包括: 第三薄膜晶体管, 所述第三薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于输出时钟信号, 漏极电性连接于
15 输出端; 以及第一电容, 所述第一电容的一端电性连接于第一节点, 另一端电性连接于输出端;

所述下拉维持单元包括: 第五薄膜晶体管, 所述第五薄膜晶体管的栅极电性连接于第二节点, 源极电性连接于输出端, 漏极电性连接于第二恒压电位; 以及第二电容, 所述第二电容的一端电性连接于第二节点, 另一
20 端电性连接于第二恒压电位;

所述下拉单元包括: 第六薄膜晶体管, 所述第六薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于第三节点, 漏极电性连接于第七薄膜晶体管的源极; 以及第七薄膜晶体管, 所述第七薄膜晶体管的栅极电性连接于第二节点, 漏极电性连接于第二恒压电位;

25 所述第二节点控制单元包括: 第四薄膜晶体管, 所述第四薄膜晶体管的栅极电性连接于第三节点, 源极电性连接于控制时钟信号, 漏极电性连接于第二节点; 以及第八薄膜晶体管, 所述第八薄膜晶体管的栅极电性连接于控制时钟信号, 源极电性连接于第一恒压电位, 漏极电性连接于第二节点;

30 所述第一节点漏电防护单元包括: 第九薄膜晶体管, 所述第九薄膜晶体管的栅极与源极均电性连接于输出时钟信号, 漏极电性连接于第四节点; 第十薄膜晶体管, 所述第十薄膜晶体管的栅极电性连接于级传信号, 源极电性连接于第四节点, 漏极电性连接于第二恒压电位; 以及第三电容, 所

述第三电容的一端电性连接于第四节点，漏极电性连接于第二恒压电位。

2、如权利要求1所述的用于窄边框液晶显示面板的GOA电路，其中，各个薄膜晶体管均为N型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压高电位，第二恒压电位为恒压低电位。

5 3、如权利要求1所述的用于窄边框液晶显示面板的GOA电路，其中，各个薄膜晶体管均为P型低温多晶硅半导体薄膜晶体管，所述第一恒压电位为恒压低电位，第二恒压电位为恒压高电位。

4、如权利要求1所述的用于窄边框液晶显示面板的GOA电路，其中，应用于双边驱动逐行扫描架构的显示面板，显示面板左、右两边分别设置
10 一GOA电路，每一边的GOA电路均包括第一级至最后一级GOA单元；每一边的各级GOA单元均接入两条时钟信号：第一条时钟信号和第二条时钟信号，所述第一条时钟信号和第二条时钟信号的相位相反。

5、如权利要求4所述的用于窄边框液晶显示面板的GOA电路，其中，在各级GOA单元中，所述第一条时钟信号和第二条时钟信号分别轮流作为
15 输出时钟信号和控制时钟信号。

6、如权利要求4所述的用于窄边框液晶显示面板的GOA电路，其中，除第一级GOA单元外，第n级GOA单元的级传信号为上一级第n-1级GOA单元的输出信号；

第一级GOA单元的级传信号为电路起始信号。

20 7、如权利要求1所述的用于窄边框液晶显示面板的GOA电路，其中，应用于双边驱动隔行扫描架构的显示面板，显示面板左、右两边分别设置一GOA电路，一边的GOA电路仅包括奇数级GOA单元，另一边的GOA电路仅包括偶数级GOA单元；

其中一边GOA电路的各级GOA单元均接入两条时钟信号：第一条时钟信号和第三条时钟信号；另一边GOA电路的各级GOA单元均接入另两条时钟信号：第二条时钟信号和第四条时钟信号。
25

8、如权利要求7所述的用于窄边框液晶显示面板的GOA电路，其中，所述第一、第二、第三、及第四条时钟信号的脉冲周期相同，所述第一条时钟信号的下降沿与所述第二条时钟信号的上升沿同时产生，所述第二条时钟信号的下降沿与所述第三条时钟信号的上升沿同时产生，所述第三条时钟信号的下降沿与所述第四条时钟信号的上升沿同时产生，所述第四条时钟信号的下降沿与所述第一条时钟信号的上升沿同时产生。
30

9、如权利要求7所述的用于窄边框液晶显示面板的GOA电路，其中，在一边GOA电路的各级GOA单元中，所述第一条时钟信号和第三条时钟

信号分别轮流作为输出时钟信号和控制时钟信号；在另一边 GOA 电路的各级 GOA 单元中，所述第二条时钟信号和第四条时钟信号分别轮流作为输出时钟信号和控制时钟信号。

- 10、如权利要求 7 所述的用于窄边框液晶显示面板的 GOA 电路，其中，
5 除第一级和第二级 GOA 单元外，第 n 级 GOA 单元的级传信号为上两级第 $n-2$ 级 GOA 单元的输出信号；

第一级和第二级 GOA 单元的级传信号均为电路起始信号。

- 11、一种用于窄边框液晶显示面板的 GOA 电路，包括：级联的多级 GOA 单元，每一级 GOA 单元均包括：控制输入单元、稳压单元、控制输出单元、下拉维持单元、下拉单元、第二节点控制单元、及第一节点漏电
10 防护单元；

设 n 为正整数，在第 n 级 GOA 单元中：

- 所述控制输入单元包括：第一薄膜晶体管，所述第一薄膜晶体管的栅极电性连接于级传信号，源极电性连接于第一恒压电位，漏极电性连接于
15 第三节点；

所述稳压单元包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于第一恒压电位，源极电性连接于第三节点，漏极电性连接于第一节点；

- 所述控制输出单元包括：第三薄膜晶体管，所述第三薄膜晶体管的栅极电性连接于第一节点，源极电性连接于输出时钟信号，漏极电性连接于
20 输出端；以及第一电容，所述第一电容的一端电性连接于第一节点，另一端电性连接于输出端；

- 所述下拉维持单元包括：第五薄膜晶体管，所述第五薄膜晶体管的栅极电性连接于第二节点，源极电性连接于输出端，漏极电性连接于第二恒压电位；以及第二电容，所述第二电容的一端电性连接于第二节点，另一
25 端电性连接于第二恒压电位；

- 所述下拉单元包括：第六薄膜晶体管，所述第六薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第三节点，漏极电性连接于第七薄膜晶体管的源极；以及第七薄膜晶体管，所述第七薄膜晶体管的栅极电性连
30 接于第二节点，漏极电性连接于第二恒压电位；

所述第二节点控制单元包括：第四薄膜晶体管，所述第四薄膜晶体管的栅极电性连接于第三节点，源极电性连接于控制时钟信号，漏极电性连接于第二节点；以及第八薄膜晶体管，所述第八薄膜晶体管的栅极电性连接于控制时钟信号，源极电性连接于第一恒压电位，漏极电性连接于第二

节点;

所述第一节点漏电防护单元包括: 第九薄膜晶体管, 所述第九薄膜晶体管的栅极与源极均电性连接于输出时钟信号, 漏极电性连接于第四节点; 第十薄膜晶体管, 所述第十薄膜晶体管的栅极电性连接于级传信号, 源极电性连接于第四节点, 漏极电性连接于第二恒压电位; 以及第三电容, 所述第三电容的一端电性连接于第四节点, 漏极电性连接于第二恒压电位;

其中, 应用于双边驱动逐行扫描架构的显示面板, 显示面板左、右两边分别设置一 GOA 电路, 每一边的 GOA 电路均包括第一级至最后一级 GOA 单元; 每一边的各级 GOA 单元均接入两条时钟信号: 第一条时钟信号和第二条时钟信号, 所述第一条时钟信号和第二条时钟信号的相位相反;

其中, 在各级 GOA 单元中, 所述第一条时钟信号和第二条时钟信号分别轮流作为输出时钟信号和控制时钟信号;

其中, 除第一级 GOA 单元外, 第 n 级 GOA 单元的级传信号为上一级第 $n-1$ 级 GOA 单元的输出信号;

第一级 GOA 单元的级传信号为电路起始信号。

12、如权利要求 11 所述的用于窄边框液晶显示面板的 GOA 电路, 其中, 各个薄膜晶体管均为 N 型低温多晶硅半导体薄膜晶体管, 所述第一恒压电位为恒压高电位, 第二恒压电位为恒压低电位。

13、如权利要求 11 所述的用于窄边框液晶显示面板的 GOA 电路, 其中, 各个薄膜晶体管均为 P 型低温多晶硅半导体薄膜晶体管, 所述第一恒压电位为恒压低电位, 第二恒压电位为恒压高电位。

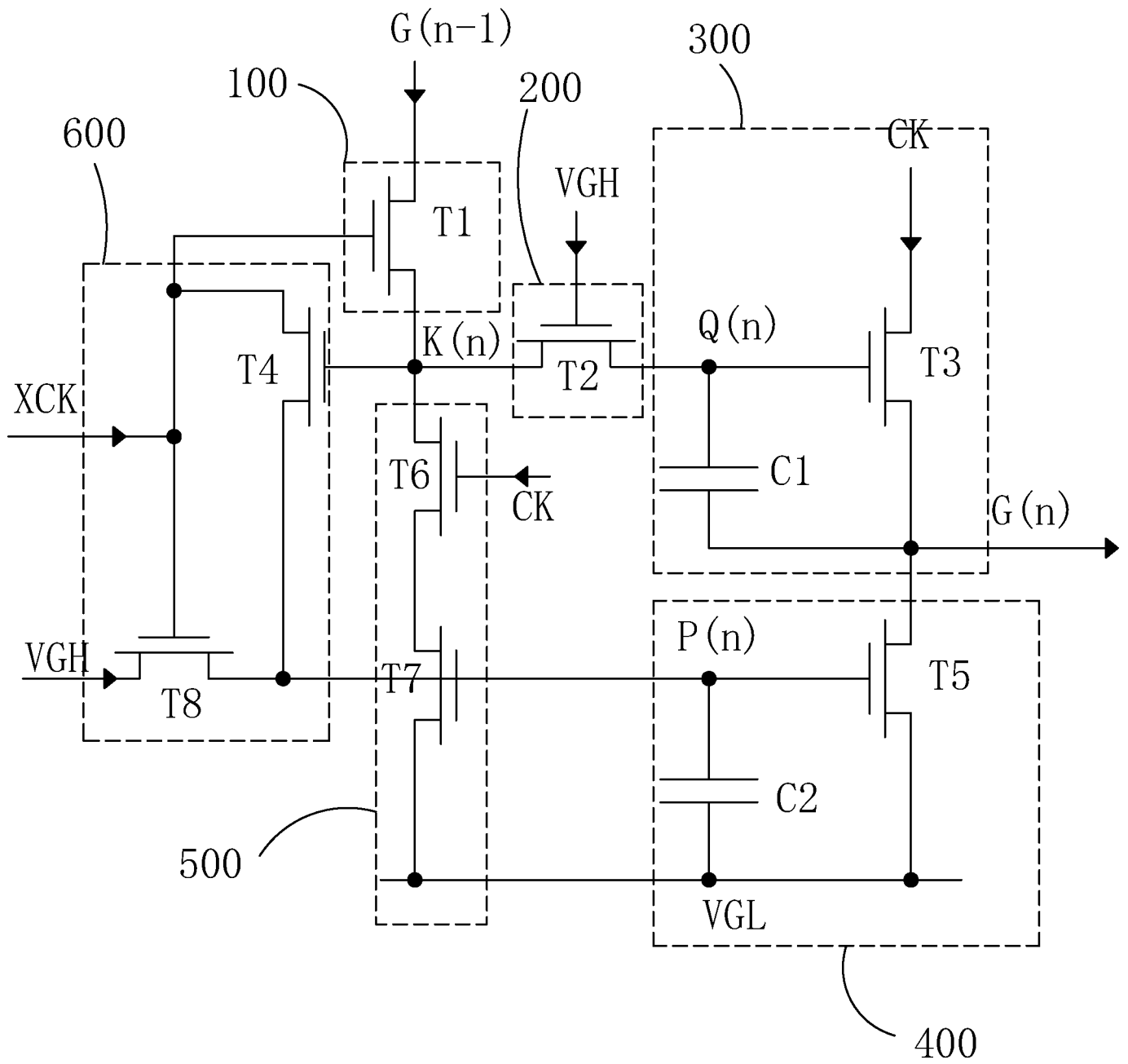


图1

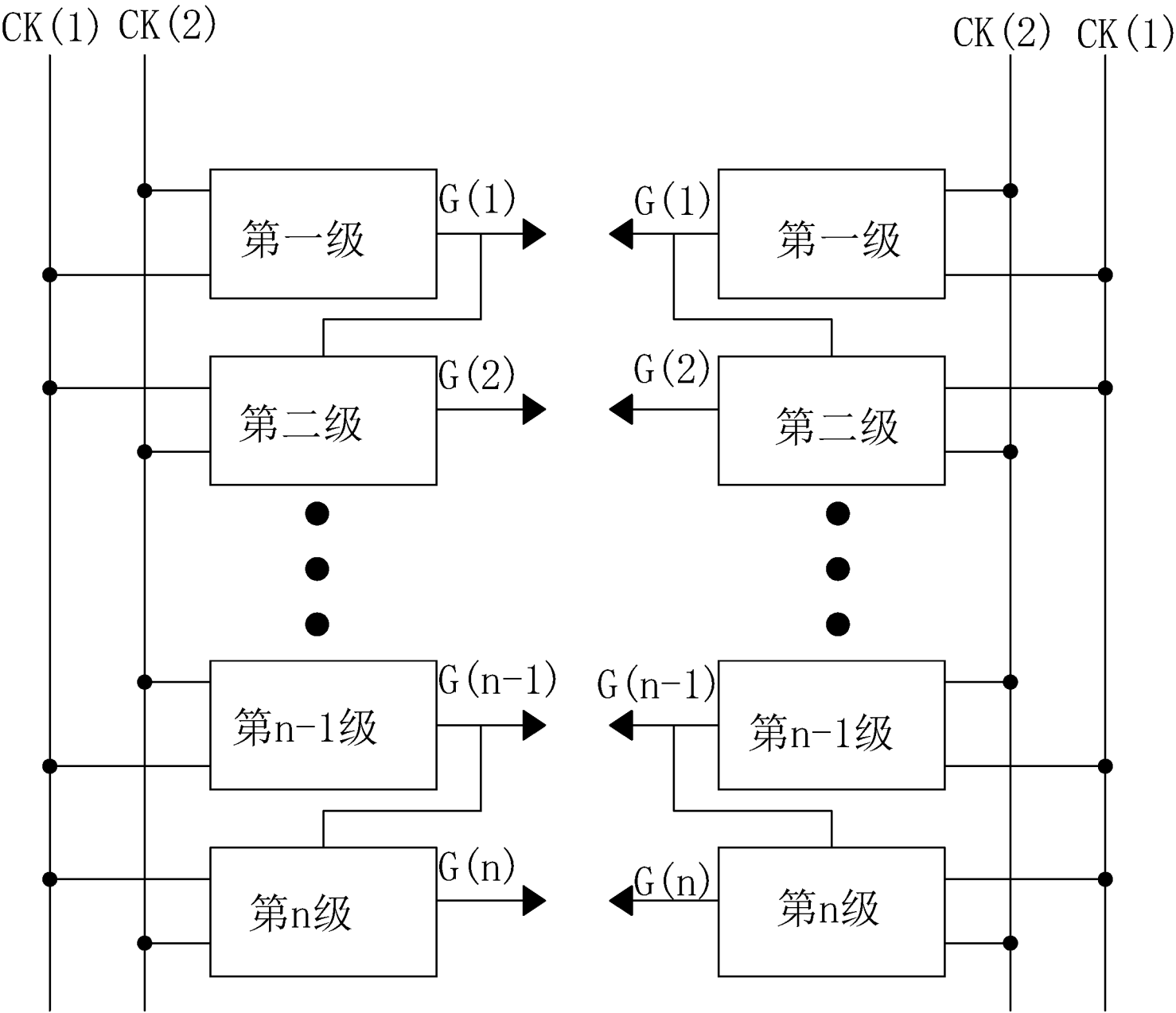


图2

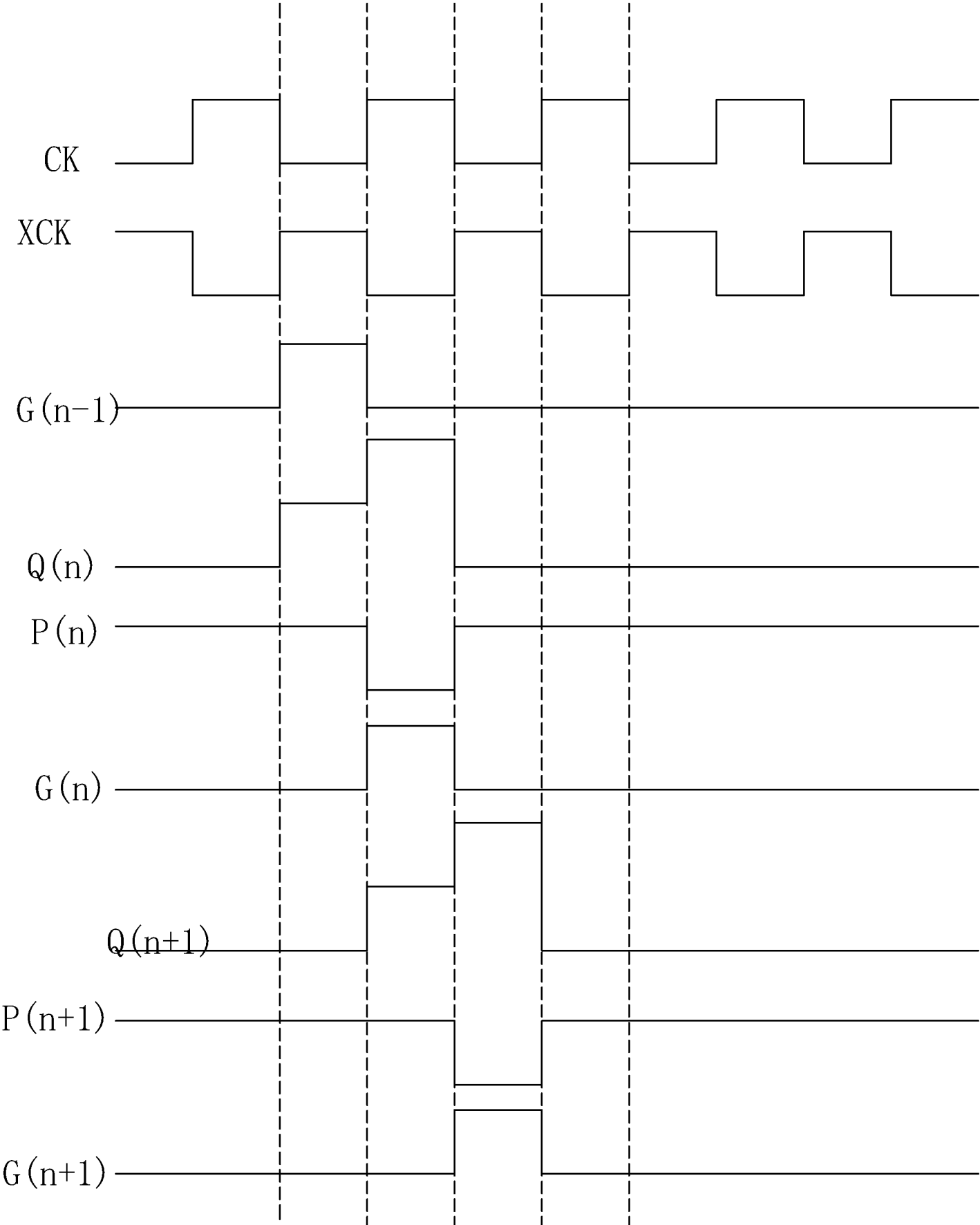


图3

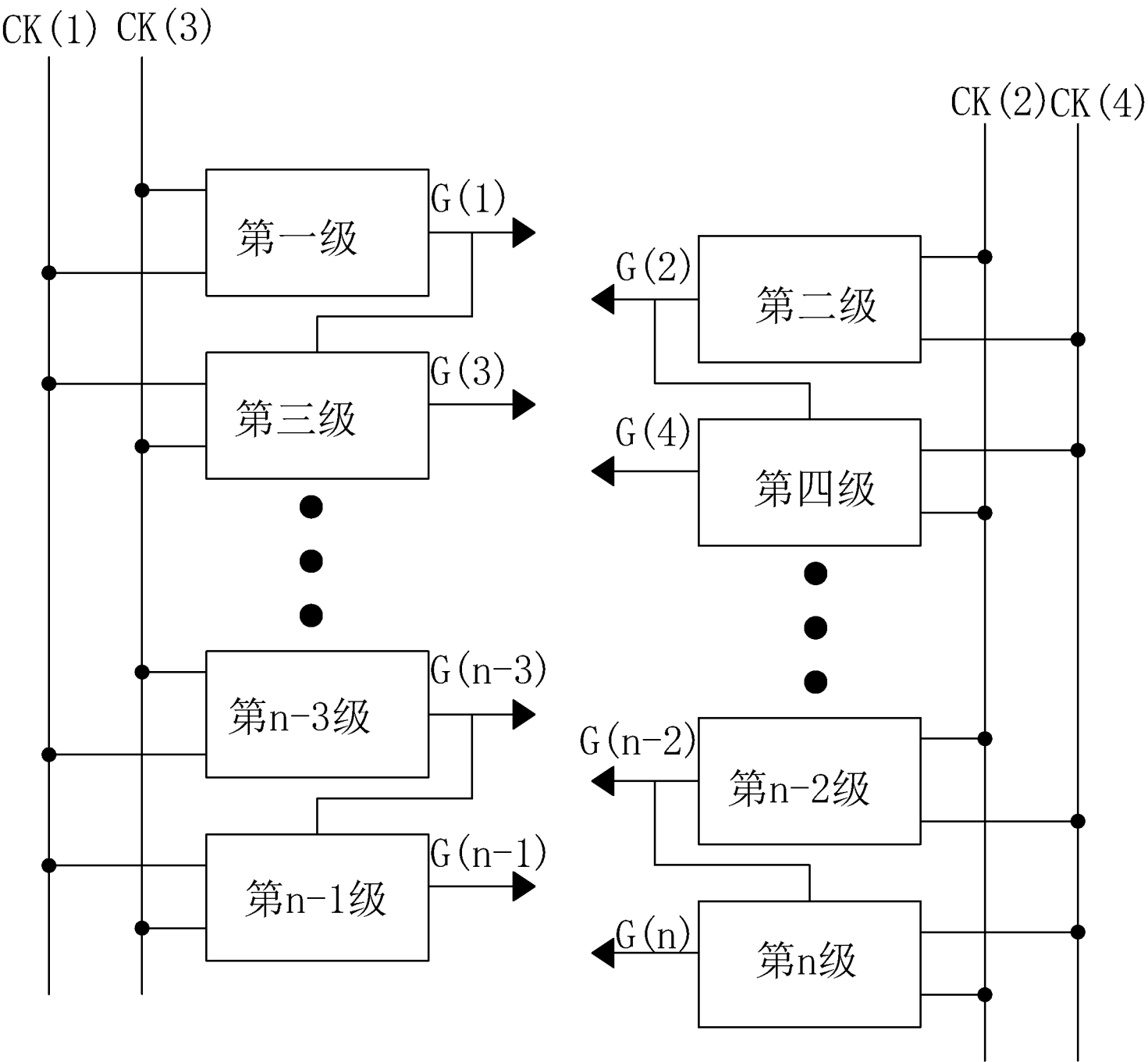


图4

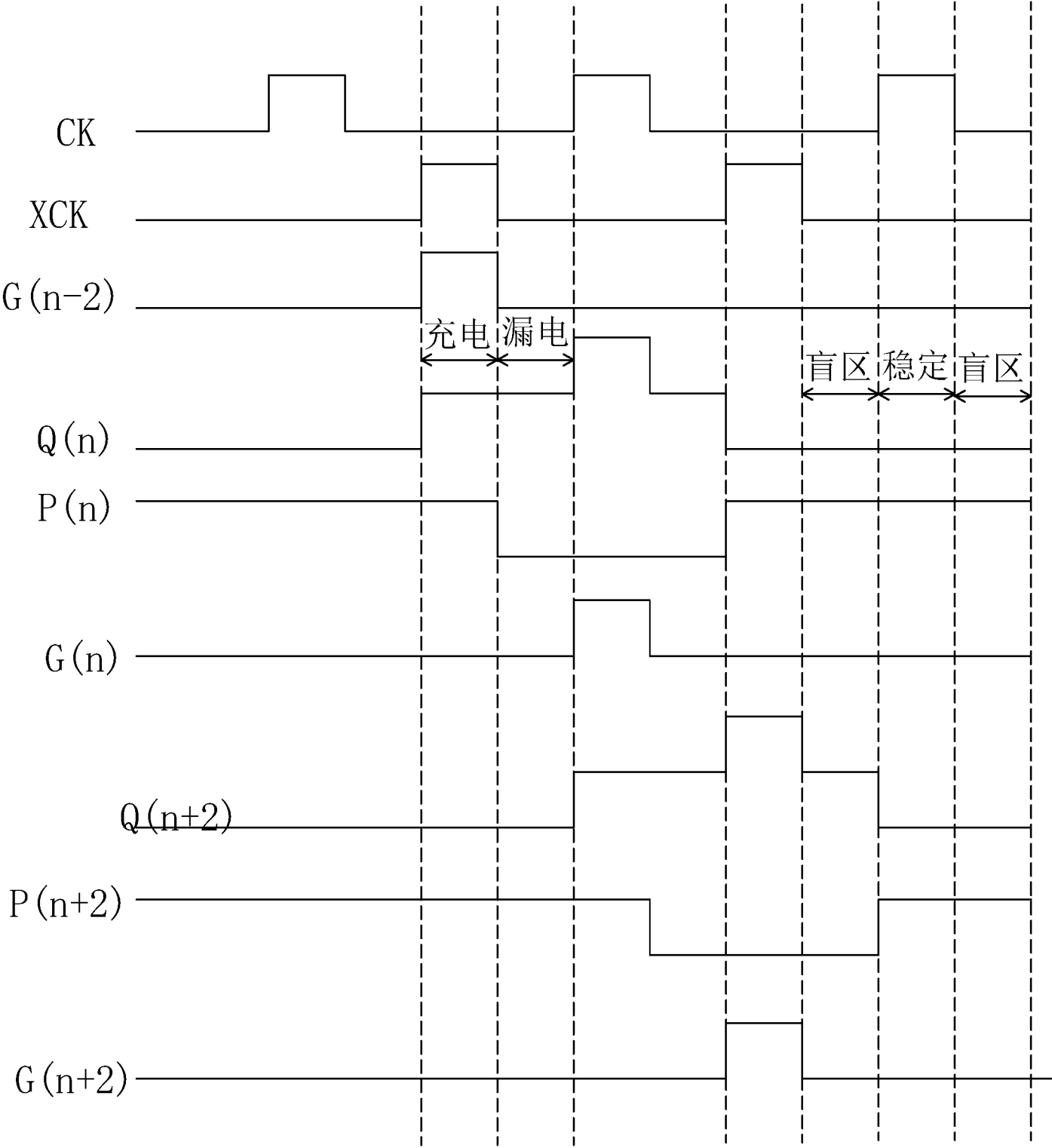


图5

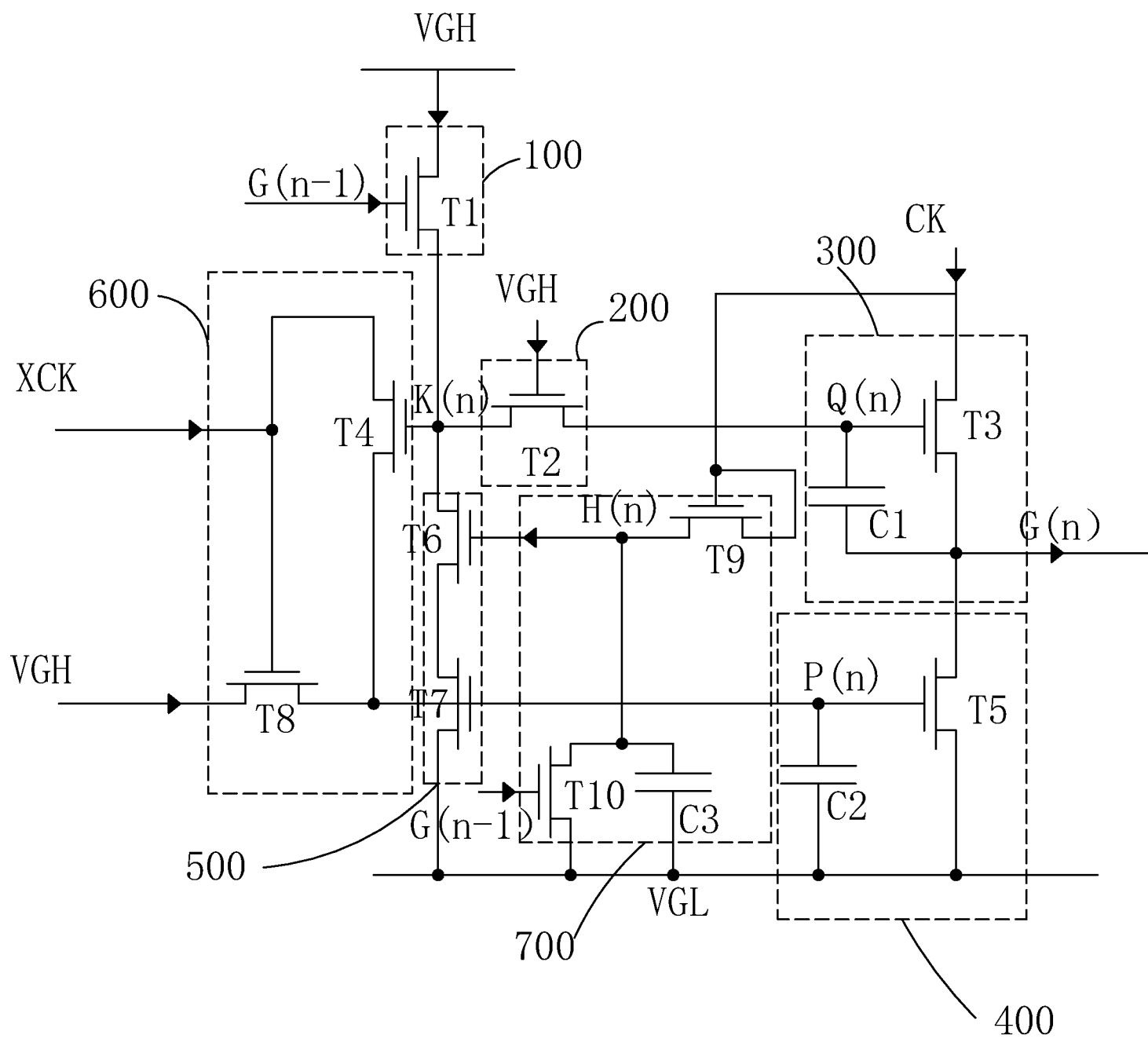


图6

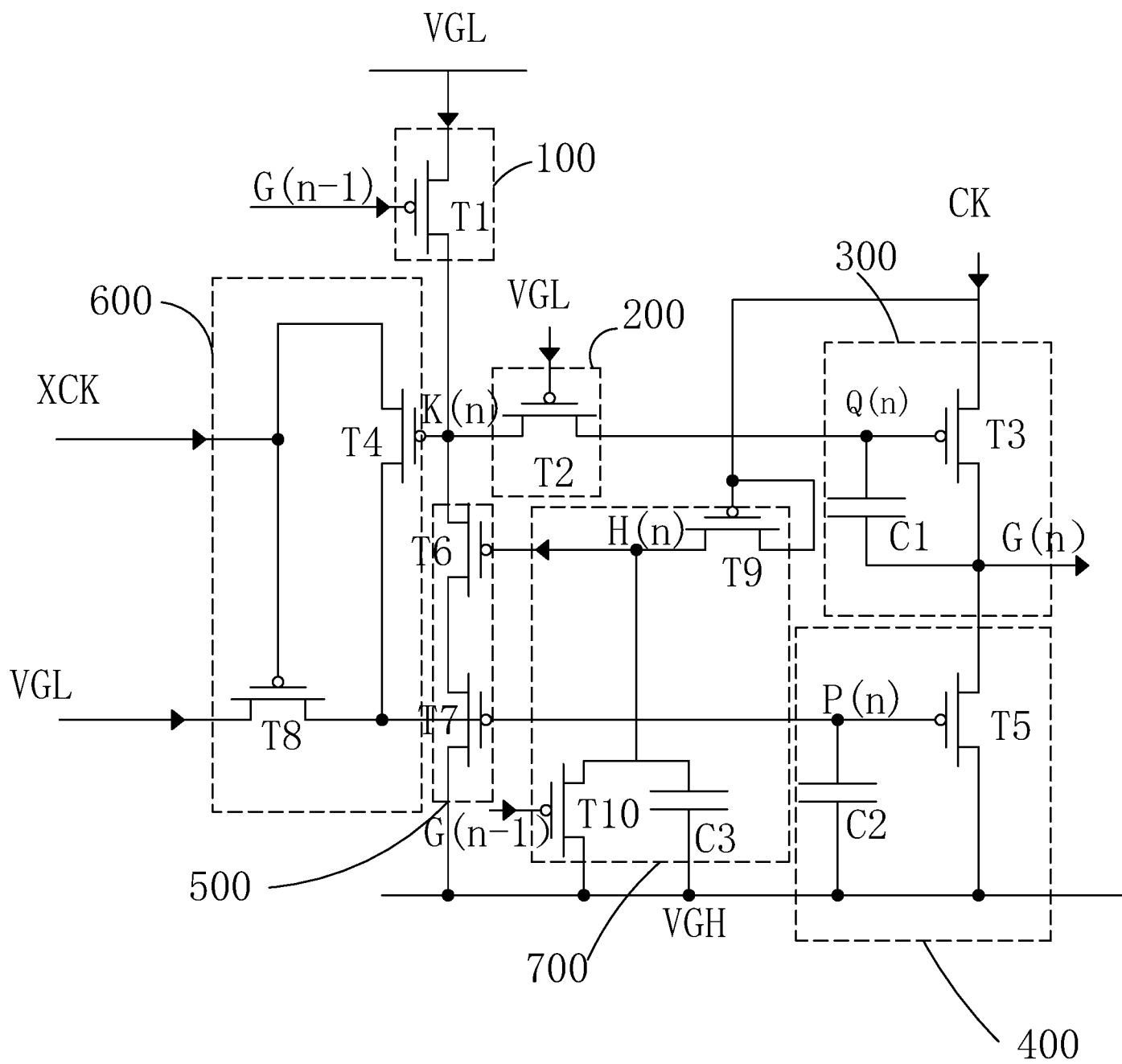


图7

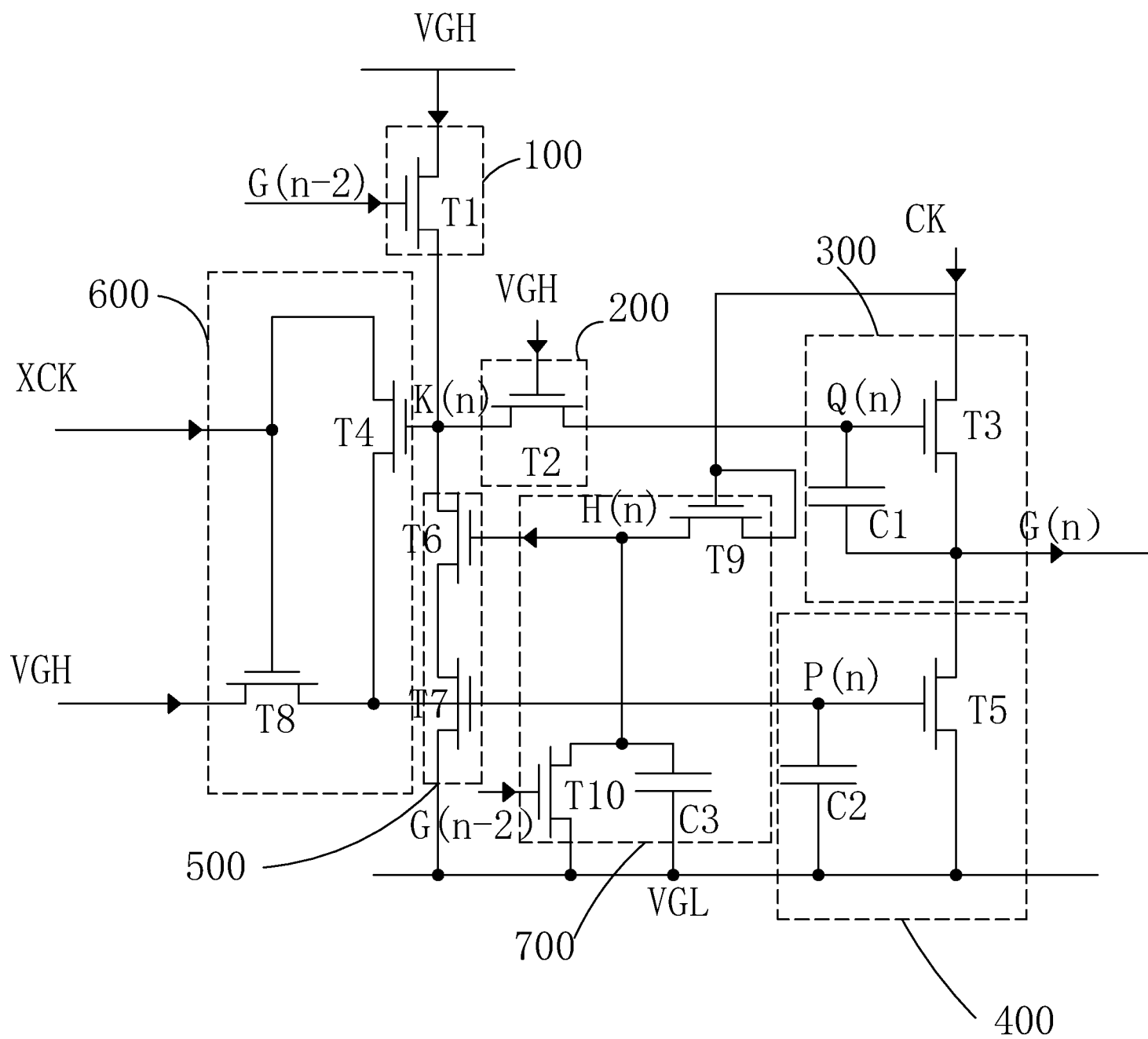


图8

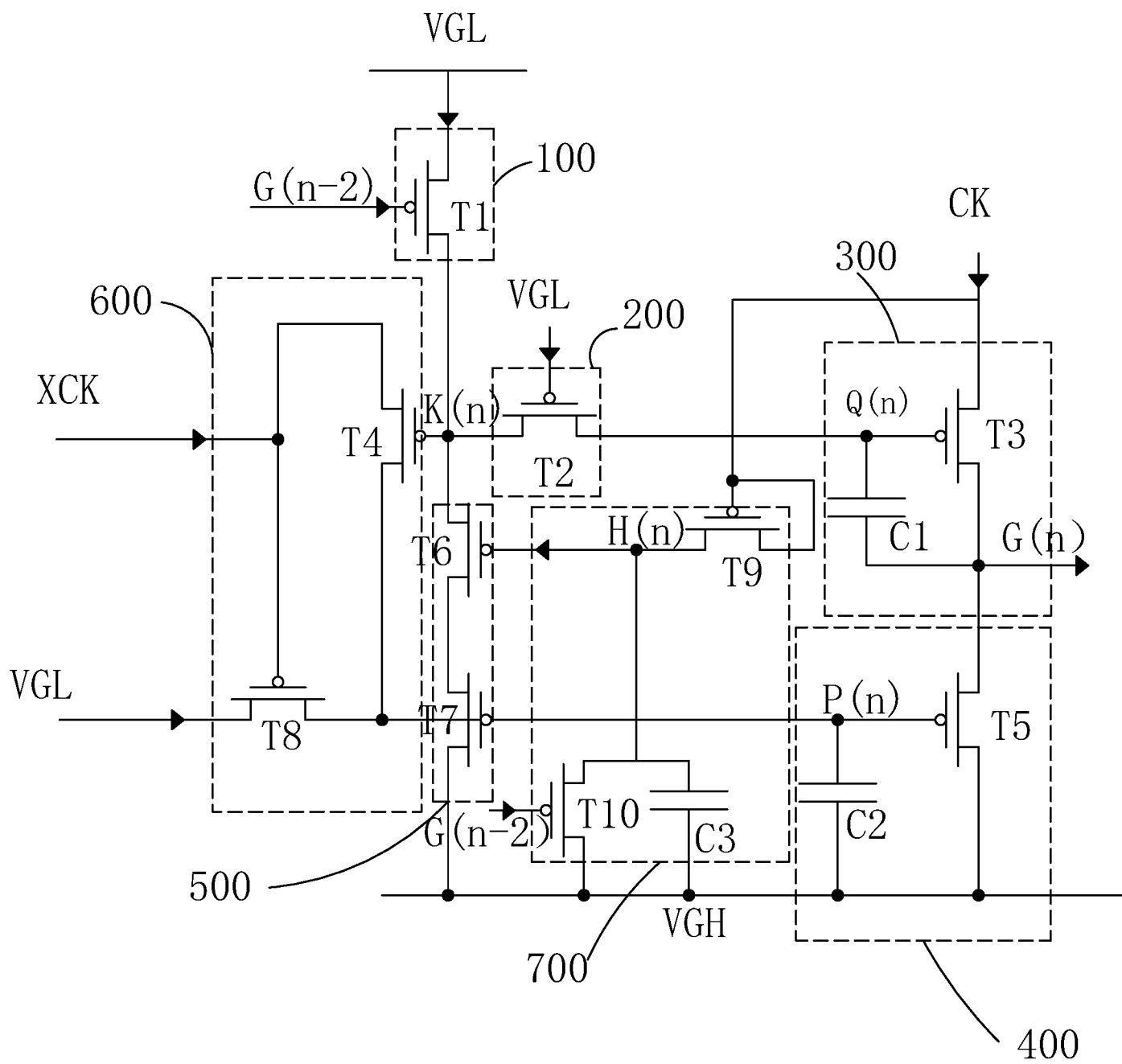


图9

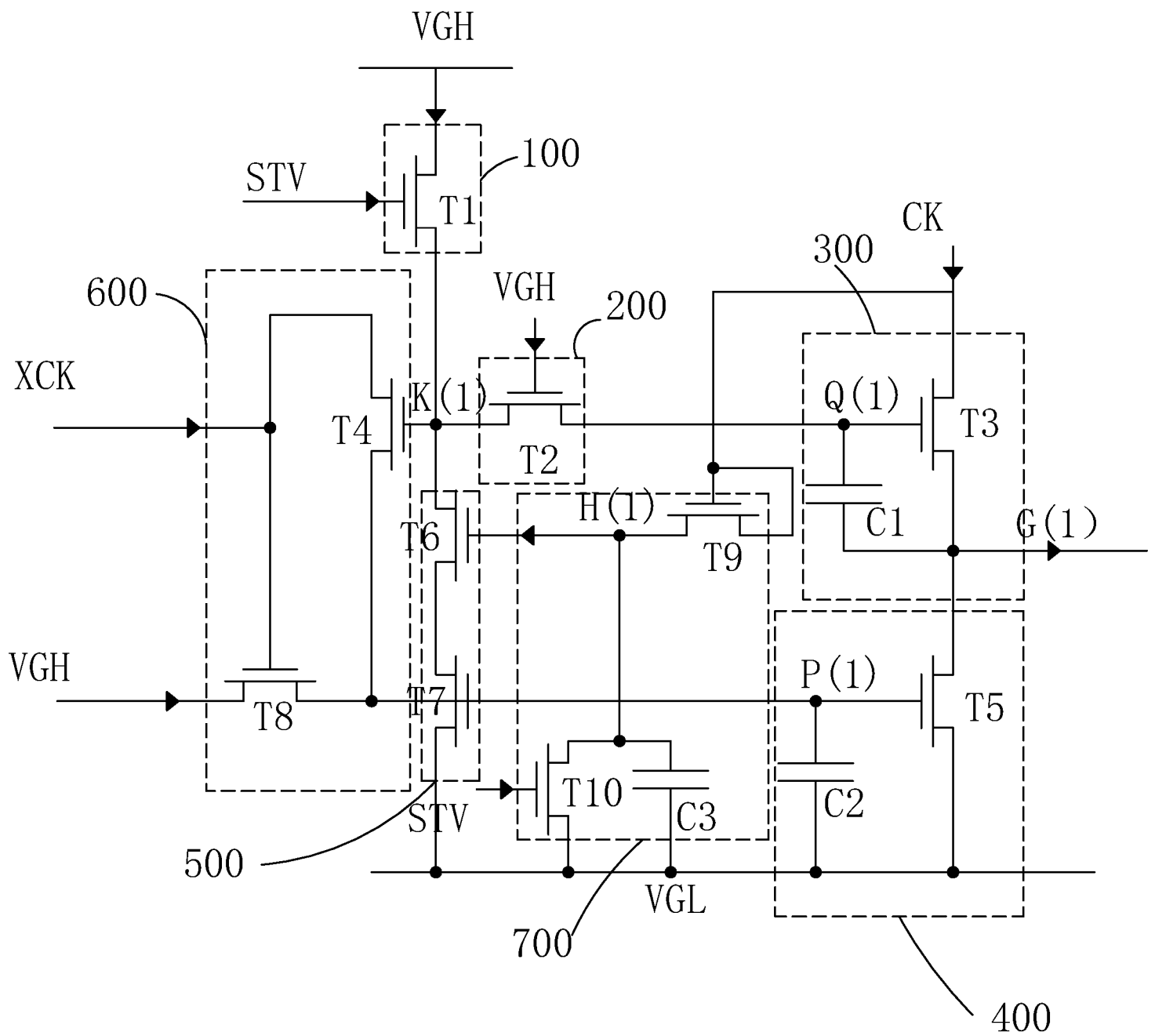


图 10

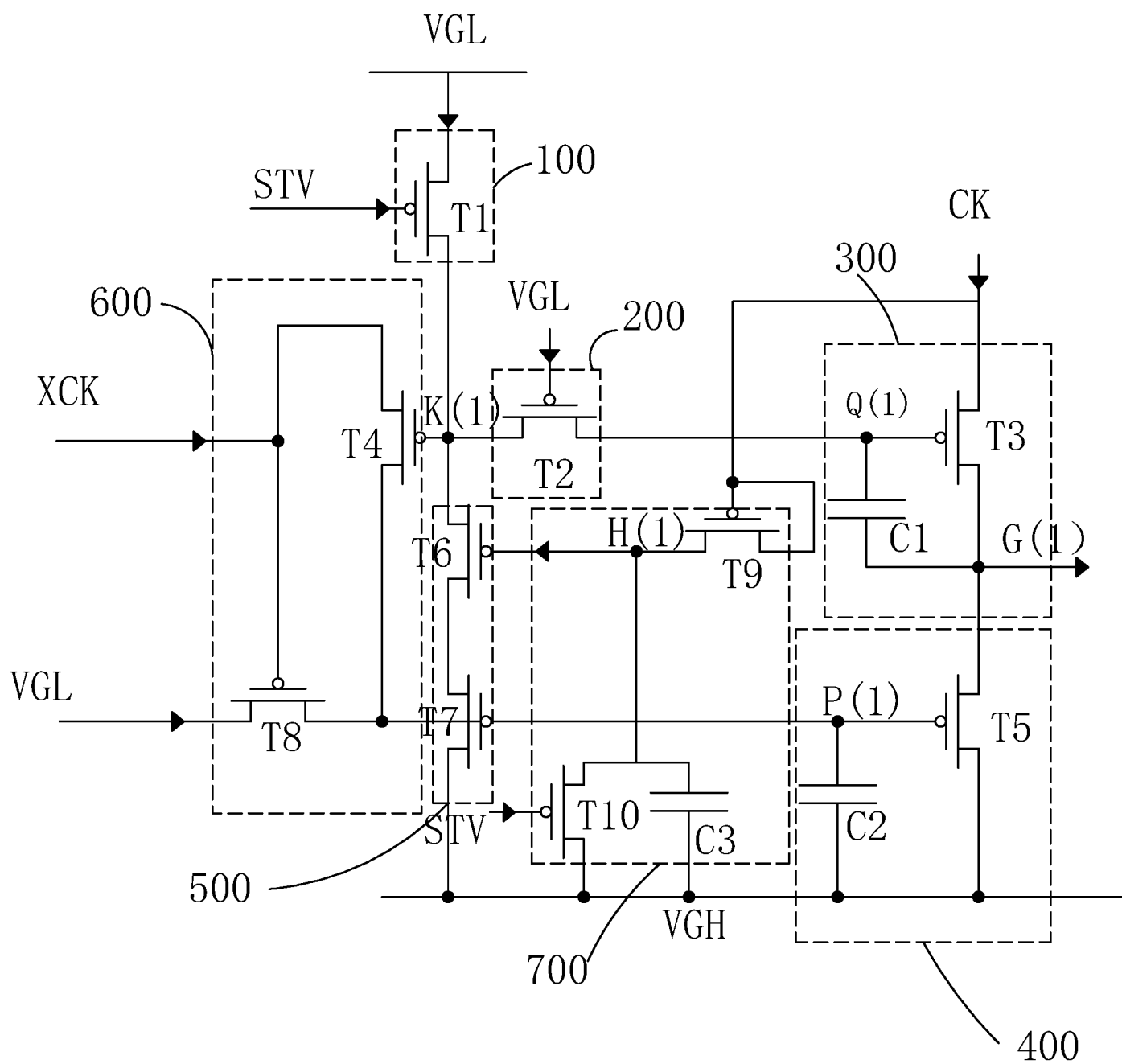


图11

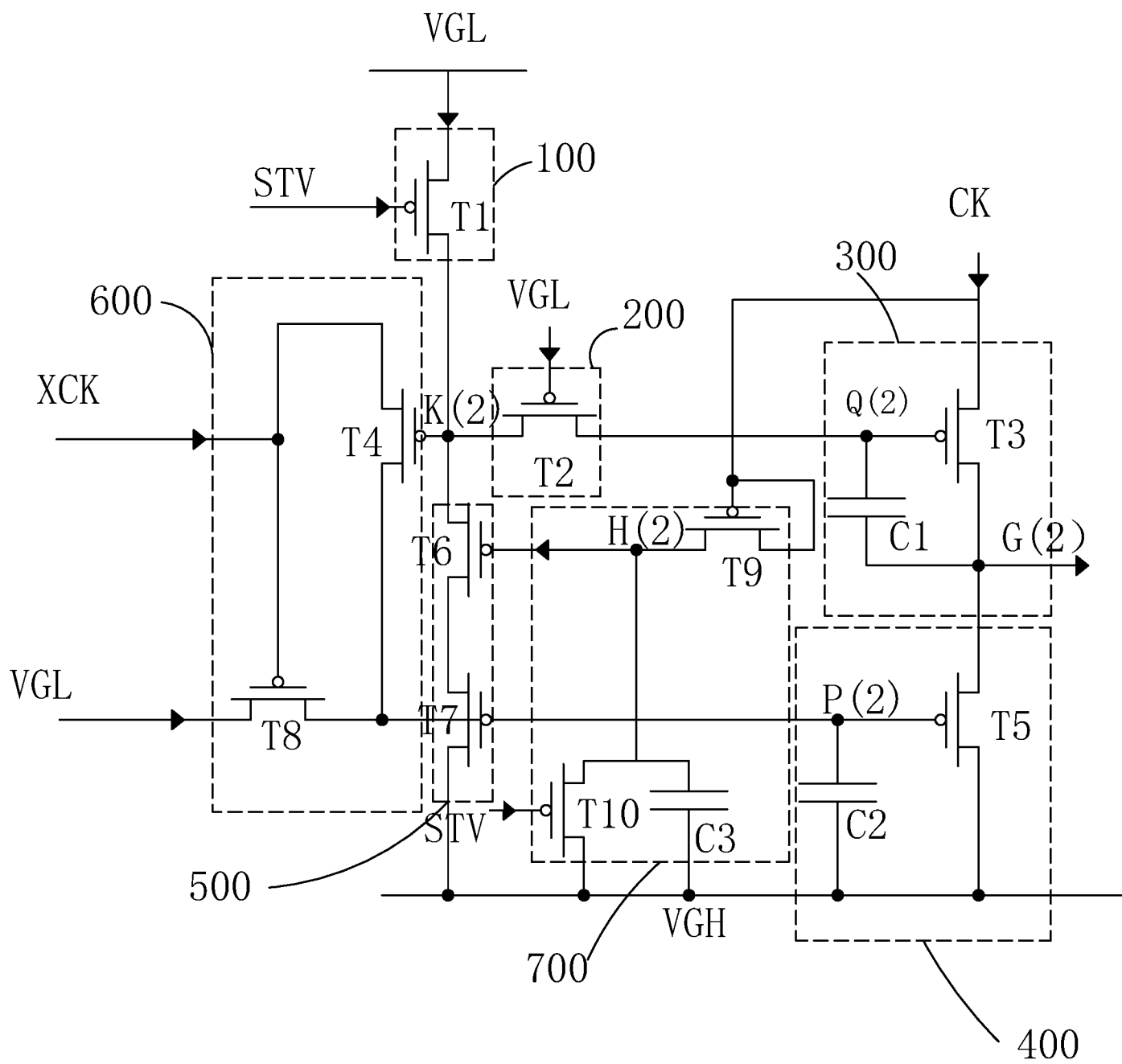


图13

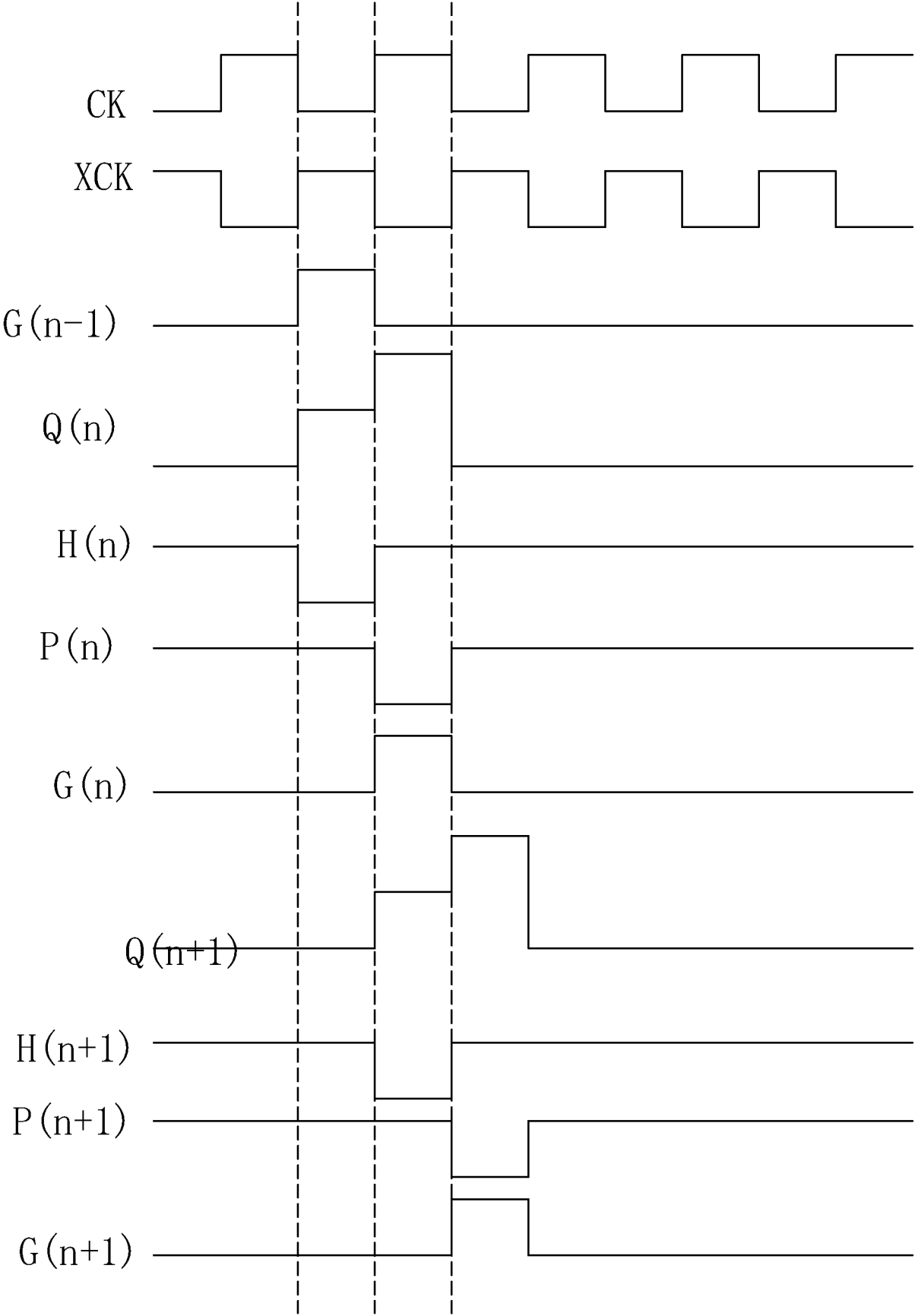


图14

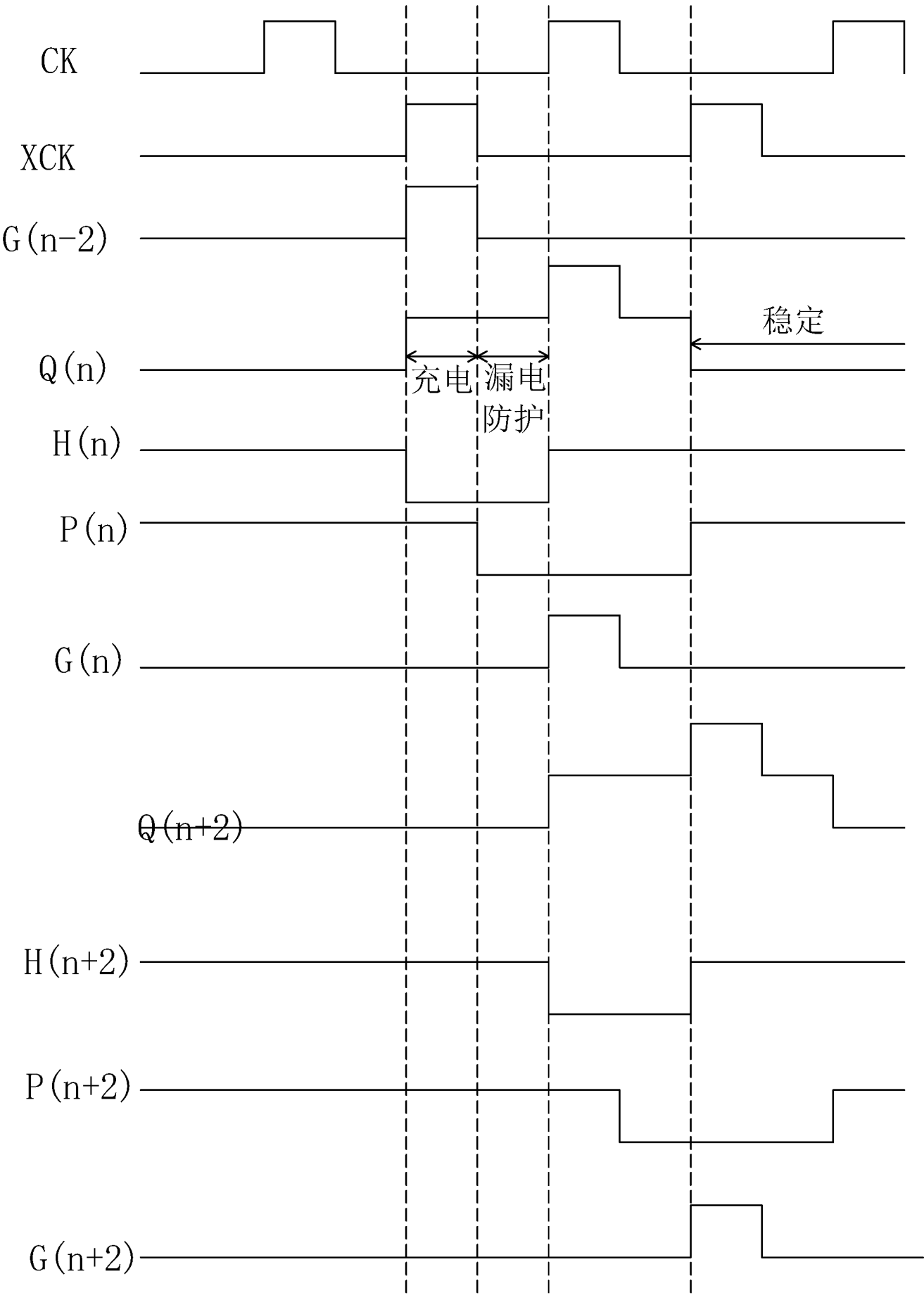


图15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/072426

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G02F 1/13 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: line by line, GOA, second node, control, steady voltage, two upper level, pull-down control, pull-down maintenance, leakage, drain, interlac+, interleav+, alternate, row, line, scan+, n-2, n+2

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104485079 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 April 2015 (01.04.2015), description, paragraphs [0055]-[0065], and figures 1-2	1-13
A	CN 104299591 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 January 2015 (21.01.2015), the whole document	1-13
A	CN 103035218 A (BOE TECHNOLOGY GROUP CO., LTD.), 10 April 2013 (10.04.2013), the whole document	1-13
A	CN 104517653 A (AU OPTRONICS CORP.), 15 April 2015 (15.04.2015), the whole document	1-13
A	JP 2006127630 A (ALPS ELECTRIC CO., LTD.), 18 May 2006 (18.05.2006), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 September 2016 (08.09.2016)	Date of mailing of the international search report 21 September 2016 (21.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LUO, Yun Telephone No.: (86-10) 62085874

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/072426

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104485079 A	01 April 2015	WO 2016106802 A1	07 July 2016
CN 104299591 A	21 January 2015	WO 2016065657 A1	06 May 2016
CN 103035218 A	10 April 2013	CN 103035218 B	03 February 2016
CN 104517653 A	15 April 2015	None	
JP 2006127630 A	18 May 2006	CN 1783346 A	07 June 2006
		KR 100745111 B1	01 August 2007
		TW I308312 B	01 April 2009
		CN 100461302 C	11 February 2009
		KR 20060052255 A	19 May 2006

A. 主题的分类		
G09G 3/36(2006.01)i; G02F 1/13(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G09G3/-; G02F1/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, VEN, CNKI:漏电, 隔行, 逐行, GOA, 第二节点, 控制, 稳压, 上两级, 前两级, 下拉控制, 下拉维持, leakage, drain, interlac+, interleav+, alternate, row, line, scan+, n-2, n+2		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104485079 A (深圳市华星光电技术有限公司) 2015年 4月 1日 (2015 - 04 - 01) 说明书第[0055]至[0065]段, 图1-2	1-13
A	CN 104299591 A (深圳市华星光电技术有限公司) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-13
A	CN 103035218 A (京东方科技集团股份有限公司) 2013年 4月 10日 (2013 - 04 - 10) 全文	1-13
A	CN 104517653 A (友达光电股份有限公司) 2015年 4月 15日 (2015 - 04 - 15) 全文	1-13
A	JP 2006127630 A (ALPS ELECTRIC CO LTD) 2006年 5月 18日 (2006 - 05 - 18) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 9月 8日		2016年 9月 21日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		罗赟
传真号 (86-10)62019451		电话号码 (86-10)62085874

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/072426

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104485079	A	2015年 4月 1日	WO	2016106802	A1	2016年 7月 7日
CN	104299591	A	2015年 1月 21日	WO	2016065657	A1	2016年 5月 6日
CN	103035218	A	2013年 4月 10日	CN	103035218	B	2016年 2月 3日
CN	104517653	A	2015年 4月 15日	无			
JP	2006127630	A	2006年 5月 18日	CN	1783346	A	2006年 6月 7日
				KR	100745111	B1	2007年 8月 1日
				TW	I308312	B	2009年 4月 1日
				CN	100461302	C	2009年 2月 11日
				KR	20060052255	A	2006年 5月 19日

表 PCT/ISA/210 (同族专利附件) (2009年7月)