



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I802013 B

(45)公告日：中華民國 112 (2023) 年 05 月 11 日

(21)申請案號：110134959

(22)申請日：中華民國 110 (2021) 年 09 月 17 日

(51)Int. Cl. : **H01L27/108 (2006.01)****H01L23/522 (2006.01)****H01L21/60 (2006.01)**(71)申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR
MANUFACTURING CORPORATION (TW)

新竹市力行一路 18 號

(72)發明人：牛培倫 NIU, PEI-LUN (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW 201816943A

TW 201937694A

TW 202023029A

TW 202109528A

TW 202111917A

TW 202131456A

US 2017/0125339A1

US 2017/0170234A1

US 2019/0147919A1

US 2021/0082813A1

審查人員：李景松

申請專利範圍項數：12 項 圖式數：12 共 37 頁

(54)名稱

半導體裝置及其製造方法

(57)摘要

本揭露提供一種半導體裝置及其製造方法。半導體裝置包括基底、隔離結構、多個位元線結構、多個字元線結構、多個位元線接觸件以及多個接墊。基底包括胞元區和周邊區。隔離結構設置於基底的胞元區中以界定多個主動區。位元線結構彼此平行地設置在基底中，且各自在第一水平方向上延伸並跨過多個主動區。字元線結構彼此平行地設置在基底上，且各自在第二水平方向上延伸。位元線接觸件設置在基底上以及所述字元線結構之間，其中位元線接觸件的頂表面低於字元線結構的頂表面。接墊設置在所述位元線接觸件的頂表面上且與位元線接觸件電性連接。

A semiconductor device and a method for manufacturing the semiconductor device are provided. The semiconductor device includes a substrate including a cell region and a peripheral region, an isolation structure defining active regions in the cell region, bit line structures disposed in the substrate and parallel to each other, word line structures disposed on the substrate and parallel to each other, bit line contacts disposed on the substrate and between the word line structures, and pads disposed on top surfaces of the bit line contacts and electrically connected to the bit line contacts. Each of the bit line structures extend in a first horizontal direction and across the active regions. Each of the word line structures extend in a second horizontal direction. The top surfaces of the bit line contacts are lower than top surface of the word line structures.

指定代表圖：

符號簡單說明：

112:位元線結構

120:字元線結構

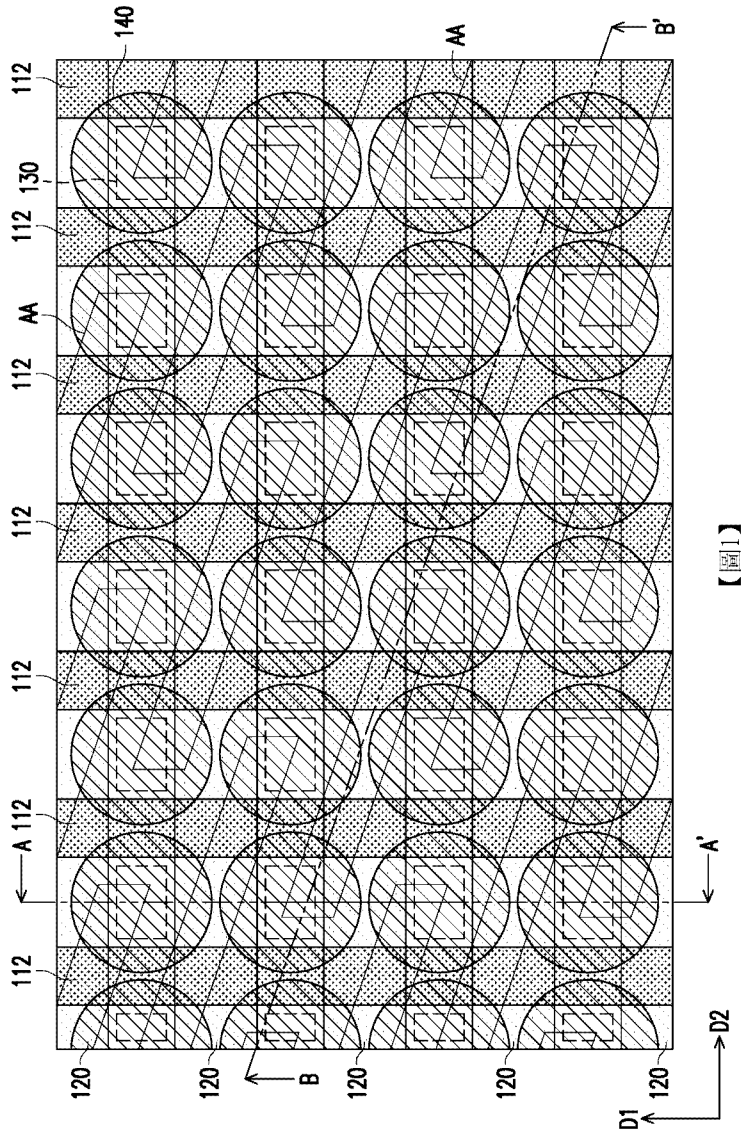
130:位元線接觸件圖案

140:磊晶圖案

AA:主動區

D1:第一方向

D2:第二方向





公告本

I802013

【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND METHOD

FOR MANUFACTURING THE SAME

【中文】本揭露提供一種半導體裝置及其製造方法。半導體裝置包括基底、隔離結構、多個位元線結構、多個字元線結構、多個位元線接觸件以及多個接墊。基底包括胞元區和周邊區。隔離結構設置於基底的胞元區中以界定多個主動區。位元線結構彼此平行地設置在基底中，且各自在第一水平方向上延伸並跨過多個主動區。字元線結構彼此平行地設置在基底上，且各自在第二水平方向上延伸。位元線接觸件設置在基底上以及所述字元線結構之間，其中位元線接觸件的頂表面低於字元線結構的頂表面。接墊設置在所述位元線接觸件的頂表面上且與位元線接觸件電性連接。

【英文】A semiconductor device and a method for manufacturing the semiconductor device are provided. The semiconductor device includes a substrate including a cell region and a peripheral region, an isolation structure defining active regions in the cell region, bit line structures disposed in the substrate and parallel to each other, word line structures disposed on the substrate and parallel to each

other, bit line contacts disposed on the substrate and between the word line structures, and pads disposed on top surfaces of the bit line contacts and electrically connected to the bit line contacts. Each of the bit line structures extend in a first horizontal direction and across the active regions. Each of the word line structures extend in a second horizontal direction. The top surfaces of the bit line contacts are lower than top surface of the word line structures.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

112:位元線結構

120:字元線結構

130:位元線接觸件圖案

140:磊晶圖案

AA:主動區

D1:第一方向

D2:第二方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND METHOD

FOR MANUFACTURING THE SAME

【技術領域】

【0001】本發明是有關於一種半導體裝置及其製造方法。

【先前技術】

【0002】記憶體主要可分為諸如動態隨機存取記憶體（dynamic random access memory，DRAM）等的揮發性記憶體（volatile memory）以及諸如快閃記憶體（flash memory）等的非揮發性記憶體（non-volatile memory）。一般而言，DRAM可包括具有用以儲存載子的儲存節點（storage node），其通常需要在DRAM的胞元區中形成將儲存節點電接連至儲存節點接觸件（storage node contact）的儲存接墊（storage pad），以改善儲存節點和儲存節點接觸件之間的對位問題。

【0003】然而，上述形成儲存接墊的製程通常需要多道微影製程來定義，且在形成的過程中也容易破壞到其他膜層中的結構、配線或是元件，如此將面臨元件表現（device performance）不佳、製程良率不佳以及製造成本昂貴的問題。

【發明內容】

【0004】 本發明提供一種半導體裝置及其製造方法，其在形成過程中可省略至少一道光罩且也不易破壞到其他膜層中的結構、配線或是元件，使得半導體裝置具有至少以下優點：良好的製程良率、具競爭力的成本以及良好的元件表現。

【0005】 本發明一實施例提供一種半導體裝置，其包括基底、隔離結構、多個位元線結構、多個字元線結構、多個位元線接觸件以及多個接墊。基底包括胞元區和周邊區。隔離結構設置於基底的胞元區中以界定多個主動區。主動區中的每一者在長軸方向延伸。長軸方向是相對於第一水平方向和第二水平方向的對角方向，而第一水平方向垂直於第二水平方向。位元線結構彼此平行地設置在基底中且各自在第一水平方向上延伸並跨過多個主動區。字元線結構彼此平行地設置在基底上且各自在第二水平方向上延伸。位元線接觸件設置在基底上以及字元線結構之間，其中位元線接觸件的頂表面低於字元線結構的頂表面。接墊設置在位元線接觸件的頂表面上且與位元線接觸件電性連接。

【0006】 在一些實施例中，半導體裝置更包括設置在字元線結構上並環繞接墊的絕緣層。接墊包括被絕緣層環繞的第一部分以及在第一部分下方並位在字元線結構的側壁上的第二部分。第一部分的寬度在遠離第二部分的方向上逐漸減少。

【0007】 在一些實施例中，第一部分的寬度大於第二部分的寬度。

【0008】 在一些實施例中，接墊的第二部分的寬度約等於位元線

接觸件的寬度。

【0009】 在一些實施例中，半導體裝置更包括各自在第二水平方向上延伸且在第一水平方向上彼此間隔開來的多個擋牆結構。每個擋牆結構為蛇狀圖案且包括設置在字元線結構上的多個彎曲部分以及連接多個彎曲部分的多個直線部分。擋牆結構的彎曲部分與接墊接觸。

【0010】 在一些實施例中，半導體裝置，更包括設置在字元線結構上且位在多個接墊之間以及多個擋牆結構之間的絕緣層。

【0011】 在一些實施例中，接墊包括與擋牆結構接觸的第一側壁以及與絕緣層接觸的第二側壁。

【0012】 本發明一實施例提供一種半導體裝置的製造方法，其包括以下步驟：在基底的胞元區中形成隔離結構以界定多個主動區，其中主動區中的每一者在長軸方向延伸，長軸方向是相對於第一水平方向和第二水平方向的對角方向，而第一水平方向垂直於第二水平方向；在基底中形成彼此平行的多個位元線結構，其中位元線結構中的每一者在第一水平方向上延伸並跨過多個主動區；在基底上形成彼此平行的多個字元線結構，其中字元線結構中的每一者在第二水平方向上延伸；在基底上以及多個字元線結構之間形成多個位元線接觸件圖案；通過選擇性磊晶生長以自位元線接觸件圖案中的每一者的頂表面上形成磊晶圖案；在字元線結構上形成絕緣層，以覆蓋磊晶圖案的側壁；以絕緣層為罩幕，移除磊晶圖案以及位於磊晶圖案下方的位元線接觸件圖案的一部

分，以形成多個位元線接觸件以及暴露出位元線接觸件的頂表面、字元線結構的側壁以及絕緣層的側壁的多個開口；以及於每個開口中形成與位元線接觸件電性連接的接墊。

【0013】 在一些實施例中，磊晶圖案的寬度在遠離位元線接觸件圖案的頂表面的方向上逐漸減少。

【0014】 在一些實施例中，磊晶圖案在底表面處的寬度大於元線接觸件圖案的寬度。

【0015】 在一些實施例中，半導體裝置的製造方法更包括：在形成磊晶圖案之前，於字元線結構上方形成在第二水平方向上延伸且在第一水平方向上彼此間隔開來的多個擋牆結構。每個擋牆結構形成為蛇狀圖案且包括設置在字元線結構上的多個彎曲部分以及連接多個彎曲部分的多個直線部分。在形成絕緣層之後，磊晶圖案包括與絕緣層接觸的側壁以及與擋牆結構接觸的側壁。

【0016】 在一些實施例中，絕緣層形成在多個接墊之間以及多個擋牆結構之間。

【0017】 在一些實施例中，接墊包括與擋牆結構接觸的第一側壁以及與絕緣層接觸的第二側壁。

【0018】 基於上述，在本發明實施例的半導體裝置及其製造方法中，通過選擇性磊晶生長以自位元線接觸件圖案的頂表面上形成磊晶圖案，並以絕緣層作為罩幕來移除磊晶圖案及其下方的位元線接觸件圖案的一部分以形成位元線接觸件以及暴露出位元線接觸件的頂表面的開口，如此能夠在省略至少一道光罩的情況下，

使接墊良好地形成於開口中，致使半導體裝置及其製造方法具有至少以下優點：良好的製程良率、具競爭力的成本以及良好的元件表現。

【圖式簡單說明】

【0019】

圖 1 為本發明一實施例的半導體裝置的製造方法於胞元區中形成磊晶圖案的上視示意圖。

圖 2A 到圖 6B 為本發明一實施例的半導體裝置的製造方法的剖面示意圖。

圖 7 為本發明另一實施例的半導體裝置的製造方法於胞元區中形成磊晶圖案的上視示意圖。

圖 8A 到圖 12B 為本發明另一實施例的半導體裝置的製造方法的剖面示意圖。

【實施方式】

【0020】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之參考號碼表示相同或相似之元件，以下段落將不再一一贅述。

【0021】 應當理解，當諸如元件被稱為在另一元件「上」或「連接到」另一元件時，其可以直接在另一元件上或與另一元件連接，

或者也可存在中間元件。若當元件被稱為「直接在另一元件上」或「直接連接到」另一元件時，則不存在中間元件。如本文所使用的，「連接」可以指物理及/或電性連接，而「電性連接」或「耦合」可為二元件間存在其它元件。本文中所使用的「電性連接」可包括物理連接（例如有線連接）及物理斷接（例如無線連接）。

【0022】 本文使用的「約」、「近似」或「實質上」包括所提到的值和在所屬技術領域中具有通常知識者能夠確定之特定值的可接受的偏差範圍內的平均值，考慮到所討論的測量和與測量相關的誤差的特定數量（即，測量系統的限制）。例如，「約」可以表示在所述值的一個或多個標準偏差內，或 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 內。再者，本文使用的「約」、「近似」或「實質上」可依光學性質、蝕刻性質或其它性質，來選擇較可接受的偏差範圍或標準偏差，而可不用一個標準偏差適用全部性質。

【0023】 使用本文中所使用的用語僅為闡述例示性實施例，而非限制本揭露。在此種情形中，除非在上下文中另有解釋，否則單數形式包括多數形式。

【0024】 圖 1 為本發明一實施例的半導體裝置的製造方法於胞元區中形成磊晶圖案的上視示意圖。圖 2A 到圖 6B 為本發明一實施例的半導體裝置的製造方法的剖面示意圖。圖 2A 中的(a)為圖 1 沿剖線 A-A'所截取的剖面示意圖。圖 2A 中的(b)為圖 1 沿剖線 B-B'所截取的剖面示意圖。圖 2B 為半導體裝置的製造方法中與圖 2A 所示出之胞元區對應的週邊區的示意圖。圖 1 中的剖線 A-A'例如

是在第一方向 D1 延伸並位於兩個位元線結構 112 之間。圖 1 中的剖線 B-B' 例如是沿著主動區 AA 的延伸方向延伸（如後述的長軸方向）並穿過主動區 AA。為了便於說明，圖 1 省略繪示了一些構件（例如絕緣圖案 125 等），並且圖 1 所示出的剖線 A-A' 和剖線 B-B' 僅為示例性，剖面結構還是以圖 2A 到圖 6A 中所示的(a)圖和(b)圖為主。

【0025】 請參照圖 1 和圖 2A，在一些實施例中，半導體裝置（例如圖 6A 和圖 6B 所示出之半導體裝置 1000）的製造方法可包括以下步驟。

【0026】 首先，在基底 100 的胞元區 CR 中形成隔離結構 110 以界定多個主動區 AA。在一些實施例中，主動區 AA 中的每一者可在長軸方向延伸。舉例來說，主動區 AA 可例如為在長軸方向延伸的條狀圖案。在一些實施例中，長軸方向可為相對於第一水平方向 D1 和第二水平方向 D2 的對角方向。在一些實施例中，第一水平方向 D1 可垂直於第二水平方向 D2。

【0027】 基底 100 可為半導體基底。舉例來說，基底 100 可為主體半導體基底（bulk semiconductor substrate）或絕緣體上半導體（semiconductor-on-insulator, SOI）基底等半導體基底。作為另一選擇，基底 100 可為經摻雜（例如具有 P 型摻雜物或 N 型摻雜物）的半導體基底或未經摻雜的半導體基底，但本發明不以此為限。

【0028】 隔離結構 110 可例如是淺溝渠隔離（shallow trench

isolation ; STI) 結構，但不以此為限。在一些實施例中，基底 100 的週邊區 PR 中也可形成隔離結構 10 以界定多個邏輯主動區。邏輯主動區可為後續形成有邏輯元件的區域。舉例來說，如圖 2B 所示之邏輯元件的閘極結構 14 和源極/汲極 12 可形成於邏輯主動區中。

【0029】 接著，在基底 100 中形成彼此平行的多個位元線結構 112。在一些實施例中，位元線結構 112 中的每一者可在第一水平方向 D1 上延伸並跨過多個主動區 AA。在一些實施例中，位元線結構 112 可經由以下步驟形成。首先，於基底 100 中形成位元線溝渠（未示出）。接著，於位元線溝渠的側表面和底表面上形成介電層（未示出）。而後，於位元線溝渠中形成設置在介電層上的位元線（未示出）。位元線可為單層結構或多層結構。位元線可包括導電材料。舉例來說，位元線可包括經摻雜的多晶矽、金屬材料（例如鎢）、導電金屬氮化物（例如 WN、TiSiN、WSiN、TiN 或 TaN）或其組合。

【0030】 然後，在基底 100 上形成彼此平行的多個字元線結構 120。在一些實施例中，字元線結構 120 中的每一者可在第二水平方向 D2 上延伸。在一些實施例中，字元線結構 120 可包括字元線（未示出）、形成於字元線的頂表面上的頂蓋層（未示出）以及形成於字元線的側壁上和頂蓋層的側壁上的間隔件（未示出）。字元線可為單層結構或多層結構。字元線 WL 可包括導電材料。舉例來說，字元線可包括經摻雜的多晶矽、金屬材料（例如鎢）、導電

金屬氮化物（例如 WN、TiSiN、WSiN、TiN 或 TaN）或其組合。頂蓋層可包括絕緣材料（例如氮化矽）。間隔件可為單層結構或多層結構。間隔件可包括絕緣材料（例如氧化物、氮化物或其組合）。

【0031】 而後，在基底 100 上以及字元線結構 120 之間形成位元線接觸件圖案 130。位元線接觸件圖案 130 的材料可為多晶矽。在一些實施例中，形成位元線接觸件圖案 130 的方法可包括以下步驟。首先，於基底 100 上以及字元線結構 120 之間的空間中形成覆蓋字元線結構 120 的兩側壁的絕緣層（未示出）。接著，圖案化所述絕緣層以形成暴露出基底 100 的開口（未示出）。之後，於開口中填入導電材料（例如多晶矽），以形成位元線接觸件圖案 130。在一些實施例中，位元線接觸件圖案 130 可設置在字元線結構 120 之間以及絕緣層經圖案化後所形成之絕緣圖案 125 之間。從上視的角度來看，位元線接觸件圖案 130 可配置在字元線結構 120 之間以及位元線結構 112 之間。在一些實施例中，絕緣圖案 125 的一部分可視為字元線結構 120 的一部分，例如字元線結構 120 的間隔件的一部分，但本發明不以此為限。

【0032】 之後，通過選擇性磊晶生長以自位元線接觸件圖案 130 中的每一者的頂表面上形成彼此間隔開來的磊晶圖案 140。在一些實施例中，磊晶圖案 140 的寬度在遠離位元線接觸件圖案 130 的頂表面的方向上逐漸減少。換句話說，磊晶圖案 140 之間の間隔距離在遠離位元線接觸件圖案 130 的頂表面的方向上逐漸增加。在一些實施例中，磊晶圖案 140 在底表面處的寬度大於位元線接

觸件圖案 130 的寬度。也就是說，磊晶圖案 140 會形成於位元線接觸件圖案 130 的頂表面上、部分絕緣圖案 125 的頂表面上以及部分字元線結構 120 的頂表面上。

【0033】請參照圖 2B，基底 100 的週邊區 PR 中可形成有隔離結構 10 和源極/汲極 12，而基底 100 的週邊區 PR 上可形成有閘極結構 14、介電層 16 以及絕緣圖案 18。隔離結構 10、源極/汲極 12、閘極結構 14、介電層 16 以及絕緣圖案 18 可經由上述製程中的一些製程同時形成或是經由其他製程形成，本發明不以此為限。源極/汲極 12 可摻雜有 P 型摻雜物或 N 型摻雜物，但不以此為限。在一些實施例中，閘極結構 14 可包括形成於基底 100 的邏輯主動區上的閘極(未示出)、形成於閘極和基底 100 之間的閘介電層(未示出)以及形成於閘極的相對兩側壁上並朝向基底 100 延伸以覆蓋閘介電層的相對兩側壁之間隙壁。閘極可包括諸如多晶矽或金屬等常見的閘極材料。閘介電層可包括諸如二氧化矽或高介電常數 (high-k) 等常見的閘介電材料。間隙壁可包括諸如氧化矽等常見的間隙壁材料。介電層 16 可包括諸如二氧化矽等常見的介電材料。絕緣圖案 18 可包括諸如氧化物或氮化物等常見的絕緣材料。

【0034】請參照圖 2A 和圖 3A，在字元線結構 120 和絕緣圖案 125 上形成絕緣材料層(未示出)以覆蓋磊晶圖案 140 的側壁。在一些實施例中，絕緣材料層可覆蓋磊晶圖案 140 的側壁和頂表面。接著，對絕緣材料層和磊晶圖案 140 進行平坦化製程，以形成磊晶圖案 142 和絕緣層 150。在一些實施例中，可採用化學機械研磨

(chemical-mechanical polishing, CMP) 的方式來進行平坦化製程。絕緣層 150 的材料可例如是氮化矽。請參照圖 2B 和圖 3B，絕緣層 150 在週邊區 PR 中還形成於介電層 16 上並覆蓋絕緣圖案 18。

【0035】 請參照圖 3A 和圖 4A，以絕緣層 150 為罩幕，移除其所暴露出的磊晶圖案 142 以及位於磊晶圖案 142 下方的位元線接觸件圖案 130 的一部分，以形成多個位元線接觸件 132 以及暴露出位元線接觸件 132 的頂表面、字元線結構 120 的側壁、絕緣層 150 的側壁和絕緣圖案 125 的側壁的多個開口 OP1。位元線接觸件 132 的頂表面低於字元線結構 120 的頂表面。在一些實施例中，可採用回蝕刻 (etch back) 的方式來移除磊晶圖案 142 以及位於磊晶圖案 142 下方的位元線接觸件圖案 130 的一部分。

【0036】 請參照圖 3B 和圖 4B，絕緣層 150 在週邊區 PR 中可作為罩幕來避免其下的膜層受到上述移除磊晶圖案 142 及部分位元線接觸件圖案 130 的製程的影響。

【0037】 請參照圖 4A 和圖 4B 以及圖 5A 和圖 5B，於週邊區 PR 中的絕緣層 150、絕緣圖案 18 以及介電層 16 中形成暴露出源極/汲極 12 的多個開口 OP2。

【0038】 請參照圖 5A 和圖 5B 以及圖 6A 和圖 6B，於開口 OP1 和開口 OP2 所暴露的位元線接觸件 132 和源極/汲極 12 的表面上分別形成矽化物層 160 和矽化物層 22。矽化物層 160 和矽化物層 22 可包括矽化鈷 (CoSi_x)、矽化鎳 (NiSi_x) 或矽化錳 (MnSi_x)。接

著，於開口 OP1 的矽化物層 160 上以及開口 OP2 中的矽化物層 22 上分別形成與位元線接觸件 132 和源極/汲極 12 電性連接的接墊 170 和源極/汲極接觸件 30。

【0039】 在一些實施例中，絕緣層 150 可設置在字元線結構 120 上並環繞接墊 170。接墊 170 可包括被絕緣層 150 環繞的第一部分以及在第一部分下方並位在字元線結構 120 的側壁上的第二部分。在一些實施例中，接墊 170 的第一部分的寬度在遠離接墊 170 的第二部分的方向上逐漸減少。在一些實施例中，接墊 170 的第一部分的寬度大於接墊 170 的第二部分的寬度。在一些實施例中，接墊 170 的第二部分的寬度約等於位元線接觸件 132 的寬度。

【0040】 在一些實施例中，如圖 6A 所示，接墊 170 可包括阻障層 172 和導電層 174。阻障層 172 可形成於開口 OP1 的側壁和底表面上。導電層 174 可形成於阻障層 172 上並填滿開口 OP1。阻障層 172 可包括諸如 Ti、TiN、Ta 或 TaN 等常見的阻障層材料。導電層 174 可包括諸如鎢等常見的導電材料。

【0041】 在一些實施例中，如圖 6B 所示，源極/汲極接觸件 30 可包括阻障層 32 和導電層 34。阻障層 32 可形成於開口 OP2 的側壁和底表面上。導電層 34 可形成於阻障層 32 上並填滿開口 OP2。阻障層 32 可包括諸如 Ti、TiN、Ta 或 TaN 等常見的阻障層材料。導電層 34 可包括諸如鎢等常見的導電材料。

【0042】 在一些實施例中，在半導體裝置 1000 為 DRAM 的情況下，接墊 170 可作為 DRAM 的儲存接墊，以將後續形成於其上之

儲存節點（未示出）電性連接至位元線接觸件 132。

【0043】 基於上述，半導體裝置 1000 可通過選擇性磊晶生長以自位元線接觸件圖案 130 的頂表面上形成磊晶圖案 140，並以絕緣層 150 作為罩幕來移除磊晶圖案 140 及其下方的位元線接觸件圖案 130 的一部分以形成位元線接觸件 132 以及暴露出位元線接觸件 132 的頂表面的開口 OP1，如此可省略傳統用來形成儲存接墊的兩道光罩，並使得接墊 170 能夠良好地形成於開口 OP1 中。

【0044】 圖 7 為本發明另一實施例的半導體裝置的製造方法於胞元區中形成磊晶圖案的上視示意圖。圖 8A 到圖 12B 為本發明另一實施例的半導體裝置的製造方法的剖面示意圖。圖 8A 中的(a)為圖 7 沿剖線 A-A'所截取的剖面示意圖。圖 8A 中的(b)為圖 7 沿剖線 B-B'所截取的剖面示意圖。圖 8B 為半導體裝置的製造方法中與圖 8A 所示出之胞元區對應的週邊區的示意圖。圖 7 中的剖線 A-A'例如是在第一方向 D1 延伸並位於兩個位元線結構 112 之間。圖 7 中的剖線 B-B'例如是沿著主動區 AA 的延伸方向延伸（如後述的長軸方向）並穿過主動區 AA。為了便於說明，圖 7 省略繪示了一些構件（例如絕緣圖案 125 等），並且圖 7 所示出的剖線 A-A'及剖線 B-B'僅為示例性，剖面結構還是以圖 8A 到圖 12A 中所示的(a)圖和(b)圖為主。

【0045】 半導體裝置（例如圖 12A 和圖 12B 所示出之半導體裝置 2000）的製造方法可包括以下步驟。在半導體裝置 2000 的製造方法中，相同或相似於半導體裝置 1000 之構件的材料、結構和/或相

對位置，以相同或相似的元件標號表示，於此不再重複贅述。

【0046】請參照圖 7 和圖 8A，在形成位元線接觸件圖案 130 後，於字元線結構 120 上方形成在第二水平方向 D2 上延伸且在第一水平方向 D1 上彼此間隔開來的多個擋牆結構 135。在一些實施例中，每個擋牆結構 135 可形成為蛇狀圖案且可包括設置在字元線結構 120 上的多個彎曲部分以及連接多個彎曲部分的多個直線部分。

【0047】接著，通過選擇性磊晶生長以自位元線接觸件圖案 130 中的每一者的頂表面上形成磊晶圖案 140。磊晶圖案 140 通過擋牆結構 135 彼此間隔開來，如此可避免磊晶圖案 140 彼此接觸而造成後續製程中所形成之接墊 170 彼此接觸而造成短路的問題。在一些實施例中，磊晶圖案 140 可形成在擋牆結構 135 的彎曲部分的側壁上。在一些實施例中，磊晶圖案 140 可自擋牆結構 135 的彎曲部分的側壁向遠離該側壁的方向成長而形成如圖 7 所示般的形狀（例如水滴形狀）。在一些實施例中，如圖 7 所示，磊晶圖案 140 在第一方向 D1 上（例如同一行的磊晶圖案 140）位於擋牆結構 135 的同一側的側壁上。在一些實施例中，如圖 7 所示，磊晶圖案 140 在第二方向 D2 上（例如同一系列的磊晶圖案 140）彼此交替地位於擋牆結構 135 的相對側壁上。

【0048】請參照圖 8B，基底 100 的週邊區 PR 中可形成有隔離結構 10 和源極/汲極 12，而基底 100 的週邊區 PR 上可形成有閘極結構 14、介電層 16 以及絕緣圖案 18。隔離結構 10、源極/汲極 12、

閘極結構 14、介電層 16 以及絕緣圖案 18 可經由上述製程中的一些製程同時形成或是經由其他製程形成，本發明不以此為限。

【0049】 請參照圖 8A 和圖 9A，在字元線結構 120 和絕緣圖案 125 上形成絕緣材料層（未示出）以覆蓋磊晶圖案 140 的側壁。在一些實施例中，絕緣材料層可覆蓋磊晶圖案 140 的側壁和頂表面。接著，對絕緣材料層和磊晶圖案 140 進行平坦化製程（例如 CMP），以形成磊晶圖案 142 和絕緣層 150。在一些實施例中，磊晶圖案 140 可包括與絕緣層 150 接觸的側壁以及與擋牆結構 135 接觸的側壁。在一些實施例中，擋牆結構 135、磊晶圖案 142 和絕緣層 150 的頂表面為共平面。請參照圖 8B 和圖 9B，絕緣層 150 還形成於周邊區 PR 中的介電層 16 上並覆蓋絕緣圖案 18。

【0050】 請參照圖 9A 和圖 10A，以絕緣層 150 為罩幕，移除其所暴露出的磊晶圖案 142 以及位於磊晶圖案 142 下方的位元線接觸件圖案 130 的一部分，以形成多個位元線接觸件 132 以及暴露出位元線接觸件 132 的頂表面、字元線結構 120 的側壁、絕緣層 150 的側壁和絕緣圖案 125 的側壁的多個開口 OP11。位元線接觸件 132 的頂表面低於字元線結構 120 的頂表面。在一些實施例中，可採用回蝕刻（etch back）的方式來移除磊晶圖案 142 以及位於磊晶圖案 142 下方的位元線接觸件圖案 130 的一部分。

【0051】 請參照圖 9B 和圖 10B，絕緣層 150 在週邊區 PR 中可作為罩幕來避免其下的膜層受到上述移除磊晶圖案 142 及部分位元線接觸件圖案 130 的製程的影響。

【0052】 請參照圖 10A 和圖 10B 以及圖 11A 和圖 11B，在週邊區 PR 中的絕緣層 150、絕緣圖案 18 以及介電層 16 中形成暴露出源極/汲極 12 的多個開口 OP2。

【0053】 請參照圖 11A 和圖 11B 以及圖 12A 和圖 12B，於開口 OP11 和開口 OP2 所分別暴露的位元線接觸件 132 和源極/汲極 12 的表面上形成矽化物層 160 和矽化物層 22。接著，於開口 OP11 的矽化物層 160 上和開口 OP2 的矽化物層 22 上分別形成與位元線接觸件 132 和源極/汲極 12 電性連接的接墊 170 和源極/汲極接觸件 30。在一些實施例中，擋牆結構 135 的彎曲部分可與接墊 170 接觸。

【0054】 在一些實施例中，絕緣層 150 可形成在接墊 170 之間以及多個擋牆結構 135 之間。在一些實施例中，接墊 170 可包括與擋牆結構 135 接觸的第一側壁以及與絕緣層 150 接觸的第二側壁。接墊 170 可包括被字元線結構 120 環繞的第二部分以及在第二部分上方的第一部分。在一些實施例中，接墊 170 的第一部分的寬度在遠離接墊 170 的第二部分的方向上逐漸減少。在一些實施例中，接墊 170 的第一部分的寬度大於接墊 170 的第二部分的寬度。在一些實施例中，接墊 170 的第二部分的寬度約等於位元線接觸件 132 的寬度。

【0055】 在一些實施例中，如圖 12A 所示，接墊 170 可包括阻障層 172 和導電層 174。阻障層 172 可形成於開口 OP11 的側壁和底表面上。導電層 174 可形成於阻障層 172 上並填滿開口 OP11。

【0056】 在一些實施例中，如圖 12B 所示，源極/汲極接觸件 30 可包括阻障層 32 和導電層 34。阻障層 32 可形成於開口 OP2 的側壁和底表面上。導電層 34 可形成於阻障層 32 上並填滿開口 OP2。

【0057】 在一些實施例中，在半導體裝置 2000 為 DRAM 的情況下，接墊 170 可作為 DRAM 的儲存接墊，以將後續形成於其上之儲存節點（未示出）電性連接至位元線接觸件 132。

【0058】 基於上述，半導體裝置 2000 可通過選擇性磊晶生長以自位元線接觸件圖案 130 的頂表面上形成磊晶圖案 140，並以絕緣層 150 作為罩幕來移除磊晶圖案 140 及其下方的位元線接觸件圖案 130 的一部分以形成位元線接觸件 132 以及暴露出位元線接觸件 132 的頂表面的開口 OP11，如此可省略一道光罩並使接墊 170 良好地形成於開口 OP11 中，致使半導體裝置 2000 具有良好的製程良率、製造成本以及元件表現。另一方面，在形成磊晶圖案 140 之前，上述實施例藉由擋牆結構 135 來避免選擇性磊晶生長所形成之磊晶圖案 140 彼此接觸，使得後續形成之接墊 170 不會彼此接觸而造成短路的問題。

【0059】 綜上所述，在本發明實施例的半導體裝置及其製造方法中，通過選擇性磊晶生長以自位元線接觸件圖案的頂表面上形成磊晶圖案，並以絕緣層作為罩幕來移除磊晶圖案及其下方的位元線接觸件圖案的一部分以形成位元線接觸件以及暴露出位元線接觸件的頂表面的開口，如此能夠在省略至少一道光罩的情況下，使接墊良好地形成於開口中，致使半導體裝置及其製造方法具有

至少以下優點：良好的製程良率、具競爭力的成本以及良好的元件表現。

【符號說明】

【0060】

- 10:隔離結構
- 12:源極/汲極
- 14:閘極結構
- 16:介電層
- 18:絕緣圖案
- 22:矽化物層
- 30:源極/汲極接觸件
- 32:阻障層
- 34:導電層
- 100:基底
- 110:隔離結構
- 112:位元線結構
- 120:字元線結構
- 125:絕緣圖案
- 130:位元線接觸件圖案
- 132:位元線接觸件
- 135:擋牆結構

140、142:磊晶圖案

150:絕緣層

160:矽化物層

170:接墊

172:阻障層

174:導電層

1000、2000:半導體裝置

AA:主動區

CR:胞元區

D1:第一方向

D2:第二方向

OP1、OP11、OP2:開口

PR:周邊區

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包括胞元區和周邊區；

隔離結構，設置於所述基底的所述胞元區中以界定多個主動區，其中多個所述主動區中的每一者在長軸方向延伸，所述長軸方向是相對於第一水平方向和第二水平方向的對角方向，所述第一水平方向垂直於所述第二水平方向；

多個位元線結構，彼此平行地設置在所述基底中，且各自在所述第一水平方向上延伸並跨過多個所述主動區；

多個字元線結構，彼此平行地設置在所述基底上，且各自在所述第二水平方向上延伸；

多個位元線接觸件，設置在所述基底上以及多個所述字元線結構之間，其中所述位元線接觸件的頂表面低於所述字元線結構的頂表面；

多個接墊，分別設置在多個所述位元線接觸件的所述頂表面上且與所述位元線接觸件電性連接；以及

絕緣層，設置在多個所述字元線結構上並環繞多個所述接墊，其中所述接墊包括被所述絕緣層環繞的第一部分以及在所述第一部分下方並位在所述字元線結構的側壁上的第二部分，

其中所述第一部分的寬度在遠離所述第二部分的方向上逐漸減少。

【請求項2】 如請求項1所述的半導體裝置，其中所述第一部分的所述寬度大於所述第二部分的寬度。

【請求項3】 如請求項1所述的半導體裝置，其中所述接墊的所述第二部分的寬度約等於所述位元線接觸件的寬度。

【請求項4】 如請求項1所述的半導體裝置，更包括：

多個擋牆結構，各自在所述第二水平方向上延伸且在所述第一水平方向上彼此間隔開來，其中每個所述擋牆結構為蛇狀圖案且包括設置在所述字元線結構上的多個彎曲部分以及連接多個所述彎曲部分的多個直線部分，

其中所述擋牆結構的所述彎曲部分與所述接墊接觸。

【請求項5】 如請求項4所述的半導體裝置，其中：

所述絕緣層位在多個所述接墊之間以及多個所述擋牆結構之間。

【請求項6】 如請求項5所述的半導體裝置，其中所述接墊包括與所述擋牆結構接觸的第一側壁以及與所述絕緣層接觸的第二側壁。

【請求項7】 一種半導體裝置的製造方法，包括：

在基底的胞元區中形成隔離結構以界定多個主動區，其中多個所述主動區中的每一者在長軸方向延伸，所述長軸方向是相對於第一水平方向和第二水平方向的對角方向，所述第一水平方向垂直於所述第二水平方向；

在所述基底中形成彼此平行的多個位元線結構，所述位元線

結構中的每一者在所述第一水平方向上延伸並跨過多個所述主動區；

在所述基底上形成彼此平行的多個字元線結構，所述字元線結構中的每一者在所述第二水平方向上延伸；

在所述基底上以及多個所述字元線結構之間形成多個位元線接觸件圖案；

通過選擇性磊晶生長以自多個所述位元線接觸件圖案中的每一者的頂表面上形成磊晶圖案；

在多個所述字元線結構上形成絕緣層，以覆蓋所述磊晶圖案的側壁；

以所述絕緣層為罩幕，移除所述磊晶圖案以及位於所述磊晶圖案下方的所述位元線接觸件圖案的一部分，以形成多個位元線接觸件以及暴露出所述位元線接觸件的頂表面、所述字元線結構的側壁以及所述絕緣層的側壁的多個開口；以及

於每個所述開口中形成與所述位元線接觸件電性連接的接墊。

【請求項8】 如請求項7所述的半導體裝置的製造方法，其中所述磊晶圖案的寬度在遠離所述位元線接觸件圖案的所述頂表面的方向上逐漸減少。

【請求項9】 如請求項7所述的半導體裝置的製造方法，其中所述磊晶圖案在底表面處的所述寬度大於所述元線接觸件圖案的寬度。

【請求項10】 如請求項7所述的半導體裝置的製造方法，更包括：

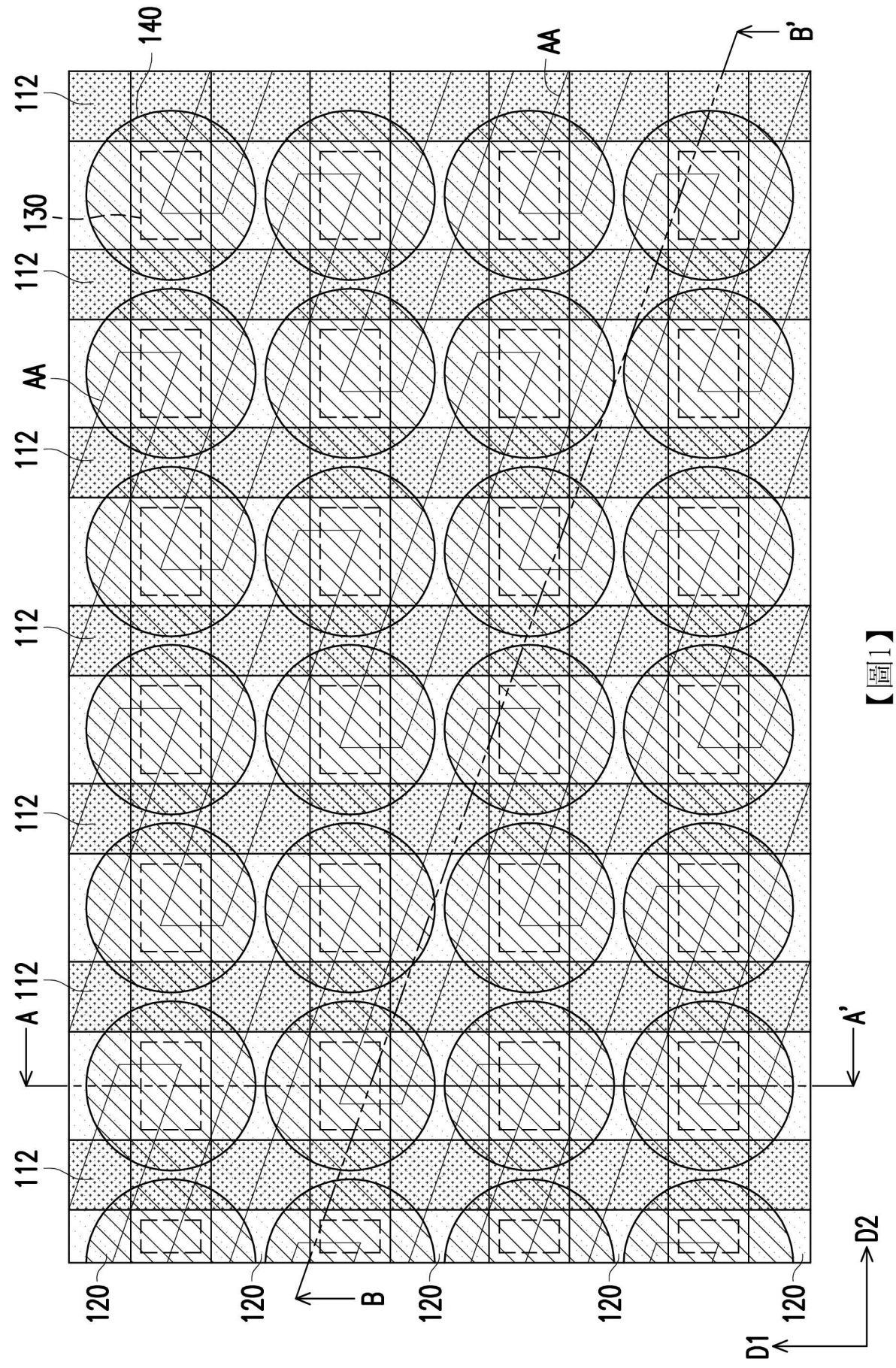
在形成所述磊晶圖案之前，於所述字元線結構上方形成在所述第二水平方向上延伸且在所述第一水平方向上彼此間隔開來的多個擋牆結構，其中每個所述擋牆結構形成為蛇狀圖案且包括設置在所述字元線結構上的多個彎曲部分以及連接多個所述彎曲部分的多個直線部分，且

在形成所述絕緣層之後，所述磊晶圖案包括與所述絕緣層接觸的所述側壁以及與所述擋牆結構接觸的側壁。

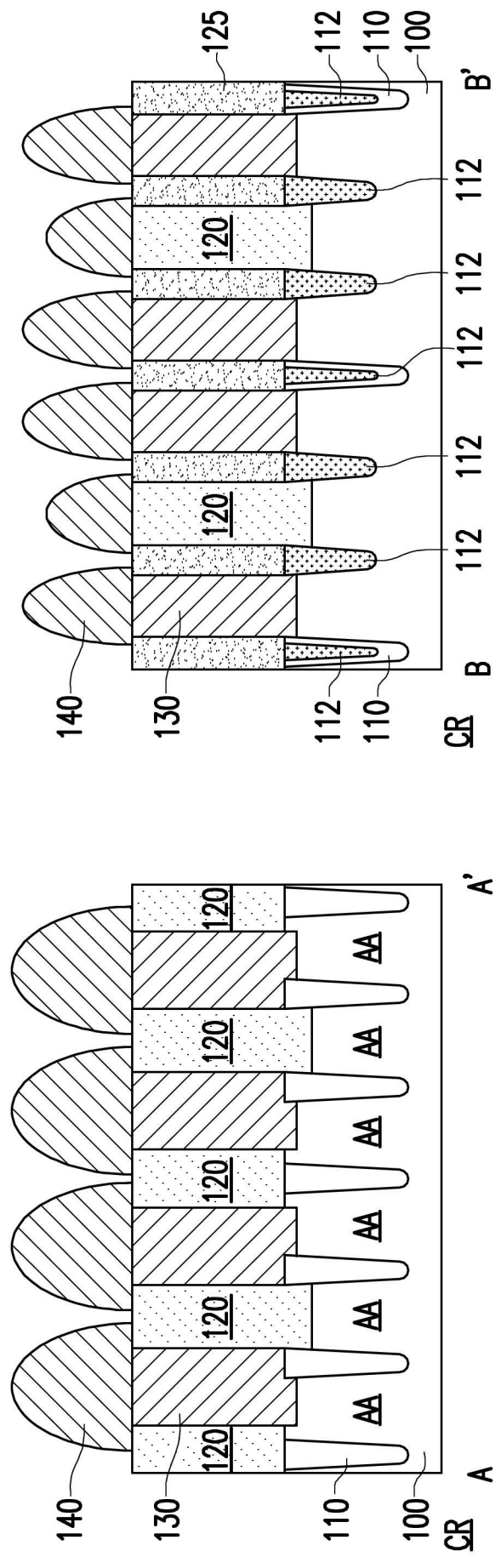
【請求項11】 如請求項10所述的半導體裝置的製造方法，其中所述絕緣層形成在多個所述接墊之間以及多個所述擋牆結構之間。

【請求項12】 如請求項10所述的半導體裝置的製造方法，其中所述接墊包括與所述擋牆結構接觸的第一側壁以及與所述絕緣層接觸的第二側壁。

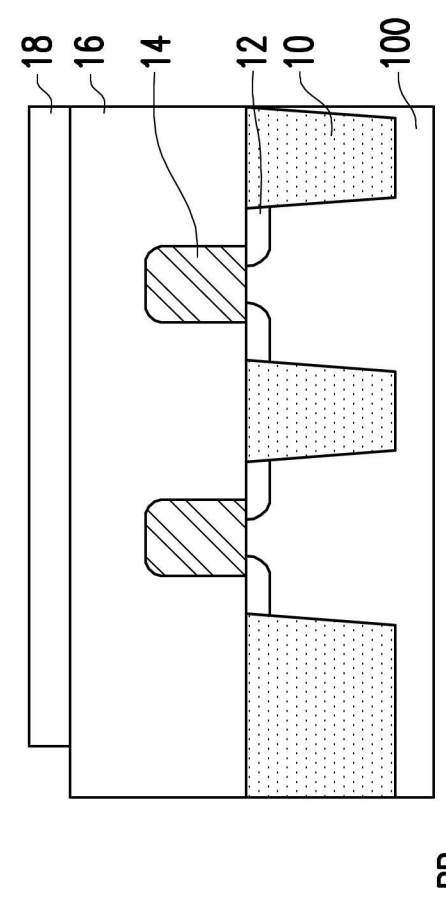
【發明圖式】



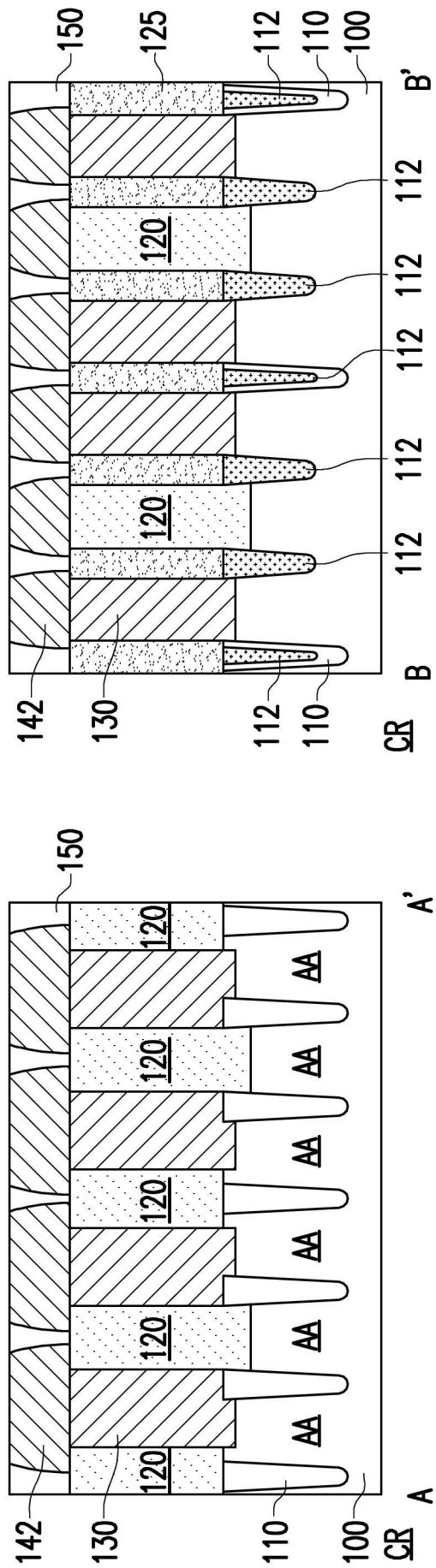
【圖1】



【圖2A】



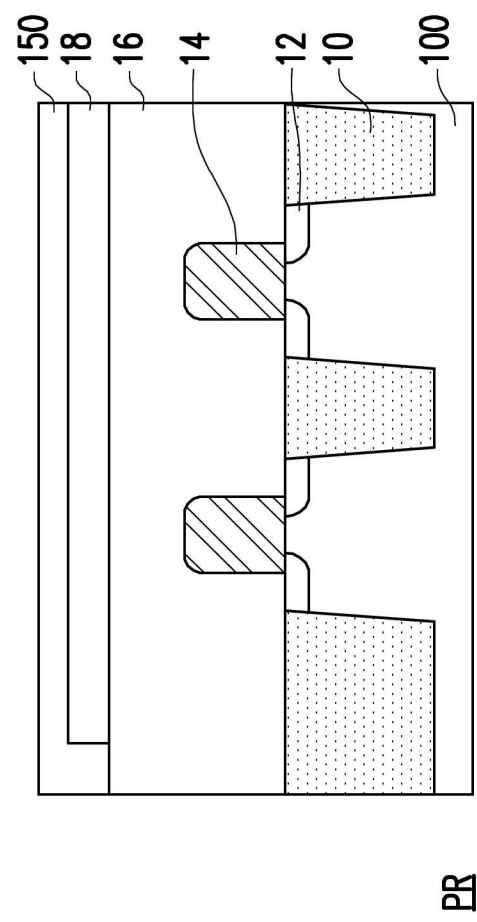
【圖2B】



(a)

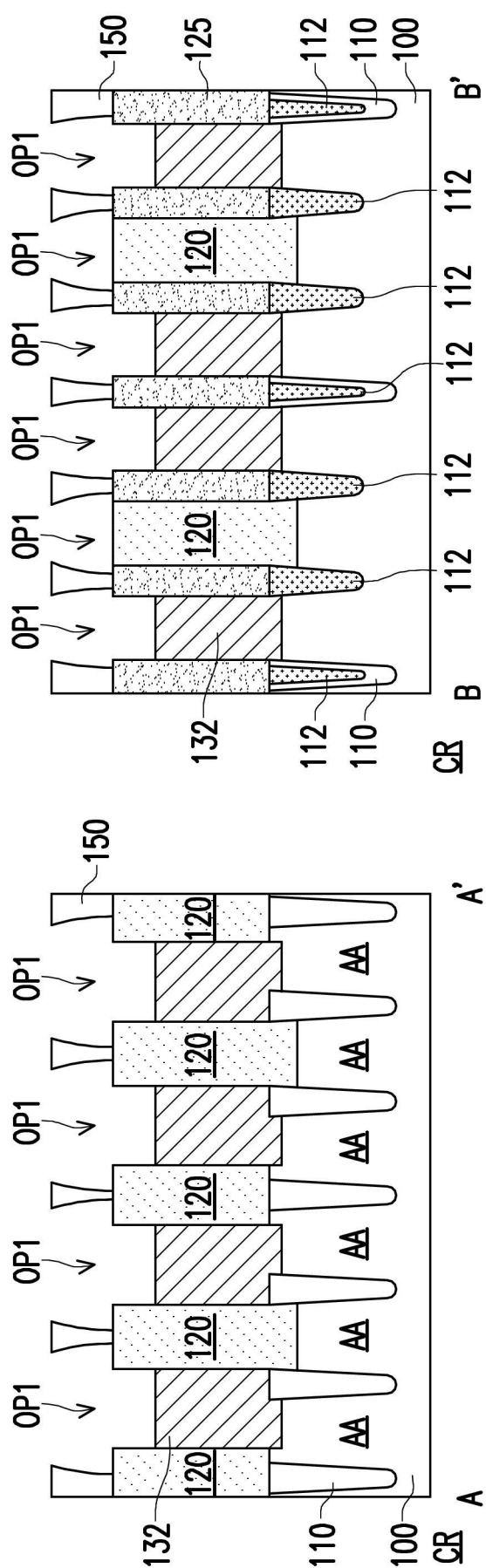
(b)

【圖3A】



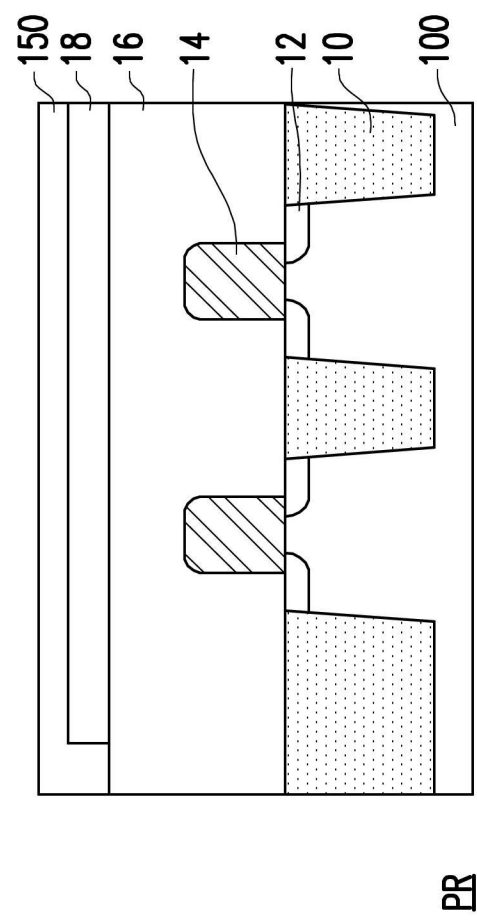
PR

【圖3B】



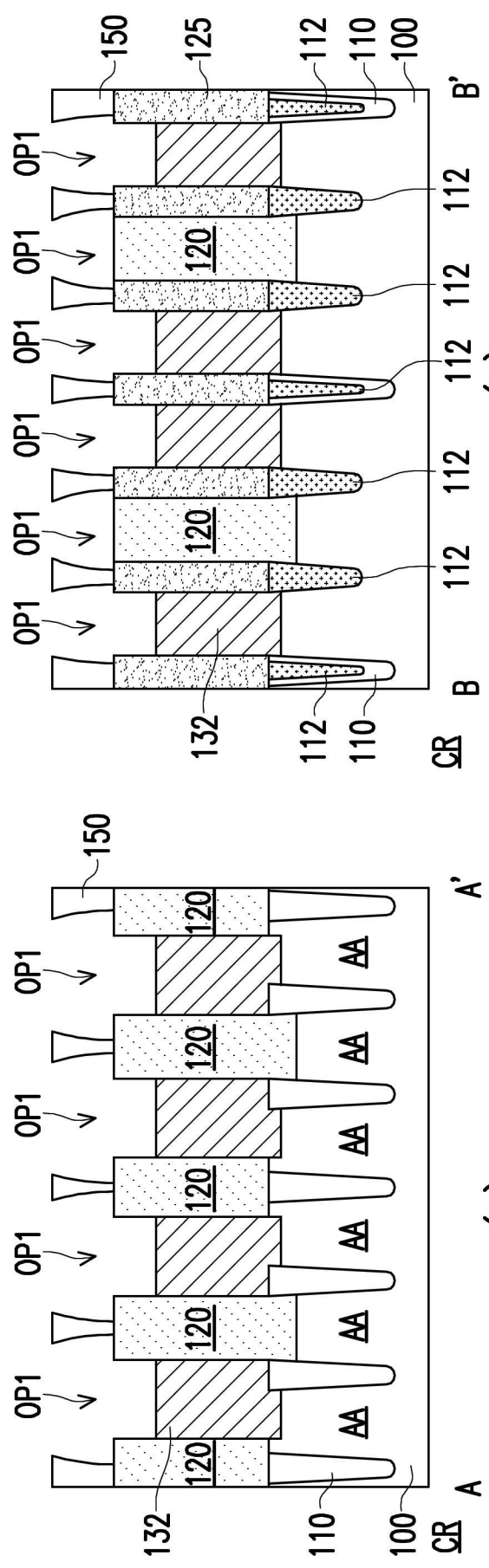
(b)

【圖4A】



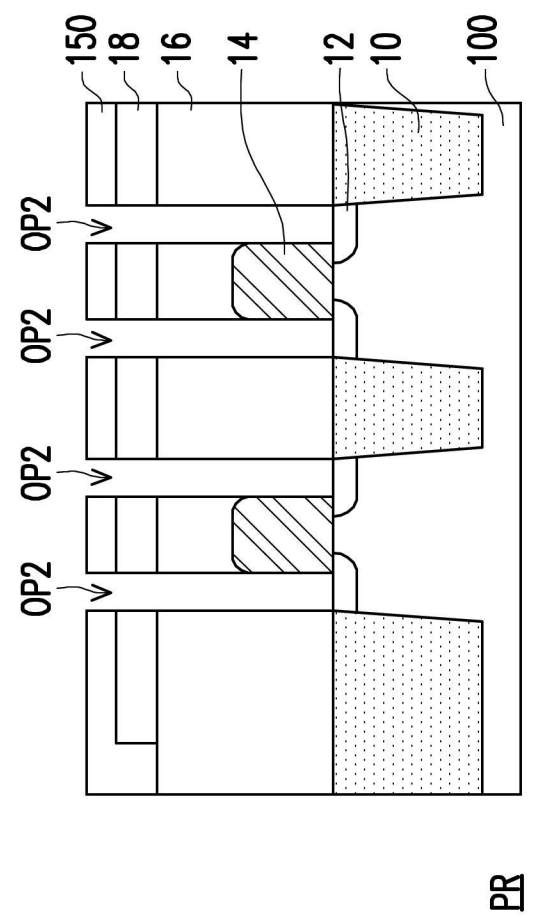
【圖4B】

(a)

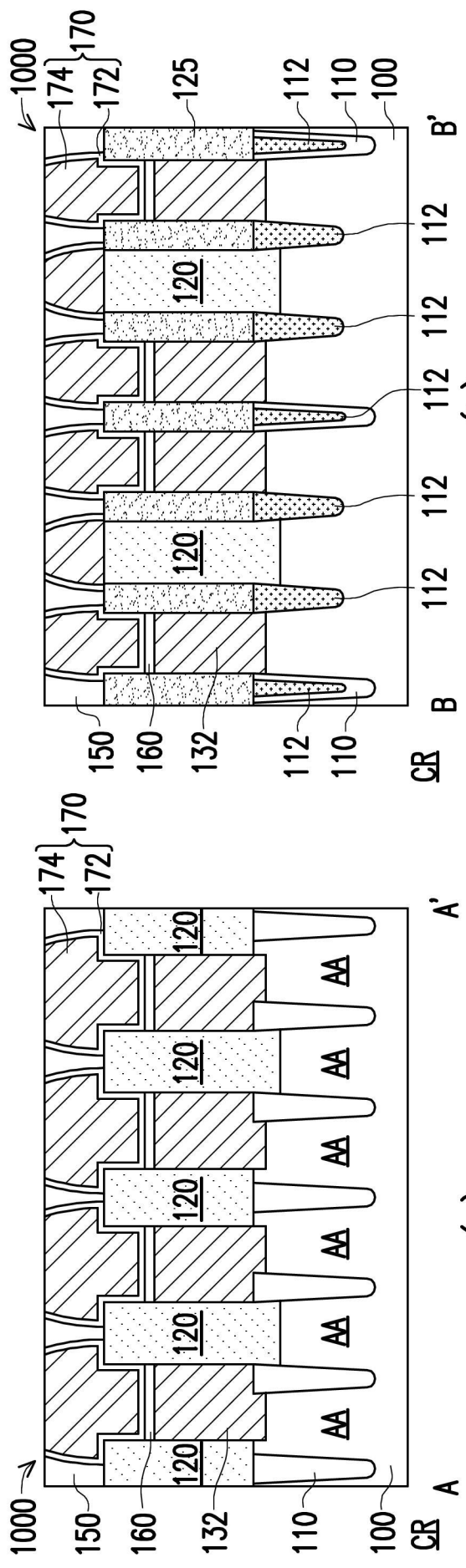


(b)

【圖5A】



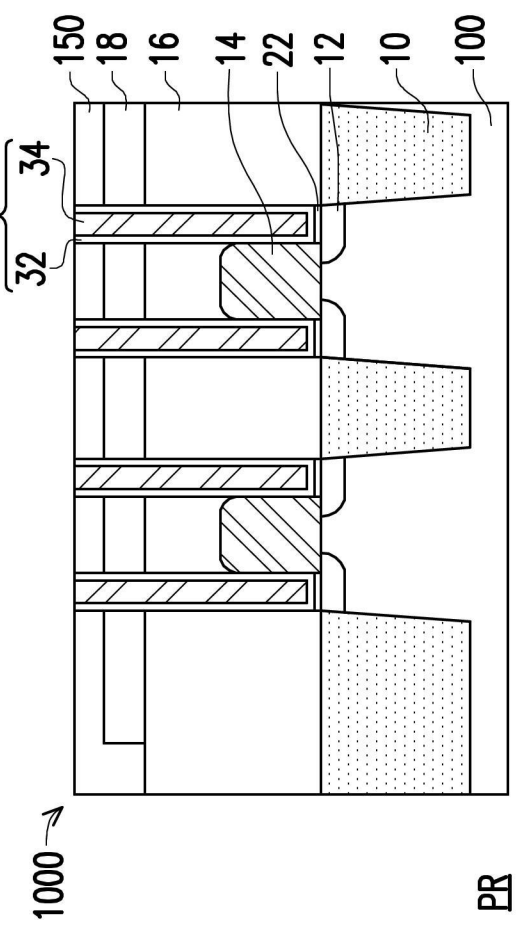
【圖5B】



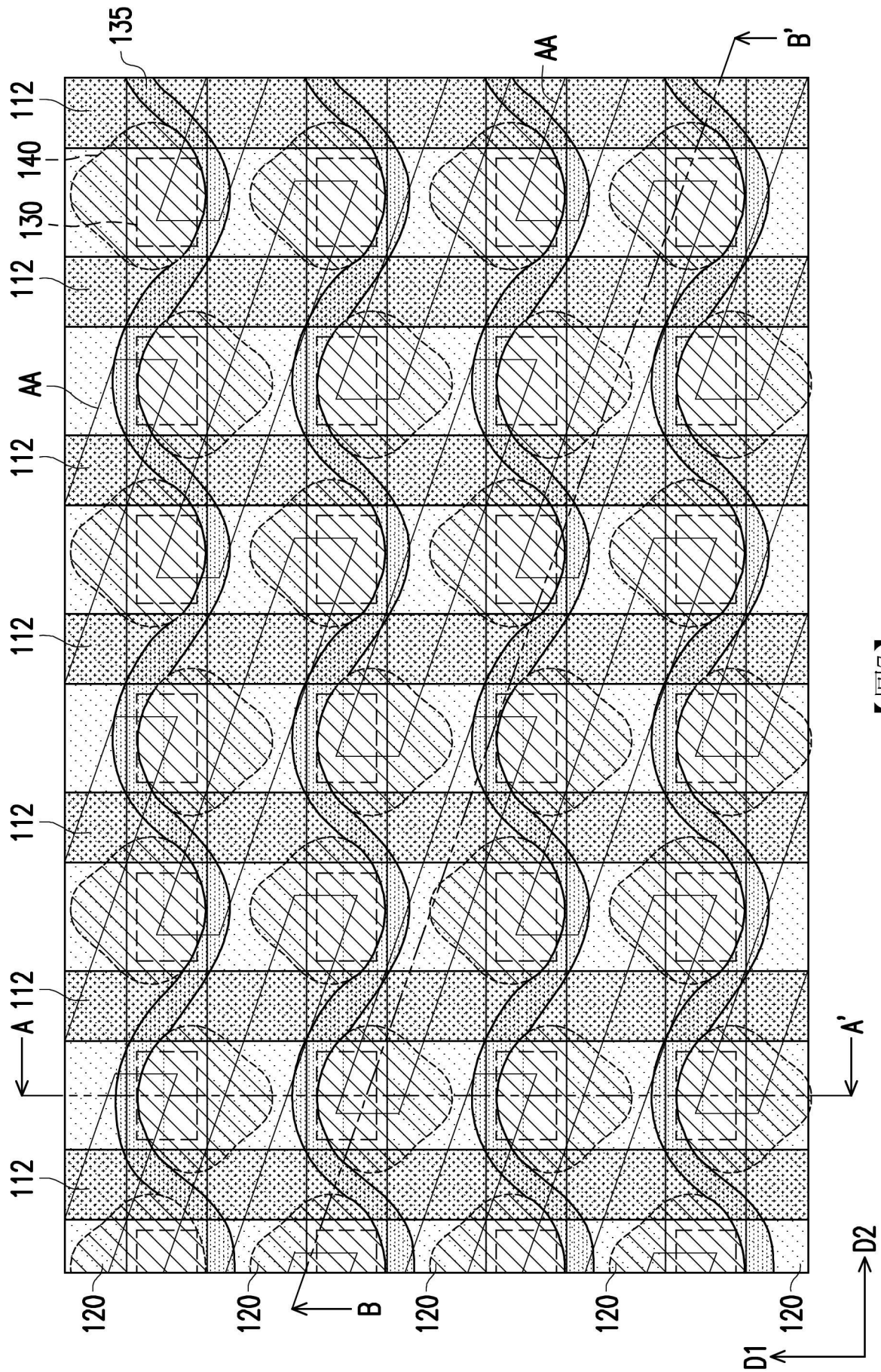
(a)

(b)

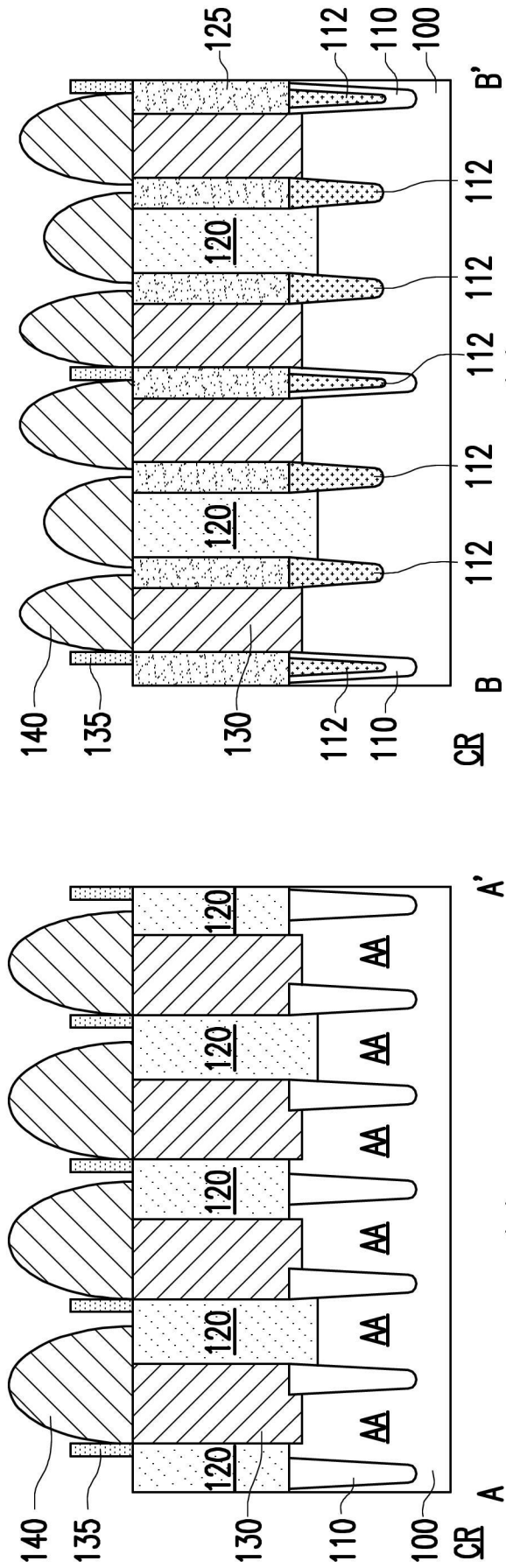
【圖6A】



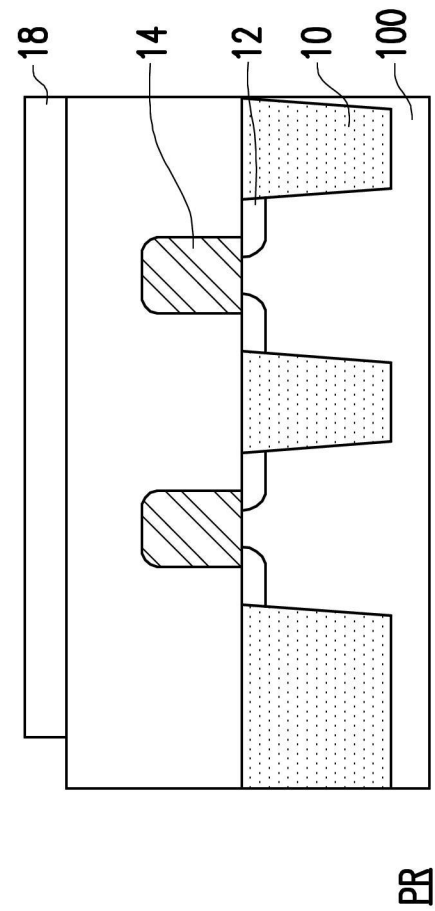
【圖6B】



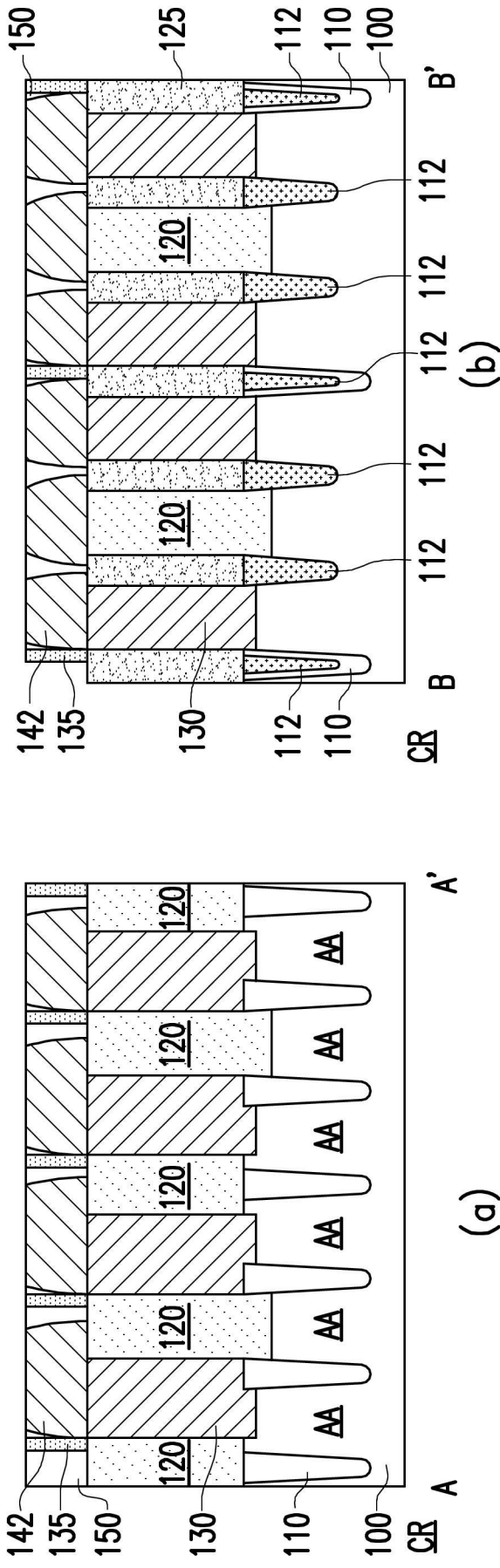
【圖7】



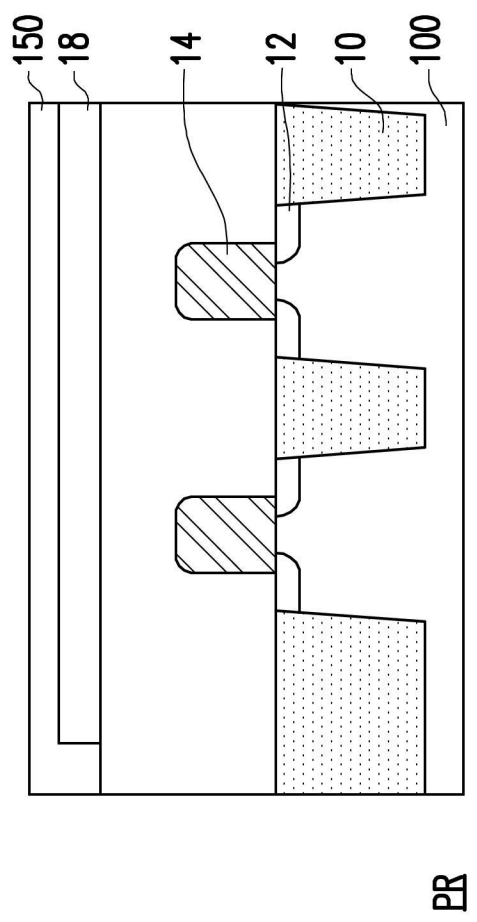
【圖8A】



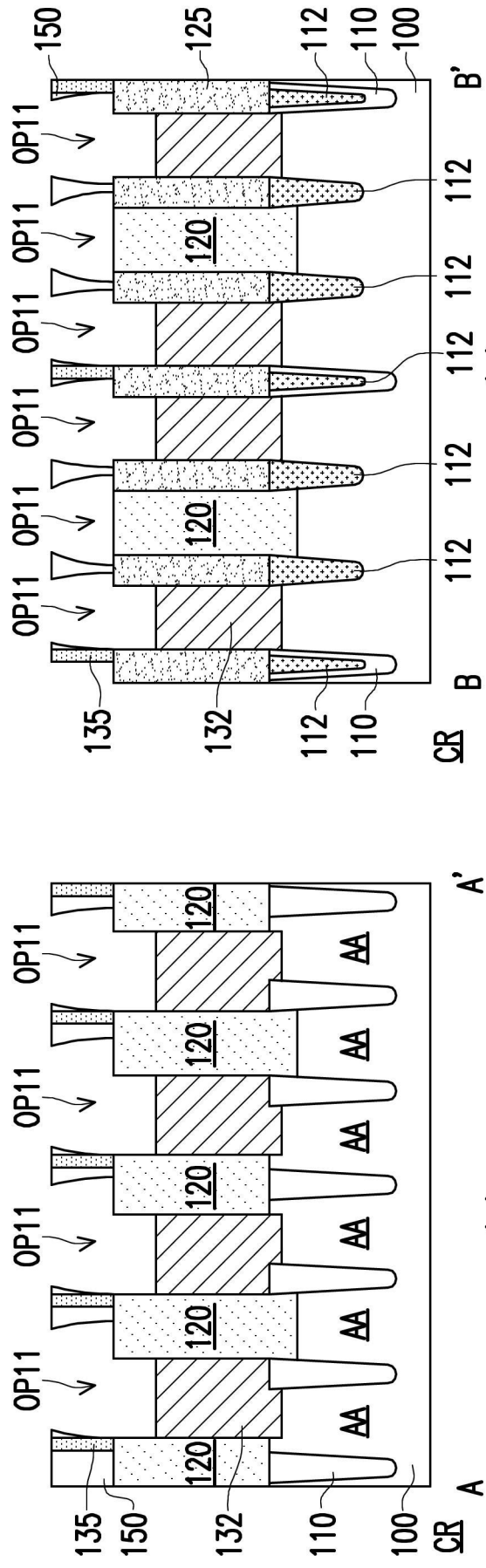
【圖8B】



【圖9A】



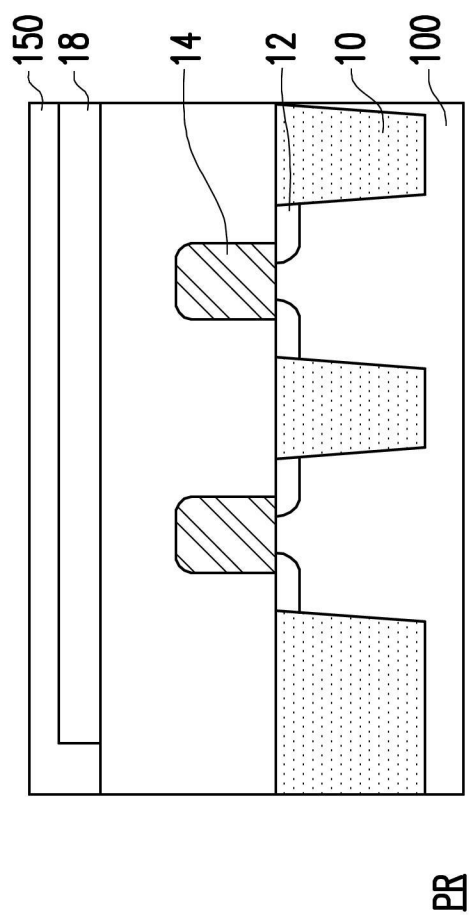
【圖9B】



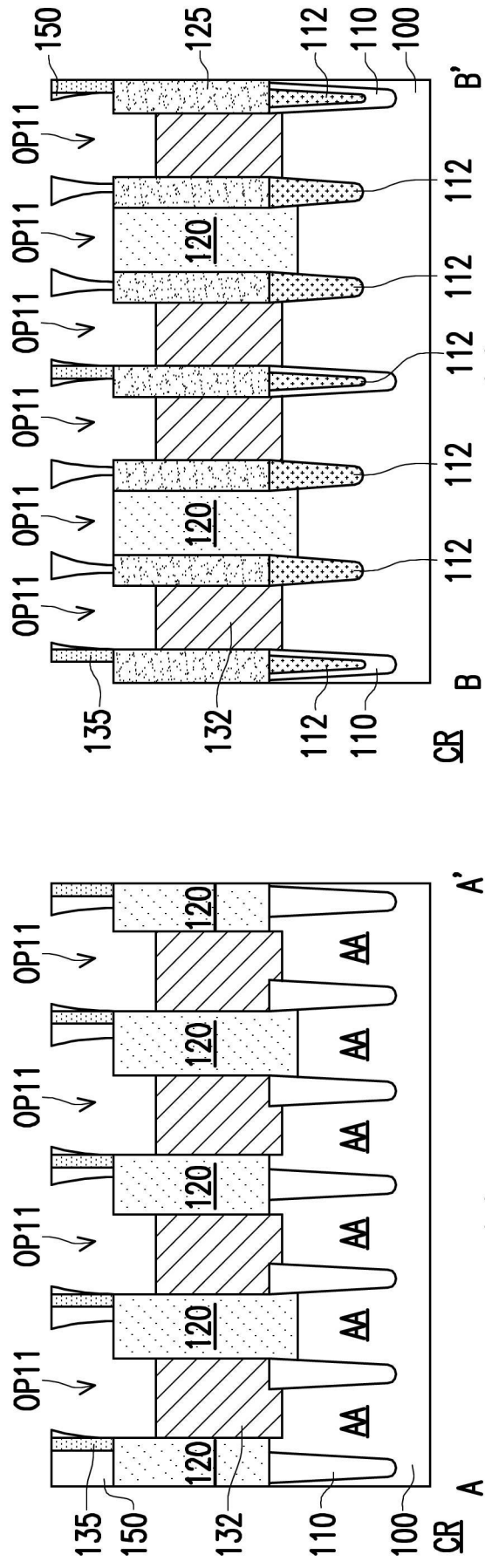
(a)

(b)

【圖10A】



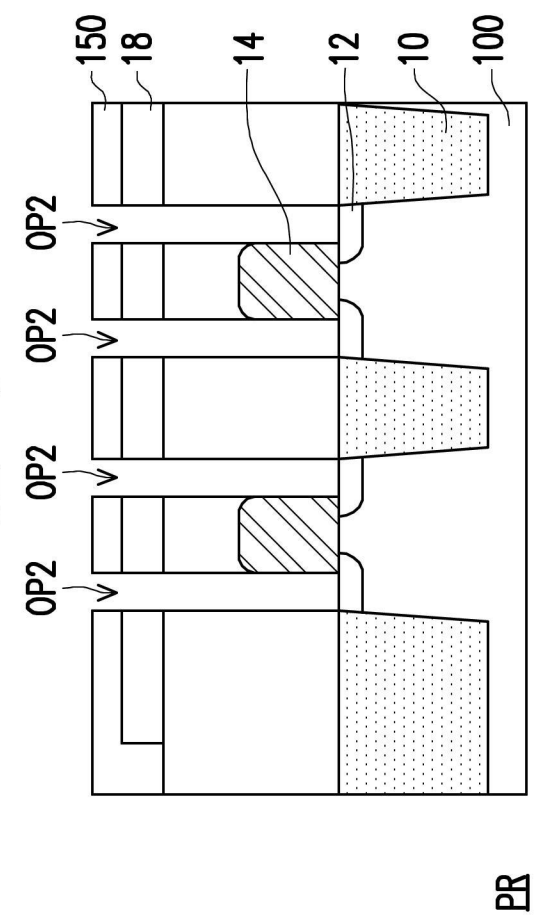
【圖10B】



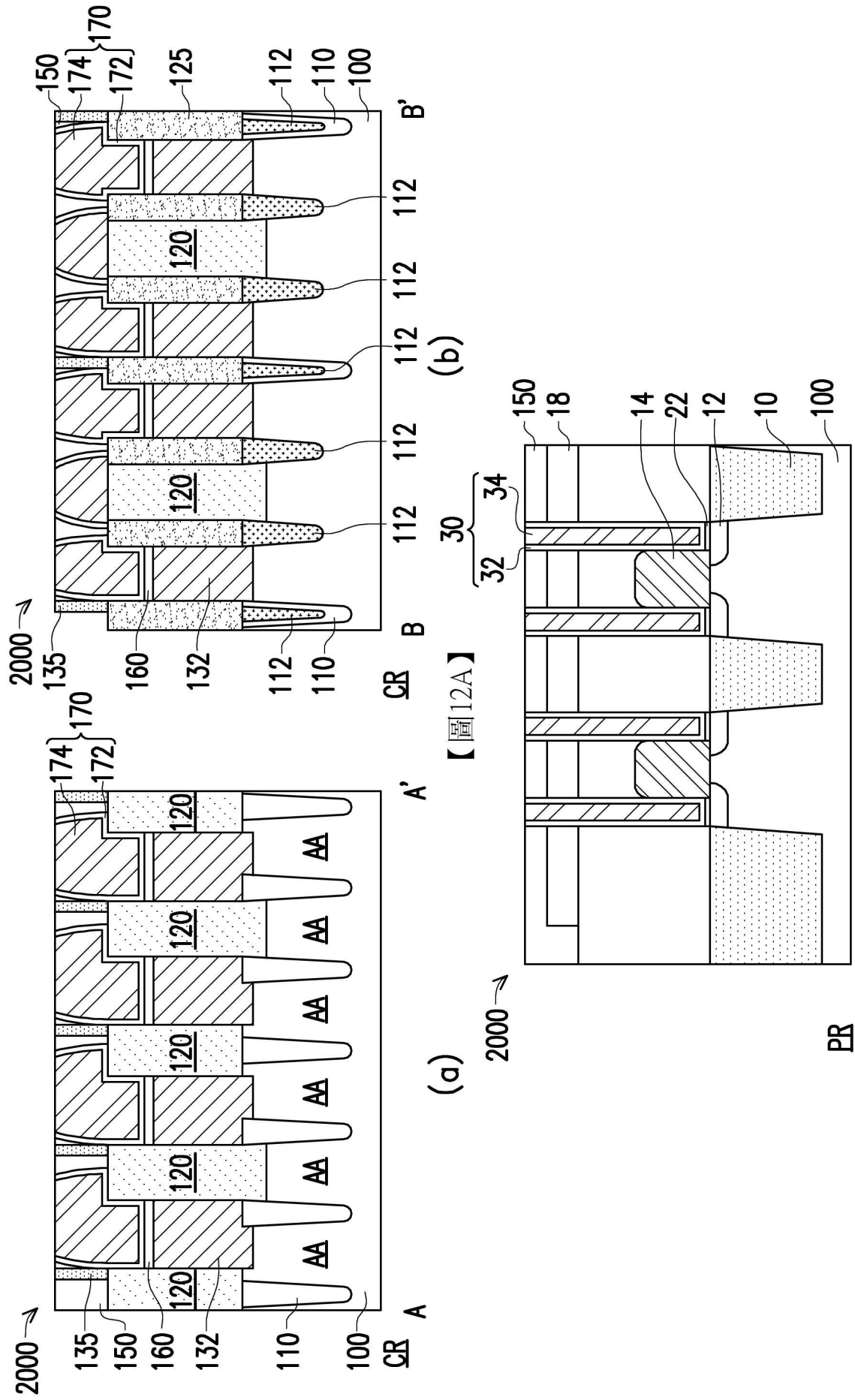
(b)

(a)

【圖11A】



【圖11B】



【圖12A】

【圖12B】