

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5449290号
(P5449290)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl. F I
H03M 1/56 (2006.01) H03M 1/56

請求項の数 16 (全 24 頁)

(21) 出願番号	特願2011-223298 (P2011-223298)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成23年10月7日(2011.10.7)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2013-85104 (P2013-85104A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成25年5月9日(2013.5.9)	(72) 発明者	斉藤 和宏 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成24年7月18日(2012.7.18)	(72) 発明者	樋山 拓己 東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 ランプ信号出力回路、アナログデジタル変換回路、撮像装置、ランプ信号出力回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

時間に依存して電位が変化するランプ信号を出力するランプ信号出力回路であって、複数の電圧を供給する電圧供給部と、

電流供給部と、

前記ランプ信号を出力する積分回路と、

容量素子と、

を有し、

前記電圧供給部が前記容量素子の一方の端子に電氣的に接続され、

前記積分回路と前記電流供給部とが前記容量素子の他方の端子に電氣的に接続され、

前記積分回路は、前記電圧供給部から前記容量素子を介して供給される、前記複数の電圧のうちの第1の電圧に基づいてリセット電位の信号を生成し、

前記積分回路は、前記電圧供給部から前記容量素子を介して供給される、前記複数の電圧のうちの第2の電圧に基づいて、ランプ開始電位の信号を、前記リセット電位から電位をシフトして生成し、

前記積分回路は、前記ランプ信号の時間に依存した電位の変化を前記ランプ開始電位から開始することを特徴とするランプ信号出力回路。

【請求項2】

前記積分回路が、差動増幅部と、前記差動増幅部の出力端子と入力端子とを電氣的に接続する帰還経路に設けられた積分容量と、を有し、

前記差動増幅部の前記出力端子から前記ランプ信号が出力されることを特徴とする請求項 1 に記載のランプ信号出力回路。

【請求項 3】

前記差動増幅部は前記入力端子とは別に、参照電圧が入力される第 2 の入力端子を有し、

前記電流供給部が前記入力端子に電氣的に接続されていることを特徴とする請求項 2 に記載のランプ信号出力回路。

【請求項 4】

前記電流供給部は電流源と、第 1 のトランジスタと、第 2 のトランジスタと、を含み、前記電流源と前記入力端子とが前記第 1 のトランジスタを介して電氣的に接続され、
さらに、

前記電圧供給部と前記電流源とが前記第 2 のトランジスタを介して電氣的に接続され、前記電流源が前記第 1 のトランジスタと前記第 2 のトランジスタのそれぞれの制御電極に電氣的に接続され、

前記電流源から前記第 1 のトランジスタの制御電極に供給される電位に基づいて前記第 1 のトランジスタから前記入力端子に電流が供給され、

前記電流源から前記第 2 のトランジスタの制御電極に供給される電位に基づいて前記第 2 のトランジスタから前記電圧供給部に電流が供給され、前記電圧供給部は前記第 2 のトランジスタから供給される電流に基づいて前記第 1 および第 2 の電圧を生成することを特徴とする請求項 2 または 3 に記載のランプ信号出力回路。

【請求項 5】

時間に依存して電位が変化するランプ信号を出力するランプ信号出力回路の駆動方法であって、

前記ランプ信号出力回路は、
電流供給部と、
積分回路と、

容量素子と、を有し、
前記容量素子を介して前記積分回路に供給される第 1 の電圧に基づいて前記積分回路がリセット電位の信号を生成し、前記積分回路に供給される第 2 の電圧に基づいて、ランプ開始電位の信号を前記リセット電位から電位をシフトして生成し、

前記積分回路が、前記ランプ開始電位から電位が変化する前記ランプ信号を出力することを特徴とするランプ信号出力回路の駆動方法。

【請求項 6】

前記ランプ信号出力回路はさらに、前記容量素子を介して前記積分回路に複数の電圧値を供給する電圧供給部を有し、

前記積分回路は、差動増幅部と、前記差動増幅部の出力端子と入力端子とを電氣的に接続する帰還経路に設けられた積分容量と、を有し、

前記差動増幅部の前記出力端子から前記ランプ信号が出力され、

前記差動増幅部は前記入力端子とは別に、参照電圧が入力される第 2 の入力端子を有し、

前記電流供給部は電流源と、第 1 のトランジスタと、第 2 のトランジスタと、を含み、前記電流源と前記入力端子とが前記第 1 のトランジスタを介して電氣的に接続され、
さらに、

前記電圧供給部と前記電流源とが前記第 2 のトランジスタを介して電氣的に接続され、前記電流源が前記第 1 のトランジスタと前記第 2 のトランジスタのそれぞれの制御電極に共通の電位を供給し、

前記電流源から前記第 1 のトランジスタの制御電極に供給される電位に基づいて前記第 1 のトランジスタから前記入力端子に電流が供給され、

前記電流源から前記第 2 のトランジスタの制御電極に供給される電位に基づいて前記第 2 のトランジスタから前記電圧供給部に電流が供給され、前記電圧供給部は前記第 2 のト

10

20

30

40

50

ランジスタから供給される電流に基づいて前記第 1 および第 2 の電圧を生成することを特徴とする請求項 5 に記載のランプ信号出力回路の駆動方法。

【請求項 7】

前記ランプ信号出力回路は、前記ランプ開始電位とは異なるランプ開始電位の信号を前記積分回路が生成するための第 3 の電圧を前記積分回路に供給するモードを備え、

前記第 3 の電圧は前記第 2 の電圧よりも振幅の大きい電圧値であって、

前記積分回路に前記第 1 の電圧を供給する場合には、前記積分回路は、単位時間あたり第 1 の変化量で電位が変化する前記ランプ信号を出力し、

前記積分回路に前記第 3 の電圧を供給する場合には、前記積分回路は、単位時間あたり前記第 1 の変化量よりも大きい変化量で電位が変化する前記ランプ信号を出力することを特徴とする請求項 5 または 6 に記載のランプ信号出力回路の駆動方法。

10

【請求項 8】

前記積分回路が出力する信号の電位を前記リセット電位から前記ランプ開始電位へシフトする期間、前記電流供給部が前記積分回路に電流を供給しないことを特徴とする請求項 5 ~ 7 のいずれかに記載のランプ信号出力回路の駆動方法。

【請求項 9】

請求項 1 ~ 4 のいずれかに記載のランプ信号出力回路と、

前記ランプ信号に基づく電位とアナログ信号の電位とを比較した比較結果を示す比較結果信号を出力する複数の比較部と、

クロックパルス信号を計数したカウント信号を出力するカウンタと、

前記カウンタから前記カウント信号と、前記比較部から前記比較結果信号とが入力され、

20

複数の前記比較部に対応して設けられた複数のメモリと、を有し、

複数の前記メモリに共通の前記カウント信号が入力され、

前記メモリが、前記カウンタから入力される前記カウント信号を前記比較部が出力する前記比較結果信号に基づいて保持することで、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路。

【請求項 10】

請求項 1 ~ 4 のいずれかに記載のランプ信号出力回路と、

前記ランプ信号に基づく電位とアナログ信号の電位とを比較した比較結果を示す比較結果信号を出力する複数の比較部と、

前記比較部から前記比較結果信号が入力され、複数の前記比較部に対応して設けられた複数のメモリと、を有し、

複数の前記メモリの各々は、クロックパルス信号を計数したカウント信号を生成するカウンタをさらに有し、

前記メモリが、前記カウンタが生成する前記カウント信号を、前記比較部が出力する前記比較結果信号に基づいて保持することで前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路。

30

【請求項 11】

複数の前記比較部の各々は、前記ランプ信号に基づく電位が入力される第 3 の入力端子と、前記アナログ信号の電位が入力される第 4 の入力端子と、を有し、

前記第 3 の入力端子の電位を前記リセット電位に基づいてリセットすることを特徴とする請求項 9 または 10 に記載のアナログデジタル変換回路。

40

【請求項 12】

複数の前記比較部は、さらに前記ランプ開始電位から電位が変化する前記ランプ信号に基づく電位とノイズ成分の信号とを比較し、

前記ランプ信号に基づく電位と前記アナログ信号の電位との比較において、

前記積分回路は、前記電圧供給部から前記容量素子を介して供給される電圧に基づいて、前記ランプ開始電位と電位の異なる第 2 のランプ開始電位へ前記第 1 の電位からシフトし、前記第 2 のランプ開始電位から電位が変化する前記ランプ信号を出力することを特徴

50

とする請求項 1 1 に記載のアナログデジタル変換回路。

【請求項 1 3】

請求項 9 または 1 0 に記載のアナログデジタル変換回路と、
入射光を光電変換して信号を出力する画素が複数行、複数列配された画素部と、を有する撮像装置であって、

前記アナログ信号の電位が、前記画素が出力する前記信号に基づく電位であり、
複数の前記比較部が前記画素の列に対応して設けられていることを特徴とする撮像装置

【請求項 1 4】

請求項 2 ~ 4 のいずれかに記載のランプ信号出力回路と、
前記ランプ信号に基づく電位とアナログ信号の電位とを比較した比較結果を示す比較結果信号を出力する複数の比較部と、

クロックパルス信号を計数したカウント信号を出力するカウンタと、
前記カウンタから前記カウント信号と、前記比較部から前記比較結果信号とが入力され

、
複数の前記比較部に対応して設けられた複数のメモリと、を有し、
複数の前記メモリに共通の前記カウント信号が入力され、
前記メモリが、前記カウンタから入力される前記カウント信号を前記比較部が出力する前記比較結果信号に基づいて保持することで、前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、

入射光を光電変換して信号を出力する画素が複数行、複数列配された画素部と、を有する撮像装置であって、

前記アナログ信号の電位が、前記画素が出力する前記信号に基づく電位であり、
複数の前記比較部が前記画素の列に対応して設けられ、

前記撮像装置は、さらに

第 2 の差動増幅部と、

前記第 2 の差動増幅部の出力端子と前記第 2 の差動増幅部の入力端子とを電気的に接続する帰還経路に設けられた帰還容量と、

を有する増幅部を有し、

前記画素が出力する前記信号が、前記増幅部によって増幅されて前記比較部に入力され

、
前記帰還容量と前記積分容量とが同じ構造を有し、

前記増幅部の前記第 2 の差動増幅部の前記入力端子に電気的に接続した前記帰還容量の電極と、

前記差動増幅部の前記入力端子に電気的に接続した前記積分容量の電極と、が同じ極性であることを特徴とする撮像装置。

【請求項 1 5】

請求項 2 ~ 4 のいずれかに記載のランプ信号出力回路と、
前記ランプ信号に基づく電位とアナログ信号の電位とを比較した比較結果を示す比較結果信号を出力する複数の比較部と、

前記比較部から前記比較結果信号が入力され、複数の前記比較部に対応して設けられた複数のメモリと、を有し、

複数の前記メモリの各々は、クロックパルス信号を計数したカウント信号を生成するカウンタをさらに有し、

前記メモリが、前記カウンタが生成する前記カウント信号を、前記比較部が出力する前記比較結果信号に基づいて保持することで前記アナログ信号をデジタル信号に変換するアナログデジタル変換回路と、

入射光を光電変換して信号を出力する画素が複数行、複数列配された画素部と、を有する撮像装置であって、

前記アナログ信号の電位が、前記画素が出力する前記信号に基づく電位であり、

複数の前記比較部が前記画素の列に対応して設けられ、
 前記撮像装置は、さらに
 第2の差動増幅部と、
 前記第2の差動増幅部の出力端子と前記第2の差動増幅部の入力端子とを電氣的に接続する帰還経路に設けられた帰還容量と、
 を有する増幅部を有し、
 前記画素が出力する前記信号が、前記増幅部によって増幅されて前記比較部に入力され

、
 前記帰還容量と前記積分容量とが同じ構造を有し、
 前記増幅部の前記第2の差動増幅部の前記入力端子に電氣的に接続した前記帰還容量の電極と、
 前記差動増幅部の前記入力端子に電氣的に接続した前記積分容量の電極と、が同じ極性であることを特徴とする撮像装置。 10

【請求項16】

請求項13～15のいずれかに記載の撮像装置の駆動方法であって、
 複数の前記画素の一部の前記画素は前記入射光を遮光したオプティカルブラック画素であり、
前記ランプ開始電位を、前記オプティカルブラック画素が出力する前記信号に基づいて設定する

ことを特徴とする撮像装置の駆動方法。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ランプ信号出力回路、アナログデジタル変換回路およびアナログデジタル変換回路を有する撮像装置に関する。

【背景技術】

【0002】

従来、アナログ信号をデジタル信号に変換するアナログデジタル変換回路（以下、ADC（Analog Digital Converter）と表記する。）が知られている。以下、アナログ信号をデジタル信号に変換する動作をAD変換と表記する。ADCの一例として、アナログ信号と時間に依存して電位が変化するランプ信号とを比較した比較結果信号を出力する比較器と、クロックパルス信号を計数したカウント信号を出力するカウンタと、比較結果信号とカウント信号が入力されるメモリとを有するADCが知られている。このADCは、メモリが比較結果信号を受けて、デジタル信号であるカウント信号を保持することによって、アナログ信号のデジタル信号への変換を行う。 30

【0003】

特許文献1には、ランプ信号の電位を時間に依存して変化させてAD変換を行う形態が記載されている。特許文献1に記載の、ランプ信号を生成するランプ信号出力回路の構成を図14に示す。本明細書に添付した図14は、特許文献1の図19を引用し、符号を振り直したものである。特許文献1に記載のランプ信号出力回路は、積分容量51の充放電を行うことで、ランプ信号をオートゼロレベルの電位から、時間に依存した変化を開始する所定の電位にシフトさせていた。 40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-187420号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に記載のADCでは、ランプ信号を時間に依存した変化を開始する所定の電 50

位にシフトするために、積分アンプの入出力端子間に設けられた積分容量に電流を印加して充放電していた。従って、ランプ信号の電位を或る電位から時間に依存した変化を開始する所定の電位にシフトするのに、積分容量を充放電する期間を要していた。

【課題を解決するための手段】

【0006】

本実施例は上記の課題を解決するために為されたものであり、一の態様は、時間に依存して電位が変化するランプ信号を出力するランプ信号出力回路であって、複数の電圧を供給する電圧供給部と、電流供給部と、前記ランプ信号を出力する積分回路と、容量素子と、を有し、前記電圧供給部が前記容量素子の一方の端子に電氣的に接続され、前記積分回路と前記電流供給部とが前記容量素子の他方の端子に電氣的に接続され、前記積分回路は、前記電圧供給部から前記容量素子を介して供給される、前記複数の電圧のうちの第1の電圧に基づいてリセット電位の信号を生成し、前記積分回路は、前記電圧供給部から前記容量素子を介して供給される、前記複数の電圧のうちの第2の電圧に基づいて、ランプ開始電位の信号を、前記リセット電位から電位をシフトして生成し、前記積分回路は、前記ランプ信号の時間に依存した電位の変化を前記ランプ開始電位から開始することを特徴とするランプ信号出力回路である。

10

【0007】

また、別の態様は、時間に依存して電位が変化するランプ信号を出力するランプ信号出力回路の駆動方法であって、前記ランプ信号出力回路は、電流供給部と、積分回路と、容量素子と、を有し、前記容量素子を介して前記積分回路に供給される第1の電圧に基づいて前記積分回路がリセット電位の信号を生成し、前記積分回路に供給される第2の電圧に基づいて、ランプ開始電位の信号を前記リセット電位から電位をシフトして生成し、前記積分回路が、前記ランプ開始電位から電位が変化する前記ランプ信号を出力することを特徴とするランプ信号出力回路の駆動方法である。

20

【発明の効果】

【0008】

本発明によれば、ランプ信号を時間に依存した変化を開始する所定の電位にシフトするのに要する期間を短縮することができる。

【図面の簡単な説明】

【0009】

30

【図1】実施例1に関わる撮像装置の一例のブロック図

【図2】実施例1に関わる画素100の一例の等価回路図

【図3】実施例1に関わる比較部4の一例の等価回路図

【図4】実施例1に関わるランプ信号出力回路の一例のブロック図と等価回路図

【図5】実施例1に関わる撮像装置の動作の一例の動作タイミング図

【図6】実施例1に関わる撮像装置の他の形態を示したブロック図

【図7】実施例2に関わるランプ信号出力回路の一例の等価回路図

【図8】実施例2に関わる撮像装置の動作の一例の動作タイミング図

【図9】実施例3に関わるランプ信号出力回路の一例の等価回路図

40

【図10】実施例3に関わる撮像装置の動作の一例の動作タイミング図

【図11】実施例4に関わる撮像装置の一例のブロック図と、帰還容量、積分容量の構造の一例を表した模式図。

【図12】実施例4に関わる撮像装置の動作の一例の動作タイミング図

【図13】実施例5に関わる撮像システムの一例のブロック図

【図14】従来のランプ信号出力回路の等価回路図

【発明を実施するための形態】

【0010】

以下、図面を参照しながら本発明の実施形態について説明する。

【実施例1】

【0011】

50

本実施例の撮像装置の構成の一例を示したブロック図を図1に示す。本実施例の撮像装置は、画素部1、垂直出力定電流源2、垂直出力線3、比較部4、ランプ信号出力回路5、メモリ6、カウンタ回路7、水平走査回路8、垂直走査回路9、信号処理回路10を含んで構成されている。また、比較部4、メモリ6を含んだ回路部12が複数列設けられている。また、複数列の回路部12、ランプ信号出力回路5、カウンタ回路7を含んでAD変換部11が構成される。

【0012】

まず、画素部1と垂直走査回路9について図2を参照しながら説明する。

【0013】

画素部1には画素100が複数行、複数列設けられている。図2は画素部の一部の領域である2行2列の画素100と、垂直走査回路9、垂直出力線3を部分的に示したものである。画素部1に含まれる画素100の具体的な構成を1つの画素100に示した。画素100は、光電変換部20、リセットMOSトランジスタ21、転送MOSトランジスタ22、増幅MOSトランジスタ23、選択MOSトランジスタ24を有している。光電変換部20は入射光を電荷に変換する。ここでは例としてフォトダイオードを示している。転送MOSトランジスタ22は、フォトダイオード20の電荷を増幅MOSトランジスタ23の入力ノードに転送する。転送MOSトランジスタ22の制御電極に、垂直走査回路9から転送信号PTXが供給される。

【0014】

増幅MOSトランジスタ23は、増幅MOSトランジスタ23の入力ノードに転送された電荷に基づいて信号を増幅して出力する。増幅MOSトランジスタ23には電源電圧SVDDが供給され、また、選択MOSトランジスタ24に電氣的に接続されている。選択MOSトランジスタ24は、増幅MOSトランジスタ23と垂直出力線3の間の電氣的経路に設けられており、制御電極に垂直走査回路9から選択パルスPSELが供給される。垂直走査回路9は画素100の行ごとに選択パルスPSELを供給し、画素の行の走査を行う。

【0015】

リセットMOSトランジスタ21は電源電圧SVDDが供給され、また、増幅MOSトランジスタ23の入力ノードと電氣的に接続されている。つまり、増幅MOSトランジスタ23とリセットMOSトランジスタ21のそれぞれは共通の電源電圧SVDDが供給される。また、リセットMOSトランジスタ21の制御電極に垂直走査回路9からリセットパルスPRESが供給される。リセットMOSトランジスタ21は、垂直走査回路9からリセットパルスPRESに基づいて、増幅MOSトランジスタ23の入力ノードの電位のリセットを行う。増幅MOSトランジスタ23が出力した信号は、選択MOSトランジスタ24を介して垂直出力線3に画素信号PIXOUTとして出力される。

【0016】

再び、図1を参照しながら本実施例の撮像装置について説明する。垂直出力定電流源2は、垂直出力線3に電氣的に接続され、垂直出力線3に電流を供給する。

【0017】

比較部4は画素部1から入力される画素信号PIXOUTと、ランプ信号出力回路5から供給される信号VRMPとを比較する。ここでの比較に用いられる信号VRMPは、ランプ信号出力回路5によって供給される、時間に依存して変化するランプ信号である。比較部4は、画素信号PIXOUTと信号VRMPとを比較した比較結果信号COMPOUTの信号値が変化した時に、ラッチ信号LATCHをメモリ6に出力する。

【0018】

カウンタ回路7はランプ信号出力回路5の信号VRMPが時間に依存した変化を開始した時から、不図示のクロックパルス供給部から供給されるクロックパルス信号CLKを計数したカウント信号CNTを出力する。即ち、カウンタ回路7はクロックパルス信号CLKを信号VRMPの電位の変化と並行して計数し、カウント信号CNTを生成して出力する。カウント信号CNTは、各列のメモリ6に共通して供給される。

10

20

30

40

50

【 0 0 1 9 】

メモリ 6 は、カウンタ回路 7 からカウント信号 C N T が供給されている。また、メモリ 6 は各列の比較部 4 に対応して各列に設けられている。メモリ 6 は、比較部 4 から供給されるラッチ信号 L A T C H の信号値が変化した時にカウンタ回路 7 から供給されたカウント信号 C N T を保持する。ラッチ信号 L A T C H の信号値が変化した時にメモリ 6 が保持したカウント信号 C N T を、以降メモリ保持信号と表記する。

【 0 0 2 0 】

水平走査回路 8 は、各列のメモリ 6 を順に走査し、各列のメモリ 6 に保持されたメモリ保持信号を信号処理回路 1 0 に転送する。

【 0 0 2 1 】

信号処理回路 1 0 は水平走査回路 8 によってメモリ 6 の各列から転送されたメモリ保持信号を、例えばグレイ値からバイナリ値に変換するなどの処理を行い、画像信号 P I C O U T を出力する。画像信号 P I C O U T が、画像を形成するために本実施例の撮像装置から出力される撮像信号である。

【 0 0 2 2 】

次に、図 3 を参照しながら、図 1 で例示した比較部 4 について説明する。

図 3 (a) は、比較部 4 の等価回路図である。比較部 4 は、差動増幅回路 3 0、比較部リセットスイッチ 3 1、3 2、比較部入力容量 3 3、3 4、信号反転検出回路 3 5 を含んで構成される。信号 V R M P は、比較部入力容量 3 3 を介して差動増幅回路 3 0 の入力端子 I N P に入力される。入力端子 I N P に入力される、信号 V R M P に基づく電位を電位 V - I N P と表記する。画素信号 P I X O U T は、比較部入力容量 3 4 を介して差動増幅回路 3 0 の入力端子 I N N に入力される。入力端子 I N N に入力される、画素信号 P I X O U T に基づく電位を V - I N N と表記する。比較部リセットスイッチ 3 1 はフィードバック端子 F B P から入力端子 I N P への帰還経路の導通、非導通を比較部リセットパルス C O M P R S T によって切り替える。比較部リセットスイッチ 3 2 はフィードバック端子 F B N から入力端子 I N N への帰還経路の導通、非導通を同じ比較部リセットパルス C O M P R S T によって切り替える。比較部リセットパルス C O M P R S T を H i g h レベル (以下、H レベルと表記する。同様に L o w レベルを L レベルと表記する。) とすると、フィードバック端子 F B P から入力端子 I N P への帰還経路と、フィードバック端子 F B N から入力端子 I N N とへの帰還経路のそれぞれが導通状態となる。差動増幅回路 3 0 は比較結果信号 C O M P O U T を信号反転検出回路 3 5 に出力する。比較結果信号 C O M P O U T の信号値が変化した時に、信号反転検出回路 3 5 から出力されるラッチ信号 L A T C H の信号値が変化する。

【 0 0 2 3 】

図 3 (b) は差動増幅回路 3 0 の等価回路図である。定電流源 4 0、差動入力段 P M O S トランジスタ 4 2、4 3、負荷 N M O S トランジスタ 4 4、4 5 からなる差動増幅部 4 7 と、定電流源 4 1、ソース接地 N M O S トランジスタ 4 6 からなるソース接地段 4 8 の 2 段増幅器で構成されている。入力端子 I N P に入力される信号 V R M P に基づく電位 V - I N P が、入力端子 I N N に入力される画素信号 P I X O U T に基づく電位 V - I N N よりも小さい時、ソース接地 N M O S トランジスタはオンであり、比較結果信号 C O M P O U T は L レベルである。電位 V - I N P が電位 V - I N N よりも大きくなった時、ソース接地 N M O S トランジスタがオフとなり、比較結果信号 C O M P O U T は H レベルとなる。この比較結果信号 C O M P O U T が L レベルから H レベルに遷移する時にラッチ信号 L A T C H がメモリ 6 に出力される。

【 0 0 2 4 】

本実施例のランプ信号出力回路 5 の模式図を図 4 (a) に示した。ランプ信号出力回路は、電圧供給部 6 0、入力容量 5 7、ランプ波形生成部 3 6 を少なくとも有する。ランプ波形生成部 3 6 から出力される信号 V R M P がランプ信号である。電圧供給部 6 0 は振幅の異なる少なくとも 2 つの電圧 V D A C _ R E F、V D A C _ S T N を、入力容量 5 7 を介してランプ波形生成部 3 6 に出力する。電圧供給部 6 0 が出力する電圧によって、信号

10

20

30

40

50

V R M P が時間に依存した電位の変化を開始するランプ開始電位が決定される。ランプ波形生成部 36 は、ランプ開始電位から時間に依存して変化するランプ波形を有するランプ信号を生成する。

【0025】

次に、図4(b)を参照しながら、図4(a)で例示したランプ信号出力回路5の一例について説明する。

図4(b)にランプ信号出力回路5の回路構成の一例を示す。差動増幅回路50は、非反転端子にアンプ基準信号VREFが供給され、反転端子と出力端子の間には積分容量51と積分アンプリセットスイッチ52が電氣的に接続されている。反転端子は差動増幅回路50の第1の入力端子であり、非反転端子は差動増幅回路50の第2の入力端子である。アンプ基準信号VREFは反転端子に入力される信号との差分を得るための参照電圧である。差動増幅回路50はランプ信号出力回路5が含む差動増幅部である。差動増幅回路50、積分容量51、積分アンプリセットスイッチ52とで容量帰還増幅回路61が構成されている。反転端子には、カレントミラーPMOSトランジスタ53、54により供給される定電流IRMPが、ランプ電流供給スイッチ56を介して供給される。ランプ電流供給スイッチ56は制御パルスPRMP_ENがHレベルの時にオンとなり、Lレベルの時にオフとなる。カレントミラーPMOSトランジスタ53には定電流源55から基準電流が供給される。本実施例の電流供給部は、カレントミラーPMOSトランジスタ53、54、定電流源55、ランプ電流供給スイッチ56を含んで構成される。さらに反転端子には入力容量57が電氣的に接続される。入力容量57のもう一方の端子にはオフセット切替スイッチ58、59を介して電圧供給部60-1が電氣的に接続されている。オフセット切替スイッチ58は制御パルスPRMP_REFがHレベルの時にオンとなり、Lレベルの時にオフとなる。オフセット切替スイッチ59は、制御パルスPRMP_STNがHレベルの時にオンとなり、Lレベルの時にオフとなる。電圧供給部60-1は、オフセット切替スイッチ58、59のそれぞれに対して、異なる電圧値の信号を供給する。つまり、電圧供給部60-1はオフセット切替スイッチ58には電圧VDAC_REFを供給する。また、電圧供給部60-1はオフセット切替スイッチ59には電圧VDAC_STNを供給する。オフセット切替スイッチ58、59のそれぞれのオン、オフを切り替えることで、信号VRMPの電位を或る電位から、時間に依存した変化を開始する前の電位であるランプ開始電位にシフトすることができる。このランプ開始電位にシフトする動作についての詳細は、後で図5を参照しながら説明する。

【0026】

図5に、本実施例の撮像装置の動作の一例を表した動作タイミング図を示す。図5で例示した動作タイミング図は、1行の画素100が画素信号PIXOUTを出力する動作と、AD変換部11の動作を表したものである。

【0027】

時刻t0に選択パルスPSELをHレベルとし、画素信号PIXOUTを出力させる画素100の行を選択する。また、時刻t0において、制御パルスPRMP_RSTはHレベルとなっている。ランプ信号出力回路5の積分容量51は、制御パルスPRMP_RSTをHレベルとして積分アンプリセットスイッチ52をオンとすることでリセットされる。この時、差動増幅回路50は、非反転端子に入力されたアンプ基準信号VREFをバッファする状態になる。この時刻t0に差動増幅回路50から出力された信号VRMPの電位はアンプ基準信号VREFの電位と等しい。時刻t0の信号VRMPの電位が信号VRMPの第1の電位である。また、時刻t0において、制御パルスPRMP_REFがHレベルであり、制御パルスPRMP_STNはLレベルである。この時、電圧供給部60-1からオフセット切替スイッチ58を介して、入力容量57に電圧VDAC_REFが供給されている。

【0028】

時刻t1に、リセットパルスPRESをHレベルとし、増幅MOSトランジスタ23の入力ノードの電位をリセットする。その後、リセットパルスPRESをLレベルとする。

このリセットパルス $PRES$ を L レベルとした時に出力される画素信号 $PIXOUT$ を画素基準信号と表記する。画素基準信号は画素 100 が有するノイズ成分を含む信号である。

【0029】

時刻 t_2 に、制御パルス $PRMP_RST$ を L レベルとした後、制御パルス $PRMP_REF$ を L レベルとする。積分容量 51 には制御パルス $PRMP_RST$ を L レベルにした時の電荷が保持される。また、入力容量 57 には制御パルス $PRMP_REF$ を L レベルにした時の電荷が保持される。

【0030】

時刻 t_3 に比較部リセットパルス $COMPRST$ を H レベルとした後、 L レベルとする。これにより、比較部入力容量 33 には、比較部リセットパルス $COMPRST$ を L レベルにした時の信号 $VRMP$ の電位、すなわちアンプ基準信号 $VREF$ の電位が保持される。よって、この後の動作では次に比較部リセットパルス $COMPRST$ が H レベルとなるまでの間、差動増幅回路 30 の入力端子 INP には信号 $VRMP$ とアンプ基準信号 $VREF$ との差分の信号が入力される。また、比較部入力容量 34 には、比較部リセットパルス $COMPRST$ を L レベルにした時の画素 $PIXOUT$ の画素基準信号の電位に基づく電荷が保持される。よって、この後の動作では次に比較部リセットパルス $COMPRST$ が H レベルとなるまでの間、差動増幅回路 30 の入力端子 INN には画素基準信号と画素信号 $PIXOUT$ との差分の信号が入力される。

【0031】

時刻 t_4 に、制御パルス $PRMP_STN$ を H レベルとする。差動増幅回路 50 の反転端子には、電圧 $VDAC_STN$ と電圧 $VDAC_REF$ との電位差である電圧 $Voff$ が供給される。差動増幅回路 50 によって、積分容量 51 と入力容量 57 の容量ゲイン分、電圧 $Voff$ が増幅されて差動増幅回路 50 から出力される。この時に差動増幅回路 50 から出力される信号とアンプ基準信号 $VREF$ との差分が、信号 $VRMP$ の変化開始前の電位であるランブ開始電位 RMP_st のアンプ基準信号 $VREF$ に対するオフセット量 RMP_off である。このようにして、ランブ開始電位 RMP_st の電位が決定される。ランブ開始電位 RMP_st は信号 $VRMP$ の第 2 の電位である。

【0032】

時刻 t_5 に制御パルス $PRMP_EN$ を H レベルとしてランブ電流供給スイッチ 56 をオンとする。これにより、信号 $VRMP$ は積分容量 51 の容量値とランブ電流 $IRMP$ の電流値で決まる傾きを有するランブ波形となる。すなわちこの時の信号 $VRMP$ は時間に依存して電位が変化するランブ信号である。なお、信号 $VRMP$ の傾きとは、単位時間当たりの信号 $VRMP$ の電位の変化量である。また、制御パルス $PRMP_EN$ が H レベルとなるのと同時に、カウンタ回路 7 はクロックパルス信号の計数を開始する。

【0033】

時刻 t_6 に、ラッチ信号 $LATCH$ の信号値が変化する。この時のカウント信号 CNT の信号値をメモリ 6 が保持する。この時にメモリ 6 が保持したカウント信号 CNT の信号値を N 信号と表記する。 N 信号は、各列の比較部 4 が有するオフセットをはじめ、比較部 4 の有するノイズ成分が含まれた信号である。

【0034】

時刻 t_7 に、制御パルス $PRMP_EN$ を L レベルとし、信号 $VRMP$ の時間に依存した電位変化を停止する。また、時刻 t_7 に、制御パルス $PRMP_STN$ を L レベルとし、制御パルス $PRMP_REF$ を H レベルとする。また、制御パルス $PRMP_RST$ を H レベルとし、積分容量 51 、入力容量 57 の電荷を時刻 t_0 の状態にリセットする。カウンタ回路 7 はクロックパルス信号の計数を止め、そしてカウント信号 CNT を初期値に戻す。

【0035】

時刻 t_8 に、転送パルス PTX を H レベルとする。これにより、フォトダイオード 20 が入射光を光電変換して生成した信号電荷が増幅 MOS トランジスタ 23 の入力ノードに

10

20

30

40

50

転送される。増幅MOSトランジスタ23は、フォトダイオード20で生成した信号電荷が転送された増幅MOSトランジスタ23の入力ノードの電位に基づく信号を出力する。この信号が選択MOSトランジスタ24を介して垂直出力線3に出力される。この信号が画素信号PIXOUTの一つである画像信号である。比較部入力容量34には、時刻t3に比較部リセットパルスCOMP RSTがHレベルとし、その後Lレベルとした時の電荷が保持されている。即ち、画素信号PIXOUTの一つである画素基準信号の電位が保持されている。従って、差動増幅回路30の入力端子INNには、画像信号と画素基準信号の差分の信号が入力される。画素基準信号には先述した通り画素100のノイズ成分が含まれていた。よって、比較部入力容量34により、画像信号からノイズ成分を差し引いた信号が差動増幅回路30に入力される。

10

【0036】

時刻t9に、時刻t2における動作と同様に、制御パルスPRMP__RSTをLレベルとする。そして、制御パルスPRMP__REFをLレベルとする。

【0037】

時刻t10に、時刻t4における動作と同様に、制御パルスPRMP__STNをHレベルとする。信号VRMPは、アンプ基準信号VREFからオフセット量RMP__off分变化したランプ開始電位RMP__stとなる。

【0038】

時刻t11に、時刻t5における動作と同様に、制御パルスPRMP__ENをHレベルとし、信号VRMPの時間に依存した電位変化を開始する。カウンタ回路7はクロックパルス信号の計数を開始する。

20

【0039】

差動増幅回路30の入力端子INNに入力される信号と、入力端子INPに入力される信号の大小関係が時刻t12で逆転したとする。すると、比較部4が出力するラッチ信号LATCHの信号値が変化する。このラッチ信号LATCHの信号値の変化を受けて、メモリ6は時刻t12におけるカウント信号CNTの信号値を保持する。この時にメモリ6が保持したカウント信号CNTをS信号と表記する。

【0040】

時刻t13に、時刻t7における動作と同様に、制御パルスPRMP__ENをLレベルとし、信号VRMPの時間に依存した電位変化を停止する。また、時刻t13に、制御パルスPRMP__STNをLレベルとし、制御パルスPRMP__REFをHレベルとする。また、制御パルスPRMP__RSTをHレベルとし、積分容量51、入力容量57の電荷を時刻t0の状態にリセットする。カウンタ回路7はクロックパルス信号の計数を止め、そしてカウント信号CNTを初期値に戻す。

30

【0041】

本実施例では、信号VRMPとアナログ信号との比較である第1の比較は、時刻t11から時刻t13の期間に行われる動作である。また、信号VRMPとランプ基準電RMP__stとの比較である第2の比較は、時刻t5から時刻t7の期間に行われる動作である。

【0042】

各列のメモリ6に保持されたN信号とS信号は、水平走査回路8によって順次、信号処理回路10に転送される。信号処理回路10は、S信号とN信号の差分を得る処理などを行う。S信号からN信号を差し引くことにより、各列の比較部4のオフセットをはじめ、比較部4が有するノイズ成分をS信号から差し引くことができる。よって、S信号への各列の比較部4の特性バラツキによる影響を抑えることができる。信号処理回路10はS信号からN信号を差し引いた信号を画像信号PICOUTとして出力する。

40

【0043】

本実施例のランプ信号出力回路5は、複数の電圧を供給する電圧供給部60-1、入力容量57を有する。入力容量57に電圧VDAC__REFの電位を保持させた後、電圧VDAC__STNを差動増幅回路50に印加することによって、信号VRMPをアンプ基準

50

電圧 V_{REF} の電位からシフトすることができる。よって本実施例のランプ信号出力回路 5 は、積分容量 5 1 に電流を印加して充放電することによって信号 V_{RMP} の電位をシフトする構成に比して、高速に信号 V_{RMP} の電位をシフトすることができる効果を有する。

【0044】

また、積分容量 5 1 に電流を印加して充放電することで信号 V_{RMP} の電位をシフトする場合、積分容量 5 1 に印加する電流の電流値の変動が信号 V_{RMP} のオフセット量に影響を及ぼす。つまり、積分容量 5 1 に同じ電流値の電流を印加した場合でも、電流値の変化の仕方によって信号 V_{RMP} のオフセット量が異なってしまう。即ちランプ開始電位 RMP_st の値が異なってしまうため、AD変換の精度が低下するという問題があった。

10

【0045】

本実施例のランプ信号出力回路 5 では、積分容量 5 1 の充放電によらず、信号 V_{RMP} をシフトすることができる。従って、ランプ開始電位 RMP_st の値の変動を抑制することができる。よって、積分容量 5 1 に電流を印加して充放電することで信号 V_{RMP} をシフトする構成に比して、AD変換の精度を向上することができる。

【0046】

本実施例では、ランプ波形生成部 3 6 の一例として、差動増幅回路 5 0 と積分容量 5 1 を有する容量帰還増幅回路 6 1 を含む形態を説明した。しかし、本実施例は容量帰還増幅回路の形態に限定されるものではなく、積分回路を有する形態であれば好適に実施できる。また、積分回路以外に形態であっても、例えばランプ波形生成部 3 6 がソースフォロ回路で構成されている形態であっても好適に実施できる。この形態であってもランプ波形を有するランプ信号 V_{RMP} を生成することができ、また、電圧供給部 6 0 と入力容量 5 7 とを有していることにより、ランプ開始電位を決定することができる。

20

【0047】

また、ランプ波形生成部 3 6 が図 4 (c) に例示したように、ランプ波形電圧供給部 6 3 と容量 6 4 とを有する形態であっても良い。トランジスタ 6 5 は制御電極にリセットパルス RES が供給されると、容量 6 4、入力容量 5 7 の電荷のリセットを行う。ランプ波形電圧供給部 6 3 は例えば抵抗値が可変である抵抗アレイを有し、抵抗値に基づいて電圧を出力する形態とすることができる。

【0048】

本実施例はAD変換部 1 1 を有する装置の一例として撮像装置を説明した。本実施例はこの形態に限定されるものではない。すなわち、アナログ信号と時間に依存して電位が変化するランプ信号とを比較した結果に基づいて、アナログ信号をデジタル信号に変換するADCのランプ信号出力回路に適用することができる。

30

【0049】

また、本実施例では撮像装置が信号処理回路 1 0 を有する形態を基に説明した。信号処理回路 1 0 を撮像装置が有している必要はなく、撮像装置とは別の装置に信号処理回路 1 0 が設けられ、撮像装置から信号処理回路 1 0 に信号が出力される形態であっても良い。

【0050】

また、本実施例は、カウンタ回路 7 が各列のメモリ 6 に対して共通のカウンタ信号 CNT を出力する形態を説明した。他の形態として、図 6 に例示したように、各列のメモリ 6 がカウンタ信号 CNT を生成するカウンタ回路 7 を有する形態であっても良い。各列のカウンタ回路 7 には各列の比較部 4 からラッチ信号 $LATCH$ が出力されている。メモリ 6 は、ラッチ信号 $LATCH$ の信号値が変化した時のカウンタ信号 CNT を保持する。この形態においても、本実施例で述べた構成のランプ信号出力回路 5 を好適に適用することができる。

40

【0051】

また、本実施例では、アンプ基準信号 V_{REF} からランプ開始電位 RMP_st に信号 V_{RMP} の電位をシフトする形態を説明した。しかし、信号 V_{RMP} の電位をアンプ基準信号 V_{REF} 以外の電位からランプ開始電位 RMP_st にシフトさせる形態であっても

50

良い。

【実施例 2】

【0052】

図面を参照しながら、実施例 1 との相違点を中心に本実施例を説明する。

図 7 (a) は、本実施例に関わるランプ信号出力回路 5 の等価回路図である。図 7 (a) において、図 4 (b) と同様の機能を有する構成については、図 4 (b) で付した符号と同じ符号を図 7 (a) にも付している。7 2 は電流値を変えて供給することのできる可変電流源である。7 1 はカレントミラー P M O S トランジスタ、7 2 は電流値を変えて電流を供給することのできる可変電流源である。6 0 - 2 は本実施例における、電圧供給部 6 0 の一例である。カレントミラー P M O S トランジスタ 5 4 は差動増幅回路 5 0 に電流源から電流を供給する第 1 のトランジスタである。また、カレントミラー P M O S トランジスタ 7 1 は、カレントミラー P M O S トランジスタ 5 3 と可変電流源 7 2 によって供給される電流に基づいて、電圧供給部 6 0 - 2 に電流 I D A C を供給する。すなわち、カレントミラー P M O S トランジスタ 7 1 は電圧供給部 6 0 - 2 に電流源から電流を供給する第 2 のトランジスタである。本実施例では、カレントミラー P M O S トランジスタ 5 4 、 7 1 の制御電極に共通して、カレントミラー P M O S トランジスタ 5 3 と可変電流源 7 2 によって電流が供給される。従って、電圧供給部 6 0 - 2 に供給する電流 I D A C と、差動増幅回路 5 0 に供給する電流 I R M P の電流値は比例関係にある。本実施例の電流供給部は、カレントミラー P M O S トランジスタ 5 3 、 5 4 、 7 1 、可変電流源 7 2 、ランプ電流供給スイッチ 5 6 を含んで構成される。

【0053】

図 7 (b) は、本実施例に関わる電圧供給部 6 0 - 2 の詳細な構成を例示したものである。8 1 は複数の抵抗を有する抵抗アレイである。抵抗アレイ 8 1 に、複数のバッファ 8 2 - 1 、 8 2 - 2 が電氣的に接続されている。また、抵抗アレイ 8 1 にカレントミラー P M O S トランジスタ 7 1 から電流 I D A C が供給される。抵抗アレイ 8 1 は電流 I D A C を電圧に変換して複数のバッファ 8 2 - 1 、 8 2 - 2 に出力する。バッファ 8 2 - 1 は電圧 D A C O U T _ A 、バッファ 8 2 - 2 は電圧 D A C O U T _ B を出力する。カレントミラー P M O S トランジスタ 7 1 からのバッファ 8 2 - 1 の電氣的経路の抵抗値と、バッファ 8 2 - 2 までの電氣的経路の抵抗値は異なっている。従って、バッファ 8 2 - 1 とバッファ 8 2 - 2 に供給する電圧値は異なっている。よって、バッファ 8 2 - 1 、 8 2 - 2 のそれぞれから出力される電圧 D A C O U T _ A 、 D A C O U T _ B についても異なる電圧値となる。このようにして、電圧供給部 6 0 - 2 は複数の電圧値を出力することができる。電圧 D A C O U T _ A 、 D A C O U T _ B をどのように電圧 V D A C _ R E F 、 V D A C _ S T N に割り当てるかは、信号 V R M P のシフト方向を A D 変換時の信号 V R M P が変化する方向と同じ方向とするか異なる方向とするかに基づいて決定すればよい。

【0054】

図 8 に本実施例のランプ信号出力回路 5 を用いた、図 1 の撮像装置の動作の一例を示した動作タイミング図を示す。本実施例のランプ信号出力回路 5 を有する撮像装置においても、実施例 1 で図 5 を参照しながら述べた動作タイミングと同様にして動作させることができる。

【0055】

本実施例のランプ信号出力回路 5 は、先述したように、電圧供給部 6 0 - 2 に供給する電流 I D A C と、差動増幅回路 5 0 に供給する電流 I R M P の電流値は比例関係にある。電流 I R M P の電流値が I アンペアであったとする。この時の信号 V R M P のランプ波形が図 8 で示した A である。また、電流 I R M P の電流値が I アンペアであった時の、ランプ開始電位 R M P _ s t とランプ基準信号 V R E F との差分がオフセット量 R M P _ o f f 1 である。電流 I R M P の電流値が I アンペアであった時の電流 I D A C の電流値を I ' アンペアとする。ここで、電圧供給部 6 0 - 2 の抵抗を A のランプ波形の信号 V R M P を生成した時と同じとしたまま、電流 I R M P の電流値を I アンペアの 2 倍の 2 I アンペアとする。電流 I D A C は電流 I R M P と比例関係にあり、同様に 2 I ' アンペアの電流

値となる。よって、電圧供給部 60 - 2 から出力される電圧 V_{DAC_REF} と電圧 V_{DAC_STN} との電位差は、先の A のランプ波形の信号 V_{RMP} を生成した時に対して 2 倍の値となる。よって、信号 V_{RMP} のランプ開始電位 RMP_st とアンプ基準信号 V_{REF} との差分のオフセット量 RMP_off2 は、オフセット量 RMP_off1 の 2 倍の値となる。また、電流 I_{RMP} の電流値が $2I$ アンペアであるので、差動増幅回路 50 から出力される信号 V_{RMP} の傾きは、先の A のランプ波形の信号 V_{RMP} に対して 2 倍となる。この電流 I_{RMP} の電流値を $2I$ アンペアとした時に生成する信号 V_{RMP} のランプ波形を、図 8 に B として示した。

【0056】

本実施例で示したランプ信号出力回路 5 は、電流 I_{RMP} と電流 I_{DAC} とが比例関係にある構成を示した。本実施例のランプ信号出力回路 5 は、実施例 1 で先述した効果を有している。さらに、本実施例のランプ信号出力回路 5 は、ランプ開始電位 RMP_st とアンプ基準信号 V_{REF} との差分であるオフセット量 RMP_off と、AD変換時の信号 V_{RMP} の傾きとを連動して設定することができる。

【0057】

また、信号 V_{RMP} の傾きを変えることにより、画素出力信号 $PIXOUT$ に対する AD変換部 11 が出力する信号のゲインが切り替えられることについて説明する。B のランプ波形で信号 V_{RMP} が変化する場合、時刻 t_{12} でラッチ信号 $LATCH$ の信号値が変化したとする。この形態と同じ電位が差動増幅回路 30 の入力端子 INN に与えられ、信号 V_{RMP} が A のランプ波形で変化した場合には、時刻 t_{12} よりも遅い時刻 t_{12}' でラッチ信号 $LATCH$ の信号値が変化する。従って、信号 V_{RMP} が A のランプ波形で変化した場合にメモリ 6 に保持される S 信号は、B のランプ波形で変化した場合に比して大きくなる。よって、信号 V_{RMP} の変化する傾きによって、メモリ 6 が保持する信号の信号値を変化させることができる。これにより、画素出力信号 $PIXOUT$ に対する AD変換部 11 が出力する信号のゲインを変えることができる。

【0058】

本実施例で述べたランプ信号出力回路 5 は A のランプ波形と B のランプ波形のそれぞれの信号 V_{RMP} を生成する際に、電圧供給部 60 - 2 は同じ抵抗値を用いて複数の電圧を生成する形態であった。しかし、A のランプ波形とは異なるランプ波形の信号 V_{RMP} を生成する際に、電圧供給部 60 - 2 が異なる抵抗値を用いても良い。この形態であれば、オフセット量 RMP_off を信号 V_{RMP} の傾きとは独立して設定することが可能である。

【実施例 3】

【0059】

図面を参照しながら、実施例 1 との相違点を中心に本実施例を説明する。

図 9 は本実施例のランプ信号出力回路 5 の等価回路図である。図 9 において、図 4 (b) と同様の機能を有する構成については、図 4 (b) で付した符号と同じ符号を図 9 にも付している。

【0060】

本実施例の電圧供給部 60 - 3 は、3つの電圧 V_{DAC_REF} 、 V_{DAC_STN} 、 V_{DAC_STS} を出力する。よって、電圧供給部 60 - 3 は実施例 1 で述べた構成にさらに電圧 V_{DAC_STS} を出力する端子を有している。また、3つの電圧値の大小関係は、 $V_{DAC_STS} > V_{DAC_REF} > V_{DAC_STN}$ の関係式を満たしている。また、電圧 V_{DAC_STS} を出力する端子と入力容量 57 との電氣的経路に、さらにオフセット切替スイッチ 62 が設けられている。オフセット切替スイッチ 62 は制御パルス $PRMP_STS$ を H レベルとするとオンとなり、L レベルとするとオフとなる。

【0061】

図 10 は、本実施例のランプ信号出力回路 5 を有する図 1 の撮像装置の動作の一例を示した動作タイミング図である。時刻 t_1 から時刻 t_9 までのそれぞれの動作については、実施例 1 で図 5 を参照しながら述べた動作の時刻 t_1 から時刻 t_9 のそれぞれの動作と同

10

20

30

40

50

様とすることができる。時刻 t_5 で制御パルス $PRMP_STN$ を H レベルとすることで得られるランプ開始電位を本実施例では、 RMP_st1 と表記する。また、このランプ開始電位 RMP_st1 とアンプ基準信号 $VREF$ との差分であるオフセット量を RMP_off1 と表記する。

【0062】

時刻 t_{10-1} に、実施例 1 では時刻 t_{10} に制御パルス $PRMP_STN$ を H レベルとしていたところ、本実施例では制御パルス $PRMP_STN$ を L レベルとしたまま、制御パルス $PRMP_STS$ を H レベルとする。先述した通り、電圧供給部 60-3 が供給する 3 つの電圧は、 $VDAC_STS > VDAC_REF > VDAC_STN$ の関係式を満たしている。従って、信号 $VRMP$ は、アンプ基準信号 $VREF$ の電位に対し、制御パルス $PRMP_STN$ を H レベルにした時とは反対の方向の電位にシフトする。即ち、AD 変換時に信号 $VRMP$ が時間に依存した変化をする方向と同じ方向にシフトする。この時のランプ開始電位を RMP_st2 と表記する。また、ランプ開始電位 RMP_st2 とアンプ基準信号 $VREF$ との差分であるオフセット量を RMP_off2 と表記する。ランプ開始電位 RMP_st2 は、第 1 の電位であるアンプ基準信号 $VREF$ と、第 2 の電位であるランプ開始電位 RMP_st1 の両方と異なる電位の第 3 の電位である。

10

【0063】

時刻 t_{11-1} に、制御パルス $PRMP_EN$ を H レベルとする。これにより、信号 $VRMP$ はランプ開始電位 RMP_st2 から時間に依存した電位変化を開始する。生成する信号 $VRMP$ のランプ波形は図 8 で示した D のようになる。C のランプ波形は、時刻 t_{10-1} に制御パルス $PRMP_STS$ を H レベルとせず、制御パルス $PRMP_STN$ を H レベルとして制御パルス $PRMP_EN$ を H レベルにした場合に生成する信号 $VRMP$ を比較のために示したものである。

20

【0064】

D のランプ波形で信号 $VRMP$ を変化させた時、差動増幅回路 30 の入力端子 INN に入力される信号と、入力端子 INP に入力される信号の大小関係が時刻 t_{12-1} で逆転したとする。すると、比較部 4 が出力するラッチ信号 $LATCH$ の信号値が変化する。メモリ 6 はこの時のカウント信号 CNT の信号値である S 信号を保持する。差動増幅回路 30 の入力端子 INN に入力される信号値が同一であるとして、信号 $VRMP$ が C のランプ波形で変化したとする。すると、比較部 4 の出力するラッチ信号 $LATCH$ の信号値が変化するのは時刻 t_{12-3} となる。従って、信号 $VRMP$ が C のランプ波形で変化する場合に比して、ラッチ信号 $LATCH$ の信号値が変化するタイミングを早くすることができる。

30

【0065】

時刻 t_{13-1} に、信号 $VRMP$ の電位は電位 RMP_end2 に達する。この時に、制御パルス $PRMP_EN$ を L レベルとし、制御パルス $PRMP_EN$ を L レベルとし、信号 $VRMP$ の電位変化を停止する。また、時刻 t_{13-1} に、制御パルス $PRMP_STS$ を L レベルとし、制御パルス $PRMP_REF$ を H レベルとする。信号 $VRMP$ が C のランプ波形で変化する場合に時刻 t_{13-1} で達する電位は電位 RMP_end1 である。従って、信号 $VRMP$ を D のランプ波形で変化させることによって、電位 RMP_end2 と電位 RMP_end1 との間の電位が、差動増幅回路 30 の入力端子 INP に与えられていた場合であっても、ラッチ信号 $LATCH$ の信号値を変化させることができる。本実施例のオフセット量 RMP_off2 の値は任意に設定できるが、差動増幅回路 30 の入力端子 INP と入力端子 INN のそれぞれに与えられる電位の大小関係が時刻 t_{11-1} から時刻 t_{13-1} の間に逆転することが好ましい。入力端子 INP に与えられる電位が時刻 t_{11-1} の時点で入力端子 INN に与えられる電位よりも小さい場合には、信号 $VRMP$ が変化している期間において大小関係が変わらなくなってしまう。これを避けるため、例えば、複数行、複数列配された画素の一部が遮光されたオプティカルブラック画素（以下、OB 画素と表記する）を有し、OB 画素が出力する信号に基づいてオフセット量 RMP_off2 の値を設定する形態がある。OB 画素が出力する信号は画素 10

40

50

0のノイズ成分を含む信号である。即ち、画素基準信号とほぼ同電位の信号を出力する。画素100が出力する画像信号には、このノイズ成分が重畳されている。画素信号PIXOUTは電荷に基づく信号であるため、画像信号は画素基準信号に比して電位はノイズ成分が重畳されているため概ね小さくなる。よって、OB画素が出力する信号の電位に基づいて、オフセット量RMP_{off2}の値を設定することで、時刻t₁₁₋₁から時刻t₁₃₋₁の間でラッチ信号LATCHの信号値が変化しないケースを減らすことができる。また、OB画素の出力する信号以外にも、図8の時刻t₀の前に行ったAD変換(例えば、図8でAD変換を行った画素100の行の、前の行で行ったAD変換)で取得したN信号の信号値に基づいてオフセット量RMP_{off}を設定するようにしても良い。

【0066】

本実施例では、信号VRMPがDのランプ波形で電位RMP_{end2}まで電位が変化する形態を説明した。しかし、信号VRMPがDのランプ波形でありながら、電位RMP_{end1}まで電位が変化する形態、即ち時刻t₁₂₋₂で制御パルスPRMP_{EN}をLレベルとする形態であっても良い。この形態の場合、時刻t₁₃₋₁から時刻t₁₂₋₂の期間分、AD変換期間を短縮することができる。

【0067】

また、本実施例の電流源55は可変電流源としても良い。可変電流源とすることで、信号VRMPの傾きを変化させることができる。信号VRMPの傾きを変化させることで、画素出力信号PIXOUTに対するAD変換部11が出力する信号のゲインを変えることができる。

【実施例4】

【0068】

図面を参照しながら、実施例1との相違点を中心に本実施例を説明する。

図11(a)は本実施例の撮像装置の一例を示したブロック図である。図1と同じ機能を有するものについては図1で付した符号と同じ符号を図11(a)においても付している。

【0069】

本実施例の撮像装置は、画素部1から出力された画素出力信号PIXOUTが増幅部13を介して比較部4に出力される形態である。本実施例のランプ信号出力回路5は実施例1と同様の構成とすることができる。

【0070】

図11(b)は増幅部13の詳細を表した等価回路図である。13-1は差動増幅回路、C0は増幅部入力容量、C1は帰還容量である。差動増幅回路13-1は第2の差動増幅部である。画素出力信号PIXOUTは増幅部入力容量C0を介して差動増幅回路13-1の反転端子に入力される。帰還容量C1はゲイン切替スイッチSW2を介して差動増幅回路13-1の出力端子と電気的に接続されている。また、帰還容量C1は差動増幅回路13-1の反転端子と電気的に接続されている。差動増幅回路13-1が出力する信号を増幅部出力信号AmpOUTと表記する。増幅部出力信号AmpOUTの画素出力信号PIXOUTに対するゲインは、帰還容量C1のうち、差動増幅回路13-1の出力端子と導通した容量の容量値の総和と、増幅部入力容量C0との比によって与えられる。以下、ゲイン切替スイッチSW2のスイッチがオンであるものとして説明する。差動増幅回路13-1のスイッチSW1を導通状態とすると差動増幅回路13-1と増幅部入力容量C0の電位がリセットされる。スイッチSW1は、増幅部リセットパルスAmp_{rst}をHレベルとするとオンとなり、Lレベルとするとオフとなる。

【0071】

図11(c)は本実施例の帰還容量C1および積分容量51の構造を例示した図である。本実施例において増幅部13の帰還容量C1およびランプ信号出力回路5の積分容量51は、ともに拡散容量を用いている。拡散容量はMIS(Metal-Insulator-Semiconductor)構造になっており、ゲート側電極(GATE)は金属またはポリシリコン、拡散層側電極(N+およびN)はN型半導体領域、PWLはP型半

10

20

30

40

50

導体領域、FLDは絶縁膜層である。また、帰還容量C1は、差動増幅器13-1の入力端子にゲート側電極または拡散層側電極のどちらか一方が電氣的に接続されている。他方の電極は、差動増幅回路13-1の出力端子に電氣的に接続されている。また、積分容量51は、差動増幅回路50の入力端子に、帰還容量C1が差動増幅回路13-1の入力端子に電氣的に接続したのと同じ側の電極が電氣的に接続されている。すなわち、帰還容量C1が差動増幅回路13-1に同極性の電極が接続されている。例えば、帰還容量C1が差動増幅回路13-1の入力端子にゲート側の電極が電氣的に接続されている場合であれば、積分容量51も同様に差動増幅回路50の入力端子にゲート側電極が電氣的に接続されている。積分容量51の他方の電極は、差動増幅回路50の出力端子に電氣的に接続されている。

10

【0072】

このように、帰還容量C1と積分容量51とを同じ構造の容量とし、同極性の電極を差動増幅回路13-1、50の入力端子にそれぞれ電氣的に接続させる。同様に、他方の同極性の電極についても、差動増幅回路13-1、50の出力端子にそれぞれ電氣的に接続させる。これにより、増幅部13とランプ信号出力回路5との、容量値の電圧依存性を揃えることができる。また、差動増幅回路13-1と差動増幅回路50とをそれぞれ同様の回路構成とすることで、増幅部13とランプ信号出力回路5との入力信号に対する出力信号の関係である線形性を揃えることができる。よって、増幅部出力信号AmpOUTと信号VRMPとの線形性を揃えることができる。

【0073】

20

図12は図11(a)で例示した撮像装置の動作の一例を示した動作タイミング図である。画素100が画素出力信号PIXOUTを出力する動作については、図5で例示した動作タイミングと同様とすることができる。以下、図5で例示した動作タイミング図と異なる動作を中心に説明する。

【0074】

時刻t1に、増幅部リセットパルスAmp_rstをHレベルとし、差動増幅回路13-1、増幅部入力容量C0の電位をリセットする。その後、増幅部リセットパルスAmp_rstをLレベルとする。これにより、増幅部入力容量C0には増幅部リセットパルスAmp_rstをLレベルとした時の画素出力信号PIXOUTの電位に基づく電荷が保持される。

30

【0075】

時刻t2に、垂直出力線3には画素基準信号が出力される。差動増幅回路13-1の反転端子には、増幅部入力容量C0が保持した電位と画素基準信号との差分の電位が与えられ、この電位を増幅して増幅部出力信号AmpOUTを出力する。また、制御パルスPRMP_RSTをHレベルからLレベルとする。

【0076】

時刻t3に、比較部リセットパルスCOMPRSTをHレベルとした後、Lレベルとする。これにより、比較部入力容量34には、時刻t3における増幅部出力信号AmpOUTが保持される。すなわち、各列の増幅部13が有するオフセット成分がこの時、比較部入力容量34に保持される。比較部入力容量33には、実施例1と同様に、アンプ基準信号VREFが保持される。

40

【0077】

時刻t4に、制御パルスPRMP_STNをHレベルとする。なお、本実施例では、画素出力信号PIXOUTを増幅部13が反転増幅した信号が比較部4に与えられる。よって、AD変換時に信号VRMPの変化する向きは実施例1の場合と逆の方向となる。従って、信号VRMPをランプ開始電位RMP_stにシフトする方向も実施例1とは逆の方向である。

【0078】

時刻t5に、制御パルスPRMP_ENをHレベルとする。これにより、信号VRMPは時間に依存して電位が変化する。先述した通り、信号VRMPが変化する方向は、実施

50

例 1 とは逆の方向である。即ち、時間に依存して電位が増加する方向である。

【 0 0 7 9 】

以降、時刻 t_6 および時刻 t_7 のそれぞれの動作は、実施例 1 の図 5 で示した時刻 t_6 および時刻 t_7 のそれぞれの動作と同様とすることができる。

【 0 0 8 0 】

時刻 t_8 に、転送パルス P_{TX} を H レベルとすると、画像信号が垂直出力線 3 に出力される。差動増幅回路 13 - 1 の反転端子には、画像信号と増幅部入力容量 C_0 が保持した電位との差分の電位が与えられる。差動増幅回路 13 - 1 は、この電位を反転増幅した増幅部出力信号 Amp_{OUT} を出力する。この時の増幅部出力信号 Amp_{OUT} を増幅画像信号と表記する。差動増幅回路 30 の入力端子 INN には、増幅画像信号と比較部入力容量 34 が保持した電位との差分の電位が与えられる。従って、増幅画像信号から各列の増幅部 13 が有するオフセット成分を差し引くことができる。

10

【 0 0 8 1 】

時刻 t_9 から時刻 t_{13} でのそれぞれの動作は、実施例 1 の図 5 で示した時刻 t_9 から時刻 t_{13} でのそれぞれの動作と同様とすることができる。

【 0 0 8 2 】

このようにして、画素出力信号 PIX_{OUT} を増幅部 13 が反転増幅した信号を AD 変換することができる。

【 0 0 8 3 】

本実施例の増幅部 13 は帰還容量 C_1 を有している。この増幅部 13 の構成はランプ信号出力回路 5 の容量帰還増幅回路 61 と同様の構成を有している。帰還容量 C_1 と積分容量 51 とを同じ構造の容量とし、同極性の電極を差動増幅回路 13 - 1、50 の入力端子にそれぞれ電気的に接続させる。同様に、他方の同極性の電極についても、差動増幅回路 13 - 1、50 の出力端子にそれぞれ電気的に接続させる。これにより、増幅部 13 とランプ信号出力回路 5 との、電圧に対する容量の電圧依存性を揃えることができる。また、差動増幅回路 13 - 1 と差動増幅回路 50 とをそれぞれ同様の回路構成とすることで、増幅部 13 とランプ信号出力回路 5 との入力信号に対する出力信号の関係である線形性を揃えることができる。よって、増幅部出力信号 Amp_{OUT} と信号 $VRMP$ との線形性を揃えることができる。よって、増幅部出力信号 Amp_{OUT} と信号 $VRMP$ との線形性の差異によって生じる、AD 変換の精度低下を低減することができる。

20

30

【 0 0 8 4 】

本実施例では、帰還容量 C_1 、積分容量 51 の一例として、MIS 容量の形態を例に説明した。他の形態として、帰還容量 C_1 と積分容量 51 とが、MIM (Metal - Insulator - Metal) 容量や、2つのポリシリコン層が絶縁層を挟んで構成されたポリシリコン・ポリシリコンキャパシタであっても良い。これらの形態であっても、帰還容量 C_1 と積分容量 51 とを同じ構造の容量とし、差動増幅回路の入出力端子に対して同じ側の電極を電気的に接続する。同じ構造とは、例えば帰還容量 C_1 と積分容量 51 とが共に MIM 容量であることを指す。このような形態とすることにより、増幅部 13 とランプ信号出力回路 5 との、容量値の電圧依存性を揃えることができる。

【 実施例 5 】

40

【 0 0 8 5 】

これまでに述べた撮像装置を撮像システムに適用した場合の実施例について述べる。撮像システムとして、デジタルスチルカメラやデジタルカムコーダーや監視カメラなどがあげられる。図 13 に、撮像システムの例としてデジタルスチルカメラに撮像装置を適用した場合の模式図を示す。

【 0 0 8 6 】

図 13 において、151 はレンズの保護のためのバリア、152 は被写体の光学像を撮像装置 154 に結像させるレンズ、153 はレンズ 152 を通った光量を可変にするための絞りである。155 は撮像装置 154 より出力される出力信号の処理を行う出力信号処理部である。

50

【 0 0 8 7 】

出力信号処理部 1 5 5 はデジタル信号処理部を有し、撮像装置 1 5 4 から出力される信号を、必要に応じて各種の補正、圧縮を行って信号を出力する動作を行う。

【 0 0 8 8 】

図 1 3 において、1 5 6 は画像データを一時的に記憶する為のバッファメモリ部、1 5 8 は記録媒体に記録または読み出しを行うためのインターフェース部、1 5 9 は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。1 5 7 は外部コンピュータ等と通信する為のインターフェース部である。1 5 1 0 は各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部、1 5 1 1 は撮像装置 1 5 4、出力信号処理部 1 5 5 に、各種タイミング信号を出力するタイミング発生部である。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置 1 5 4 と、撮像装置 1 5 4 から出力された出力信号を処理する出力信号処理部 1 5 5 とを有すればよい。

10

【 0 0 8 9 】

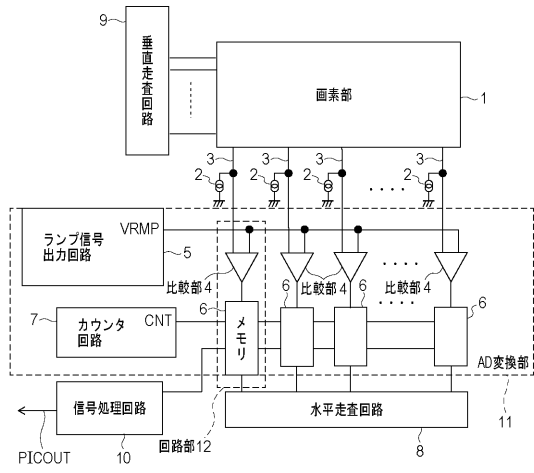
以上のように、本実施例の撮像システムは、撮像装置 1 5 4 を適用して撮像動作を行うことが可能である。

【 符号の説明 】

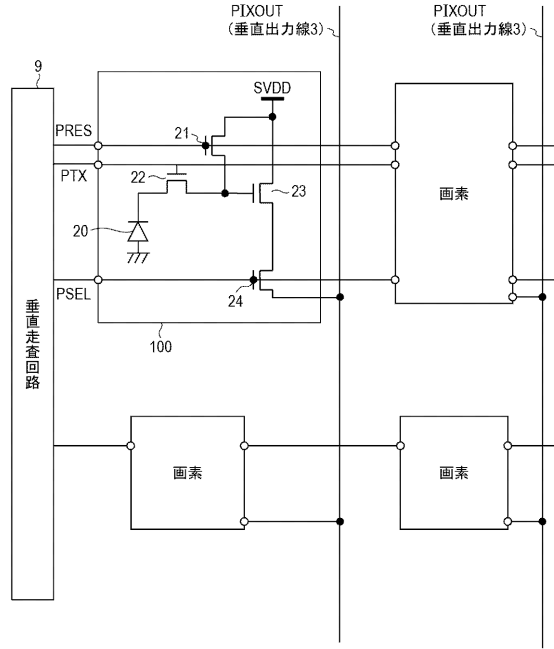
【 0 0 9 0 】

- | | | |
|---------|------------------------|----|
| 1 | 画素部 | |
| 2 | 垂直出力定電流源 | 20 |
| 3 | 垂直出力線 | |
| 4 | 比較部 | |
| 5 | ランプ信号出力回路 | |
| 6 | メモリ | |
| 7 | カウンタ回路 | |
| 8 | 水平走査回路 | |
| 9 | 垂直走査回路 | |
| 1 0 | 信号処理回路 | |
| 1 1 | A D 変換部 | |
| 1 2 | 回路部 | 30 |
| 3 6 | ランプ波形生成部 | |
| 5 1 | 積分容量 | |
| 5 2 | 積分アンプリセットスイッチ | |
| 5 3、5 4 | カレントミラー P M O S トランジスタ | |
| 5 5 | 定電流源 | |
| 5 6 | ランプ電流供給スイッチ | |
| 5 7 | 入力容量 | |
| 5 8、5 9 | オフセット切替スイッチ | |
| 6 0 - 1 | 電圧供給部 | |
| 6 1 | 容量帰還増幅回路 | 40 |

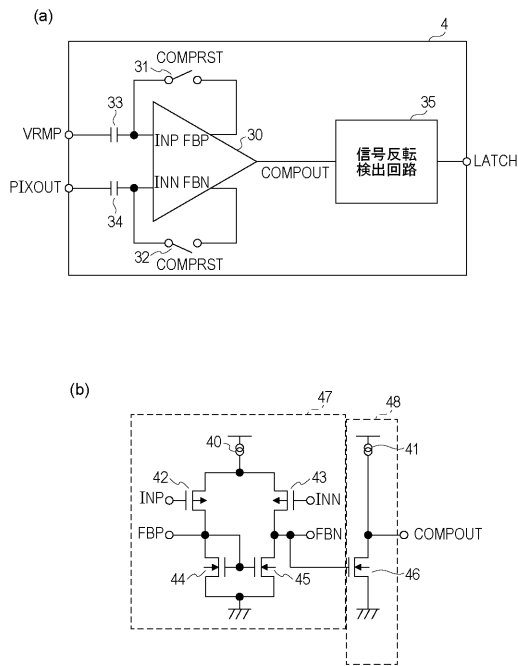
【図1】



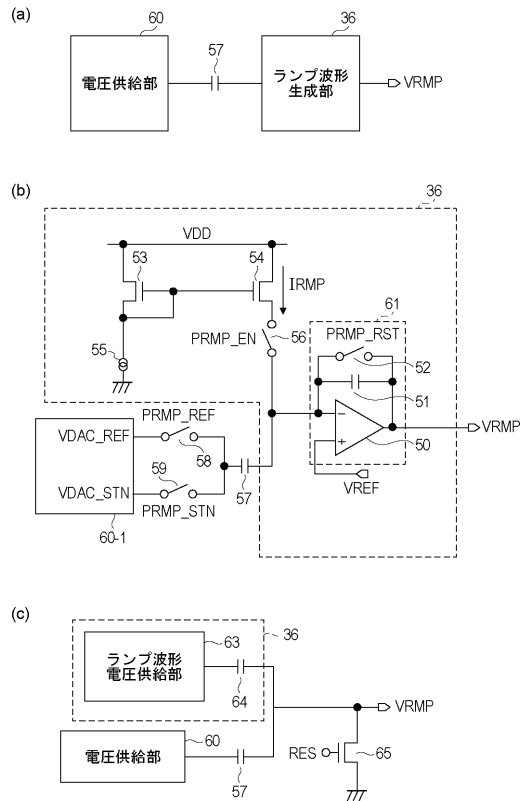
【図2】



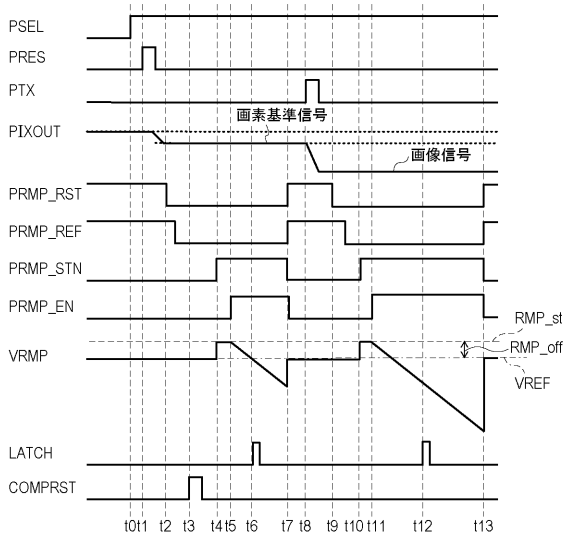
【図3】



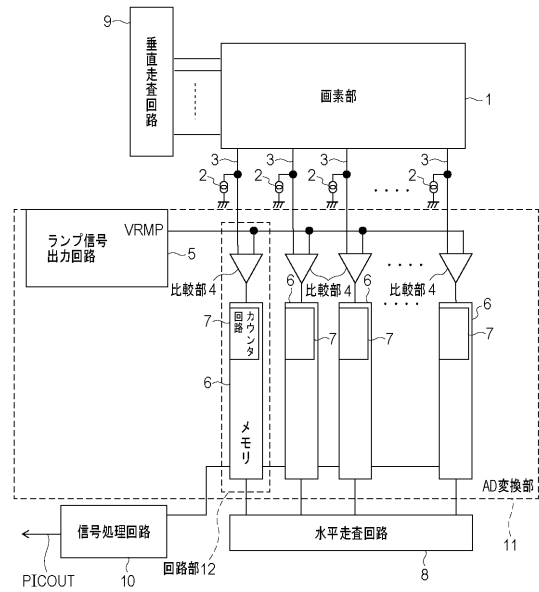
【図4】



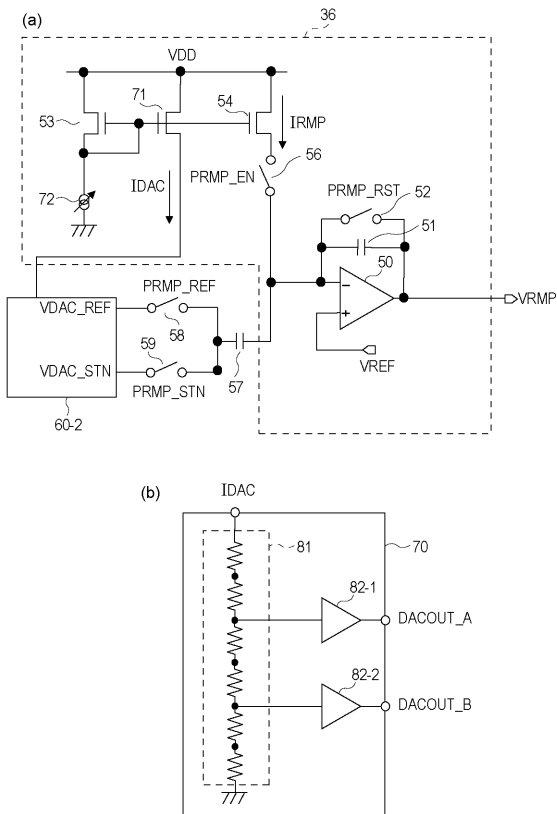
【図5】



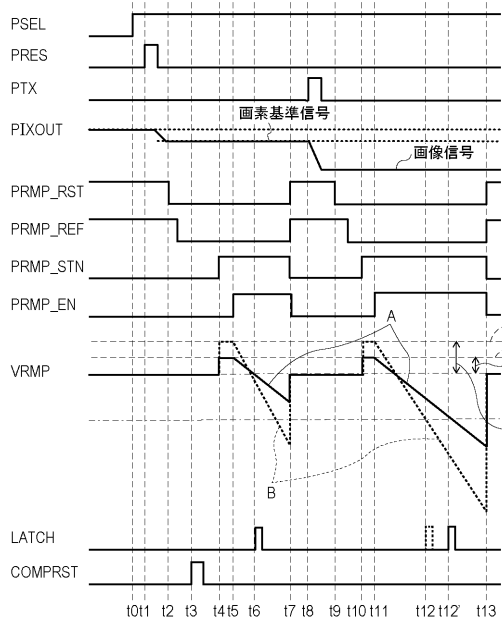
【図6】



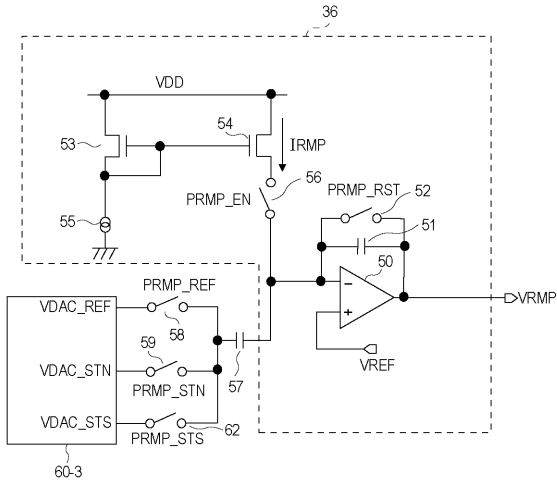
【図7】



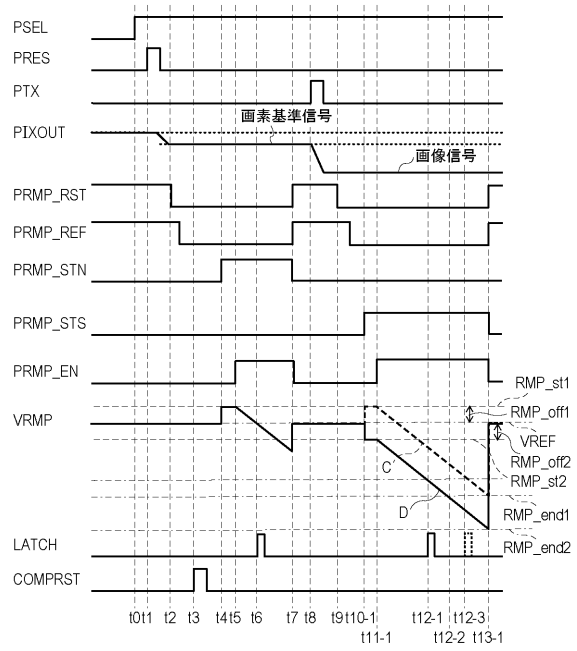
【図8】



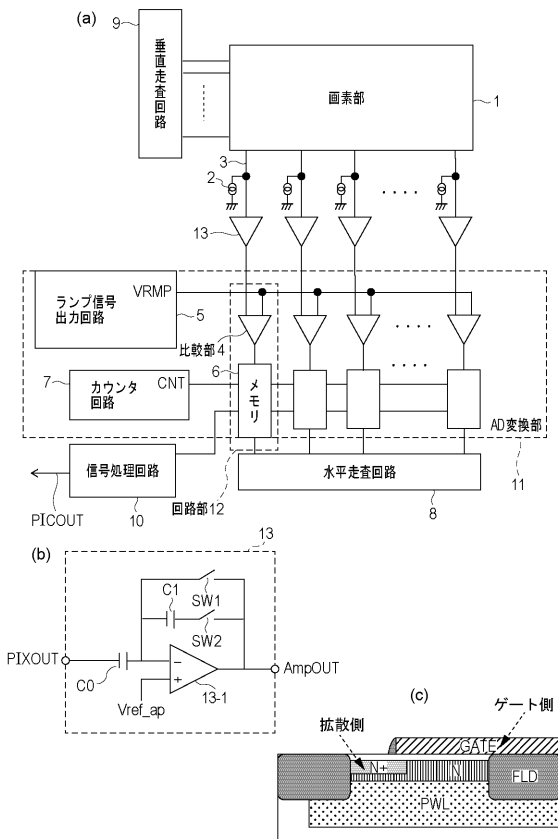
【図9】



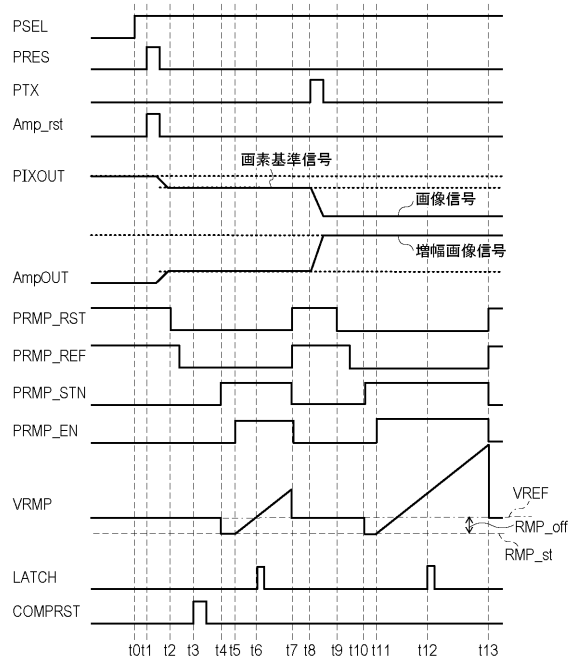
【図10】



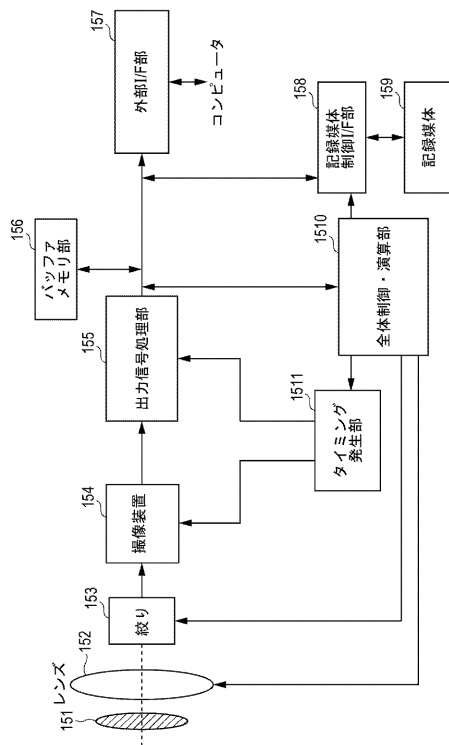
【図11】



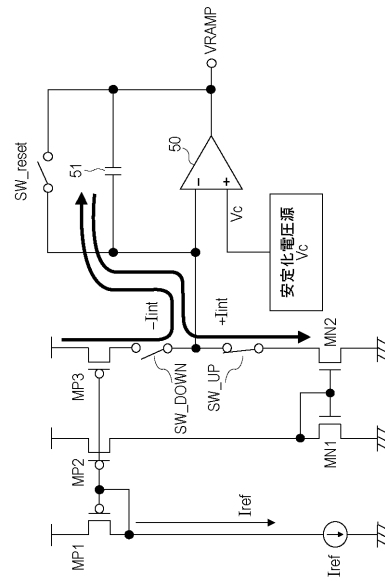
【図12】



【図13】



【図14】



フロントページの続き

- (72)発明者 板野 哲也
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 中村 恒一
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 柳下 勝幸

- (56)参考文献 特開2011-040855(JP,A)
特開2010-062688(JP,A)
特開2010-259051(JP,A)
特開2002-033664(JP,A)
特開2008-054256(JP,A)
特開昭60-089132(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88
H04N5/335