



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 201 086

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 21 03 75
(21) PV 1914-75

(11)

(B1)

(51) Int. Cl.³ H 04 L 15/00

(40) Zveřejněno 29 02 80

(45) Vydáno 01 03 83

(75)

Autor vynálezu BOCEK KAREL ing. CSc., BYSTRICE N/OŘÍ

(54) Zapojení pro záznam a zamezení časového překrytí signálů

1

Předmětem vynálezu je zapojení pro záznam a zamezení časového překrytí signálů, které řeší záznam logických signálů a uvolňování jejich průchodu spojením elementárních logických prvků do logické sítě.

Jsou známa zapojení pro uložení informace v paměti, která spočívají ve vybuzení výstupního signálu na jednom výstupu vstupním signálem, který přišel na jeden vstup, a to až v okamžiku, kdy přijde jiný vstupní signál na jiný vstup tohoto zapojení.

Uvedené zapojení představuje nejčastěji dvojková paměť, složená například ze dvou logických obvodů ANI, kde výstup každého z těchto obvodů je spojen s jedním elementárním vstupem vícenásobného vstupu druhého obvodu, čímž je dosaženo zavedení kladné zpětné vazby.

V dalším je vstup, popřípadě vícenásobný vstup logického obvodu, pokud není uvedeno jinak, označován zkráceně jako vstup, přičemž v případě spojení vstupu se dvěma, popřípadě několika různými zdroji signálu se předpokládá, že tento vstup je vícenásobný, kde násobnost tohoto vícenásobného vstupu je určena počtem připojených zdrojů signálu tak, že každý zdroj signálu spojený s některým vstupem je spojen s jedním elementárním vstupem tohoto vícenásobného vstupu. Jako zdroj signálu je označován výstup logického obvodu, vstup nebo výstup logické sítě složené z logických obvodů a podobně.

201 086

Jsou rovněž známá zapojení pro uvolňování průchodu signálů, například přes hradlo, popřípadě soustavu hradel, a to signály zvolené logické hodnoty na řídicích vstupech těchto hradel a podobně.

Nevýhodou známých zapojení pro použití při syntéze asynchronních logických sítí v oblasti řídicích soustav složitých výrobních procesů je zejména skutečnost, že nevylučují časové překrytí dvou nebo několika signálů, popřípadě časové překrytí dvou nebo několika výrobních operací.

Tyto nevýhody odstraňuje zapojení pro záznam a zamezení časového překrytí signálů uvolňování průchodu signálů podle vynálezu, jehož podstata spočívá v tom, že druhý výstup prvního paměťového obvodu je připojen k prvnímu vstupu třetího paměťového obvodu přes první pomocný logický obvod, jehož další vstupy jsou spojeny se vstupy prvního paměťového obvodu, přičemž první výstup druhého paměťového obvodu je připojen k druhému vstupu třetího paměťového obvodu přes druhý pomocný logický obvod, jehož další vstupy jsou spojeny se vstupy druhého paměťového obvodu.

Předností zapojení pro záznam a zamezení časového překrytí signálů podle vynálezu je skutečnost, že umožňuje nezávisle na sobě záznam jedné informace a záznam druhé informace, a že zamezuje časové překrytí jedné odvozené informace definované prvním záznamovým signálem a prvním mazacím signálem, a druhé odvozené informace definované druhým záznamovým signálem a druhým mazacím signálem, a to včetně časového trvání záznamového signálu a mazacího signálu té informace, která má uvolněný průchod. Přitom se informace se zamezeným průchodem neztrácí, zapisuje se, a čeká na uvolnění průchodu.

Další předností je snadná realizovatelnost pomocí minimálního počtu elementárních logických prvků, bez nároků na složité a nákladné prostředky výpočetní techniky.

Zapojení pro záznam a zamezení časového překrytí signálů podle vynálezu je v příkladném provedení znázorněno na výkrese, kde na obr. 1 je znázorněno vzájemné propojení logických prvků a na obr. 2 je znázorněn časový průběh signálů.

Na obr. 1 je znázorněn první paměťový obvod A s prvním vstupem složeným z elementárních vstupů e_1 , e_2 , e_3 , s druhým vstupem složeným z elementárních vstupů f_1 , f_2 , f_3 , s prvním výstupem E_1 a s druhým výstupem F_1 . První paměťový obvod A se skládá z prvního logického obvodu E , s výhodou logického obvodu ANI, jehož elementární vstupy e_1 , e_2 , e_3 představují souhrnně první vstup prvního paměťového obvodu A , a jehož výstup E_1 představuje shodně první výstup E_1 tohoto prvního paměťového obvodu A , a z druhého logického obvodu F , s výhodou logického obvodu ANI, jehož elementární vstupy f_1 , f_2 , f_3 představují souhrnně druhý vstup prvního paměťového obvodu A , a jehož výstup F_1 představuje shodně druhý výstup F_1 tohoto prvního paměťového obvodu A . Výstup E_1 prvního logického obvodu E je spojen s třetím elementárním vstupem f_3 druhého logického obvodu F , jehož výstup F_1 je spojen s třetím elementárním vstupem e_3 prvního logického obvodu E .

Je znázorněn druhý paměťový obvod B s prvním vstupem složeným z elementárních vstupů g_1 , g_2 , g_3 , s druhým vstupem složeným z elementárních vstupů h_1 , h_2 , h_3 , s prvním

výstupem $\underline{G}_1$ a s druhým výstupem $\underline{H}_1$. Druhý paměťový obvod $\underline{B}$ se skládá z třetího logického obvodu $\underline{G}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{g}_1, \underline{g}_2, \underline{g}_3$ představují souhrnně první vstup druhého paměťového obvodu $\underline{B}$, a jehož výstup $\underline{G}_1$ představuje shodně první výstup $\underline{G}_1$ tohoto druhého paměťového obvodu $\underline{B}$, a z čtvrtého logického obvodu $\underline{H}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{h}_1, \underline{h}_2, \underline{h}_3$ představují souhrnně druhý vstup druhého paměťového obvodu $\underline{B}$, a jehož výstup $\underline{H}_1$ představuje shodně druhý výstup $\underline{H}_1$ tohoto druhého paměťového obvodu $\underline{B}$. Výstup $\underline{G}_1$ třetího logického obvodu $\underline{G}$ je spojen s třetím elementárním vstupem $\underline{h}_3$ čtvrtého logického obvodu $\underline{H}$, jehož výstup $\underline{H}_1$ je spojen s třetím elementárním vstupem $\underline{g}_3$ třetího logického obvodu $\underline{G}$.

Dále je znázorněn třetí paměťový obvod $\underline{C}$ s prvním vstupem složeným z elementárních vstupů $\underline{k}_1, \underline{k}_2, \underline{k}_3$, s druhým vstupem složeným z elementárních vstupů $\underline{l}_1, \underline{l}_2, \underline{l}_3$, s prvním výstupem $\underline{K}_1$, s druhým výstupem $\underline{L}_1$. Třetí paměťový obvod $\underline{C}$ se skládá z pátého logického obvodu $\underline{K}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{k}_1, \underline{k}_2, \underline{k}_3$ představují souhrnně první vstup třetího paměťového obvodu $\underline{C}$, a jehož výstup $\underline{K}_1$ představuje shodně první výstup $\underline{K}_1$ tohoto třetího paměťového obvodu $\underline{C}$, a z šestého logického obvodu $\underline{L}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{l}_1, \underline{l}_2, \underline{l}_3$ představují souhrnně druhý vstup třetího paměťového obvodu $\underline{C}$, a jehož výstup $\underline{L}_1$ představuje shodně druhý výstup $\underline{L}_1$ tohoto třetího paměťového obvodu $\underline{C}$.

Výstup $\underline{K}_1$ pátého logického obvodu $\underline{K}$ je spojen s druhým elementárním vstupem $\underline{l}_2$ šestého logického obvodu $\underline{L}$, jehož výstup $\underline{L}_1$ je spojen s druhým elementárním vstupem $\underline{k}_2$ pátého logického obvodu $\underline{K}$.

Posléze je znázorněn první pomocný logický obvod $\underline{M}$, s výhodou logického obvodu ANI, se vstupem složeným z elementárních vstupů $\underline{m}_1, \underline{m}_2, \underline{m}_3$, s výstupem $\underline{M}_1$, druhý pomocný logický obvod $\underline{N}$, s výhodou logického obvodu ANI, se vstupem složeným z elementárních vstupů $\underline{n}_1, \underline{n}_2, \underline{n}_3$, s výstupem $\underline{N}_1$.

První elementární vstup $\underline{f}_1$ druhého vstupu prvního paměťového obvodu $\underline{A}$ je spojen s druhým elementárním vstupem $\underline{m}_2$ vstupu prvního pomocného logického obvodu $\underline{M}$, popřípadě druhý elementární vstup $\underline{f}_2$ druhého vstupu prvního paměťového obvodu $\underline{A}$ je spojen s třetím elementárním vstupem $\underline{m}_3$ vstupu prvního pomocného logického obvodu $\underline{M}$, a druhý výstup $\underline{F}_1$ prvního paměťového obvodu $\underline{A}$ je spojen se vstupem třetího paměťového obvodu $\underline{C}$ přes první pomocný logický obvod $\underline{M}$ tak, že tento druhý výstup $\underline{F}_1$ je spojen s prvním elementárním vstupem $\underline{m}_1$ vstupu tohoto prvního pomocného logického obvodu $\underline{M}$, jehož výstup $\underline{M}_1$ je spojen s prvním elementárním vstupem $\underline{k}_1$ prvního vstupu tohoto třetího paměťového obvodu $\underline{C}$.

První elementární vstup $\underline{g}_1$ prvního vstupu druhého paměťového obvodu $\underline{B}$ je spojen s třetím elementárním vstupem $\underline{n}_3$ vstupu druhého pomocného logického obvodu $\underline{N}$, popřípadě druhý elementární vstup $\underline{g}_2$ prvního vstupu druhého paměťového obvodu $\underline{B}$ je spojen s druhým elementárním vstupem $\underline{n}_2$ vstupu druhého pomocného logického obvodu $\underline{N}$, a první výstup $\underline{G}_1$ druhého paměťového obvodu $\underline{B}$ je propojen s druhým vstupem třetího paměťového

201 080

obvodu $\underline{C}$ přes druhý pomocný logický obvod $\underline{N}$ tak, že tento první výstup $\underline{G}_1$ je spojen s prvním elementárním vstupem $\underline{n}_1$ vstupu tohoto druhého pomocného logického obvodu $\underline{N}$, jehož výstup $\underline{N}_1$ je spojen s prvním elementárním vstupem $\underline{l}_1$ druhého vstupu tohoto třetího paměťového obvodu $\underline{C}$.

Funkce zapojení pro záznam a zamezení časového překrytí signálů v příkladném provedení podle obr. 1 je znázorněna pomocí podrobného časového průběhu signálu na obr. 2. Pro každý časový průběh jednotlivého logického signálu je vyhrazen jeden samostatný časový diagram.

V časovém diagramu 1 je znázorněn jedničkový impulsní signál $\underline{l}_1$, přivedený na první vstup prvního paměťového obvodu $\underline{A}$, například na první elementární vstup $\underline{e}_1$ tohoto prvního vstupu prvního paměťového obvodu $\underline{A}$, a jehož časové trvání vymezují časové okamžiky $\underline{t}_1$, $\underline{t}_2$. Tento impulsní signál způsobuje v okamžiku $\underline{t}_1$ záznam do tohoto prvního paměťového obvodu $\underline{A}$. Na druhém výstupu $\underline{F}_1$ prvního paměťového obvodu $\underline{A}$ vzniká jedničkový výstupní signál $\underline{l}_3$, znázorněný v časovém diagramu 3, a jehož konec vymezuje v časovém okamžiku $\underline{t}_2$ jedničkový impulsní signál $\underline{l}_2$, znázorněný v časovém diagramu 2, a přivedený na druhý vstup prvního paměťového obvodu $\underline{A}$, například na první elementární vstup $\underline{f}_1$ tohoto druhého vstupu prvního paměťového obvodu $\underline{A}$, a jehož časové trvání vymezují časové okamžiky $\underline{t}_5$, $\underline{t}_6$.

V časovém diagramu 4 je znázorněn jedničkový impulsní signál $\underline{l}_4$, přivedený na druhý vstup druhého paměťového obvodu $\underline{B}$, například na první elementární vstup $\underline{h}_1$ tohoto druhého vstupu druhého paměťového obvodu $\underline{B}$, a jehož časové trvání vymezují časové okamžiky $\underline{t}_3$, $\underline{t}_4$. Tento impulsní signál způsobuje v okamžiku $\underline{t}_3$ záznam do tohoto druhého paměťového obvodu $\underline{B}$. Na prvním výstupu $\underline{G}_1$ druhého paměťového obvodu $\underline{B}$ vzniká jedničkový výstupní signál $\underline{l}_5$, znázorněný v časovém diagramu 5.

Pro první pomocný logický obvod $\underline{M}$ a druhý pomocný logický obvod $\underline{N}$ s logickou funkcí ANI je příkladný časový průběh signálu na vstupech třetího paměťového obvodu $\underline{C}$ následující:

Počínaje časovým okamžikem $\underline{t}_1$ je jedničkový logický signál na prvním elementárním vstupu $\underline{m}_1$ vstupu prvního pomocného logického obvodu $\underline{M}$, na jeho výstupu $\underline{M}_1$ je nulový logický signál, na prvním vstupu třetího paměťového obvodu $\underline{C}$ je tedy nulový logický signál.

V časovém rozpětí od okamžiku $\underline{t}_1$ až do okamžiku $\underline{t}_3$ jsou na vstupech druhého paměťového obvodu $\underline{B}$ nulové logické signály. Předpokládá se takový předchozí stav, že na prvním výstupu $\underline{G}_1$ tohoto druhého paměťového obvodu $\underline{B}$ je nulový logický signál, který podle předchozího předpokladu trvá až do časového okamžiku $\underline{t}_3$.

Na vstupu druhého pomocného logického obvodu $\underline{N}$ je nulový logický signál, jedničkový logický signál na jeho výstupu $\underline{N}_1$ přechází na druhý vstup třetího paměťového obvodu $\underline{C}$ a způsobuje záznam do tohoto třetího paměťového obvodu $\underline{C}$, na jehož prvním výstupu $\underline{K}_1$ vzniká logický signál. V časovém okamžiku $\underline{t}_2$ přechází tento jedničkový logický signál na druhý vstup třetího paměťového obvodu $\underline{C}$ do nulového logického signálu. Vzhledem

k paměťové funkci se stav třetího paměťového obvodu $\underline{C}$ nemění, a to až do časového okamžiku $\underline{t_6}$.

V tomto časovém okamžiku $\underline{t_6}$ způsobuje přechod jedničkového logického signálu $\underline{13}$ na vstupu prvního pomocného logického obvodu $\underline{M}$, který představuje logický součet signálů na druhém vstupu a na druhém výstupu $\underline{F_1}$ prvního paměťového obvodu $\underline{A}$, a sice do nulového signálu, vznik jedničkového logického signálu na výstupu $\underline{M_1}$ tohoto prvního pomocného logického obvodu $\underline{M}$ a tedy vznik jedničkového logického signálu na prvním vstupu třetího paměťového obvodu $\underline{C}$, tedy vznik jedničkového logického signálu na druhém výstupu $\underline{L_1}$ tohoto třetího paměťového obvodu $\underline{C}$.

V časovém diagramu 6 je znázorněn jedničkový logický signál $\underline{16}$ a jedničkový logický signál $\underline{19}$, které představují souhrnně signál na vstupu prvního pomocného logického obvodu $\underline{M}$. Logický součet těchto signálů uzavírá průchod signálu $\underline{15}$ z prvního výstupu $\underline{G_1}$ druhého paměťového obvodu $\underline{B}$ na druhý výstup $\underline{L_1}$ třetího paměťového obvodu $\underline{C}$, což znázorňuje časový diagram 7. Čárkovane je vyznačen jedničkový logický signál $\underline{17}$, který je identický signálu $\underline{15}$, plně je vyznačen jedničkový signál $\underline{18}$ s uvolněným průchodem na tento druhý výstup $\underline{L_1}$ třetího paměťového obvodu $\underline{C}$.

Je zřejmé, že v příkladném provedení signály na výstupech $\underline{K_1}$, $\underline{K_2}$ třetího paměťového obvodu $\underline{C}$ představují signály s uvolněným průchodem, a sice jedničkový logický signál na prvním výstupu $\underline{K_1}$ tohoto třetího paměťového obvodu $\underline{C}$ představuje logický součet jedničkového logického signálu $\underline{11}$ na prvním vstupu prvního paměťového obvodu $\underline{A}$ zaznamenaném jako jedničkový logický signál $\underline{13}$ na druhém výstupu $\underline{F_1}$ prvního paměťového obvodu $\underline{A}$ a jedničkového logického signálu $\underline{12}$ na druhém vstupu tohoto prvního paměťového obvodu $\underline{A}$, a to s uvolněným průchodem, jedničkový logický signál $\underline{18}$ na druhém výstupu $\underline{L_1}$ tohoto třetího paměťového obvodu $\underline{C}$ představuje časově posunutý logický součet jedničkového logického signálu $\underline{14}$ na druhém vstupu druhého paměťového obvodu $\underline{B}$ zaznamenaném jako jedničkový logický signál $\underline{15}$ na prvním výstupu $\underline{G_1}$ tohoto druhého paměťového obvodu $\underline{B}$, a to až do časového okamžiku $\underline{t_6}$ uvolnění jeho průchodu.

Souhrnně logický součet signálů na elementárních vstupech $\underline{f_1}$, $\underline{f_2}$ druhého vstupu prvního paměťového obvodu $\underline{A}$ a signálu na druhém výstupu $\underline{F_1}$ tohoto prvního paměťového obvodu $\underline{A}$ rovný logické jedničce má uvolněný průchod na první výstup $\underline{K_1}$ třetího paměťového obvodu $\underline{C}$ hodnotou logické nuly logického součtu signálů na elementárních vstupech $\underline{g_1}$, $\underline{g_2}$ prvního vstupu druhého paměťového obvodu $\underline{B}$ a signálu na prvním výstupu $\underline{G_1}$ tohoto druhého paměťového obvodu $\underline{B}$, a naopak, logický součet signálů na elementárních vstupech $\underline{g_1}$, $\underline{g_2}$ prvního vstupu druhého paměťového obvodu $\underline{B}$ a signálu na prvním výstupu $\underline{G_1}$ tohoto druhého paměťového obvodu $\underline{B}$ rovný logické jedničce má uvolněný průchod na druhý výstup $\underline{L_1}$ třetího paměťového obvodu $\underline{C}$ hodnotou logické nuly logického součtu signálů na elementárních vstupech $\underline{f_1}$, $\underline{f_2}$ druhého vstupu prvního paměťového obvodu $\underline{A}$, a signálu na druhém výstupu $\underline{F_1}$ tohoto prvního paměťového obvodu $\underline{A}$.

Uplatnění zapojení pro záznam a zamezení časového překrytí signálů podle vynálezu je

201 088

zejména v oblasti syntézy složitých logických obvodů řídicích soustav.

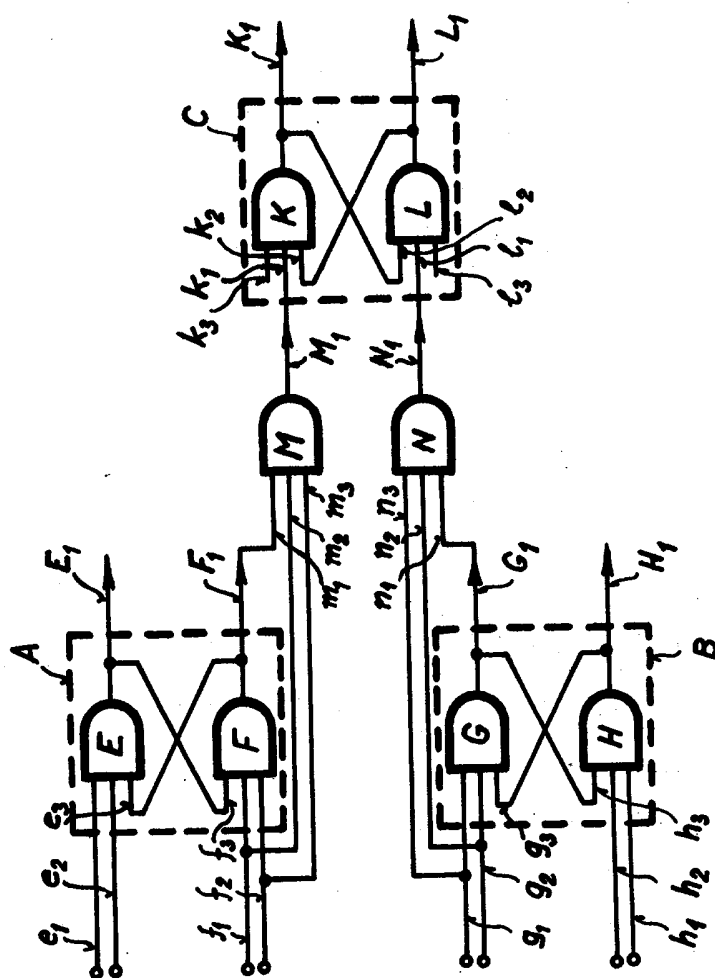
Bezprostřední uplatnění je například ve výrobních linkách, kde jedna informace, definovaná záznamovým a mazacím signálem, vyvolává jednu odvozenou informaci, například řídicí signál, popřípadě časovou posloupnost řídicích signálů, další informace, definovaná obdobným záznamovým a mazacím signálem vyvolává další odvozenou informaci, například další řídicí signál, popřípadě další časovou posloupnost řídicích signálů a podobně, a kde je nutno spolehlivě zamezit časové překrytí jedné odvozené informace a další odvozené informace, popřípadě zamezit časové překrytí příslušných řídicích signálů a podobně, a to včetně časového trvání příslušného záznamového a mazacího signálu té informace, která má právě uvolněný průchod.

Předností tohoto uplatnění je zejména jednoduchost, přehlednost a snadná realizovatelnost příslušné logické sítě.

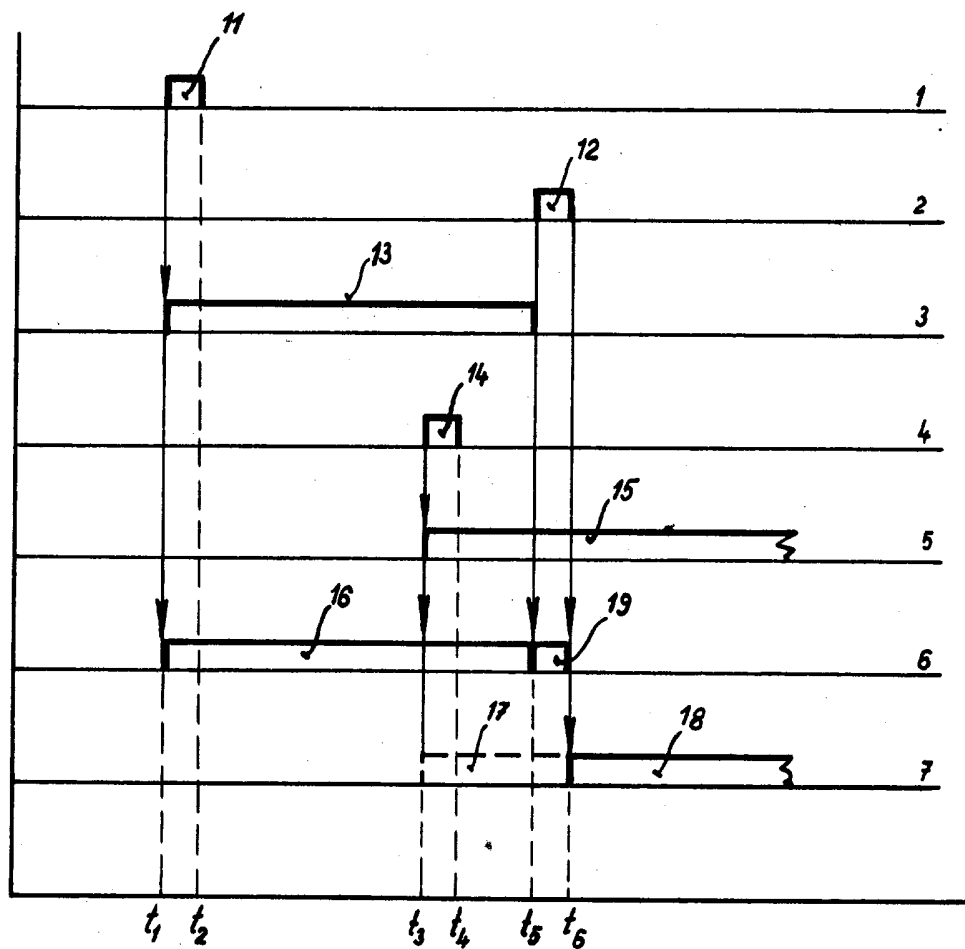
PŘEDMĚT VYNÁLEZU

1. Zapojení pro záznam a zamezení časového překrytí signálů, vyznačené tím, že druhý výstup $/F_1/$ prvního paměťového obvodu $/A/$ je připojen k prvnímu vstupu $/k_1/$ třetího paměťového obvodu $/C/$ přes první pomocný logický obvod $/M/$, jehož další vstupy jsou spojeny se vstupy prvního paměťového obvodu $/A/$, přičemž první výstup $/G_1/$ druhého paměťového obvodu $/B/$ je připojen k druhému vstupu $/l_1/$ třetího paměťového obvodu $/C/$ přes druhý pomocný logický obvod $/N/$, jehož další vstupy jsou spojeny se vstupy druhého paměťového obvodu $/B/$.
2. Zapojení podle bodu 1, vyznačené tím, že paměťový obvod $/A, B, C/$ se skládá z prvního obvodu ANI $/E/$, s výstupem $/E_1/$ spojeným se vstupem $/f_3/$ dalšího obvodu ANI $/F/$, jehož výstup $/F/$ je spojen se vstupem $/e_3/$ tohoto prvního obvodu $/E/$.

2 výkresy



Obr. 1



Obr. 2