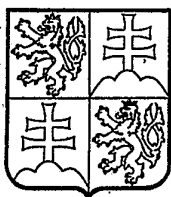


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

272 940

(11)

(13) B1

(51) Int. Cl.⁵
H 04 K 3/00

(21) PV 952-89.A

(22) Přihlášeno 14 02 89

(40) Zveřejněno 13 06 90

(45) Vydáno 16 12 91

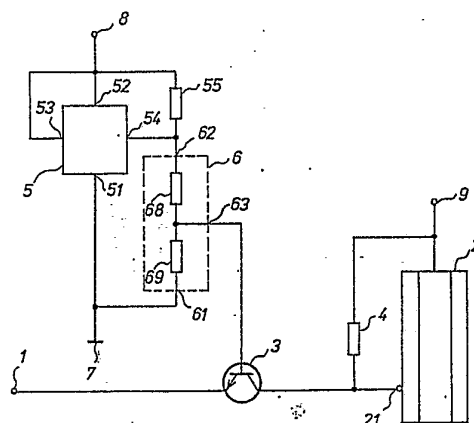
(75) Autor vynálezu

REJLEK JAN ing., LIBEREC
SEDLICKÝ VÁCLAV ing., TURNOV
ŠTĚPÁNEK VLADIMÍR ing.,
KOHOUT BOHUSLAV ing.,
KOŠTÁL ZBYNĚK, LIBEREC

(54)

Zapojení obvodu pro blokování zálohované paměti

(57) Řešení se týká zapojení obvodu pro blokování zálohované paměti. Podstata spočívá především v tom, že báze tranzistoru je spojena se středem odporového děliče, jehož první krajní vývod je spojen se společnou svorkou. Přitom kolektor tranzistoru je spojen s uvolňovacím vstupem zálohované paměti a emitor je spojen s ovládacím vstupem.



Vynález se týká zapojení obvodu pro blokování zálohované paměti, vhodného zejména pro řídicí mikroprocesorové systémy.

U řídicích mikroprocesorových systémů se často vyskytuje potřeba zachovat alespoň část obsahu paměti i při vypnutí napájení systému. Pro tento účel mají paměťové obvody napájecí napětí zálohované např. akumulátorem nebo galvanickým článkem. Při vypnutí napájení systému, stejně jako nějakou dobu po jeho zapnutí, se však systém může chovat zcela nedefinovaně, proto je třeba v této době zálohovanou paměť zablokovat, aby nedošlo k přepsání jejího obsahu. Je běžně známo zapojení obvodu pro blokování zálohované paměti, kde uvolňovací vstup zálohované paměti je spojen s kolektorem tranzistoru, jehož emitor je spojen s ovládacím vstupem a jehož báze je spojena s výstupem kontrolního obvodu. Kontrolní obvod (např. Texas Instruments TL7705A) bývá vzhledem ke své spotřebě napájen z nezálohovaného napájecího zdroje.

Toto uspořádání má však nevýhodu, že i sám kontrolní obvod se při poklesu svého napájecího napětí pod určitou úroveň chová nedefinovaně. Často doporučované napájení kontrolního obvodu přes diodu spolu se zablokováním jeho napájení kondenzátorem řeší problém jen při dostatečně rychlém poklesu napájecího napětí při vypnutí, navíc zhoršuje situaci při zapnutí napájení.

Uvedené nevýhody jsou podle nového řešení odstraněny zapojením obvodu pro blokování zálohované paměti, jehož podstata spočívá v tom, že báze tranzistoru je spojena se středem odporového děliče, jehož první krajní vývod je spojen se společnou svorkou. Přitom kolektor tranzistoru je spojen s uvolňovacím vstupem zálohované paměti a emitor je spojen s ovládacím vstupem.

Výhodou zapojení obvodu pro blokování zálohované paměti podle nového řešení je, že jednoduchým způsobem řeší problém nedefinovaného chování kontrolního obvodu při nízkém napájecím napětí a spolehlivě pracuje při libovolném průběhu nárůstu a poklesu napájecího napětí.

Další výhody a význaky nového řešení jsou patrné z výkresu, který schematicky znázorňuje příkladné provedení zapojení obvodu pro blokování zálohované paměti a z následujícího popisu funkce.

Na výkresu je uvolňovací vstup 21 zálohované paměti 2 spojené se zálohovanou napájecí svorkou 9 spojen jednak přes odpor 4 se zálohovanou napájecí svorkou 9, jednak s kolektorem tranzistoru 3, jehož emitor je spojen s ovládacím vstupem 1 a báze je spojena se středem 63 odporového děliče 6 tvořeného prvním odporem 68 a druhým odporem 69. První krajní vývod 61 odporového děliče 6 je spojen se společnou svorkou 7 a druhý krajní vývod 62 je spojen jednak s výstupem 54 kontrolního obvodu 5, jednak přes pomocný odpor 55 s nezálohovanou napájecí svorkou 8. Napájecí svorka 52 a vstupní svorka 53 kontrolního obvodu 5 jsou spojeny s nezálohovanou napájecí svorkou 8. Společná svorka 51 kontrolního obvodu 5 je spojena se společnou svorkou 7.

Zapojení obvodu pro blokování zálohované paměti pracuje v závislosti na napájecím napětí. Pokud má napětí na nezálohované napájecí svorce 8 jmenovitou hodnotu, je výstup 54 kontrolního obvodu 5 rozpojen a ze středu 63 odporového děliče 6 je na bázi tranzistoru 3 přivedeno takové napětí, že signál prochází ze vstupní svorky 1 na uvolňovací vstup 21 zálohované paměti 2. Když napětí na nezálohované napájecí svorce 8 poklesne na hodnotu, na kterou je nastaven kontrolní obvod 5, sepne jeho výstup 54 a na středu 63 odporového děliče 6 je téměř nulové napětí. Tranzistor 3 se proto nemůže otevřít. Přes odpor 4 je na uvolňovací vstup 21 zálohované paměti 2 přivedena logická úroveň H a tím je zabráněno jakékoliv komunikaci se zálohovanou pamětí 2. Při dalším poklesu napětí na nezálohované napájecí svorce 8 se kontrolní obvod 5 dostane do nedefinovaného stavu a jeho výstup 54 může rozepnout. Napětí na druhém krajním vývodu 62 odporového děliče 6 je však již tak nízké, že napětí přivedené ze středu 63 odporového děliče 6 na bázi tranzistoru 3 nestačí k jeho otevření a zálohovaná paměť 2 zůstane zablokována. Stejným způsobem je pomocí odporového děliče

6 zálohovaná paměť 2 blokována při nárůstu napájecího napětí do té doby, než napájecí napětí dosáhne hodnoty dostatečné pro správnou činnost kontrolního obvodu 5.

- Pokud je výstup 54 kontrolního obvodu 5 typu s tzv. otevřeným kolektorem a pokud není třeba napájet z něj další obvody, lze s výhodou použít jiné varianty zapojení obvodu pro blokování zálohované paměti podle vynálezu, kde druhý krajní vývod 62 odporového děliče 6 je spojen s nezálohovanou napájecí svorkou 8 a výstup 54 kontrolního obvodu 5 je spojen se středem 63 odporového děliče 6.

Zapojení obvodu pro blokování zálohované paměti podle tohoto řešení je využitelné zejména v oboru mikroprocesorových řídicích systémů.

PŘEDMĚT VYNÁLEZU

1. Zapojení obvodu pro blokování zálohované paměti, kde uvolňovací vstup zálohované paměti je spojen s kolektorem tranzistoru, jehož emitor je spojen s ovládacím vstupem, vyznačené tím, že báze tranzistoru (3) je spojena se středem (63) odporového děliče (6), jehož první krajní vývod (61) je spojen se společnou svorkou (7).

2. Zapojení obvodu pro blokování zálohované paměti podle bodu 1, vyznačené tím, že druhý krajní vývod (62) odporového děliče (6) je spojen s výstupem (54) kontrolního obvodu (5).

3. Zapojení obvodu pro blokování zálohované paměti podle bodu 1, vyznačené tím, že druhý krajní vývod (62) odporového děliče (6) je spojen s nezálohovanou napájecí svorkou (8) a výstup (54) kontrolního obvodu (5) je spojen se středem (63) odporového děliče (6).

1 výkres

