

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2004-526250(P2004-526250A)
 【公表日】平成16年8月26日(2004.8.26)
 【年通号数】公開・登録公報2004-033
 【出願番号】特願2002-576299(P2002-576299)
 【国際特許分類第7版】

G 0 6 F 17/10

G 0 6 F 17/16

H 0 3 H 17/06

【F I】

G 0 6 F 17/10 D

G 0 6 F 17/16 K

H 0 3 H 17/06 6 1 3 Z

H 0 3 H 17/06 6 2 1 A

H 0 3 H 17/06 6 5 5 Z

【手続補正書】

【提出日】平成17年2月23日(2005.2.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Nを2より大きい正の整数とするとき、入力信号を受信する、次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャであって、

次数 $2N - 1$ の1次元ピラミッド・フィルタと

第1加算回路とを含む、次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャと、

第2加算回路と

を含み、

前記2つの次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャが、動作中にそれぞれのクロック・サイクルで、少なくとも

次数 $2N - 1$ の2つの1次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

第1加算回路において、ある次数の信号サンプル行列を合計することによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号とを生成可能であり、

前記2次元ピラミッド・フィルタ・アーキテクチャ内のそれぞれのピラミッド・フィルタリング済みの出力信号が、前記2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで前記第2加算回路で合計される、集積回路。

【請求項2】

次数 $2N - 1$ の1次元ピラミッド・フィルタを含む次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャを使用してイメージをフィルタリングする方法であって、Nは2より大きい正の整数であり、前記方法が、

前記2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで
 次数 $2N - 1$ の2次元ピラミッド・フィルタによって生成された出力信号に対応する

ピラミッド・フィルタリング済み出力信号と、

ある次数の信号サンプル行列の合計に対応するピラミッド・フィルタリング済み出力信号とを、合計することを含む方法。

【請求項3】

加算回路と

スキャンされたカラー・イメージをフィルタリングするためのイメージ処理ユニットとを含むイメージ処理システムであって、

前記イメージ処理ユニットが、少なくとも1つの2次元ピラミッド・フィルタ・アーキテクチャを含み、

前記少なくとも1つの2次元ピラミッド・フィルタ・アーキテクチャが、Nが2より大きい正の整数であるとして、

次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャと

次数 $2N - 1$ の1次元ピラミッド・フィルタを含む次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャとを含み

前記次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャが、動作中にそれぞれのクロック・サイクルで、少なくとも

次数 $2N - 1$ の2つの1次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

ある次数の信号サンプル行列の合計に対応するピラミッド・フィルタリング済み出力信号とを生成可能であり、

前記2次元ピラミッド・フィルタ・アーキテクチャ内のそれぞれのピラミッド・フィルタ済みの出力信号が、前記2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで前記加算回路によって合計されるシステム。