

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成28年12月1日 (2016.12.1)

【公表番号】特表2016-502138(P2016-502138A)

【公表日】平成28年1月21日 (2016.1.21)

【年通号数】公開・登録公報2016-005

【出願番号】特願2015-543455(P2015-543455)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

【 F I 】

G 0 9 G 3/30 J

G 0 9 G 3/20 6 1 1 J

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 4 2 C

G 0 9 G 3/20 6 8 0 H

G 0 9 G 3/20 6 1 2 E

G 0 9 G 3/20 6 1 2 U

G 0 9 G 3/20 6 1 2 A

G 0 9 G 3/20 6 2 4 D

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 7 0 L

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 4 2 A

【手続補正書】

【提出日】平成28年10月7日 (2016.10.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アクティブマトリックスディスプレイ ( 2 1 0 ) を駆動するデジタル駆動回路であって、上記アクティブマトリックスディスプレイ ( 2 1 0 )は、複数の行及び複数の列に論理的に組織化された複数の画素を備え、各画素は発光素子 ( 1 0 1 ) を備え、

上記デジタル駆動回路は、

上記複数の列のそれぞれのための電流ドライバ回路 ( 2 0 3 ) であって、対応する列に、当該列においてオンである画素の個数に比例する予め決められた電流を流れさせる電流ドライバ回路 ( 2 0 3 ) と、

上記複数の行を逐次を選択するデジタル選択ライン駆動回路 ( 2 0 2 ) と、

上記デジタル選択ライン駆動回路と同期化され、選択された行の画素にデジタル画像コードを書き込むデジタルデータライン駆動回路 ( 2 0 1 )とを備えるデジタル駆動回路。

【請求項 2】

上記アクティブマトリックスディスプレイ ( 2 1 0 ) はバックプレーンを備え、  
上記電流ドライバ回路 ( 2 0 3 ) は上記アクティブマトリックスディスプレイのバック  
プレーンの外部にある請求項 1 記載のデジタル駆動回路。

【請求項 3】

上記電流ドライバ回路 ( 2 0 3 ) は、単結晶半導体に基づく回路を備える請求項 1 又は  
2 記載のデジタル駆動回路。

【請求項 4】

各電流ドライバ回路 ( 2 0 3 ) は、与えられた瞬間において、上記対応する列において  
オンである発光素子 ( 1 0 1 ) の個数に等しい自然数を格納するカウンタ ( 1 2 0 1 ) を  
含み、

上記カウンタ ( 1 2 0 1 ) は、上記デジタル選択ライン駆動回路 ( 2 0 2 ) と同期化  
され、上記デジタルデータライン駆動回路 ( 2 0 1 ) における変化に応答する請求項 1  
～ 3 のうちの 1 つに記載のデジタル駆動回路。

【請求項 5】

上記カウンタ ( 1 2 0 1 ) はアップ / ダウンカウンタである請求項 4 記載のデジタル  
駆動回路。

【請求項 6】

上記デジタル駆動回路は、

第 1 の抵抗性経路 ( 3 0 1 ) を有する第 1 のラインと、第 2 の抵抗性経路 ( 3 0 2 ) を  
有する第 2 のラインとをさらに備え、これらの間で各列を介して予め決められた電流が流  
されることが可能であり、

上記第 1 及び第 2 の抵抗性経路は、各列におけるすべての発光素子のために、上記第 1  
及び第 2 のラインの長さによって実質的に等しい請求項 1 ～ 5 のうちの 1 つに記載のデ  
ジタル駆動回路。

【請求項 7】

上記デジタル駆動回路は、上記アクティブマトリックスディスプレイ ( 2 1 0 ) の上  
記複数の発光素子 ( 1 0 1 ) に接続可能な画素駆動回路 ( 3 1 0 , 5 1 0 ) を備えるバッ  
クプレーンをさらに備え、

各画素駆動回路 ( 3 1 0 と 5 1 0 ) は、ある列における異なる画素間における電圧降下  
の差を補償する手段を備え、

上記電圧降下は、上記発光素子 ( 1 0 1 ) 及び上記画素駆動回路 ( 3 1 0 , 5 1 0 ) の  
直列接続によって決定される請求項 1 ～ 6 のうちの 1 つに記載のデジタル駆動回路。

【請求項 8】

上記補償する手段は、デジタル補償を行う手段を備える請求項 7 記載のデジタル駆  
動回路。

【請求項 9】

上記補償する手段は、アナログ補償を行う手段を備える請求項 7 記載のデジタル駆  
動回路。

【請求項 10】

アクティブマトリックスディスプレイ ( 2 1 0 ) をデジタル駆動する方法であって、  
上記アクティブマトリックスディスプレイ ( 2 1 0 ) は、複数の行及び複数の列に論理的  
に組織化された複数の画素を備え、

上記方法は、

デジタル選択ライン駆動回路 ( 2 0 2 ) を用いて、上記複数の行のそれぞれを逐次に  
選択することと、

デジタルデータライン駆動回路 ( 2 0 1 ) を用いて、選択された行の画素にデジタル  
画像データを書き込むことと、

与えられた列のための予め決められた電流が、当該列においてオンである画素の個数に  
比例するように、各列に上記予め決められた電流を流れさせることとを含む方法。

【請求項 11】

上記方法は、各列について、与えられた瞬間において、当該列においてオンである画素の個数に等しい自然数を格納することをさらに含み、

上記個数は、上記デジタル選択ライン駆動回路と同期化され、上記デジタルデータライン駆動回路における変化により更新される請求項 10 記載の方法。

【請求項 12】

上記方法は、較正ステップを実行することにより、各列の好ましい電圧降下を決定し、対応する列における各画素に当該好ましい電圧降下を生じさせることをさらに含む請求項 10 又は 11 記載の方法。

【請求項 13】

上記好ましい電圧降下を決定することは、上記画素及び画素駆動回路の直列接続にわたる電圧差として電圧降下を決定することを含む請求項 12 記載の方法。

【請求項 14】

各列に予め決められた電流を流れさせることは、第 1 の抵抗性経路 (301) を備える電流源 (303) と、第 2 の抵抗性経路 (302) を備える電流シンク (304) との間で電流を流れさせることを含み、

上記第 1 及び第 2 の抵抗性経路の抵抗は実質的に等しい請求項 10 ~ 13 のうちの 1 つに記載の方法。