



(12) 发明专利申请审定说明书

(21) 申请号 86100419

[51] Int.Cl⁴
G11C 8/02

[44] 审定公告日 1989年11月1日

[22] 申请日 86.1.21

[30] 优先权

[32]85.1.22 [33]US [31]693.498

[32]85.1.22 [33]US [31]693.417

[32]85.1.22 [33]US [31]693.421

[32]85.1.22 [33]US [31]693.424

[32]85.1.22 [33]US [31]693.422

[71] 申请人 得克萨斯仪器公司

地址 美国得克萨斯州75265达拉斯邮政信箱225474

[72] 发明人 雷蒙德·平克亨

付雷德利卡·A·威廉特

[74] 专利代理机构 上海专利事务所

代理人 冯小明

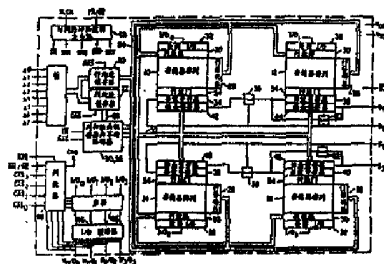
说明书页数:

附图页数:

[54] 发明名称 串行存取半导体存储器

[57] 摘要

一半导体存储器含有四个阵列并使存储单元按显示器的像素位置排列,即为位映射的。阵列中有相关连的移位寄存器并以并联方式将数据装入和以串行格式输出到显示器上。它们以输出和输入在一根引线上作多路传送的循环方式工作;或将相邻对作级联排列,即一个寄存器接收专门的串行输入,另一个在专用引线上提供串行输出。可用一判优电路禁止数据传送到被寻址的存储器部位,可用一传送门控制阵列间和相关移位寄存器间的数据传送。



404

1.一种用于贮存视频显示器上的象素信息的半导体存储器，
本发明特征在于，它包括：

具有多个以行和列的形式排列的并与显示器中的预定象素位置相关的存储器单元的第一存储器阵列，

具有多个以行和列的形式排列的并与显示器中的预定象素位置相关的存储器单元的第二存储器阵列，所述第一和第二存储器阵列是相同的，

用于接受行地址和在所述第一和第二存储器阵列两者中选出一行存储器单元的行译码装置，

用于将来自所述第一存储器阵列的所选出的存储器单元中的数据以串行格式贮存起来的第一串行存取装置，

用于将来自所述第二存储器阵列的所选出的存储器单元中的数据以串行格式贮存起来的第二串行存取装置，

所述的第一和第二存取装置是具有分开的串行输入和串行输出的并且受到来自于外部的源控制的以便对经过其中的数据进行串行移位的装置，

用于将数据从在所述第一和第二阵列处的所选出的存储器单元向所述第一和第二串行存取装置中的相应装置传送的或者从所述串行存取装置向在所述第一和第二阵列中的所选出的存储器单元传送的传送装置，

用于将所述第一和第二存取装置安排成使数据从其中的串行

输出到其中的串行输入进行循环的或者安排成使所述第一和第二串行存取装置与连接在所述第二串行存取装置的串行输入上的所述第一串行存取装置的串行输出相级联的装置。

2. 据权利要求1中所述的半导体存储器，其特征在于，它进一步包括：

用于接受列地址和在所述第一和第二存储器阵列两者中选出一列存储器单元的列译码装置，和

用于将数据输入到所述第一和第二存储器阵列两者中按行和列地址的规定选出一个存储器单元的随机读/写装置。

3. 据权利要求1中所述的半导体存储器，其特征在于，所述第一和第二串行存取装置包括具有在数量上与所述第一和第二存储器阵列的相应阵列中的列数相等的多个移位位的串行移位寄存器，通过所述传送装置将在所述第一和第二存储器阵列的相应阵列中的选出的存储器单元的每一个传送到所述移位位中的相应位上。

4. 据权利要求1中所述的半导体存储器，其特征在于，它进一步包括用于在所述第一和第二存取装置和相对于存储器为外部的外围电路布线之间进行接口的第一和第二接口装置，所述用于接口的装置进一步包括当安排为使数据循环时能对所述第一和第二存取装置的运行提供多路传送的装置，从而所述第一接口装置是与所述第一存取装置相关连的并且是可以复用的，即为或者将串行数据输入到所述第一存取装置或者接受从其中输出的串行数据的装置，而所述第二接口装置是与所述第二存取装置相关连的并且是可以复用的，即为或者将串行数据输入到其中或者接受从

其中输出的串行数据的装置，当将所述第一和第二存取装置的运行以级联方式安排时，上述第一接口装置是将串行数据输入到所述第一串行存取装置上的装置，而第二接口装置是从所述第二串行存取装置接受串行输出数据的装置。

5. 据权利要求1中所述的半导体存储器，其特征在于，所述安排装置包括：

具有第一和第二位置的第一开关装置，所述第一位置是处于将所述第一存取装置的串行输出连接到其中的串行输入上的操作位置，所述第二位置是处于将所述第一存取装置的串行输出连接到所述第二存取装置的串行输入上的操作位置，和

用于第一和第二位置的第二开关装置，所述第一位置是处于将所述串行存取装置的输出连接到其中的串行输入上的操作位置，所述的第二位置是处于禁止数据从所述第二串行存取装置的串行输出向其中的串行输入循环的操作位置，和

用于将所述第一和第二开关或是安排在第一位置或是安排在第二位置的装置。

6. 据权利要求5中所述的半导体存储器，其特征在于，它进一步包括：

用于在位于半导体存储器外部的外围电路布线和所述第一存取装置的串行输入之间进行接口的第一接口装置，和

用于在位于半导体存储器外部的外围电路布线和所述第二存取装置的串行输出之间进行接口的第二接口装置。

7. 据权利要求5中所述的半导体存储器，其特征在于，所述第一和第二开关是在半导体存储器的制作过程按掩模选择的第一

状态或是第二状态编上程序的开关。

8.一种用于贮存视频显示器上的象素信息的半导体存储器，本发明的特征在于，它包括：

具有多个以行和列的形式排列的并与显示器中的预定象素位置相关的存储器单元的第一存储器阵列，

具有多个以行和列的形式排列的并与显示器中的预定象素位置相关的存储器单元的第二存储器阵列，上述第一和第二存储器阵列是相同的，

用于接受行地址和同时在所述第一和第二存储器阵列这两者中选出一行存储器单元的行存取装置，

用于将来自所述第一存储器阵列的所选出的存储器单元中的数据以串行方式贮存起来和按列的顺序加以排列的第一串行移位装置，

用于将来自所述第二存储器阵列的所选出的存储器单元中的数据按照其中的列顺序以串行方式贮存起来的第二串行移位装置，

所述第一和第二移位装置是具有串行输入和串行输出的并且在其中的移位是受到来自外部的源控制的以便对经过其中的数据进行串行移位的装置，

借助于使位于半导体存储器外部的电路布线与其中的内部运行接口的外部端口对所述第一移位装置的串行输入和输出进行多路传送的第一多路传送装置，

用于或是将所述第二移位装置的串行装置的串行输入或是将其串行输出与使位于半导体存储器外部的电路布线与其中的内部功能接口的第二外部端口相连接的第二多路传送装置，

所述第一和第二多路传送装置是由来自于相对半导体存储器而言为外部的源的单一信号加以操作的从而能够或是选出两者的串行输入或是选出两者的串行输出的装置，

用于将数据从所述第一和第二阵列中的所选出的存储器单元向所述第一和第二移位装置中的相应单元进行传送的或者将数据从第一和第二移位装置向所述第一和第二阵列中的相应单元进行传送的传送装置。

9. 据权利要求8中所述的半导体存储器，其特征在于所述移位装置包括在其中具有多个移位位的串行移位寄存器，每个移位的输入是与所述第一和第二阵列中的相应阵列中的一列相关连的以便接受来自其中的数据或将数据向其中传送以响应所述传送装置的输出。

10. 一种半导体存储器，本发明的特征在于，它包括：

每一个都具有以列和行的方式排列的数量相等的存储器单元的多个存储器阵列，

用于接受行地址和列地址并在所述阵列的每一个中的存储器单元中选出一个单元的公共译码装置，所述的每个选出的存储器单元具有公共的行和列位置，

与所述阵列的每一个相关的用于把数据传送到所述的选出的存储器单元上的或者把数据从所述的选出的存储器单元中取出的输出装置，和

用于禁止数据传送到所述阵列中所选出阵列上去的并继而禁止数据贮存到所述的选出的存储器单元中的相关单元中去的，从而可使预先贮存在与所述阵列中所禁止的那个阵列相关的所述的

选出的存储器单元中的数据不被干扰的禁止装置。

11. 据权利要求10中所述的半导体存储器，其特征在于，所述的公共译码装置包括：

用于接受行地址并在所述阵列的每一个中的存储单元中选出一行的公共行译码装置，和

用于接受列地址并在所述阵列的每一个中的存储器单元中选出一列的从而使在所述阵列的每一个中所选出的存储器单元具有公共位置的公共列译码装置。

12. 据权利要求10中所述的半导体存储器，其特征在于，行地址是先于列地址的，所述公共译码装置包括用于锁存行地址以选出一行存储单元的装置和用于在行地址锁存后将列地址锁存起来的从而使后继的列地址能对指定的锁存的行地址锁存的装置。

13. 据权利要求12中所述的半导体存储器，其特征在于，所述的禁止装置包括：

接受与所述阵列中的各个阵列相关连的禁止信号的装置，所述禁止信号是仅仅向所述阵列中的那些要禁止的阵列提供的信号，

用于根据接受的所述禁止信号来对所述输出装置进行控制的以便可通过对与所述阵列相关的所述输出装置中的一个加以禁止来阻止对与所述禁止信号相关的所述阵列中的所述存储单元的选出单元作数据传送的装置。

14. 据权利要求13中所述的半导体存储器，其特征在于，它进一步包括用于在收到所述禁止信号之后对所收到的信号加以贮存的装置，所述输出装置是与被控制来禁止传送经过其中的数据的所述禁止信号相关的装置。

15. 据权利要求14中所述的半导体存储器, 其特征在于, 禁止信号是先于行地址的从而使所述禁止信号变更就需要产生新的行和列地址的禁止信号。

16. 据权利要求14中所述的半导体存储器, 其特征在于, 行地址先于所述禁止信号的接受而所述禁止信号先于列地址从而能在接受到行地址以后对所述禁止信号加以变更并且能在产生用于指定行地址的新的列地址之前对所述阵列中被禁止的阵列加以改变。

17. 据权利要求14中所述的半导体存储器, 其特征在于所述禁止信号是在禁止数据通过所述输出装置中被禁止的装置的这段时间内从外部的源中产生的。

18. 据权利要求10中所述的半导体存储器, 其特征在于所述输出装置包括与所述阵列中的每一个相对应的输入/输出缓冲器, 所述缓冲器的每一个具有:

用于连接到外部的数据源上的单一输出端口,

用于将数据从所述输出端口传送到所述阵列的相关阵列上的数据输入端口, 和

用于将数据从所述阵列的相关阵列上传送到所述输出端口上的数据输出端口,

所述数据输入端口是被所述禁止装置控制为禁止对经过其中的数据加以传送的输入端口。

19. 一种半导体存储器, 本发明的特征在于, 它包括:

每一个都具有以列和行的方式排列的数量相等的存储器单元的多个存储器阵列,

用于接受行地址并在与接受的行地址对应的所述阵列的每一个中选出一行的公共行译码装置，

用于接受列地址并在与接受的列地址对应的所述阵列的每一个中选出一列的公共列译码装置，在所述阵列的每一个中选出的行和列确定了在所述阵列的每一个中要被存取的存储器单元的位置。

与所述阵列的每一个相关的输入/输出缓冲器，每个缓冲器具有：

用于接受来自于外部的源的数据的或将数据传送到外部的源上的接口终端，

用于将数据传送到所述阵列中的相关阵列中的被存取的存储器单元上的数据入口，

用于接受来自于所述阵列中的相关阵列中的被存取的存储器单元的数据出口，

用于接受来自外部源的禁止信号的装置，所述阵列和相关的缓冲器的每一个都具有与其相关的所述禁止信号中的一个信号，和

用于禁止数据通过与所述的接受到的禁止信号相关的所述缓冲器上的数据入口传送的以便使贮存在所述相关阵列中的一个被存取的存储器单元中的数据保持不变的装置。

20. 据权利要求19中所述的半导体存储器，其特征在于所述用于接受的装置包括用于在接受到所述禁止信号之后将其贮存起来的装置；贮存的所述禁止信号控制所述用于禁止的装置。

21. 据权利要求20中所述的半导体存储器，其特征在于，它

进一步包括用于将所述输入/输出缓冲器的接口终端多路传送以便接受其上的用于对所述存储装置输入的所述禁止信号中相关信号的装置，所述多路传送装置是在数据传送到接口终端之前可以接收所述禁止信号的装置。

22. 据权利要求19中所述的半导体存储器，其特征在于，用于接受的装置包括与所述禁止信号的每一个相关的专用的终端，所述禁止信号是出现在与其相关的所述阵列将被禁止的那段时间宽度中。

23. 据权利要求19中所述的半导体存储器，其特征在于，用于接受所述禁止信号的所述接受装置包括：

与所述禁止信号中的每一个相对应的用于接受其上面的所述禁止信号的专用终端，

与所述输入/输出缓冲器的每个接口终端相对应的多路传送装置，

连接在所述多路传送装置上用于将从所述多路传送装置接受到的所述禁止信号进行贮存的存储装置，所述多路传送装置是接受与所述禁止信号相关的所述缓冲器的接口终端上的所述禁止信号的装置，在所述缓冲器的接口终端上接受到的所述禁止信号中的一些信号被贮存到所述存储装置中，和

用于确定所述禁止信号是在所述缓冲器的接口终端上接受还是在所述专用终端上接受的判优装置，

所述禁止信号或是传送到所述专用终端上或是传送到所述缓冲器的接口终端上，所述专用终端是允许所述禁止信号在禁止数据传送的期间出现的终端，而所述存储装置是可以对所述缓冲器

的接口终端加以多路传送而不要求在这段禁止时间提供所述禁止信号的存储装置。

24. 据权利要求19所述的半导体存储器，其特征在于，行地址是在收到列地址之前收到的。

25. 据权利要求24所述的半导体存储器，其特征在于，所述禁止信号是在收到行地址之前产生从而对于所述禁止信号的每一次更新必须产生新的行地址和列地址的信号。

26. 据权利要求24所述的半导体存储器，其特征在于，所述禁止信号是在收到行地址之后但在接收到列地址前产生从而在更新了上述禁止信号后仅仅只需要产生一新的列地址而行地址可以维持原样的信号。

27. 使多个在半导体存储器上的阵列运行的方法，本发明特征在于，该方法包括：

接受行地址和列地址和在每个阵列中的存储器单元中选出一个单元，每一个选出的存储器单元具有公共的行和列位置，

接受来自于外部源的禁止信号，每个禁止信号与一个阵列相关，和

禁止数据传送到与接受到禁止信号相对应的阵列中的所选出的存储器单元上，从而使预置在其中的数据不受干扰，

从外部源接受到的禁止信号仅仅出现在即将把数据传送出去而被禁止的阵列中。

28. 据权利要求27所述的方法，其特征在于，该方法进一步包括在接受到禁止信号之后加以贮存从而使禁止信号只需在短时期内出现。

29. 据权利要求27所述的方法, 其特征在于, 该方法进一步包括在该半导体芯片的单独的终端上接受每个禁止信号, 禁止信号在禁止数据传送的期间出现。

30. 一种半导体存储器, 本发明的特征在于, 它包括:

具有多个以行和列的形式排列的用于贮存其中的数据的存储器单元的存储器阵列,

用于接受行地址和将行地址译码的并选出一行存储器单元的行译码装置,

用于接受列地址和将列地址译码的并选出一行存储器单元的列译码装置,

所述行和列译码装置是共同作用在所述阵列的存储单元中选出一个单元以便把数据传送到存储器单元中或从其中传送出来的装置,

用于有选择地存取在所述阵列的被寻址行中的存储单元的全部数据的移位寄存器装置, 所述移位寄存器装置是把取出的数据按照列的顺序以串行格式贮存到所述的阵列中以便使取出的数据能够从其中串行输出的装置,

用于从数据串行输出的所述移位寄存器装置的串行输出格式中选出位置的抽头装置,

所述列译码装置是接受外部抽头地址和将抽头地址译码以提供与数据将从该串行格式输出的数据位置相对应的抽头译码信息的装置, 所述抽头译码信息是贮存在所述抽头装置中, 所述抽头译码信息决定在所述移位寄存器装置中的任一数据的位置, 和

用于从抽头的输出端将数据移出所述的移位寄存器装置从而

只有在抽头输出和串行格式中的最后一段数据之间的数据被输出的控制装置。

31. 据权利要求30中所述的半导体存储器，其特征在于，所述的移位寄存器装置包括：

具有多个在数量上是与所述阵列中的列数相等的移位位的串行移位寄存器，和

有选择地将所述串行移位寄存器中的每个移位位的输出连接到被寻址的行中的被存取的存储器单元上以便将数据传送到所述移位位的对应位上或从其中传送出来的传送装置，所述传送装置是由所述控制装置控制的。

32. 据权利要求31中所述的半导体存储器，其中所述抽头装置包括：

用于贮存所述抽头译码信息的锁存装置，所述抽头译码信息是用于决定在所述移位寄存器中所述的移位位中的哪一个移位位的输出被抽头，和

多个通道门，所述通道门的每一个都是连接在所述移位位的相应位的输出和单独的输出节点之间并且是由贮存在所述锁存装置中的所述抽头译码信息加以控制的通道门，触发所述通道门中选出的通道门就使所述移位位中的相应位的输出与所述输出节点相连接

33. 一种半导体存储器，本发明的特征在于，它包括：

每一个都具有以行和列排列的用于贮存其中数据的数量相等的存储器单元的多个存储器阵列，

用于接受行地址并对行地址译码的及在所述阵列中的每一个

阵列中选出一列存储器单元的行译码装置，

用于接受列/ 抽头地址并对列/ 抽头地址译码的以及可以工作于第一工作方式用以提供列译码信号和在第二工作方式时用以提供抽头译码信号的列/ 抽头译码装置，

所述行译码装置和第一方式中的所述列/ 抽头译码装置可以用来在每个阵列中存取存储单元以便将数据传送到到存取的存储器单元之上或从被存取的存储器单元中传送出来的装置。

与所述阵列的每一个相对应的用于在所述阵列中的相应阵列中的被存取的行中存取所有存储器单元的传送装置，

与所述传送装置的每一个相对应的用于把存取的数据贮存在以串行格式贮存的移位寄存器装置，该串行格式是与由所述传送装置从中取出数据的列的顺序相对应的，

用于响应按第二方式操作的所述列/ 抽头装置从而在数据将要从中输出的所述寄存器装置的串行格式中选出位置的抽头装置，所述抽头译码信号是将串行格式中的任一位置规定为抽头输出的信号，和

用于选择所述列/ 抽头译码装置的第一或第二方式的控制装置，以所述第二方式运行的所述控制方式连同所述列/ 抽头译码装置产生可供控制所述传送装置将所述的取出的数据传送到所述移位寄存器装置上和所述抽头装置上以选出由所述抽头译码信号确立的用于从其中输出的抽头位置的所述抽头译码信号，所述移位寄存器装置是被控制来对经过其中的以串行格式安排的数据进行移位和通过抽头位置加以输出的装置。

34. 据权利要求33中所述的半导体存储器，其特征在于，所

述的移位寄存器装置包括具有在数量上与所述阵列中的相应阵列中的列相等的多个移位位，而每个移位位是与所述相应阵列中的一列相对应的串行移位寄存器的移位寄存器。

35. 据权利要求33中所述的半导体存储器，其特征在于，所述传送装置是包括与所述阵列中的对应阵列中的每列相对应的多个通道门和所述移位位中的每个相应位的输入的并可响应所述控制装置以便将所述阵列的每列中的所述存储器单元中的被存储的存储器单元的输入连接到所述移位位中的相应位的输入上的装置。

36. 据权利要求34中所述的半导体存储器，其特征在于，所述抽头装置包括，

用于贮存由所述列/抽头译码装置输出的所述抽头的译码信号的装置，

连接在所述移位位中的每一位的输出和公共输出节点之间的多个通道门，所述通道门的每一个是由贮存在所述锁存器装置中的所述抽头的译码信号控制以便将所述移位位中的各自位上的输出连接到所述公共节点。

37. 据权利要求33中所述的半导体存储器，其特征在于，列/抽头译码装置包括：

用于贮存其中的所述列/抽头地址的列/抽头锁存器，

用于对所述列/抽头锁存器中的内容进行译码的从而提供相应的列译码信号或抽头译码信号的译码器，所述译码器可以用来产生在数量与所述阵列中有关的阵列的列数相等的多个译码信号中的一个信号，对于某一系列/抽头地址，在所述输出译码线中仅仅只有一条被触发。

38. 据权利要求33中所述的半导体存储器, 其特征在于, 所述控制装置可以用来将来自所述移位寄存器装置的数据经过所述抽头点移位, 该抽头点是由所述抽头装置按照从抽头点到由所述有关阵列中的最高位的列输出的数据的依次向上的顺序选出的

39. 从具有以行和列排列的存储器单元的半导体存储器阵列中串行存取数据的方法, 本发明的特征在于, 该方法包括:

对列抽头地址译码以便在第一方式中输出列译码信号和在第二方式中输出抽头译码信号,

在第一方式中选出由列译码信号中所选出的行所确定的存储单元中的一个单元,

将来自第二方式中的所有存储器单元的数据传送到串行移位寄存器中的移位位上, 移位位将存取的数据按串行格式排列,

在与抽头译码信号对应的移位位处将移位寄存器抽头以便为贮存在移位寄存器中的串行输出的数据提供抽头点,

控制移位寄存器以便将贮存在其中的数据从抽头点移出。

40. 据权利要求39中所述的方法, 其特征在于, 该方法进一步包括把第二方式中的抽头译码信号贮存在抽头锁存器中和使每个移位寄存器中的输出经过有关的通道门连接到公共节点上, 每一个通道门都是由锁存的抽头译码信号控制的。

41. 一种半导体存储器, 本发明的特征在于, 它包括:

具有多个以行和列的方式排列的存储器单元的存储器阵列,

用于接受外部行地址和对外部行地址译码的以及在所述阵列中存取一行存储器单元的行地址装置。所述行地址装置是能将对被寻址的行的存取维持一预定时间宽度的装置,

具有多个位的串行输出寄存器，所述位的每一个都是与所述阵列中的一列有关的，

用于将每个被存取的存储器单元中的数据装入所述位中的有关位的装入装置，

用于接受外部时钟脉冲信号和产生内部时钟脉冲信号以便以所述外部时钟脉冲信号的频率将数据移到所述寄存器中去的计时同步装置，和

用于接受外部传送信号和控制所述的装入装置以便在所述内部时钟脉冲的循环中将数据装入所述串行输出寄存器之前确保将数据全部装入。

42. 据权利要求41中所述的半导体存储器，其中所述控制装置包括用于在收到所述外部传送信号之后的一段预定时间内禁止所述时钟脉冲装置将数据移入所述串行输出寄存器从而确保完成所述寄存器和存储器单元中被存取的行之间的数据传送。

43. 据权利要求41中所述的半导体存储器，其特征在於所述控制装置包括在把存储器单元全部存取之前禁止由所述装入装置装入数据的装置，所述的禁止装置是响应在被寻址的存储单元中的数据完全存取之前所收到的所述传送信号而被触发的禁止装置。

44. 据权利要求41中所述的半导体存储器，其特征在於所述行地址装置是响应外部行地址选通信号以存取数据的装置，而所述的预定的存取时间是由所述行地址选通信号所决定的时间。

45. 据权利要求44中所述的半导体存储器，其特征在於，所述控制装置包括用于超越(overriding)所述行地址选通以便在一段预定时间内保持对被寻址的存储器单元的存取的装置，所述超

越装置是在接收到所述传送信号而作出响应的以便将存取维持一段足够的时间从而确保数据完整地装入所述寄存器内的装置。

46. 一种半导体存储器，本发明的特征在于，它包括：

其有多个以行和列排列的存储器单元的存储器阵列，

用于接受外部的行地址和对外部的行地址译码的并在所述阵列中取出一行存储器单元的行地址装置，

具有多个移位位的串行移位寄存器，所述移位位中的每一个是与阵列中的每一列有关的，

用于在所述阵列中被寻址的存储单元和所述移位位的有关位之间传送数据的传送装置，

用于接受外部移位时钟脉冲信号和产生内部移位时钟脉冲信号以便按所述外部移位时钟脉冲信号的频率将所述移位寄存器中的数据移位的计时装置，

用于接受外部传送控制信号和控制所述传送装置以便传送数据的控制装置，

用于在收到所述外部传送信号后的一段预定的时间内禁止所述计时装置来对所述移位寄存器移位以确保数据的完整传送得以执行的移位禁止装置。

47. 据权利要求46中所述的半导体存储器，其特征在於所述传送装置仅仅把数据从所述存储器阵列传送到所述的移位寄存器上。

48. 据权利要求46中所述的半导体存储器，其特征在於所述行地址装置是应外部行地址选通信号对被寻址的存储器单元进行存取的装置，存取时间的宽度是由所述外部行地址选通信号出现

的时间宽度来决定的。

49. 据权利要求48中所述的半导体存储器，其特征在于，它进一步包括在存储单元完全取出之前禁止所述传送装置传送数据的从而使得所述外部的传送信号能出现在被寻址的存储器单元中的数据完全存取之前的传送禁止装置。

50. 据权利要求48中所述的半导体存储器，其特征在于，它进一步包括用于延长时间宽度的装置使对所述阵列中的被寻址的存储器单元中的数据的存取不受所述外部行地址选通信号影响，所述的延长装置是对接受到的外部传送信号加以响应的、将对被寻址的存储器单元的存取保持一段预定的时间从而使得即使所述外部地址选通信号被除去仍能确保数据的完全传送。

51. 据权利要求50中所述的半导体存储器，其特征在于所述延长装置包括：

用于接受所述外部行地址选通信号和所述外部传送信号的并在移去所述行地址选通信号和出现所述外部传送信号时输出一延迟控制信号的装置，

用于在所述延迟控制信号起始时产生一延迟一段预定时间的延迟信号的延迟装置；

用于维持对所述阵列的存储器单元中的被寻址的行进行数据存取的装置，

52. 据权利要求46所述的半导体存储器，其特征在于，所述计时装置在所述内部移位时钟脉冲信号的上升沿上把所述移位寄存器中的数据进行移位，而所述移位禁止装置是在所述的一段预定时间内延迟内部移位时钟脉信号的上升沿的出现。

53. 据权利要求46中所述的半导体存储器，其特征在于所述传送装置包括多个安置在所述阵列的有关被寻址的存储器单元和所述移位位的输入之间的通道门，所述通道门在第一方式运行时是用于阻止数据传送的，在第二方式运行时是允许数据传送的，所述控制装置是将所述第一方式变换为所述第二方式以便传送数据的装置。

54. 一种用于在串行存取存储器阵列的存储器单元和串行移位寄存器的移位位之间传送数据的方法，本发明的特征在于，该方法包括：

接受外部行地址信号和对该行地址信号译码，

存取在存储器单元的被寻址行中的数据，

接受外部传送信号，

接受到外部传送信号时起而响应，在移位寄存器的移位位和阵列中被寻址的存储器单元之间传送数据，

接受外部移位时钟脉冲信号并以移位时钟脉冲的速率使数据在移位寄存器中移位，和

在接受到外部传送信号后的一段预定时间内禁止移位寄存器中的数据移位以确保完整的数据传送被执行。

55. 据权利要求54中所述的方法，其中数据传送仅仅出现在从阵列中的被寻址的存储器单元到移位寄存器之间。

56. 据权利要求54中所述的方法，其特征在于，数据的存取步骤包括接受外部的行地址选通信号和对数据进行存取以响应该信号，用于存取数据的时间宽度是由行地址选通信号所出现的时间来决定的。

57. 据权利要求56中所述的方法其特征在于, 该方法进一步包括以不依赖于外部传送信号的方式, 在数据被完全存取之前禁止数据的传送, 从而使外部传送信号能先于数据的完全存取而出现。

58. 据权利要求56中所述的方法其特征在于, 该方法进一步包括不依赖于行地址选通信号而在外部传送信号出现之后的一段预定时间内仍保持对数据的存取从而保持数据的存取以确保数据的完全传送。

串行存取半导体存储器

在视频系统中，将显示的信息分割成被称之为“像素”(Pixels)的分立单元，而单位面积上像素的数目决定了实际的清晰度。用于简单黑白系统中的每一像素能用一数据位(比特)来确定；而较为复杂的系统，应用不同色彩和亮度值的像素时要求较多的数据位。为了显示出贮存在存储器中的像素的信息，从存储器中读出数据后再将其以串行格式安排到中间存储器的载体中。当对显示器中的每条水平线扫描时，像素的数据就被串行输出并变换为视频信息。例如，对每个黑白像素所贮存的数据与扫描线中的预定位置相对应并决定或是黑电平或是白电平的视频输出。在颁发给瑞德华(Redwine)的专利号为4,322,635的美国专利中，在颁发给罗欧(Rao)的专利为4,347,587的美国专利中和申请号为567,040，申请日为1983年12月30日的美国专利申请中(所有这些均已转让给得克萨斯仪器公司)都描述了像素数据的串行格式排列。

在设计视频存储器时，设计人员面临的两个基本的设计约束条件是：每条扫描线所需要的像素数目和扫描速率。这就决定了像素信息如何被映射到存储器中去以及存取和串行输出这种被贮存的像素信息的速率。视频存储器的“像素”映射一般是使一行存储器单元或它的一部分直接与某一扫描线或它的一部分像素信息相对应。例如，在每条扫描线上具有256个像素的黑白系统中，应采用每行具有256个存储单元的存储器。在某条扫描线出现时，

取出该行中的信息并贮存到用于串行输出的串行移位寄存器中去以使其从中串行输出，从而每条扫描线仅需要一次存储器存取。在数据从串行移位寄存器输出到显示器上的同时，从存储器中取出数据以更新显示器上的数据。在相邻扫描线之间的回描期间，这种数据传送到移位寄存器中。所以存储器单元的行数和列数是由每条扫描线的象素数目，每个象素的信息位数和显示器中扫描线的数目来决定的。串行移位寄存器的工作过程已在专利号为4,322,635和4,347,587的美国专利中作了较为详细的描述，而典型的位映射视频存储器则在申请号为567,040的美国专利申请中作了描述。

在采用象素映射视频存储器的申请中，大量的单个存储器被阵列式地排列，从而使一次存取操作输出预定的象素图形。这样就使得大量的象素和/或每个象素上的位能在一次存取时间中被输出，从而减少存取特定的一组信息所需要的时间。这种阵列式的结构可能要求与各个存储器有关的移位寄存器是串联或并联的。

为了使多个象素映射视频存储器使用方便，希望将一个以上的存储器合并到一块半导体芯片上。为了提供一种从经济观点和市场观点两方面来看均能站得住脚的器件，每个被集成的存储器应该具备相对于同一芯片上的其它存储器来说具有某种程度的独立性的运行能力，并还能合用尽可能多的控制功能。这对于减少用于连接外围电路和芯片本身所需要的集成电路引线以及减少电路密度是十分必要的。当有多个象素映射视频存储器集成到一块半导体芯片上时，人们希望能对每个存储器的串行输入和输出独立地加以存取，并能对存储器的随机读/写方式独立地加以控

制。这样对于每一个存储器需要有分开的串行输入和串行输出接口引线，并需要有用读/写控制功能的分开的引线，这就导致了一种不切实际的多引线的封装。此外，提供多方面独立功能所需要的控制电路也将会增加芯片电路的密度。

考虑到以上集成多存储器半导体芯片所带有的缺点，人们希望提供一种多存储器半导体芯片，这种芯片具有公用的控制功能，并采用尽可能少的引线同外围电路连接，并仍然能对某个芯片上的每个存储器保持高度独立的控制作用。

本申请揭示和提出权利要求的本发明包括一种贮存用于视频显示器的象素信息的半导体存储器。这种存储器包括第一存储器阵列和与第一存储器阵列相同的但是互相分开的第二存储器阵列。这种存储器中的每一个包含许多排列成行和列的存储器单元。所提供的行译码器用于在两存储器阵列中选出行和把贮存在其中的数据经过传送门输出到相关的第一和第二串行移位寄存器中去。每个串行移位寄存器都有串行输入和串行输出。其中，第一移位寄存器的串行输出连接到第二移位寄存器的串行输入上。第一移位寄存器的串行输入经过专用的信号引线与外部的线路相连接，第二移位寄存器的串行输出经过专用的信号引线与外部的线路相连接。所以，第一和第二阵列中的数据（以及第一和第二移位寄存器）是串联的。

在本发明的另一个实施例中第一移位寄存器具有被多路传送到专用的集成电路引线上的输入和输出，第二移位寄存器具有被多路传送到第二专用信号引线上的串行输入和输出。所提供的外部信号是用于确定是串行输入还是串行输出与外部线路相接。这

种循环移位寄存器允许数据从其中的输入中移出或返回。

在本发明的又一个实施例中，通过采用掩模可编程选择，将串联的移位寄存器和循环移位寄存器合并到同一半导体芯片上，其中，在半导体器件的制作以前就已对掩模作了修改以便按要求选择循环移位寄存器或选择串联移位寄存器结构。

本发明的另一特征也在本申请中被揭示和提出权利要求：每个阵列都有相等数目的存储器单元排列成行和列。所提供的公共行译码器和公共列译码器用于接收行和列的地址。每一阵列都有各自的输入/输出缓冲器，它是用于将数据传送到相关的阵列中和从其中传送出来并与外部源相连。所提供的禁止电路是与每个输入/输出缓冲器相关连的用于在接收到禁止信号后禁止数据传输到有关阵列中去的电路。每个阵列具有各自的禁止信号，从而使所产生的有关的禁止信号禁止传送到有关阵列中的被存取的存储器单元中去。

在本发明的这一特征的另一实施中，禁止信号是在对缓冲器的输入端接受到的并被多路传送以便存储到锁存器中，这样就允许禁止信号出现一个短的时间并被贮存到更新为止。

在本特征的又一个实施例中，与每个阵列有关的每个禁止信号都有一个各自分开的终端。禁止信号被允许在禁止数据传输期间存在。

本发明的另一个特征是：所提供的行译码器是用于接受一个行地址并将其译码以及将存储器单元中的一行选出。所提供的列译码器是用于接受一个列地址并将其译码以及将存储单元中的一列选出。列和行译码器一起以随机存取方式从阵列中选出一个存

儲单元。所提供串行移位寄存器具有许多移位位，其位数与带有被安置在其中的传送门的阵列的列数相等。这种传送门可以将数据从被取数的行中的所有存储单元传送出来以便存储到移位寄存器中的移位位上。所提供的抽头电路是用于从数据即将被输出的那个移位位上选择移位位的。抽头位置是由输入到列译码器的地址来确定的并且由译码器译码。然后从抽头点将数据从移位寄存器中移出。该抽头点是由输入到列译码器的抽头地址确定的任何一个移位位的输出端。控制电路控制来自列译码器的输出信号是将列地址译码还是提供一个用于选择移位寄存器的输出的抽头译码信号。

此外，还有具有另一特点的一个实施例：行地址被接受和译码，接着被寻址的一行存储器单元在阵列中被取数。具有许多移位位的串行移位寄存器被安置在阵列的相邻位置。移位寄存器中的每个移位位是与阵列中的每列相关连的。传送电路被安置在移位寄存器和阵列之间以便控制其间的数据传送。时钟电路接受外部的移位时钟脉冲后产生内部的时钟脉冲以便以外部移位时钟脉冲的频率将移位寄存器中的数据移位。控制电路接受外部的传送控制信号并控制在传送电路的数据的传送。所提供的移位禁止电路在收到外部传送信号后禁止移位寄存器在一个预定的时间内被内部移位时钟脉冲移位，从而确保能达到数据的完整传送。

本特征的另一个实施例中，外部的行地址选通信号被用于启动阵列中的数据存取。在行地址选通信号出现的时间存取得以维持。所提供的禁止电路在整个存取完成之前禁止数据传送。这样就允许外部传送信号在完成存取之前发生而不干扰预先存储在移

位寄存器中的数据直到时间的某一预定点为止。

本特征的又一个实施例，所提供的电路是用来在收到外部信号后为存取时间延长一预定时间。这种时间延伸电路的工作是独立于行地址选通信号的，在预定时间终止前，即使行地址选通信号被除去，仍能维持对数据的存取。

为了更完整地理解本发明及其优点，现在请结合相应的附图参阅所给出的下列描述，其中：

图1表示按照本发明将四个象素映射存储器合并起来的半导体芯片的示意方框图，

图2表示按照写入的屏蔽特征来写数据以便选择出一组存储单元的时序图，

图3表示对称的象素存储器阵列的方框图，

图4表示用于图3中的阵列的一部分显示映射，

图5表示移位寄存器和抽头锁存器的示意方框图，

图6a和6b表示采用软盘的三种不同显示器扫描的一条扫描线的示意图，

图7a和7b表示位置抽头的在移位寄存器不同位置抽头时的三种不同显示器扫描的一条扫描线的示意图，

图8表示移位寄存器的一位移位位的示意性框图，

图9表示三个串行连接的移位位的示意图，

图10表示一部分串行移位寄存器和抽头锁存器的示意图，

图11表示抽头锁存器，移位寄存器和列译码电路之间的接口的示意方框图，

图12表示在四个象素映射存储器阵列中的存储器单元和相关

的移位寄存器及抽头锁存器的最佳的电路设计；

图13表示把数据从存储器传送到移位寄存器上去的时序图；

图14表示把数据从移位寄存器到存储器上去的时序图；

图15表示对半导体芯片上的四个阵列的每一个进行单独寻址的电路的示意框图；

图16表示对带有分开的列地址选通的存储器进行单独寻址的时序图；

图17表示用于中线装入的电路的示意图；

图18表示中线装入的示意图。

采用四个存储器阵列的半导体存储器：

现在参见图1，表示一个由四个存储器阵列[10]、[12]、[14]和[16]（在下文中被称为“采用四个存储器阵列”（By Four Memory Array）组成半导体存储器。存储器阵列[10]至[16]中的每一个都包括安排有串行存取和随机存取的读/写存储器，这两者都可以用动态随机存取型的单元阵列。所有的阵列[10]至[16]全都被包括在通常是安装在标准的双列直插式封装中的一块半导体芯片上。这种类型的存储器已在专利号为4,081,701的美国专利中作了一般性地描述，该专利是颁布给华特（White）等人的，并已转让给得克萨斯仪器公司，通常将阵列中的每一个分割成二个等分，在每半个阵列中带有相等数量的存储器单元以限定存储器单元中的不同的行和列。一行读出放大器（其中的每一个都与一个列相关连）被安置在二个半月中间从而使得触发一个行就能将输出提供到每个读出放大器上。然后

采用相应的译码电路，按照下文所描述的方式，使地址数据位的全部或者选出的一部分输出。

存储器阵列[10]至[16]中的每一个都被排列成“位映射”的结构，也就是说，贮存在存储器中的数据位的相对位置对应于显示器上的像素的实际位置。例如，贮存在一个位映射的阵列中的第一行和第一列中的数据能够对应于视频显示器上的第一扫描线中的第一个像素。如果仅仅采用一个阵列，相邻的像素将与贮存在阵列的第一行和第二列中的数据对应。然而，如果采用多个阵列，在一给定阵列中的相邻的列与显示器中每一个第 n 的像素对应，此处的 n 等于并行的阵列的个数。在申请号为567,040号的，申请日为1983年12月30日的美国专利申请中（该专利申请已被转让给得克萨斯仪器公司），在诺沃克和皮克亨（Novak and Pinkham）所写的“从顶部到底部的内部图形系统”一文中（《电子设计》，第31卷第15期，1983），在威林森和里克特所写的“将图形系统逐渐缩小到三块芯片上的专用处理机”一文中（《电子设计》，第31卷第16期，1983）和皮克亨，诺沃克和克坦葛（Pinkham, Novak and Guttag）所写的“擅长于快速图形的视频随机存取存储器”一文中（《电子设计》，第31卷第17期，1983），已对这种类型的存储器作了充分的描述。

存储器阵列[10]至[16]被全部容纳在由虚线所标出的一块半导体芯片上。地址A0至A7被地址缓冲器[18]所接受，缓冲器的输出是输入到行地址锁存器[20]和列地址锁存器[22]上。行地址锁存器[20]由行地址选通信号 $\overline{RAS}$ 控制，而列地址锁存器[22]由列地址选通信号 $\overline{CAS}$ 控制。行地址锁存器[

20] 是输出到行地址总线[24] 上, 而列地址锁存器[22] 的输出是输出到列地址总线[26] 上。存储器阵列[10] 至[16] 中的每一个都与一个用于接收来自行地址总线[24] 的锁存的行地址的行译码器[28] 和一个用于接收来自列地址总线的锁存的列地址的列译码器[30] 相关连。虽然行译码器和列译码器被分开来表示, 但是阵列[10] 至[16] 每一个共享一个公共的行译码器和一个公共的列译码器, 这一点将在下文加以描述。

存储器阵列[10] 至[16] 中的每一个都具有一个输入/ 输出(以下称 I/ O) 电路[32] , 该电路是与含有 I/ O 数据线的电路有关的。与阵列[10] 相关连的 I/ O 数据线是用 I/ O₀ 标出, 与阵列[12] 相关连的 I/ O 数据线是用 I/ O₁ 标出, 与阵列[14] 相关连的 I/ O 数据线是用 I/ O₂ 标出, 而与阵列[16] 相关连的 I/ O 数据线是用 I/ O₃ 标出。此外, 串行移位寄存器[34] 是与阵列[10] 相关连的, 串行移位寄存器[36] 是与阵列[12] 相关连的, 串行移位寄存器[38] 是与阵列[14] 相关连的, 而串行移位寄存器[40] 是与阵列[16] 相关连的。

移位寄存器[34] 至[40] 分别与有关的抽头锁存器[42] , [44] , [46] 和[48] 相关连。抽头锁存器[42] 至[48] 可以分别选出相关的移位寄存器[34] 至[40] 的移位位使其从中输出。抽头锁存器[42] 至[48] 是与连接在抽头锁存器译码电路[52] 上的抽头锁存器总线[50] 相连接的。抽头锁存器译码电路[52] 接受来自地址总线[26] 的锁存的列地址以便将其译码。在最佳实施例中, 抽头锁存器译码电路[52] 和列译码器[

30] 其功能是合用的以致于仅仅只需要一个译码电路。所提供的控制线路是用于决定是将译码的输出置于抽头锁存器总线[50] 上还是置于列译码总线[26] 上, 这一点将在下文中加以描述。

移位寄存器[34] 至[40] 中的每一个均含有众多的成串行排列的移位位, 其中的每个移位位是与有关阵列中的分开的列相关连的。所提供的传送门[54] 用于每个阵列[10] 至[16] 的各列和相关的移位寄存器[34] 至[40] 之间的接口。这种传送数据既可以是来自各个存储器阵列中的每个读出放大器的输出的并将其装入到各个移位寄存器的移位位中去, 也可以允许数据从移位寄存器传送到相关的阵列中。传送门[54] 可用于将被寻址行中的所有数据传送到移位寄存器中使其从中串行输出, 这点将在下文加以描述。在专利为4,330,852 的美国专利中已对传送门和串行移位寄存器的运行作了详细描述。

抽头锁存器[42] 的输出含有移位寄存器[34] 的串行输出, 而该输出是输入到单刀双掷开关[56] 的一个输入端上, 该开关可使抽头锁存器[42] 的输出在移位寄存器[34] 的串行输入和移位寄存器[36] 的串行输入之间作转换。与此相类似, 抽头锁存器[46] 的输出是被选出的移位寄存器[38] 的输出, 它也输入到单刀双掷开关[58] 上, 它在移位寄存器[38] 的串行输入和与阵列[16] 相关的移位寄存器[40] 的串行输入之间进行选择。选择移位寄存器[36] 的输出的抽头锁存器[44] 经过单刀双掷开关[60] 又反过来输入到移位寄存器[36] 的串行输入上, 而抽头锁存器[48] 的输出经过单刀双掷开关[62] 也反过来输入到移位寄存器[40] 的串行输入上。开关[56] 至[62]

中的每一个都是在半导体存储器的制作期间通过可编程序金属掩模进行选择的。虽然它们在图中用开关来表示，但实际上它们是一系列的在本器件制作之前就与掩模相连接的或断开的线。

开关[56]至[62]可以两种方式运行。在第一种方式中，开关[56]和[58]是这样连接的，即使抽头锁存器[42]的输出回接到相关的移位寄存器[34]的串行输入上，而抽头锁存器[46]的输出回过来接到相关的移位寄存器[38]的串行输入上。开关[60]和[62]一种类似的方式连接。从而使抽头锁存器[44]和[48]的输出回过来接到各自的移位寄存器[36]和[40]的串行输入上。在这种方式中，移位寄存器[34]至[38]中的每一个都接成了“循环”(Circulating)移位寄存器的结构。

在第二种运行方式中，开关[56]的安置是将移位寄存器[34]的抽头输出连接到移位寄存器[36]的串行输入上，而开关[58]的安置是将移位寄存器[38]的抽头输出连接到移位寄存器[40]的串行输入上。开关[60]和[62]安置在断开位置从而阻止了在移位寄存器[36]和[40]中的数据循环。第二种运行方式实际上是将移位寄存器[34]和[36]及移位寄存器[38]和[40]串联起来。

为了和这两种方式的移位寄存器进行接口，加上标记“ S_1 ”的信号引线连接到抽头锁存器[44]的输出上，信号引线“ S_0 ”与移位寄存器[34]的串行输入相连，信号引线“ S_2 ”与移位寄存器[38]的串行输入相连，加上标记“ S_3 ”的信号引线与抽头锁存器[48]的输出相连。在第一种运行状态中，引线“ S_1 ”是供移位寄存器[36]的串行输入和输出复用的，引线“ S_0 ”是

供移位寄存器[34]的串行输入和输出复用的,引线“ S_2 ”是供移位寄存器[38]的串行输入和输出复用的,引线“ S_3 ”是供移位寄存器[40]的串行输入和输出复用的。缓冲器使得数据能够在引线 S_0 和 S_3 上被输入或输出到相关的移位寄存器中以响应串行输出的启动信号 $\overline{SOE}$,从而有选择地输入数据或者接受来自相关的移位寄存器中的输出数据。这种复用功能将在下文中结合附图5来加以描述。

在第二种运行状态中,引线 S_1 连接在抽头锁存器[44]的输出上,而引线 S_4 连接在移位寄存器[34]的输入上,移位寄存器[34]和[36]是串联的。引线 S_2 连接在移位寄存器[38]的输入上,而引线 S 连接在抽头锁存器[48]的输出上,移位寄存器[38]和[40]是串联的。在这种状态中,数据能串行输入到移位寄存器[34]上和从移位寄存器[36]的抽头输出中取出。数据能以类似的方式串行输入到移位寄存器[38]上和从移位寄存器[40]的抽头输出中取出。

开关[56]至[62]提供了一种在一条多路传送的输入/输出上有选择地存取每一个与存储器阵列[10]至[16]相关的移位寄存器,或者,把两个存储器阵列中的相关的移位寄存器级连起来并为每级连对提供专用的输入和专用的输出。这样,在集成电路封装上只需要四根引线,每一种结构及其应用都将在下文中作更详细的描述。

正如上文中所描述的那样,存储器阵列[10]至[16]中的每一个共用一公共行译码器和一公共列译码器,行地址和相关的

行地址选通信号 $\overline{RAS}$ 触发阵列[10]至[16]中的每一个的寻址行，列地址和相关的列地址选通信号 $\overline{CAS}$ 触发阵列[10]至[16]中的每一个中的寻址列。然后能够完成位线和数据 I/O 电路[32]之间的数据传送，又能完成位线和移位寄存器[34]至[40]之间的数据传送。由于共用一公共行译码器和公共列译码器，随机读或随机写的功能就将需要对所有的阵列[10]至[16]同时进行读或写。为了能对阵列[10]至[16]中的一个或多个阵列有选择地写数据，需要分开的列译码电路和相关的外围控制电路。这就将大大增加某个芯片上的电路密度。按照本发明，对四个阵列[10]至[16]中的一个选出的存储器上所需要单元可采用两种方法进行分别写入，而不会干扰没有选出的阵列中的相同单元。第一种方法称之为“写屏蔽”(Write Mask)特征，该特征阻止写到没有选出的阵列上。第二种方法称之为“分开的 $\overline{CAS}$ ”(Separate $\overline{CAS}$)特征，它采用分开的列地址选通 $\overline{CAS}_0$, $\overline{CAS}_1$, $\overline{CAS}_2$ 和 $\overline{CAS}_3$ 以便选出被写的列。正如将在下文中所描述的那样，这两种特征被合并到半导体芯片上，但通过改变金属掩模，在制造时仅使一个特征起作用。

为了有选择地改变阵列[10]至[16]中的任何一个阵列或者它们的组合的数据，提供了一种用于连接 I/O 缓冲器[66]和 I/O 线 I/O_0 至 I/O_3 的启动电路[64]。该启动电路[64]是由决定采用“写屏蔽”特征或是采用“分开的 $\overline{CAS}$ ”特征的判优器[68]的输出控制的。如果启动电路被控制为使得与阵列[10]至[16]相关的任何 I/O 输出截止的话，在相关位线上的数据就不能“被写满”(Written over)。仅仅只有被允许

启动的 I/O 线能使相关的位线被触发从而使相关的存储器单元能够被数据写进去。

在写屏蔽的方式中，四根数据引线 D_0 至 D_3 是多路传送的从而使启动信号 W_0, W_1, W_2 和 W_3 能和它们一起多路传送。信号 W_0 至 W_3 决定存储器阵列 [10] 至 [16] 中哪一个即将使相关的 I/O 部分启动。正如下文将较详细地加以描述的那样，对于“写屏蔽”特征来说，其缺点是：对于每一个 $\overline{RAS}$ 信号来说，只有一组用于信号 W_0 至 W_3 的值是能被锁存的，此后，仅仅只能写到选出的阵列中的单元上去。当按页面方式运行时这就会产生问题。

当将金属掩模改变成是用来选出分开 $\overline{CAS}$ 特征时，判优器 [68] 在四个 $\overline{CAS}$ 信号之间进行判别。在这种方式中通过 $\overline{RAS}$ 信号选出行，然后将 $\overline{CAS}$ 信号 ($\overline{CAS}_0$ 至 $\overline{CAS}_3$) 中所需要的那一个列地址选通信号输入进去。因此，某一行存取时的列地址和阵列 [10] 至 [16] 中的任何一列都能被选出。为了以页面方式运行，只需要一行存取，同时，在某行存取期间能对 $\overline{CAS}$ 信号加以控制从而从阵列 [10] 至 [16] 中的任一阵列或其组合选出列。

在芯片上还具有一时钟脉冲和控制发生器 [69] 以产生诸如为触发传送门和移位寄存器 [34] 至 [40] 所需要的各种各样的时钟脉冲信号和控制信号。输入到时钟脉冲和控制发生器 [69] 中的信号中的两个信号是用于移位寄存器的时钟信号 $SCLK$ 和用于传送和输出启动信号 $\overline{TR}/\overline{QE}$ 。

现在参见图2，这里表示一个具有图1中所说明的写屏蔽特征的存储器的写周期的时序图。在通常的 RAM (随机存取存储

器)中,在 $\overline{RAS}$ 变为低电平时,行地址锁存在行地址锁存器[20]中,在一预定的时间后,列地址被存放到地址缓冲器[18]中且 $\overline{CAS}$ 变为低电平从而将列地址锁存到列地址锁存器[22]中,在写状态中,写/启动信号 $\overline{WE}$ 在行地址锁存后变为低电平。在写屏蔽特征中, $\overline{WM}/\overline{WE}$ 信号在 $\overline{RAS}$ 变为低电平之前就变为低电平。这样就使判优器[68]能把任何数据输入上的数据锁存,并提供信号 W_0 至 W_3 。因为屏蔽的数据在 $\overline{RAS}$ 中的每一次变化中只能被锁存一次,所以对于每一个行地址来说只能锁存一组屏蔽数据。正如上面所描述的,当以页面方式运行时,这是一个缺点,这是因为在某一行地址期间不能选出不同的阵列。

级联的移位寄存器:

现在参见图3,这里画出了由四个存储器[70], [72], [74]和[76]组成的阵列。存储器[70]至[76]中的每一个类似于图1中的存储器,因为其中含有四位存储器阵列。借助于级联的移位寄存器,存储器[70]至[76]以第二种运行方式运行,因此,每一对级联的移位寄存器具有对该级联对进行串行输入的专用引线 and 对该级联对进行串行输出的专用引线。在集成电路封装上需要有四根引线来与该级联对进行连接。为了便于用图表加以表示,存储器[70]中的两个级联对是与存储器[72]中的两个级联对级联的。存储器[74]中的两个串联对是互相级联的,而存储器[76]中的两个级联对也是互相级联的。不管结构怎样,其电气结构都是相同的,不同的只是相互连线的布局有所变化而已。

数据更新电路[78] 是用于接受来自总线[80] 上的微处理机(未示出) 的信号以产生16个分开的信号来控制存储器[70] 至[76] 中的每一个存储器阵列的分开的 $\overline{CA S}$ 功能, 或者控制写屏蔽特征。这些输出是用 $\overline{CA S_x/W_A}$ 至 $\overline{CA S_p/W_P}$ 来作为标记的。正如下文中将要描述的那样这些信号与存储器[70] 至[76] 中的一个一个分开的存储器阵列相关连从而可以以随机的方式对这些阵列有选择地写入以更新象素的数据。

在存储器[70] 至[76] 中的每个映射象素的阵列是用指出该象素在阵列中的有关位置的字母来加以标记的。寄存器[70] 中的一个级联对用“D”和“H”标出。该级联对是和存储器[72] 中的阵列“L”和“P”级联的。存储器[70] 中的另一个阵列对是用“C”和“G”标出的, 它是与存储器[72] 中的标为“K”和“O”的另一个阵列对级联的。存储器[74] 中的阵列对被标为“B”, “F”, “J”和“N”, 而存储器[76] 中的阵列对被标为“A”, “E”, “I”, “M”。因此图3 中的阵列是这样布置的: 即阵列A、B、C和D是以并联形式排列的, 而其中的串行输出是与一四位串行移位寄存器[82] 的四个并行的输入相连, 该移位寄存器[82] 的串行输出经处理后输入显示器。剩余的级联阵列E至H, I至L和M至P是以并联形式布置的, 这样先是级联阵列A至D中的全部单元都输出至四位移位寄存器[82], 其后是来自阵列E至H的全部移位寄存器数据, 依此类推。这被称之为“对称的象素映射”(Symmetrical Pixel Mapping)。

现在参见图4. 它画出了采用图3 中对称象素映射的视频显示

器的一部分。在存取该对称阵列中的一行数据的过程中，首先提供的是行地址，接着是列地址。然后通过传送门[54]将每列位线上的数据传送到阵列A至P中的每一个阵列中各自的移位寄存器上。数据一旦被平行地装入各自的移位寄存器上。数据一旦被平行地装入各自的移位寄存器后，所有的移位寄存器就由公共的移位时钟脉冲来计时从而可同步地将数据移到四位移位寄存器[82]中。对于一个256位宽度的阵列和一相应的256位宽度的移位寄存器来说，采用与每个特定的列相对应的“00”至“255”来标记每个位置。从A直到P的每一个阵列的第一移位位输出与地址00相对应。装入四位移位寄存器[82]中的第一个数据是最初^存贮在阵列A至D的列00中的数据。在该数据装入四位移位寄存器[82]中后，它以四倍于移位时钟脉冲的数据（传送）速率移出。因此，从四位移位寄存器[82]输出的第一数段是阵列A中的列00，行00的数据，接着是阵列B中的列00、行00的数据。在对应于阵列A、B、C和D中的列的数据从四位移位寄存器[82]中输出并形成第一扫描线以后，再将对应于行00，列01的数据装入移位寄存器[82]以形成第二扫描线。这样一直继续到与寄存器A至D相关的移位寄存器中的全部数据输出为止，这就需要256次移位时钟脉冲和需要四位移位寄存器[82]的1024次位移。

在这个例中，显示器是256块长度（Blocks Long）。对于第一扫描线来说，它包括1024象素。对于下一个扫描线，来自起初与阵列E至H相关的移位寄存器的数据被串行装入阵列A至D相关的移位寄存器，然后将这种数据被装入四位移位寄存器[

82]。下一个扫描线是与同阵列 I 至 L 相关的移位寄存器中的全部数据有关，而第四个扫描线则由与阵列 M 至 P 相关的移位寄存器中的全部数据组成。这就形成了 256 象素阵列，每个象素阵列都具有从标号 A 直到 P 的象素。在与行地址 00 相关的全部数据从移位寄存器输出后，行 01 被取数，数据被传送到相关的移位寄存器且扫描线 5 至 8 被显示形成第二行象素阵列。

通过采用图 3 中对称阵列，使有可能在一次存储器存取时间内写满任何一个象素阵列中的十六个相邻的象素。如果仅仅只用一个映射象素的存储器阵列，就将需要十六次存储器存取来改变十六个象素的数据。在对称的象素阵列中，仅需要对存储器阵列 A 至 P 作一次随机存取，从而驱动数据更新电路 [78] 以选出在该行地址和列地址处和所希望的图形中选出要被写满的阵列。

例如，假如在图 4 中由参考数字 [84] 图示出来的图形将要在显示器上显示，通常的系统将取出决定图形 [84] 的每一行并改变地址以改变相应的象素存储器单元的位置。这样就将需要对存储器以页面方式运行。这就要改变行地址并重复这种步骤。图形 [84] 在行 00、列 00 的象素阵列中含有象素 H、L 和 P，在列 01、行 00 的象素阵列中含有象素 E、F、J 和 N。在列 00、行 01 的象素阵列中含有象素 D、H 和 L，在列 01、行 01 的阵列中含有象素 B、F、I 和 J。通常的系统将需要有六次行取数，而每次行取数需要两次列取数才能写满形成图形 [84] 的全部象素数据。然而，在图 3 中的对称的象素映射阵列中，仅仅需要四次取数就能形成图形 [84]。该系统将首先从位于存储器阵列 A 至 P 的所有阵列的行 00、列 00 中的存储器单元取数且仅仅触发要

写上去的存储器阵列 H、L 和 P。由于写屏蔽选择被选来用于图 3 中的存储器[70] 至[76]，在改变用于行 00、列 01 的启动像素阵列之前将需要一个新的行地址。然而，如果选的是分开的 $\overline{C}$ $\overline{A}$ $\overline{S}$ 选择，就将采用页面方式并且仅仅只要作一次行取数就能更新列 00 和 01 中的像素信息。

通过采用具有四个包含在芯片中的映射像素阵列的半导体芯片内的级联移位寄存器，仅仅只要四根引线就能提供 4×4 个阵列。这样就可供任何需要对称的阵列的，而对称阵列又是两个像素宽度或者是其任何倍数的结构之用。因此，可以采用如同图 3 中所表示的那样一个 4×4 的对称像素阵列，或者甚至可以采用一个 16×16 的对称像素阵列。

具有多抽头输出的循环移位寄存器：

现在参见图 5，这儿表示一个具有相关的 256 位抽头锁存器[88] 和相关的 256 单元传送门[90] 的 256 位移位寄存器[86] 的示意方框图。移位寄存器[86] 类似于图 1 中的移位寄存器[34] 至[40]，抽头锁存器[88] 类似于图 1 中的抽头锁存器[42] 至[48]，而传送门[90] 类似于图 1 中的传送门[54]。传送门接受在输入端上接受的位线 $B/L00$ 至 $B/L255$ ，同时将它的输出端连接到移位寄存器[86] 上的采用的标记是从“00”直到“255”的各自的移位位上，串行输入输入到移位位 255 上，串行输出通过移位 00 输出。抽头锁存器[88] 对于在 00 至 255 中的任何一个移位位处均能有效地抽出串行输出。

来自移位位 00 的移位输出是三态缓冲器[92] 的输入，该三

态缓冲器将其输出连接到单刀单掷开关[94] 上。开关[94] 类似于开关[60] 和[62] 。正如上面所描述的, 如果移位寄存器是以类似于带有单刀双掷开关[56] 和[58] 的移位寄存器[34] 和[38] 的方式布置的话, 可以不采用开关[94] 。开关[94] 的输出连接到移位位255 的串行输入上。抽头锁存器的输出是输入到三态缓冲器[96] 上, 该三态缓冲器的输出是连接到被称之为“ S_i ”的引线 S_1 至 S_3 中的一根上(其中 $i=1,2,3$)。引线 S_i 也输入到三态缓冲器[98] 上, 该三态缓冲器连接到移位位255 上串行输入上。该输入被称为 S_{IN} , 而抽头锁存器的输出被标为 S_{OUT} 。三态缓冲器[92] 、[96] 和[98] 是由 $\overline{S O E}$ 信号控制的。当 $\overline{S O E}$ 信号为高电平时, 缓冲器[92] 和[96] 不触发, 而缓冲器[98] 触发。这样就使引线 S_i 用作串行输入引线。当 $\overline{S O E}$ 为低电平时, 缓冲器[98] 不触发, 而缓冲器[92] 和[96] 触发。通过将移位位00 的输出回输到移位位255 上并把抽头锁存器的输出连接到引线 S_i 上, 就把移位寄存器[86] 布置为循环移位寄存器。在这种安排中, 引线 S_i 用作一根串行输出引线。如上所述, 当选用屏蔽选择方式时, 即在一块半导体芯片中的两个移位寄存器中级联时, 开关[94] 才能被断开。

在最佳实施中, 特别要注意的是: 串行输出总是从移位位00 反馈到移位位255, 而不是从抽头锁存器[88] 的输出反馈到移位位255。然而, 它能从抽头点反馈过去。当从移位位00 反馈时, 抽头锁存器可以被触发而从移位寄存器[86] 中的任一移位位中选出输出, 而不会影响数据循环的次序。例如, 移位位64 可能被选作为输出移位位, 这样出现在输出上的第一位将是最初贮入移

位位64中数据，接着是最初贮入余下的移位位65至255 中的数据。然而，因为移位时钟脉冲继续使数据移位，就把最初贮入移位位00中的数据接在贮入移位位255 的数据之后。这样，贮存的移位寄存器[86] 中的数据的最初次序就能维持而不受抽头位置的影响。

计数器(未示出) 计算移位时钟脉冲的数目以提供计数输出。外部的控制存储器的微处理器在传送数据给移位寄存器[86] 时为计数器提供复位，然后对计数加以监控。于是微处理器能在—被预定的移位数延迟了的预定计数上将数据送回存储器。例如，如果需要将存储器中的某一行中的全部数据移位一个象素，仅仅只要从最初位置对移位时钟脉冲计数255 次，就能将该数据传送到位线上。这样就能有效地将数据移出一位。

现在参见图6a和6b，这里将显示器中的一条选择线表示成为显示器的三个分开的帧，其中一帧定义为对显示器上的所有的线进行一次扫描所需的时间，这三个帧被称为 FRAME1 FRM E2 和 FRAME3,而图中所示的线被称为 LINE N。在图示的例子中，显示器中的每条扫描线有256 个象素，采用的是移位寄存器相关的256 位宽的存储器。在将数据传送到移位寄存器以后，是这样的定时的：即所作的256 移位使得包含在移位寄存器中的所有数据输出到显示器的某一条线上。在 FRAME I 中，第一象素与移位位00对应，而移位位00又与贮存在列00中的数据对应。在扫描线末端处移出的最后位的数据与移位位255 对应，该移位位255 又与列255 对应。为了使数据移一位，计数计(未示出) 对移位时钟周期的数目进行计数并使来自于移位寄存器的

数据传送到与预定移位计数处的线相对应的行地址处的存储器上。在图6a中所示的例子要求从移位寄存器到存储器的数字传送是发生在255 移位时钟脉冲之后。在这个数目上，最初是位于移位位00处数据现在将位于移位位01处。计数达到255 时的传送将导致数据向右移一个象素位置，该位置对应于数据被移到下一个较高的列地址。因此，在下一个帧上，从存储器到移位寄存器的数据传送导致该移位数据输出。如果从移位寄存器到存储器的传送对每一个255 数都出现的话，对于每次扫描来说该数据似乎向右移到了右面一个象素。因此，对同样的线扫描三次就将会使象素相对于 FRAME1 向右移两个象素。

为了向左移一个位置，从移位寄存器到存储器的数据传送发生在一个移位计数之后。这样将导致最初位于移位位00中的数据转到移位255中，最初位于移位位01中的数据转到移位位00中，因此导致显示器中的每条扫描线向左移一位。这一点已在图6b中加以表示。

现在参见图7a，此处表示线N的、类似于图6a和图6b中的帧的三个连续的帧。然而，在本例中，显示器中每条线上的象素数是192的倍数，从而移位寄存器和存储器都是256位宽的。使抽头锁存器[88]上的抽头从移位位64中取出，这样扫描线中的第一位将是移位位64中的数据，而最后一位象素将对应于移位位255中的数据。为了把数据向右移位，所要作的唯一改变是：将抽头从移位位64变到移位位63。这一点在FRAME2中是明显的，其中第一象素对应于移位位63中的数据，而最后一位数据对应于移位位254中的数据。在下一个用FRAME3表示的帧中，抽头再一次递减，以致使它处于移位位62处。通过将抽头移位，显示器能被“扫视”(Panned)。然而，显示器只能在抽头位于移位位00处之前被扫视，而在00处显示器将与移位位00和移位位191之间的数据相对应。

为了用具有串行移位寄存器[86]所提供的象素少的显示器来显示不断变化的背景，循环移位寄存器可以与抽头锁存器[88]配合使用。这一点在图7b中表示出来。其中在移位位64处抽出的抽头用于第一帧FRAME1，在下两个连续的帧中，再把抽

头分别增加到移位位65和移位位66。因为移位寄存器是循环移位寄存器，从移位位65的192次移位将使贮存在移位位00中的数据从中输出。在FRAME3中，可用类似地方法将移位寄存器[86]在移位位66处抽头，就使贮存在移位位00中和移位位01中的数据与移位后的线中的最后两个象素相对应。

移位寄存器和抽头锁存器：

现在参见图8,表示图5的移位寄存器[86]中的一个移位位的示意方框图。串行输入称为“IN”，而串行输出称为“OUT”。串行输入是连接在P-沟道场效应晶体管[104]（P-channel FET）和N-沟道效应晶体管[106]（N-channel FET）上。晶体管[106]使其中的源极连接到V_{SS}上，并使其中的漏极连接到N-沟道晶体管[108]的源极上。晶体管[104]使其中的源极连接到V_{DD}上，并使其中的漏极连接到P-沟道晶体管[110]的漏极上。晶体管[110]的漏极和晶体管[108]的漏极连接到节点[112]上，晶体管[110]的栅极连接在SR1上，晶体管[108]的栅极连接在SR2上。正如上面所描述的，SR1和SR2是移位时脉冲反相的和非反相的形式。晶体管[104]至[110]组成移位位的第一级。第二级由P-沟道晶体管[114]和[116]及N-沟道晶体管[118]和[120]组成。晶体管[114]和[120]的布置分别类似于晶体管[104]和[106]，而晶体管[116]和[118]的布置分别类似于晶体管[110]和[108]。晶体管[114]和[120]的栅极连接到节点[112]上，晶体管[116]的

漏极和晶体管[118] 的漏极连接到串行输出上。电容器[122] 连结在节点[112] 和 V_{ss} 之间，电容器[124] 连接在串行输出和 V_{ss} 之间。电容器[122] 和[124] 代表存储电容。

在运行过程中，数据输入到移位位输出处的电容器[124] 上，该移位位也把数据连接到晶体管[104] 和[106] 的栅极上。当 $SR1$ 是低电平而 $SR2$ 是高电平时，该数据被计时到节点[112] 。如果数据是逻辑低电平，晶体管[104] 导通，如果数据是逻辑高电平，晶体管[106] 导通。当 $SR1$ 返回到高电平而 $SR2$ 返回到低电平时，数据贮存在电容器[122] 上。为了将数据从节点[112] 传送到串行输出上， $SR1$ 被施加到晶体管[118] 的栅极上， $SR2$ 被提供到晶体管[116] 的栅极上。因此，当 $SR2$ 是与高电平的 $SR1$ 相对应的低电平时，数据被传送。相对于把数据传送到节点[112] 来说，这是一种相反的形式。

现在参见图9,表示以串联形式连接的三个移位位[126] 、[128] 和[138] 。对于每一个移位位来说，晶体管[104] 和[106] 用反相放大器符号[132] 代表，晶体管[114] 和[120] 用反相放大器符号[134] 代表。在传送循环中，位线连接在每一个移位位的串行输出上，此时 $SR1$ 是低电平， $SR2$ 是高电平。这样就把位线上的数据有效地连接到下一个移位位上的放大器[134] 的输入上。然后将该位线(未示出)断开，而信号则被贮到电容器[124] 上。当移位时钟脉冲改变状态时，各个移位位输出上的信号传送到下一个移位位的输出上。

现在参见图10。这里表示出256 位移位寄存器中的移位位25

5,254 和253 的示意性框图,其串行输入是输入到移位位255 上。每个移位位的输出是输入到与非门[133] 上(NAND gates),与非门[133] 的另一输入是与抽头锁存器译码电路[52] 的输出相对应的抽头锁存器信号相连。每个“与非”门[133] 的输出连接到通道晶体管(pass transistor) [135] 的漏极上,其源极连接在线[136] 上。与每个移位位相关的每个晶体管[135] 的栅极与抽头锁存器信号相连。例如,与移位位255 相关的抽头锁存器信号是 T P255,与移位位254 相关的抽头锁存器信号是 T P254,与移位位253 相关的抽头锁存器信号是 T P253 。

“与非”门[133] 分别含有使其中的源极与 V_{SS} 相连的 N-沟道晶体管[138] ,其漏极连接在 N-沟道晶体管[140] 的源极上,而其栅极与抽头锁存器信号相连。晶体管[140] 使其中的漏极连接在 P-沟道晶体管[142] 的漏极上,并使其栅极连接在相应的移位寄存器的输出上。晶体管[142] 使其源极连接在 V_{DD} 上,并使其栅极连接在与其相关连的移位寄存器的输出上。当出现抽头锁存器信号时,晶体管[138] 提供了一条到 V_{SS} 的低阻通路,晶体管[140] 漏极上的输出是移位寄存器的输出的函数。尽管不具有真正的“与非”功能,但当晶体管[138] 断开时,相关的通道晶体管[135] 也断开。通过这种安排所提供的“与非”功能减少了未被选出的抽头的功率耗损。

用来产生锁存信号 T P225 至 T P00 的锁存电路含有交叉耦合的反相器[144] 和[146] ,每一个反相器都把输出连接在另一个的输入上以便将逻辑状态贮存上去,反相器[144] 的输入和反相器[146] 的输出连接在节点[148] 上。节点[148]

连接在N-沟道晶体管[150]和P-沟道晶体管[152]的漏极上,晶体管[150]和[152]的源极连接在对应于列地址255的译码线路Y255上。节点[148]经过串联电阻[154]连接在通道晶体管[135]的栅极上。晶体管[150]的栅极与锁存信号LCH相连,而晶体管[152]的栅极与反相锁存信号 $\overline{LCH}$ 相连。在运行中,LCH信号和译码信号的出现使高逻辑信号锁存在交叉耦联的反相器[144]和[146]中,从而把锁存信号TP255锁存在其中。

移位位254具有相关的交叉耦联的反相器对[156]和[158],而移位位253具有相关的交叉耦联的反相器对[160]和[162]。译码信号Y254输入到并联的N-和P-沟道晶体管[164]和[166]上,而译码信号Y253经过一对N-和P-沟道晶体管[168]和[170]输入到交叉耦联的反相器对[160]和[162]上。串联电阻[172]和[174]分别用于移位位254和253。

本发明的一个重要的方面是,抽头位置是由被列地址译码器译码的地址决定的。因此,仅仅只需要一个译码器就能既寻出列地址又寻出构成串行存取移位寄存器的串行输出的特定的抽头点。这样就大大减少了为了向移位寄存器抽头提供译码功能所需要的电路。先前的系统是采用分开的译码器来决定哪一个抽头应被选出的。此外,寄存器中的每个移位位都能被选出,从而对各种应用提供了更为多方面的适用性。

线路的布局:

现在参见图11，此处表示出芯片的互连和存储器阵列[10]及相关的传送门[54]，移位寄存器[34]，抽头锁存器[42]及列译码器[30]线路布局的示意方框图。为便于用图加以表示，只表示出列00和列01和其相关的输出电路。通过连接在N- 沟道晶体管[176]漏极上的B/ L00和连接在N- 沟道晶体管[178]的漏极上的B/ L00，列00输出给一个用于列地址00的反相和非反相的位线。晶体管[176]的源极连接在标记为 $\overline{I/O}$ 的I/ O线上，而晶体管[178]的源极连接在标记为 I/ O_i线上。晶体管[176]和[178]的栅极都连接在当选出列地址00时将其触发的列译码线00上。以一种类似的方式，N- 沟道晶体管[180]连接在位线B/ L01和 I/ O 线之间，而N- 沟道晶体管[182]连接在 $\overline{B/L01}$ 和 I/ O_i线之间。晶体管[180]和[182]的栅极连接在列译码线01上。

传送门[54]含有使其中的漏极连接到非反相的位线上并使其中源极连接到相应的移位位的输入上的通道晶体管[184]，在传送门电路[54]中的所有晶体管[184]的栅极都连接在传送控制信号 S C T。抽头锁存器[42]对每个移位位提供锁存，同时它是由与其相关连的列译码线控制的。例如，列译码线00连接到抽头锁存器 T L00的控制输入上。抽头锁存器 T L00的输出是输入到通道晶体管[186]的栅极上，其漏极是连接到移位位00的输出上，而其源极是连接到 S O U T线上。类似的通道晶体管[188]连接在移位位01的输出和 S O U T端点之间，而其中的栅极是连接在抽头锁存器 T L01上。

现在参见图12。此处表示图1中的存储器的线路布局的最佳

实施例，其中，存储器阵列[10]至[16]中的每一个具有256行，而相关的移位寄存器[34]至[40]中的每一个具有256移位位。各图中相同的部件采用相同的编号。存储器阵列[10]和[12]并入阵列[190]和[192]。阵列[190]含有列00至列127而阵列[192]含有列128至255。阵列[190]至[196]中的每一个都含有与I/O线I/O₀至I/O₅的两根相对应的存储单元中的列的一半。这些列被缠绕在一起，从而可使具有同样地址的列相互邻近。例如，阵列[10]中的列00是阵列[190]中的第一个列，而阵列[12]中的列00是阵列[190]中的第二个列。对于阵列[10] I/O线是由下标0标出，对于阵列[12] I/O线是用下标1标出，而每一个都是与相应的列地址相关连的。在半导体芯片的另一边上所具有的阵列[194]和阵列[196]包括存储器阵列[14]至[16]中的单元中的列，阵列[194]包含列0至列127，而阵列[196]包含列128至列255。尽管在图中没有加以表示，但阵列[190]和[192]及阵列[194]和[196]是由行译码器隔开的。

将与阵列[10]和[12]相关的移位寄存器[34]和[36]安置在邻近阵列[190]和[192]处，这样移位位就与对应的列相关连并被接到该列上去。为简便起见，没有将传送门电路[54]用图表示出来。移位寄存器[38]和[40]安置在邻近阵列[194]和[196]处，从而使其中的移位位连接到对应的列的输出上。将移位寄存器[34]至[40]分成两个部分，与阵列[190]和[194]相关的一半用于移位位00至127，而与阵列[192]和[196]相关的另一半用于移位位128至255。

抽头锁存器[42] 和[44] 合并成一个抽头锁存器[198] , 它被安置在列译码器[30] 和移位寄存器[34] 及[36] 的之间。抽头锁存器[46] 和[48] 合并成一个抽头锁存器[200] , 它被安置在列译码器[30] 和移位寄存器[38] 及[40] 之间。正如图11所表示的, 随机存取 I/O 电路和传送门安置在移位寄存器和阵列[190] 至[196] 的相应阵列之间。

现在参见图13, 此处表示将数据从存储器传送到相关的串行移位寄存器中去的时序图。为了实现这种传送, 有必要使 $\overline{TR}/\overline{QE}$ 信号在 $\overline{RAS}$ 变化到低电平时处于低电平。 $\overline{W}$ 信号变为高电平时是表明使数据从存储器传送到移位寄存器的“读传送”(Read Transfer)操作, 而后 $\overline{RAS}$ 变低以选出相应的行地址。在一预定的时间期限之后, 位线断开并将数据贮存到每一列的相应的读出放大器的输出中去。 $\overline{TR}/\overline{QE}$ 信号接着变为高电平, 产生到传送门[54] 的 $\overline{SCT}$ 信号和把每列的位线同移位寄存器中的相应移位位连接在一起。正如因果关系箭头[202] 所指出的那样, 在下一个移位时钟脉冲信号 $\overline{SCLK}$ 的上升沿出现之前, $\overline{TR}/\overline{QE}$ 的上升沿还决定时间的最低量。在最佳实施例中, 该时间大约是10毫微秒(ns)。这样把数据从位线放置到移位位的输入上, 从而把数据装入到其中去。正如因果关系[204] 所指出的那样, 在 $\overline{SCLK}$ 的上升沿上, 数据被传送到移位位的输出上。在 $\overline{TR}/\overline{QE}$ 的上升沿上, 所有的旧数据从移位位的存储器中移去, 而新的数据被贮存到其中去。然而, 第一位数据直到 $\overline{SCLK}$ 的上升沿出现之后的一段预定时间宽度后才移出。

现在参见图14, 此处表示将数据从移位寄存器传送到存储器

中存储的时序图。该数据可以输入到串行输入上、移位进去和传送到存储器中，也可以从存储器的一行中移位到移位寄存器中然后送回到另一行中的存储器中去。为了触发移位寄存器和存储器之间的传送， $\overline{TR}/\overline{QE}$ 在 $\overline{RAS}$ 之前变为低电平。 $\overline{W}$ 信号也是低电平从而就指示一个用于将数据从移位寄存器传送到存储器的“写传送”操作。 $\overline{RAS}$ 接着变到低电平以便读出行地址和触发写传送操作和禁止移位时钟脉冲。在一个预定的时间宽度之后， $\overline{TR}/\overline{QE}$ 变为高电平以触发数据的传送和把移位位的输出和相应的位线连接起来。出现在移位位中的数据接着将传送到位线上，被内部的读出放大器（未示出）读出和锁存以及贮存到存储器中。接着，在一个预定的、与传送信号的上升沿的出现有关的时间宽度之后，移位时间脉冲将从新起始。移位时钟脉冲的上升沿可以延迟以保证在移位之前得到完整的传送数据。在图14中所表示的时序图中，对存储器所作的安排是这样的： S_0 至 S_3 引线是供 SIN 和 $SOUT$ 两者复用的。因此， $\overline{SOE}$ 信号必须是高电平信号以便将数据输入到相应的移位寄存器中

写屏蔽/分开的 $\overline{CAS}$ ：

现在参见图15，此处表示图1中用于区分分开的 $\overline{CAS}$ 输入端 $\overline{CAS}_0$ 至 $\overline{CAS}_3$ 和写屏蔽特征的启动电路[64]， I/O 缓冲器[66]及判优器[68]的示意方框图。 I/Q 缓冲器[66]含有分开的 I/O 缓冲器[208]，[210]，[212]和[214]，它们连接在 W_0/D_0 至 W_3/D_3 的输入端。 I/O 缓冲器[208]至[214]仅能用于接受或输出数据。 W_0 至 W_3 信号分

别输入到分开的单刀双掷开关[216] 上,但在图中仅仅只画出了其中的一个。开关[216] 的输出连接到D型触发器[218] 的数据输入端上,从而开关[216] 可以在地线和相应的 W_0 至 W_3 之间进行数据输入端的切换。为了简化起见,只对与 W_0 输入相关的电路加以描述。触发器[218] 的时钟脉冲输入连接在时钟脉冲信号 $\phi R I$ 上,它的清除输入连接在信号 $\overline{\phi R I}$ 上。 $\overline{\phi R I}$ 是延迟一预定数量时间的 $\overline{R A S}$ 。这种延迟是由非反相电路[220] 提供的,而 $\phi R I$ 是由反相电路[222] 提供的。触发器[218] 的Q输出是信号 W_0' ,触发器的没有表示出来的其余输出端将是 W_1' , W_2' 和 W_3' 。

W_0' 信号输入到判优电路[224] 以便确定在存储器制作过程中是挑选写屏蔽特征还是分开的 $\overline{C A S}$ 特征以及确定I/O电路[208] 至[214] 中的哪一个将被启动电路[64] 启动。

$\overline{C A S_0}$ 至 $\overline{C A S_3}$ 信号是输入到含有四个单刀双掷开关的开关电路[226] 的一个输入端上,这些开关的输出端是连接到四个反相器电路[228] 的分开的输入端上。 $\overline{C A S_0}$ 至 $\overline{C A S_3}$ 信号中的每一个与一个位于开关电路[226] 中的单刀双掷开关相关连,开关电路[226] 可以在 V_{SS} 和 $\overline{C A S_0}$ 至 $\overline{C A S_3}$ 信号之间进行输出的切换。反相电路[228] 中的每一个反相器的输出分别标为 W_0'' , W_1'' , W_2'' 和 W_3'' ,以便与 $\overline{C A S_0}$ 至 $\overline{C A S_3}$ 信号中的每一个相对应。为了简化起见,将只画出与 W_0'' 电路相关连的电路布线,该信号是输入到判优电路[224] 上的。

$\overline{C A S_0}$, $\overline{C A S_1}$ 和 $\overline{C A S_2}$ 信号分别输入到单刀双掷开关[230], [232] 和[234] 上。开关[230] 至[234] 的输出

是输入到四输入“与非”门[236]的单独的输入端上。 $\overline{CA S_0}$ 信号输入到四输入端“与非”门[236]的余下输入端上。开关[230]至[234]能使“与非”门的三个相关的输入端或是与相应的 $\overline{CA S_0}$ 至 $\overline{CA S_3}$ 信号相连,或是与 V_{DD} 相连。这些开关,连同开关组[226]一起,都是与在半导体器件制作过程中确定的写屏蔽选择相关连的。如果要将该器件由分开的 $\overline{CA S}$ 信号控制,开关[230]至[234]和开关组[226]中的开关将与 $\overline{V_{DD}}$ 断开并连接到相应的 $\overline{CA S_0}$ 和 $\overline{CA S_3}$ 信号上。同样,与 W_0 至 W_3 信号相关的开关[216]将与地线相连。图15中的所有掩模可编程开关的位置表示的都是分开的 $\overline{CA S}$ 特征。如果要以写屏蔽方式操作,所有这些开关的相反的位置都将在器件制作过程中挑选出来。然而,应当明白的是,这些器件是能够由用户来进行选择的,而不需要在金属掩模中有一个永久性的执行过程(或程序)。

“与非”门[236]的高电平输出出现在 $\overline{CA S_0}$ 至 $\overline{CA S_3}$ 信号中的任何一个变为低电平的时候,因为没有一个是与 $\overline{CA S_3}$ 信号相关连的,所以当挑选写屏蔽特征和当开关[230]至[234]连接在 V_{DD} 上时,这样就形成了 $\overline{CA S}$ 输入。“与非”门[236]的输出是输入到三输入端“与”门(AND gate)[238]的一个输入端上。该“与”门的一个输入端是连接在 ϕR_2 信号上,而该“与”门的其余的输入端是经过反相器[240]连接到 $\overline{WM}/\overline{WE}$ 输入端上。 ϕR_2 信号是通过缓冲器[223]将 ϕR_1 信号延迟而产生的。“与”门[238]的输出形成“写”信号,而该信号是输入到判优电路[224]上的。当 $\overline{WM}+$

$\overline{WE}$ 信号是低电平和当 $\phi R1$ 信号产生时，“写”信号是在 $\overline{CA}$
 $\overline{S_0}$ 至 $\overline{CA S_3}$ 信号中任何一个变为低电平时产生的。

$\overline{WM}/\overline{WE}$ 信号也是输入到形成“写屏蔽”锁存器的D型触发器[242]的D-输入端的。触发器[242]的时钟脉冲输入是与 $\phi R1$ 信号相连，而其中的预置输入是与 $\overline{\phi R1}$ 信号相连。触发器[242]的Q输出端被标记为 $\overline{WM}$ ，而Q输出端被标记为 WM' 。在产生 $\phi R1$ 信号之前，当 $\overline{WM}/\overline{WE}$ 输入端上的信号变为低电平时，该数据一直被计时到与选择的“写屏蔽”特征相对应的输出为止。在需要执行标准的“写”功能的任何时候，触发器[242]的D-输入端上的信号在 $\overline{RAS}$ 下降到低电平和产生 $\phi R1$ 后变为^{low}电平，在这种条件中，触发器[242]上的输出状态不会发生变化。

$\overline{WM}'$ 信号是输入到“与”门[244]的一个输入上，“与”门的其他的输入是连接到由“与”门[238]输出的“写”信号上。“与”门[244]的输出被标记为EN以指出启动功能，它被输入到判优电路[224]。来自触发器[242]的 WM 信号输出也输入到判优电路[224]上。

判优电路[224]含有单刀双掷开关[246]，该开关接受 $W0'$ 和 $W0''$ 信号，而它的输出端是连接在三输入端“与”门[248]的一个输入上。开关[246]是类似于开关[216]的触摸可选选择，在组[226]中的开关和开关[230]至[234]是在制作过程中编上程序的。开关[246]可以在 $W0'$ 和 $W0''$ 信号之间进行选择以便对“与”门[248]进行输入。当选择“写屏蔽”特征时，则由开关[246]选出 $W0'$ 信号，而当选择

分开的 $\overline{CA S}$ 特征时, 则选出 W_0' 信号。“与非”门[248] 的另外两个输入端连接在“写”信号和 V_{DD} 上。“与”门[248] 的输出连接在“或”门(OR gate)[250] 的一个输入上, “或”门的其他输入连接在由“与”门[244] 输出的 EN 信号上。

在运行中, 判优电路[224] 提供来自“或”门[250] 的输出以响应当时出现的 $\overline{CA S_0}$ 至 $\overline{CA S_2}$ 信号或当时选出的“写屏蔽”特征。当具有“写屏蔽”特征时, $\overline{WM}/\overline{WE}$ 终端的输入端上的信号必须锁存到 D 型触发器[242] 中以便输出用于来自触发器[242] 的 Q 输出端的 WM' 信号的高电平信号。 $\overline{WM}/\overline{WE}$ 信号也把高电平信号置放到“与”门[238] 上。接着产生的在“与”门[238] 的输出端上的“写”信号把三输入端“与”门[248] 中的两个输入提升到高电平信号。当 W_0 信号出现和锁存到触发器[218] 中而产生了 W_0' 信号时, “与”门的输出变为高电平, 从而把“或”门[250] 的输出提升到高电平。在分开的 $\overline{CA S}$ 的工作方式中, “写屏蔽”特征不被选出, 在任何一个 $\overline{CA S}$ 信号上出现的逻辑低电平使“与非”门[236] 的输出变为高电平, 而这样会使得在“与”门[238] 的输出上的“写”信号在“写”信号出现在 $\overline{WM}/\overline{WE}$ 输入上的任何时候中产生, 同时产生 $\phi R1$ 以响应正被产生的 $\overline{RAS}$ 。因为在分开的 $\overline{CA S}$ 工作方式中的开关[234] 和[245] 与触发器[242] 的输出是断开的, 故“与”门[244] 的一个输入是低电平, 从而可保持 EN 信号低电平, 而将与开关[245] 相关的“与”门[248] 的输入保持为高电平信号。因此, “与”门[248] 由“

写”信号和经过开关[246] 转换的 W_0'' 信号控制。从而，判优电路[224] 仅仅从“或”门[250] 产生输出以响应 W_0'' 信号。

判优电路的“或”门[250] 的输出是输入到作为启动电路[64] 的一部分的三态缓冲器[252] 上并连接到与D。线相关连的缓冲器[208] 上。三态缓冲器[252] 仅仅供输入数据使用，而缓冲器[254] 可供输出数据。只有输入的数据才是用受判优电路[224] 控制的三态缓冲器[252] 来缓冲的。类似地，判优电路[256]，[258] 和[260] 分别与缓冲器[262]，[264]，[266] 相关连以有选择地启动来自缓冲器[210]，[212] 和[214] 的输入数据。判优电路[256] 至[260] 与判优电路[224] 类似，并且它们是由 W_1'' 至 W_3'' 信号， W_1 至 W_3 信号或EN信号控制。当“写屏蔽”特征被采用时EN信号出现，但当所有四个I/O缓冲器[208] 至[214] 均被触发时，它不被触发。判优电路[256] 至[260] 的每一个都具有类似于判优电路[224] 中的开关[246] 的掩模可编程序开关。

现在参见16，此处表示用于分开的 $\overline{CAS}$ 特征的时序图。在采用分开的 $\overline{CAS}$ 特征时， $\overline{RAS}$ 变为低电平以选出行地址。此后， $\overline{CAS}_0$ 至 $\overline{CAS}_3$ 信号中的一个或更多的信号变为低电平以便把列地址装入列地址锁存器。此外， $\overline{CAS}$ 至 $\overline{CAS}_3$ 信号决定启动哪一个I/O缓冲器使其把数据写到选出的行中的选出的列上。当选定后，数据被写到所选出的那个阵列中的列位置上，而 $\overline{CAS}$ 接着回复到高电平。为了便于用图表示，第一列地址是与在时

间 T_1 时, 变为低电平的所有四个信号 $\overline{CA S_0}$ 至 $\overline{CA S_3}$ 相关连的。 $\overline{CA S}$ 信号是在时间 T_2 处返回到高电平信号。在 $\overline{RAS}$ 保持低电平时, 另一个列地址被置放到地址线 A_0 至 A_7 上, 而 $\overline{CA S_0}$ 和 $\overline{CA S_2}$ 在时间 T_3 处变为低电平。这就导致只有两个 I/O 缓冲器启动以便仅仅把数据写到两个阵列位置上。 $\overline{CA S_0}$ 至 $\overline{CA S_2}$ 在时间 T_4 处变回到高电平, 接着在时间 T_5 处将另外的列地址锁存到列地址锁存器中, 此时 $\overline{CA S_1}$ 和 $\overline{CA S_2}$ 变为低电平。这样就只允许将数据写到与 $\overline{CA S_0}$ 和 $\overline{CA S_2}$ 信号相关连的阵列中。

通过使用分开的 $\overline{CA S}$ 选择, 和“写屏蔽”选择比较起来, 存储器可以以页面方式运行, 借助页面方式选出一行, 接着在每个列地址取出后将列地址加以变化并执行“写”。这样就能在享用公共列和行译码器的单一芯片的多个阵列中更新象素信息。在不采用图15中所描述的电路的条件下, 对于芯片上的每个阵列就要求有各自的列译码器, 从而增加半导体电路的密度和复杂性。

中线装入:

当数据从存储器传送到串行移位寄存器时, 重要的是在对移位寄存器重新装入之前, 首先要将移位寄存器中的全部数据输出到显示器上或在别处的存储器中。通常, 因为移位寄存器是和扫描线上的象素的数目相映射的, 所以就不存在什么问题。例如, 256位移位寄存器将直接映射到具有线宽为 $256 \times n$ 个象素上(其中 n 是一个整数)的显示器上。从存储器到移位寄存器的传送因此就能在回描时间中进行, 从而使得有足够的时间来保证全部数据从移位寄存器中移出并用新的数据向这些移位寄存器装入。

到目前为止，在回描时间内和数据从存储器传送到移位寄存器的过程中，移位时钟脉冲是被禁止的，然后在下一个扫描线的起始处才使用移位时钟脉冲以便使移位过程开始。然而，某些显示器具有的用于每根扫描线的象素的长度不是移位寄存器宽度的倍数。例如，960象数长度应需要960位宽度的存储器。如果采用四个串行存取存储器的对称阵列，每一个存储器具有与其相关连的256位宽度的移位寄存器，这种移位寄存器的每一个中，只有240个移位位是扫描线所需要的。这些移位寄存器的每一个中的余下的十六位应当使其中的数据或是被除去或是作为一个扫描线的前六十四个象素输出。然而，这将会需要在扫描线的中间部位把数据从存储器传送到相关的移位寄存器上。通常的扫描速率大约是每象素12毫微秒。这样将要求移位寄存器以48毫微秒的速度来使数据移位。因此，数据就必须在48毫微秒内装入。将数据从位线传送到移位位所需要的时间对于通常的存储器来说大约是5-10毫微秒。如果没有为从位线传送到相应的移位位的输入上的数据提供足够的时间，该数据可能会无效。因此，在传送循环的起始和下一个数据移位位之间的时间关系对于在一个移位循环中实行适当的数据传送是重要的。

图1的存储器中的时钟和控制发生器[69]在不需要用户将苛刻的条件加到他的 $\overline{TR}$ 信号和移位时钟脉冲的时间关系上的情况下提供了实行适当的数据传送的线路布线。这也就是说，本发明的线路能允许 $\overline{TR}$ 信号相对于移位时钟脉冲的最后一次循环在时间上略有偏差。正如下文将要描述的那样，允许这种时间偏差将使得 $\overline{TR}$ 信号在目前传送序列的最佳时间之前或之后发生。

现在参见图17，此处表示用于中线装入特征的线路布线的示意图。 $\overline{TR}$ 信号经过反相器[280]和[282]输入到标记为 $\overline{TR'}$ 的节点[283]上并经过反相器[284]输入到作为传送存储器的触发器[286]的D输入端。触发器[286]的Q输出端标记为TRL，而Q输出端标记为 $\overline{TRL}$ 。触发器[286]由 $\overline{RAS}$ 信号来记时。 $\overline{RAS}$ 信号就是内部的 $\overline{RAS}$ 信号。正如将要描述的那样， $\overline{RAS}$ 信号和 $\overline{RAS}$ 信号在起初是相同的，但是能将 $\overline{RAS}$ 加以控制使其在 $\overline{RAS}$ 信号已变为高电平以后的一般预定时间宽度内仍然保持低电平。正如在参见图15时所作的描述那样， $\overline{RAS}$ 引起信号和信号 $\overline{\phi RI}$ 和 ϕRI 类似的 $\overline{\phi RI'}$ 和 $\phi RI'$ 。触发器[286]的预置输入端是连接在信号 $\overline{\phi RI'}$ 上。TRL输出是连接在三输入端“与”门[288]的一个输入上，该“与”门的一个输入是连接在节点[283]上，它是 $\overline{TR'}$ 信号。“与”门[288]的输出连接到“或非”门(NOR gate)[290]的一个输入上，或非门[290]的输出包含禁止或阻止移位时钟脉冲的 $\overline{STP}$ 信号。“或非”门[290]的其他的输入与延迟的传送信号XFRD相连。XFRD信号连接到“与”门[288]的反相输入上。延时传送信号XFRD是由传送信号XFR产生的并经过延时门[292]的延时。XFR信号是在“与非”门[296]的输出上产生的。“与非”门[296]将其一个输入与反相XFRD信号相连，使其一个输入与信号“XBOOT”相连，而其余的输入和“与”门[288]的输出相连。XBOOT信号是在通常的动态存储器产生的信号以使字线在VDD之上。因此，当传送序列已开始和XBOOT变为高电平时，

“或非”门[290]的输出是低电平，仅仅是在反相器[284]的输出和“与非”门[296]的输出都是低电平时，“或非”门[294]的输出才是高电平，从而在XBOOT出现之前防止产生传送信号。因为XBOOT直到位线已具有足够的时间来分开到一预定的电平之后才出现，所以在位线稳定后，位线才与移位位的输入相连。这样就防止由于在位线稳定之前出现传送信号而引起无效数据的产生。

$\overline{WE}$ 信号是输入到触发器[298]的D输入端，该触发器的Q输出端被标为 $\overline{SRW}$ ，而它的Q输出端被标为SRW。触发器[298]由 $\overline{\phi RI'}$ 信号计时，而预置输入是连接在 $\overline{\phi RI'}$ 信号上。仅仅在 $\overline{WE}$ 信号在RAS变为低电平之前 $\overline{WE}$ 信号是低电平时，SRW信号才变为高电平。 $\overline{SRW}$ 高电平信号指示的是“读传送”，其中数据从存储器传送到移位寄存器，而SRW高电平信号指示的是“写传送”，其中数据从移位寄存器传送到存储器。在“读传送”方式中，有必要选出“字行”，接着再执行传送，而在“写传送”方式中，有必要首先选出SCT，接着取道字线执行传送。

SRW信号是输入到“与非”门[300]的一个输入端和“与非”门[302]的一个输入端上。“与非”门[300]和[302]的其他输入端是与TRL信号相连。 $\overline{SRW}$ 信号是连接到“或非”门[304]的一个输入端和“或”门[306]的一个输入端上。“或非”门[304]和“或”门[306]的其他输入端是与 $\overline{TRL}$ 信号相连。“与非”门[300]的输出端是连接到“与”门[308]和[310]的一个输入端上，“或非”门[304]的

输出端是连接到“与”门[312] 和[314] 的一个输入端上。

“与”门[308] 和[314] 使其中的其他输入端与信号 $\overline{A X_0}$ 相连接，而“与”门[310] 和[312] 使其中的其他输入端与信号 $\overline{A X_0}$ 相连接。信号 $A X_0$ 是行地址信号的最低有效位控制的，“与”门[308] 的输出是连接到三态缓冲器[316] 的启动输入上，“与”门[310] 的输出是连接到三态缓冲器[318] 的启动输入上。“与”门[312] 的输出是连接到三态缓冲器[320] 的启动输入上，而“与”门[314] 的输出是连接到三态缓冲器[321] 的启动输入上。缓冲器[318] 和[320] 的输出连接在一起并标为 $X1 A$ ，而缓冲器[316] 和[321] 的输出连接在一起并标为 $X1 B$ 。标为 X_0 的信号输入到缓冲器[316] 和[318] 上，而来自“与非”门[296] 的输出的 XFR 信号连接到缓冲器[320] 和[321] 的输入上。信号 $X1$ 表示通常在普通电路中产生的“字线”驱动信号。“与非”门[302] 的输出连接在三态缓冲器[322] 的启动输入上，而“或”门[306] 的输出是连接在三态缓冲器[324] 的启动输入上。缓冲器[322] 接受在其输入端上的 XFR 信号和产生用于传送门[54] 相连接的 SCT 信号，而缓冲器[324] 接受在其输入端上的 $X1$ 信号以在其输出端上产生且到传送门[54] 去的 SCT 信号。

在运行中， SRW 低电平信号表示“写传送”并要求字线在传送信号出现之前为高电平。“与非”门[300] 的输出将变为高电平，从而触发“与”门[308] 和[310] 。“或非”门[304] 将变为低电平，从而禁止“与”门[312] 和[314]

“与”门[312] 和[314] 控制缓冲器[321] 和[3 20] 以便作为 AX 和 $\overline{AX}$ 的状态函数来选择 XFR 信号。在“写传送”方式中, SRW 是高电平, “或非”门[304] 的输出是高电平, 而“与非”门[300] 的输出是低电平, 从而使控制缓冲器[316] 和[318] 的运行的“与”门[308] 和[310] 不被选出, 通过“或”门[306] 和“与非”门[302] 的状态对传送信号 SCT 进行控制使其作为 XFR 信号线 $X1$ 信号的函数, 当 SRW 信号是高电平或当 TRL 信号是高电平时, “或”门[306] 输出高电平信号。当 TRL 是低电平或当 SRW 是低电平时, “与非”门[302] 输出高电平逻辑信号。

不论传送信号什么时候出现, 有必要使 SCT 信号在预定的时间内保证运行状态以便有足够的时间把数据传送到相应移位位的输入上或者将数据从中取出。为了使 $\overline{TR}$ 信号晚出现(相对于 $\overline{RAS}$ 变为高电平而言), 在一预定的时间宽度内使 $\overline{RAS}$ 从低电平到高电平的变化延迟。对于半导体存储器而言, 这一点是一个内部的功能, 不会影响处于半导体存储器外部的 $\overline{RAS}$ 的实际逻辑电平。所提供的禁止电路[326] 以与 $\overline{RAS}$ 信号和其余对半导体芯片进行控制的 $\overline{RAS}$ 信号串联的形式安置。正如上面所描述的, 这被记为 $\overline{RAS} \cdot \overline{RAS}$ 也输入到“与”门[328] 的一个输入端上, 该“与”门的其他输入端与从反相器[284] 输出的 TR 信号相连。“与”门[328] 的输出是输入到延迟电路[330] 上, 该电路的输出控制禁止电路[326] 。“与”门[328] 在 $\overline{RAS}$ 变为高电平和 TR 变为高电平时输出一个信号, 从而表明传送正在发生。在 TR 的上升沿已出现之后的一段预定

时间宽度内，禁止 $\overline{RAS}$ 变为比电路其余部分高的电平。如果 $\overline{TR}$ 的上升沿发生在 $\overline{RAS}$ 的上升沿之前的足够长的一段时间， $\overline{RAS}$ 的上升沿与 $\overline{RAS}$ 的上升沿相一致。 $\overline{RAS}$ 还输入到反相器[331] 上以产生 $\phi R1'$ 及输入到缓冲器[333] 上以产生 $\phi R'$ 。

现在参见图18，此处表示将数据从存储器装入移位寄存器的时序图。当 $\overline{TR}$ 的上升沿出现时，它产生如箭头[332] 所示的 SCT 信号。然而，正如在图17中对“与非”门[296] 的输入所作的说明那样， SCT 信号直到 $XBOOT$ 信号产生时 SCT 信号才能产生。因此，直到位线被有效地分离时，传送才能开始。因为直到位线开始分离后， $XBOOT$ 才出现。这样将保证传送操作不会在先于位线分离时触发。正如箭头[334] 所指明的那样， $\overline{TR}$ 的上升沿还能将停止时钟脉冲信号 $\overline{STP}$ 的状态变为低电平。该信号将低电平保持大约5 毫微秒到10毫微秒的预定的延迟时间并接着变为高电平信号。当停止时钟脉冲信号是处于低逻辑电平时，在 $SCLK$ 波形中的下一个时钟脉冲信号的前沿将被禁止。然而，如果 $\overline{TR}$ 的上升沿在停止时钟脉冲的前沿之前存在一段足够的时间， $SCLK$ 信号的前沿的出现将不受影响。正如由 $SOUT$ 信号所指明的那样， $SCLK$ 信号的上升沿将使数据经过移位位移并使新的数据出现在移位寄存器的输出上。

当 $\overline{TR}$ 信号早出现时，有必要防止 SCT 信号产生，直到位线已稳定为止。这种早出现的传送信号由 $\overline{TR}$ 波形上的上升沿[336] 指明。它是存在于位线充分分离之前的这段时间。然而，直到 $XBOOT$ 的上升线出现之后，这种 SCT 信号才产生。在

此时，正如虚线所指明的那样，产生 S C T 信号。S C T 信号的延迟时间是用“D1”指明的。

当 $\overline{T R}$ 波形的上升沿迟出现时，有必要使 S C T 信号的有效作用状态及位线的分离保持一段预定的时间以便让数据在循环结束之前送到移位位上。此外，还有必要禁止移位寄存器中的数据串行移位，直到全部数据传送到移位寄存器为止。迟出现的移位信号是由 $\overline{T R}$ 波形上升沿所指明的，这种波形在 $\overline{S T P}$ 波形上产生了一个下降沿。正如上面所描述的那样，直到 $\overline{S T P}$ 信号再次返回到高电平时，下一个 S C L K 信号的上升沿才能出现。正如上升沿 [346] 所指明的那样，这一点是由使 S C L K 信号变为高电平的上升沿 [344] 来表示的。在下降沿 [342] 和上升沿 [344] 之间的时间宽度对数据从位线传送到相应的移位寄存器提供了足够的时间。这必须出现在 S C L K 的前沿产生之前。S C L K 前沿的产生对新数据记时将其传送到移位寄存器的输出上。除了继续维持 S C T 之外，还有必要延迟 R A S T 从低电平到高电平的变化来使位线保持在一种适当的数据状态。这一点已由作为禁止电路 [326] 的结果的箭头 [348] 表示出来，并在上面参考图 17 时已作了描述。

概括地说，本发明提供了一种半导体存储器，它采用四个将其中的位映射到与显示器上的像素直接对应的位置上去的映射像素存储器。存储器阵列中的每一个具有与其相关连的串行移位寄存器和用于使数据在其中相互传送的传送门。对于一个寄存器只需要一根引线的每个移位寄存器来说，串行移位寄存器可以按循环方式连接，使其或是串行存数或是串行取数。作为一种替换，

也可以将移位寄存器级联，从而就有两对级联的移位寄存器/阵列，而每对带有每个阵列只需要一条引线的一个串行输入和一个串行输出。每个移位寄存器都可以在其中的任何输出位置抽头。该位置是从列译码线来的译码地址确定的，从而就不需要附加的译码电路来确定抽头点。所提供的电路使得能对四个阵列中的位置分开写入，而不需要分开的译码电路。所有四个阵列享用同样的行和列译码器。该电路或是采用“写屏蔽”格式或是采用分开的列地址选通。通过在器件制作之前选择一个用于该特征的金属掩模选择就可以采用任何一种方式。还提供了在移位时钟脉冲的最后一个循环期间使数据从存储器传送到移位寄存器的电路，从而新的数据能立即随着旧的数据而来，而不需要暂时中断移位操作。

尽管已对最佳实施例作了详细的描述，但应当明白的是：在不出由下列权利要求所限定的本发明的精神和范围的情况下，在实施例中人们还可以作出各种变化、替代或变体。

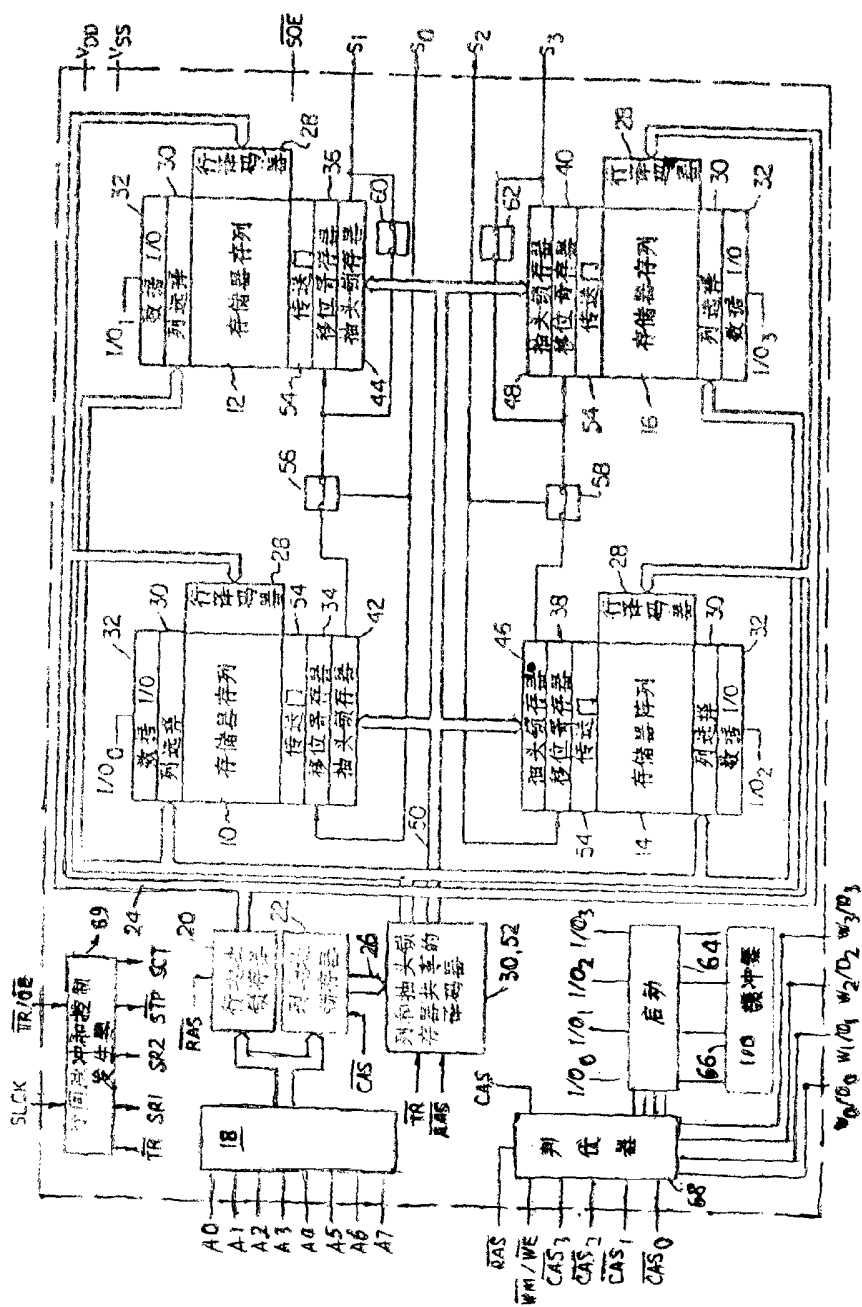


图 1

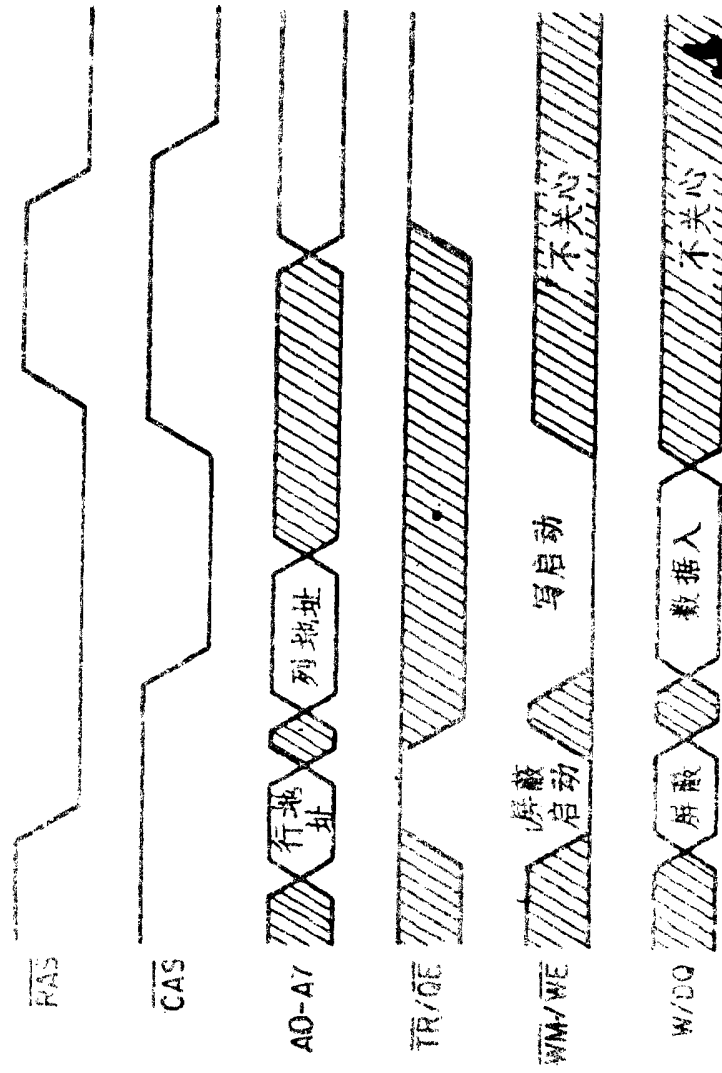
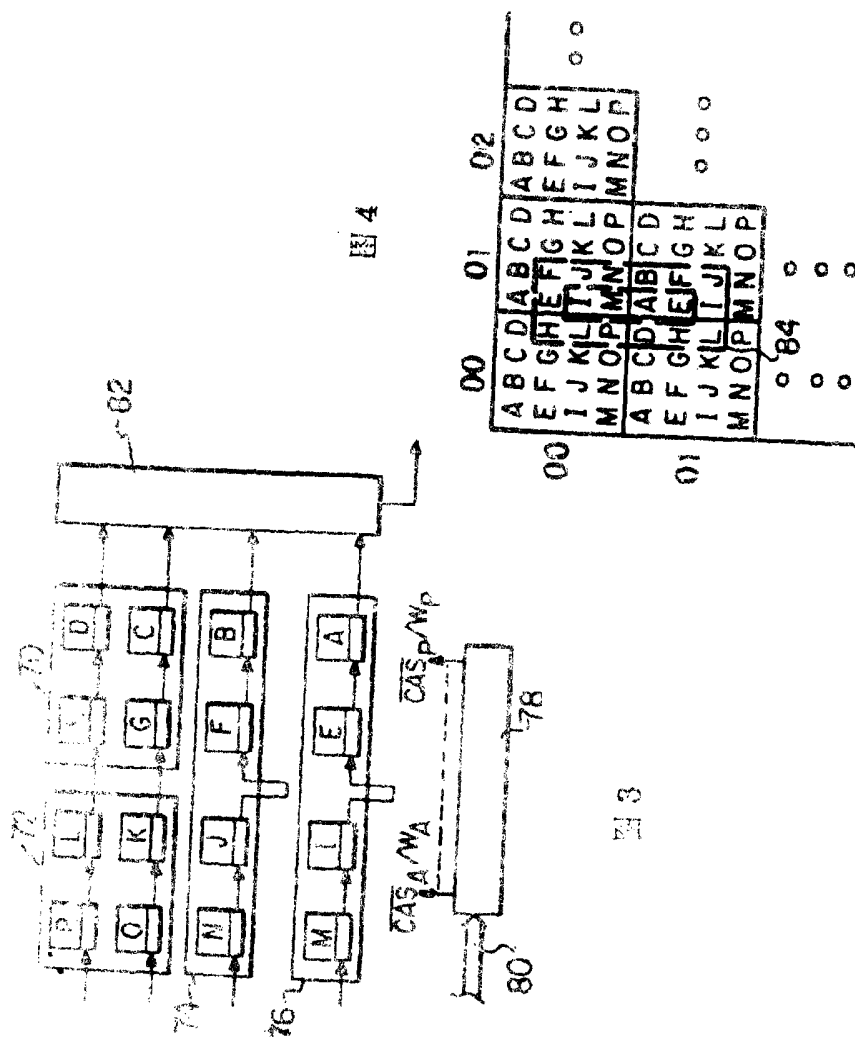


图 2

申请号 86 1 00419
Int. Cl.⁴ G11C 8/02
审定公告日 1989年11月1日



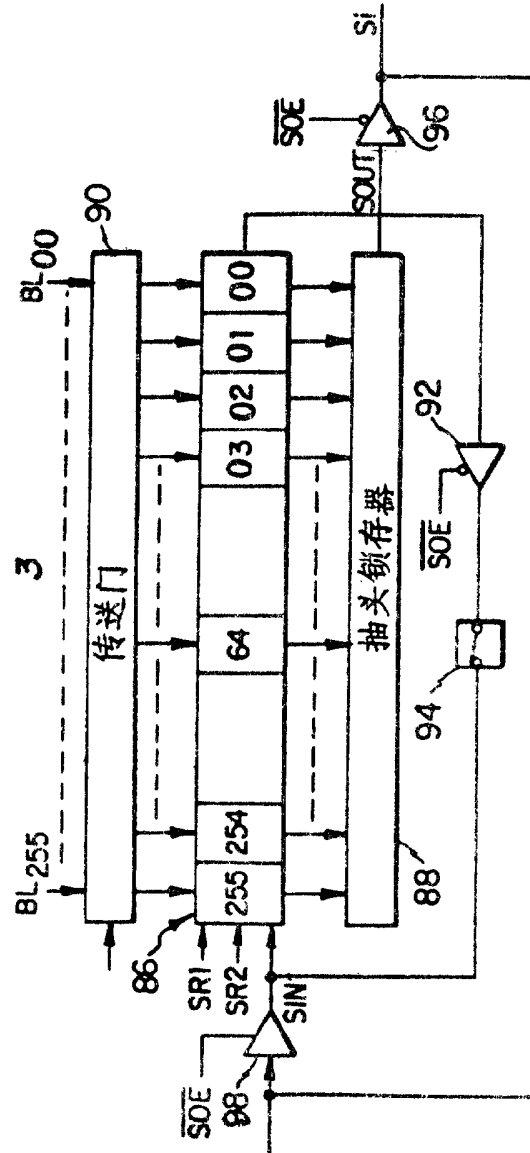


图 5

申请号 86 1 00419
 Int.Cl⁵ G11C 8/02
 审定公告日 1989年11月1日

FRAME 1	00 01 02 03	253 254 255	LINE N
FRAME 2	255 00 01 02 03	253 254	LINE N
FRAME 3	254 255 00 01 02 03	253	LINE N

图 6a

FRAME 1	00 01 02 03	253 254 255	LINE N
FRAME 2	01 02 03	253 254 255 00	LINE N
FRAME 3	02 03	253 254 255 00 01	LINE N

图 6b

FRAME 1	64 65 66	253 254 255	LINE N
FRAME 2	63 64 65 66	253 254	LINE N
FRAME 3	62 63 64 65 66	253	LINE N

图 7a

FRAME 1	64 65 66	253 254 255	LINE N
FRAME 2	65 66	253 254 255 00	LINE N
FRAME 3	66	253 254 255 00 01	LINE N

图 7b

图 8

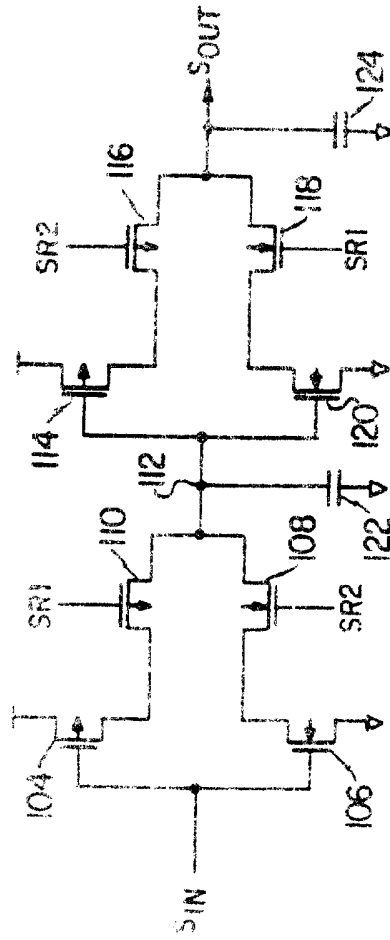
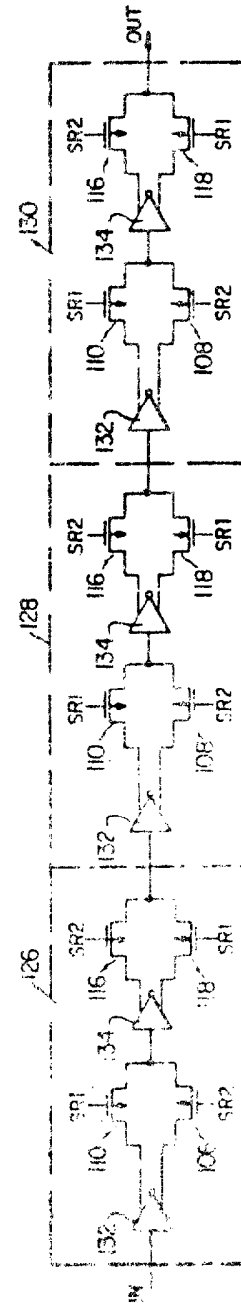


图 9



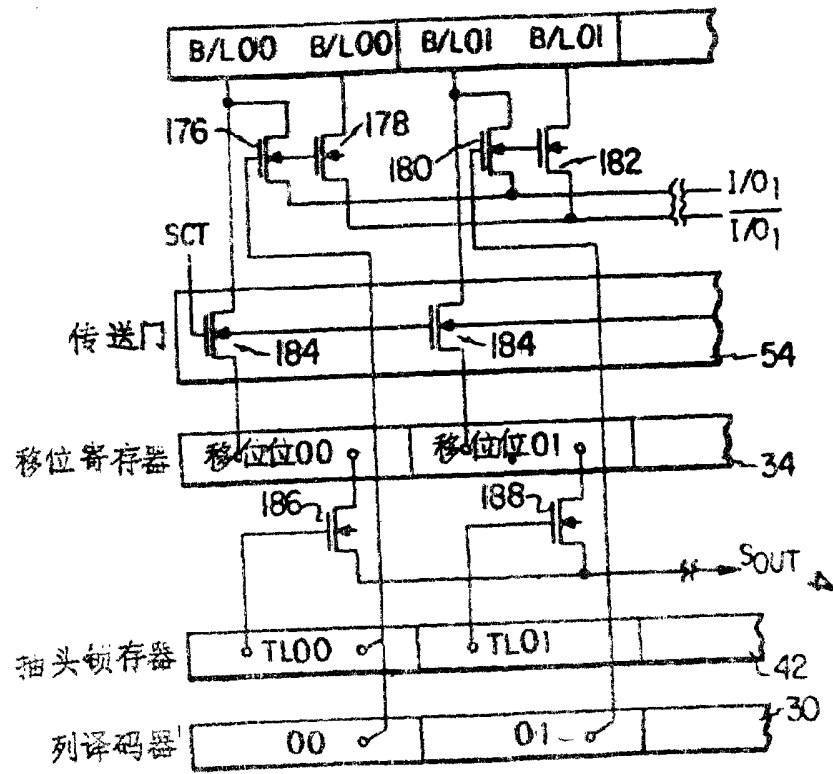


图 1 1

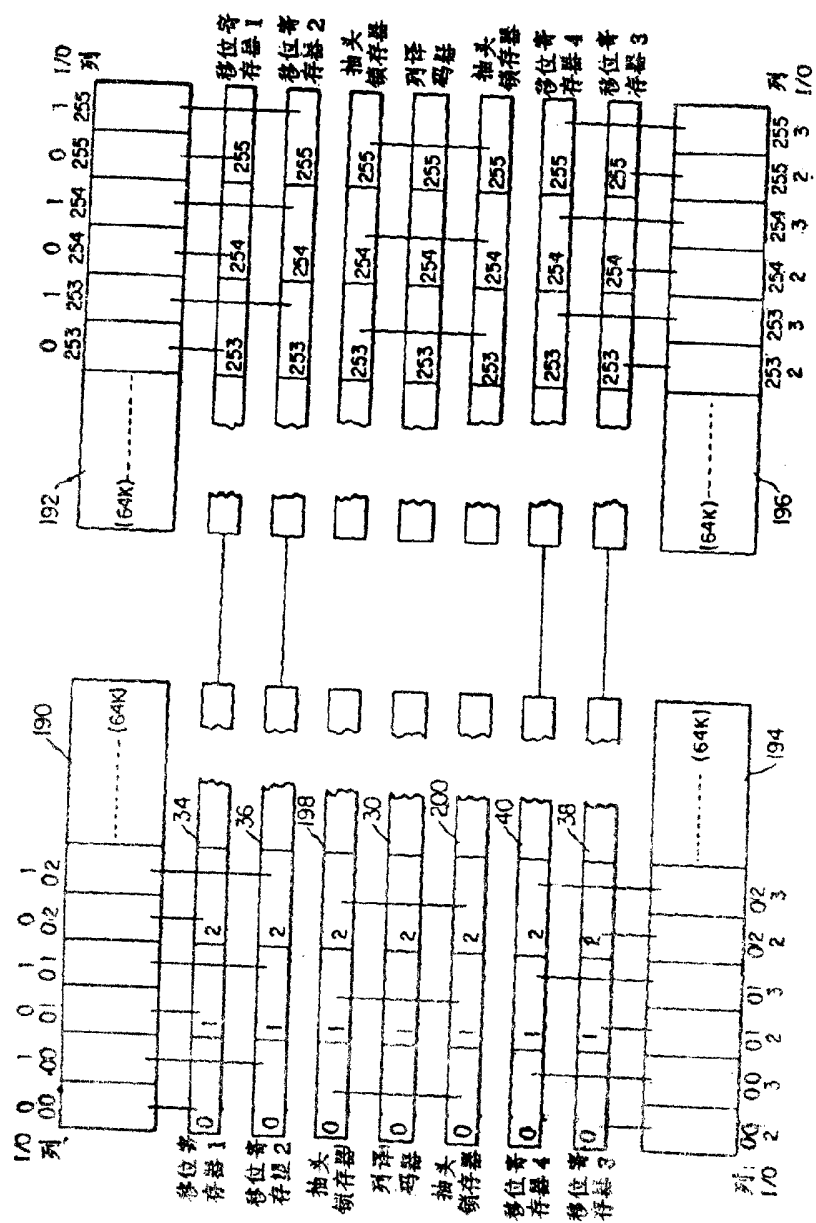


图 1 2

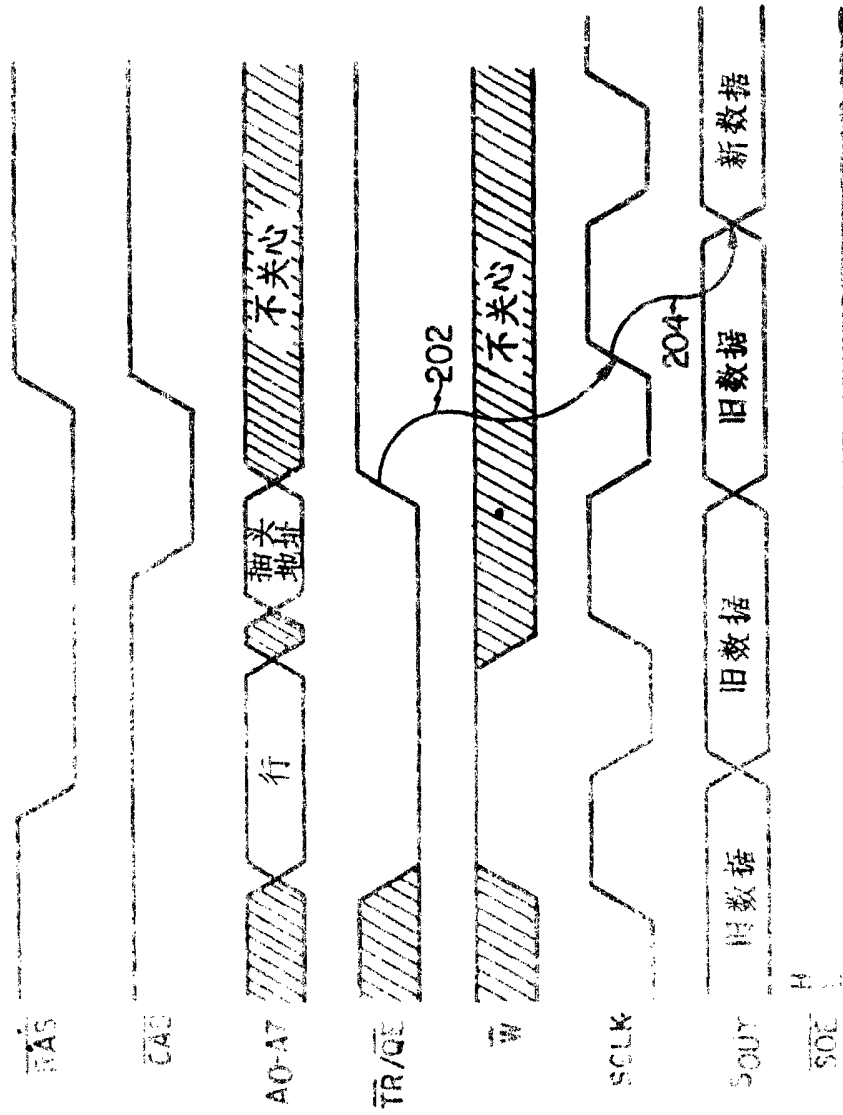
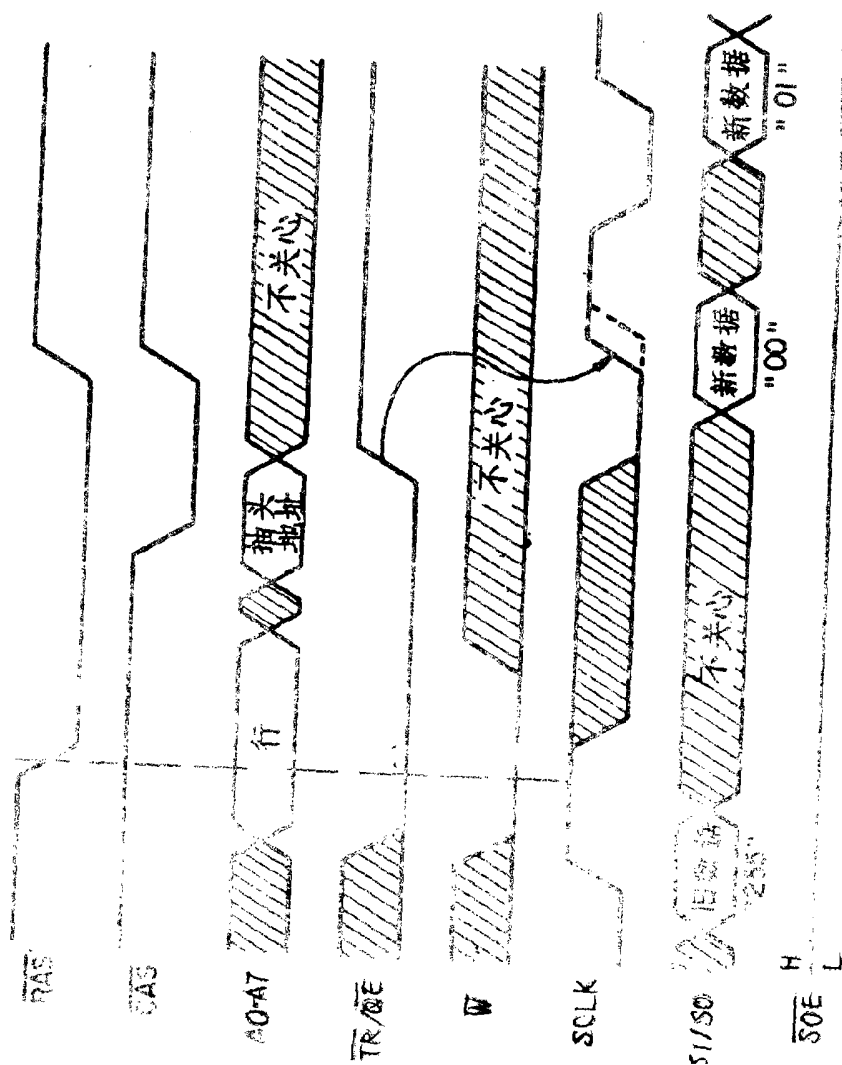


图 13



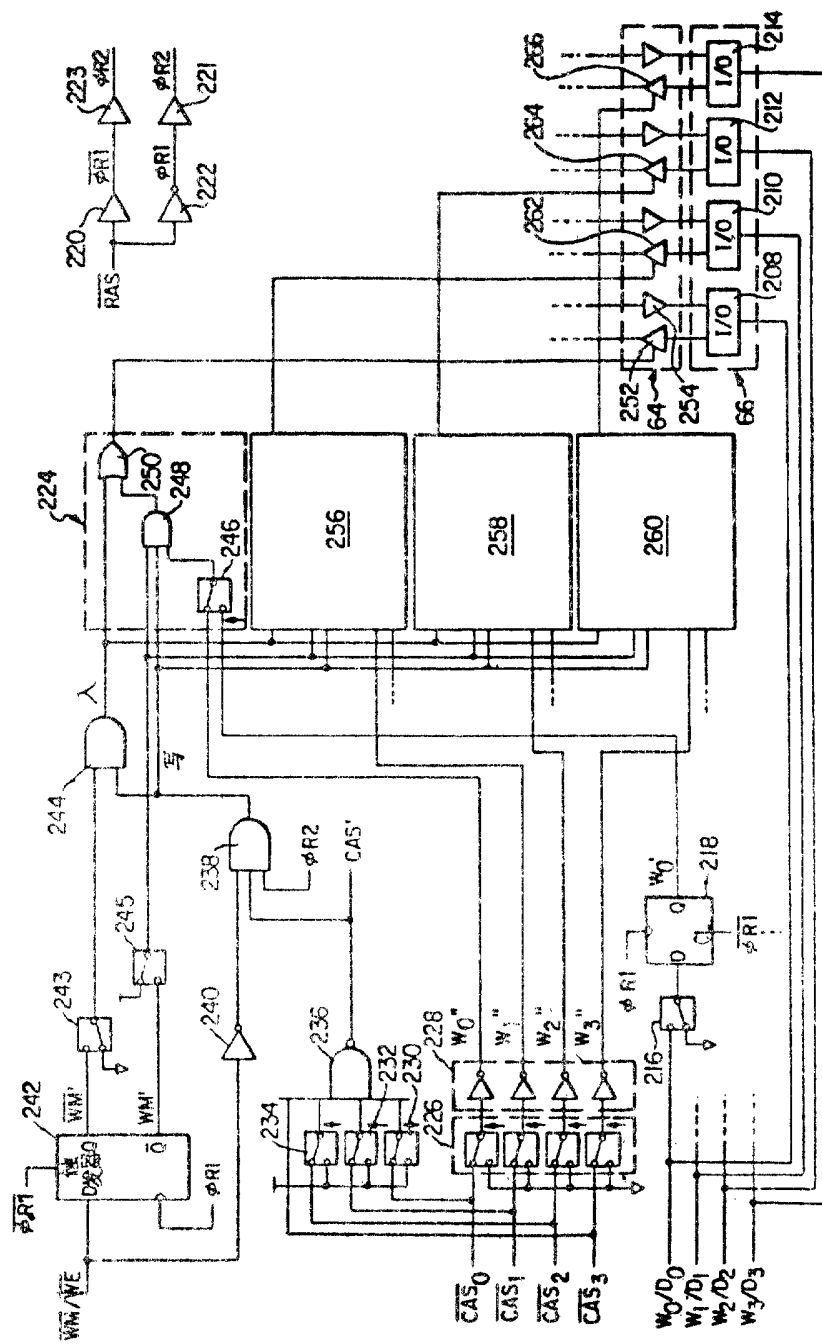


图 15

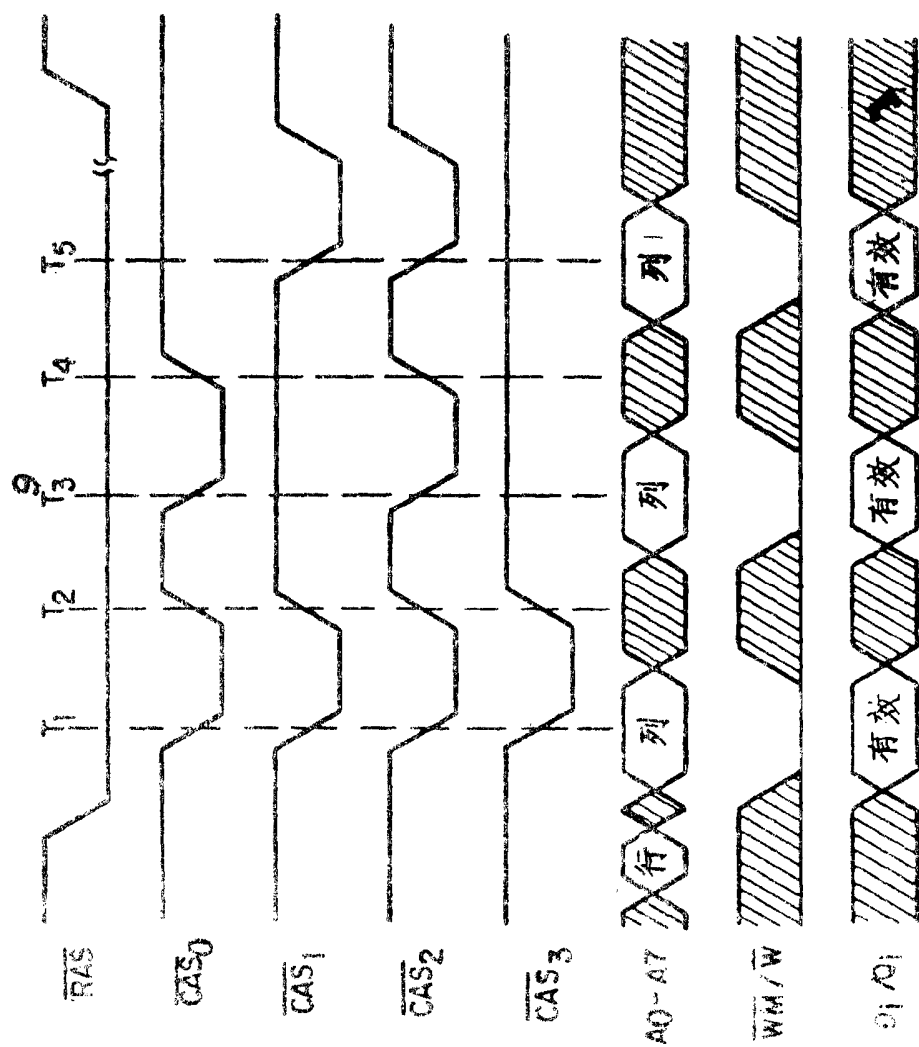
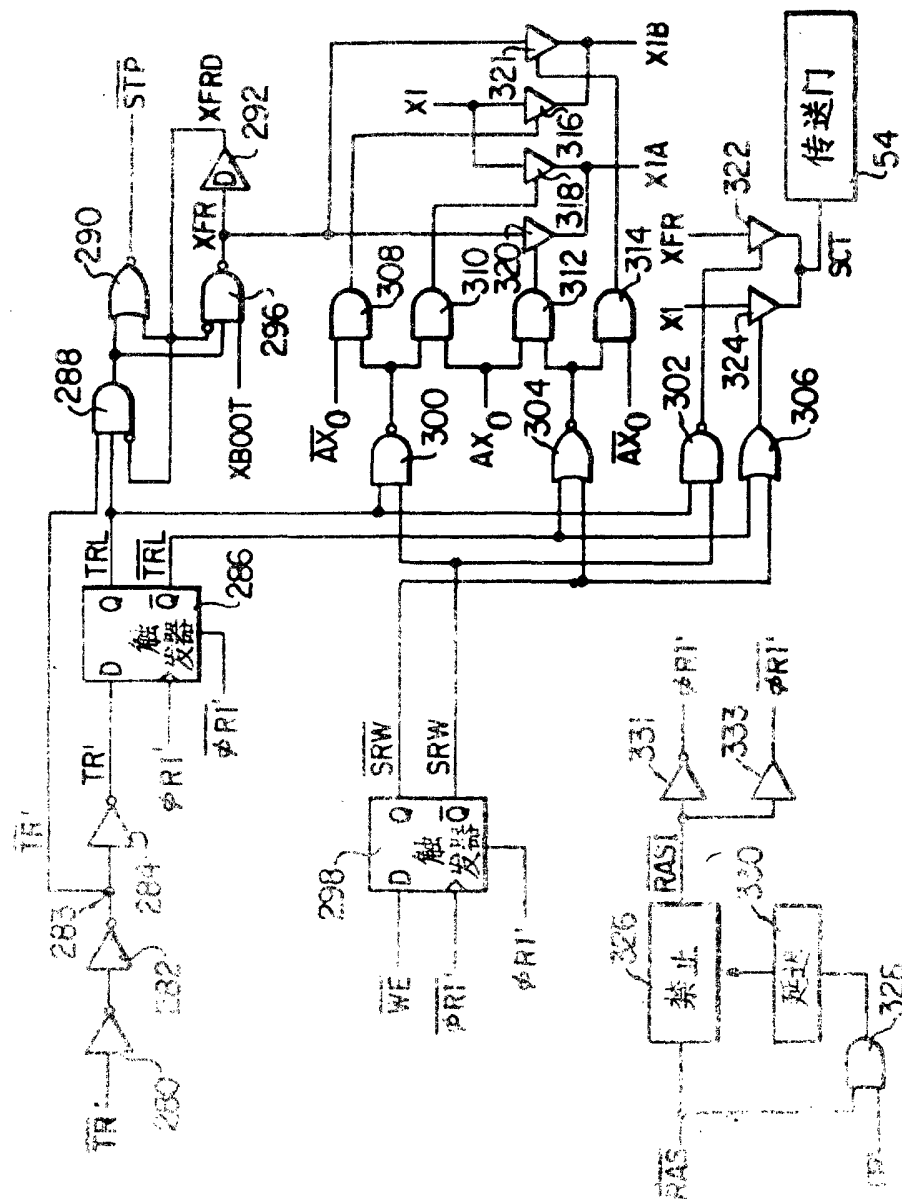


图 16



214

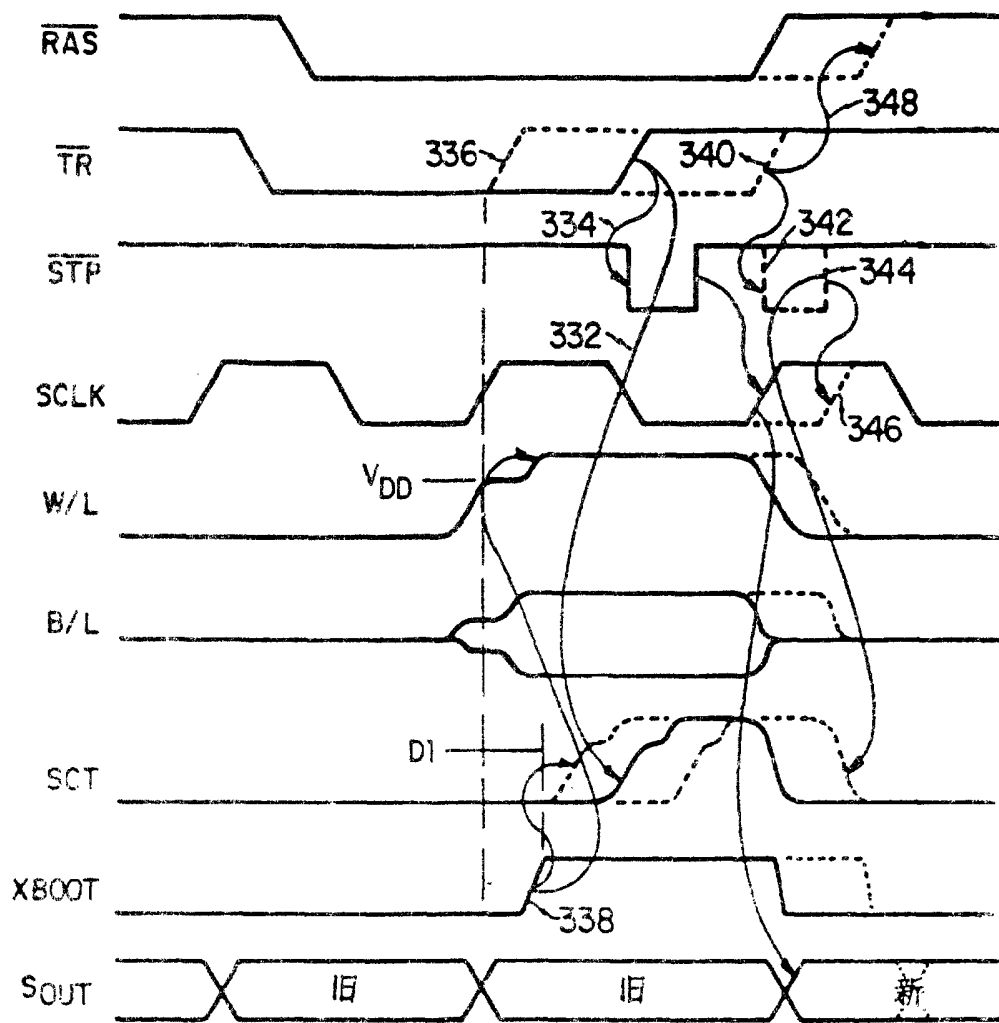


图 18