

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-258527

(P2009-258527A)

(43) 公開日 平成21年11月5日(2009.11.5)

(51) Int.Cl.
G02F 1/025 (2006.01)

F I
G O 2 F 1/025

テーマコード (参考)
2 H 0 7 9

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2008-109734 (P2008-109734)
(22) 出願日 平成20年4月21日 (2008. 4. 21)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100100310
弁理士 井上 学
(74) 代理人 100098660
弁理士 戸田 裕二
(72) 発明者 細見 和彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 菅原 俊樹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 光学素子

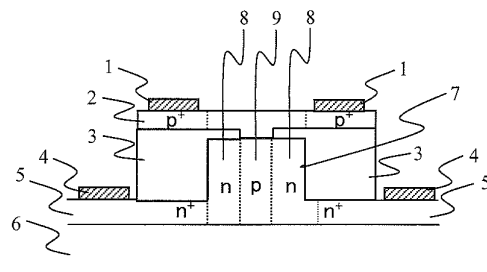
(57) 【要約】

【課題】 光強度変調器や光スイッチ等を構成する屈折率制御可能なシリコン導波路において、従来技術に於いて困難であった、高速性、低電圧動作（高効率）、作製容易性を同時に満たす構造および作成方法を提供すること。

【解決手段】 基板表面（延在方向）の法線方向に接合界面を有するpn接合を複数個、導波路中に形成する。これにより、ドーピング濃度の変化が、基板に水平方向のみとなり、シリコン電子デバイスと同様の工程で作製が可能となり低コストの素子作製が可能となる。また、導波路内に二つ以上の接合界面を設け、屈折率変調領域の導波路に占める面積を増大させることにより、屈折率変調効率を増大させ、低電圧動作が可能となる。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

半導体基板上に基板表面の延在方向に形成された半導体導波路から少なくとも構成され、該導波路の屈折率を変化させることにより光の透過量、光路または分散量の少なくとも一つを制御する光学素子において、

該導波路に接合界面が基板表面の法線方向に存在するようにpn接合部が設けられていることを特徴とする光学素子。

【請求項 2】

該pn接合部に電界を印加することにより導波路内の空間電荷を変化させて屈折率変化をもたらす、透過する光を制御することを特徴とする請求項 1 記載の光学素子。

10

【請求項 3】

該導波路内に少なくとも二つのpn接合部を有することを特徴とする請求項 1 記載の光学素子。

【請求項 4】

導波路の光伝播方向と平行方向にpn接合部の界面が設けられていることを特徴とする請求項 1 記載の光学素子。

【請求項 5】

導波路の延在方向の法線方向にpn接合部の界面が設けられていることを特徴とする請求項 1 記載の光学素子。

20

【請求項 6】

pn接合界面が導波路の光伝播方向と垂直であり、かつ、前記導波路断面の延在方向に平行に設けられていることを特徴とする請求項 1 記載の光学素子。

【請求項 7】

該導波路を構成する半導体材料がシリコン単体またはシリコンを主体とするものであることを特徴とする請求項 1 記載の光学素子。

【請求項 8】

その素子が透過する光の強度を変化させる光変調器および可変光減衰器、光の光路を変化させる光スイッチまたは透過する光の分散量を制御する分散補償素子であることを特徴とする請求項 1 記載の光学素子。

【請求項 9】

その素子がマッハツェンダー光干渉計、リング共振器、方向性結合器またはリング共振器であることを特徴とする請求項 1 記載の光学素子。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光学素子に係り、特に、部材にシリコンを用いた、光変調器、光スイッチ、アッテネータ等の光制御素子の構造に関する。

【背景技術】

【0002】

近年シリコンフォトリクスと呼ばれる技術が注目を集めている。入手容易で加工コストの低いシリコンを材料に用いた光デバイスのコンセプトは、従来から提唱されていた。しかしながら、シリコンの発光効率は極めて低いこと、量子井戸構造を作製することが難しいこと、等を理由に実際の発光デバイスや光制御デバイスの開発はなかなか進展してこなかった。最近になって近い将来問題になるシリコン電子デバイスの配線ボトルネックの問題がクローズアップされ、この問題をシリコン導波路を用いた光配線技術によって解決するというアプローチが注目され始めた。また、高度に発達した微細加工技術や、大量一括生産が可能なマスマイクロダクション技術を活かし、光デバイスの低コスト化、小型化、低消費電力化を進めるにもシリコンフォトリクスは有効であると考えられるようになった。

40

【0003】

実際にシリコンを光制御デバイスに用いるには、高効率、かつ、高速で動作する必要が

50

あり、具体的には動作電圧が2-3V程度以下、変調速度が10Gbps以上で動作することが求められる。

【0004】

光制御素子の動作機構は、一般的には屈折率制御と吸収係数制御に大別されるが、シリコンでは大きな吸収係数の変化を得るのが難しいため、もっぱら屈折率制御が用いられる。屈折率変調型素子では少なくとも 1×10^{-4} 程度の屈折率変化が必要となる。シリコンの屈折率を変化させる物理現象には、熱光学効果、電気光学効果、キャリアプラズマ効果がある。熱光学効果は、熱によって屈折率が変化するという現象である。しかし温度を変化させる方式は本質的に高速動作が困難で、熱のクロストークがあるという問題があり高速動作を目指す素子には適用が難しい。シリコンの電気光学効果には光カー効果と吸収端移動があるが、 1×10^{-4} 程度の屈折率変化を得るためには数百nm厚のコア層に対して数十Vの電圧を印加することに対応し、低電圧動作を目指す素子には適用できない。

10

【0005】

一方、キャリアプラズマ効果は、キャリアによる吸収係数の変化に伴う屈折率変化を利用したものである。この現象に基づく屈折率変化は、絶対量も比較的大きく、高速化が可能とされており、現在最も有力視されている屈折率変調原理である。

【0006】

図2に示すのは、Nature, Vol.435, 325ページに開示された、屈折率変調の例である。図中の導波路断面図に示されるように、シリコン導波路の左右にp型、n型の領域が設けられ、i層の導波路を中心としてp-i-n構造が作製されている。p-n間に電圧を印加し、導波路部分に実キャリアを注入することにより、屈折率変化を誘起するという原理で動作する。この従来技術の方式は原理が素朴で構造も簡単であるが、キャリアの走行時間で動作速度が律速されるので10Gbps以上の超高速動作は難しいという問題が存在する。

20

【0007】

図3に示すのは、Nature, Vol.427, 615ページに開示された、屈折率変調の例である。本引例では、MOS (Metal-Oxide-Semiconductor) 効果を利用して屈折率制御を行う。MOS型変調方式では、実キャリアを注入するのではなく、電界効果等を用いて実効的にキャリア濃度を変化させる。この方法では実キャリアの走行がないので図3の方法に比べると原理的に高速動作に向いている。但し、キャリア濃度が変化する領域が導波路断面積に比べて小さいので、屈折率変化の効率が悪いという問題がある。

30

【0008】

図4に示すのは、シリコン以外の材料を用いてかつシリコンにも応用可能な変調原理を用いたものとして、IEE Photonic Technology Letters Vol.17 567ページに開示された例である。本例では部材にIII-V化合物半導体を用いており、エピタキシャル成長によって多層構造形成し、導波路断面にpn接合が形成されている。pn接合界面に形成される空乏層の幅を、逆バイアスの印加することにより変化させるという方式である。本方式は、MOS型と同じく、実キャリアの注入を伴わず高速動作が期待できる。また屈折率変調領域がMOS型と比較して大きいため、屈折率変調効率がよい。しかしながら、本引例の基板に垂直な方向にキャリア濃度が変化する構造は、化合物半導体では比較的容易に形成されるが、シリコンで形成するためには作製工程が複雑となる。その工程は電子デバイスの作製工程との親和性は薄く、コスト低減に繋がらず、シリコン導波路を用いるそもそものコンセプトに反する。

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したように、従来技術においては、シリコン導波路の屈折率変調デバイスにおいて、高速性、低電圧動作（高効率）、作製容易性を同時に満たすことが難しかった。

【0010】

したがって、本発明の目的は屈折率変調が高効率で、高速動作が可能且つ、シリコン電子デバイスの作製プロセスと同様の工程で作製可能な、シリコン導波路光素子を提供する

50

ことである。

【課題を解決するための手段】

【0011】

本発明の構成の一例を図1に示す。図1は屈折率変調機能をもつシリコン導波路の断面図である。本発明では、上述した課題を解決するために、図1に示すように、基板表面に垂直方向に（換言すれば、基板表面の延在方向の法線方向に）npnのドーピングプロファイルを設け、二つのpn接合界面を有する導波路構成とした。これにより、ドーピング濃度の変化が、基板に水平方向（即ち、基板の延在方向）のみとなり、シリコン電子デバイスと同様の工程で作製が可能となる。即ち、n、p、nの導電性を持つように、それぞれの層に所要の不純物をドーピングする。

10

【0012】

また、導波路内に二つの接合界面を設け、屈折率変調領域の導波路に占める面積を増大させることにより、屈折率変調効率を増大させた。

【0013】

図5は本発明の屈折率変化の原理を、pn接合界面が一つの場合を例にとり模式的に示したものである。pn接合界面には実効的にキャリアが存在しない空乏層が形成される。この空乏層の厚さはpn接合界面に印加される電界に依存して変化する。接合界面に逆バイアスを印加すると図5の右側の図に示すように空乏層領域が増大する。その結果、空乏層が増大した領域のキャリアが実効的に減少し、それに伴い、屈折率が増大する。図6にpn接合界面に形成される空乏層の厚みのキャリア濃度依存性の計算結果を示す。図6中にはまた、逆バイアス1Vを印加した場合のプロットも示してある。逆バイアスを印加した場合に空乏層が増大していることが定量的に示されている。

20

【0014】

図7はpn接合界面が導波路に二つ形成された場合の屈折率変化の様子を模式的に示したものである。個々の接合界面がもたらす屈折率変化は図6に示した値どおりであるが、屈折率変調領域の導波路の断面積に占める割合が増大することにより、より効率的な屈折率変調が期待できる。図8は導波路幅が400nm、pn接合界面を形成するためのドーピング濃度がp,nともに 5×10^{17} の場合のシリコン導波路を例にとって、印加電圧と実効屈折率の変化の関係を示したものである。尚、屈折率変化量を計算する際には、(数1)

【0015】

30

【数1】

$$\Delta n_{eff} = \Delta n \cdot \Delta D / W \quad (\text{数1})$$

【0016】

を用いて、実効的な屈折率変化を計算した。ここでDは空乏層厚の変化量、Wは導波路の幅であり、D/Wは所謂ファクターにあたる量である。従って、 n_{eff} は導波路内で平均化された屈折率変化を示す量である。キャリアの変化量に対する屈折率変化には次の(数2)を用いた。

【0017】

【数2】

40

$$\Delta n = \frac{-e^2 \lambda_0^2}{8\pi^2 c^2 \epsilon_0 n} \left(\frac{N_e}{m_{ce}^*} + \frac{N_h}{m_{ch}^*} \right) \quad (\text{数2})$$

【0018】

図8からキャリア濃度が高くなるほど、屈折率変化量が大きくなることがわかる。図6で見たとおり、キャリア濃度が高いと空乏層の変化は小さなものとなるが、キャリア濃度変化量の増大による屈折率変化の増大の効果がこれを上回ることがわかる。図8では、接合界面が一つの場合と二つの場合で屈折率変化を比較している。接合界面が一つの場合で 1×10^{-4} の屈折率変化が、1.7Vで得られており低電圧動作が可能であることが示されてい

50

るが、接合界面が二つの場合は半分以下の0.75Vで同様の屈折率変化が得られ、一層の低電圧動作が可能であることが示されている。

【発明の効果】

【0019】

本発明によれば、屈折率変調が高効率で、高速動作が可能且つ、シリコン電子デバイスを提供可能である。

【発明を実施するための最良の形態】

【0020】

以下に詳細に実施例を説明する。

(実施例1)

10

垂直接合型1

図1は、本発明の第一の実施例であり、光学素子を構成する導波路の断面図を示している。シリコン導波路7の幅は400nm、厚さは200nmで通信波長帯の光に対してシングルモード導波路になっている。導波路内にはnpnの接合が形成されている。導波路内のn層8、p層9のドーピング濃度は共に 5×10^{17} とした。導波路はシリコンで構成されているが、またはシリコンを主体に構成されている。n型、p型である部分は不純物がドーピングされているので、シリコンを主体とした導波路の一例といえることができる。導波路のn層8は、導波路左右のn⁺層5を介してn電極と電氣的に接続されている。導波路全体はSiO₂層3で覆われており、SiO₂層の直上にはp型にドーピングされたポリシリコン層2が形成されている。図に示すように、ポリシリコン層が導波路内のp層9とのみ電氣的に接続されるように、ポリシリコン層がSiO₂層の一部を貫通する構成となっている。ポリシリコン層の上部には導波路の直上を避けてP電極1が形成されている。図1中に示される、n⁺層5およびp⁺層2のドーピング濃度はそれぞれ 1×10^{19} とした。

20

【0021】

本構成の作製工程を説明する。SOI層厚200nm、BOX層厚1μmの基板に、リソグラフィとドライエッチング技術を用いて幅400nmの導波路を形成する。このとき、導波路以外の部分のSOI層を完全にエッチングすることなく厚さ50nmのSi層を残す。次にイオン打ち込みによりキャリアをドーピングする。このとき、リソグラフィでマスクを形成して所望の領域にのみイオン打ち込みを行うことにより、導波路内にpnp接合を形成する。次にCVDによりSiO₂層を形成し、導波路領域を覆った後、必要な場所以外のSiO₂膜を除去する。次に導波路上にのみポリシリコン層を形成する。最後に、n電極、p電極を形成する。特段の記述のない部分のプロセスは、標準的な、デポジション・リソグラフィ・ドライエッチを持ってして十分である。

30

【0022】

次に本実施例の動作を説明する。本実施例の導波路には、p電極1とn電極2の間に逆バイアスを印加することで行う。このときの屈折率変化の様子は、図7に模式的に示されるとおりである。逆バイアスの印加により空乏層が増大しキャリア濃度の変化が引き起こされる。このキャリア濃度の変化が屈折率変化をもたらす。図8に本実施例における、屈折率変化量の印加電圧依存性が示されている。図8から、わずか0.75Vで 1×10^{-4} の屈折率変化が得られており低電圧動作が可能であることが示されている。

40

(実施例2)

垂直接合型2

図9は、本発明の第二の実施例であり、光学素子を構成する導波路の断面図を示している。図9(a)は本実施例の導波路の俯瞰図であり、図9(b)は上面図である。図に示されるように本実施例では、pn接合の接合界面10は、導波路の断面に平行に形成されている。導波路のp層11は導波路脇のp⁺層16を介してp電極と電氣的に接続される。一方で、p層11とn層13の間は絶縁層14により電氣的に完全に分離されている。同様に導波路中のn層もn電極12と電氣的に接続され、脇のp⁺層16とは絶縁されている。

【0023】

次に本実施例の動作を説明する。本実施例のp電極15とn電極16の間に逆バイアスを印

50

加すると、導波路の内に多段に設けられた p n 接合の空乏層の厚さがそれぞれ増大する。このときの空乏層厚の変化の方向は光の伝播に沿った向きとなる。空乏層厚の変化によりキャリア濃度が変化し、屈折率が変化する様子は実施例1で説明した過程と同様である。

(実施例3)

図10は本発明の第三の実施例であり第一の実施例で記述した導波路を用いてMZ干渉計を構成した例である。光入射口23から導入された光は、分岐部で二つに分けられ、位相変調部24へと導かれる。位相変調部24は実施例1に記載の屈折率変調構造から形成される。p電極22・n電極23間に印加する電圧を違えることで、上下のアームの光路長を変化させる。印加電圧に応じて、上下のアームの位相差が生じ出射口23からの光強度が変化する。本実施例のMZ干渉計は例えば光強度変調器に適用可能である。

10

(実施例4)

図11は本発明の第四の実施例であり第二の実施例で記述した導波路を用いてリング共振器を構成した例である。図11に記載のリング共振器では、入射口31から導入された光は、リング33内の光路長によって決定される特定の波長(共振波長)の光の透過率が著しく減衰する。n電極34、p電極35を介して導波路に逆バイアスを印加することにより、導波路の屈折率が増大し、リングの光路長が増加する。この光路長の増加に伴い、共振波長がシフトする。このような共振波長のシフトは、光強度変調器や可変分散補償器に適用可能である。

図12に、このリング共振器における波長と損失の関係を示す。この図を用いて、本発明による光強度変調器の動作原理を説明する。本来、導波路の伝播損失がなければ、このようなリング共振器は、本来はAPF(All Pass Filter)特性、すなわち、全ての波長を一樣な割合で透過する特性を持つ。

20

【0024】

しかし、実際には導波路が損失を持つので、リング共振器で1周する際に生じるラウンドトリップ損失により、ある波長で損失が大きくなるBRF(Band Rejection Filter)特性を持つ。この損失ピークを利用し、光強度変調器を実現することができる。まず電圧を損失ピークが最も鋭くなる(屈折率、吸収係数とも変化する)値とする。信号光波長は、この時の損失ピークに一致するように設定する。すると、この状態では信号光波長はリング共振器を殆ど透過できず、信号がOFFの状態とみなすことができる。次に、電界を変えてフィルタのPassする波長に合わせることでマーク“ON”の変調状態を実現する。このようにして、本発明による光強度変調器を実現することができる。また、この特徴を用いて、前述のONとOFFの状態の電圧を、段階的に変化させることで、可変光減衰器を実現できる。

30

【0025】

次に、可変分散補償器の動作原理について説明する。分散補償とは、伝送路に用いられる光ファイバと逆の波長分散特性を持った光学素子を光送信器、受信器、あるいは中継器などに配置することで光ファイバの波長分散特性を打ち消し、波形劣化を防ぐ手法である。

前述のリング共振器では、透過率は波長に対して一定となるが、ためオールパスフィルタと呼ばれている。しかし、位相(群遅延時間)については、波長依存性を有する。この時の群遅延時間は次の数3で表される。

40

【0026】

【数3】

$$\tau = -\frac{2r\Delta L(r + \cos\omega\Delta L)}{1 + r^2 + 2r\cos\omega\Delta L} \quad (\text{数3})$$

【0027】

ここで、rは分岐比から決まるパラメータ、 ω は光の角周波数、Lはリング共振器を1周することによって生じる光学的な距離を示す。波長分散は、数4で表されるように、群遅延時間を波長で微分したものである。

50

【0028】

【数4】

$$\beta = \frac{d\tau}{d\lambda} \quad (\text{数4})$$

【0029】

波長分散による影響は高速信号ほど強く受ける。よって、分散補償器には広帯域性が必要とされる。このような広帯域可変分散補償器を実現するには、図13に示す本発明によるリング共振器を多段に接続するなどの方法が有効である。数3により、5段リング共振器を接続した場合の群遅延特性を図14に示す。本発明によるリング共振器で、 r 、 L を調整することで、このような広帯域な分散補償器を実現できる。

10

(実施例5)

図15は本発明の第五の実施例であり第二の実施例で記述した導波路を用いて方向性結合器を構成した例である。図15(b)は導波路のp領域の断面を、(c)は導波路のn領域の断面を示した図である。図15(b)(c)に示されるように、導波路はSiO₂層46で埋め込まれている。図15(b)に示されるようにp領域50はp+のポリシリコン層49を介してp電極45と電氣的に接続されている。一方、p領域51は導波路脇のn+層47を介してn電極44と電氣的に接続される。

入射口41から導入された光は、第一の出射口42、第二の出射口43から取り出されるが、n電極44、p電極45に印加する電界を制御することにより、第一の出射口42と第二の出射口43から取り出される光の強度の配分を制御することが可能である。本実施例の方向性結合器は例えば光強度変調器や光スイッチに適用可能である。

20

(実施例6)

図16は本発明の第六の実施例であり、第四の実施例で記述したリング共振器を用いて、非対称のMZ干渉計を構成した例である。第四の実施例の構成では、損失ピークの変化を利用して透過光の強度を変調するのに対し、本実施例の構成では、リング共振器中を透過する光の位相の変化を利用する。リング共振器の効果により直線導波路よりも効率よく位相変化を起こすことができるので、例えば実施例3に記載の通常型のMZ干渉計より駆動電圧を低減することができる。

30

【0030】

なお、図面中で使用する符号の説明は次の通りである。

1 ... p電極、2 ... ポリシリコン層、3 ... SiO₂層、4 ... n電極、5 ... SOI層、6 ... SiO₂層、7 ... シリコン細線導波路、8 ... 導波路n領域、9 ... 導波路p領域、
 11 ... 導波路p領域、12 ... n電極、13 ... n+領域、14 ... 絶縁領域、15 ... p電極、16 ... p+領域、
 21 ... n電極、22 ... p電極、23 ... 光入射口、24 ... 光出射口、24 ... 光変調部、25 ... 位相変調部、
 31 ... 光入射口、32 ... 光出射口、33 ... シリコン細線リング、34 ... n電極、35 ... p電極、
 41 ... 光入射口、42 ... 第一の光出射口、43 ... 第二の光出射口、44 ... n電極、45 ... p電極、46 ... SiO₂層、47 ... n+層、48 ... 絶縁層、49 ... ポリシリコン層、50 ... シリコン導波路p領域、51 ... シリコン導波路n領域、60 ... 非対称MZ干渉計

40

【図面の簡単な説明】

【0031】

【図1】図1は、本発明の第一の実施例であるシリコン導波路屈折率変調構造の断面図である。

【図2】図2は、従来のシリコン導波路屈折率変調構造の第一の例である。

【図3】図3は、従来のシリコン導波路屈折率変調構造の第二の例である。

【図4】図4は、部材に化合物半導体を用いた導波路屈折率変調構造の例である。

50

【図5】図5は、導波路内に設けたpn接合に電界を印加した場合に導波路の屈折率が変化するように模式的に示した図である。

【図6】図6は、pn接合界面に形成される空乏層の厚さと、キャリア濃度の関係を示した図である。

【図7】図7は、導波路内に設けたnpn接合に電界を印加した場合に導波路の屈折率が変化するように模式的に示した図である。

【図8】図8は、導波路内に設けたpn接合に電界を印加した場合の有効屈折率の変化の印加電圧依存性を示した図である。

【図9】図9は、本発明の第二の実施例のシリコン導波路屈折率変調構造の断面図である。

【図10】図10は、本発明の第三の実施例の、MZ干渉計の概念図である。

【図11】図11は、本発明の第四の実施例の、シリコンリング共振器の概念図である。

【図12】図12は、本発明の第四の実施例の、シリコンリング共振器における波長と損失の関係を示す図である。

【図13】図13は、本発明の第四の実施例の、シリコンリング共振器を多段に用いて可変分散補償器に適用した構成図である。

【図14】図14は、本発明のシリコンリング共振器を用いて可変分散補償器の特性を示した図である。

【図15】図15は、本発明の第五の実施例の、シリコン方向性結合器およびこれを構成する導波路の構成図である。

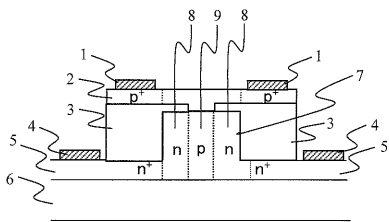
【図16】図16は、本発明の第六の実施例の、シリコンリング共振器を用いた非対称MZ干渉計の概念図である。

10

20

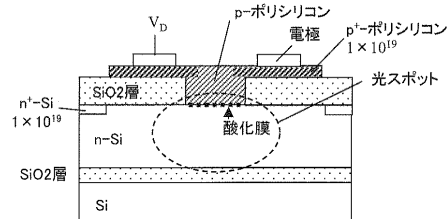
【図1】

図1



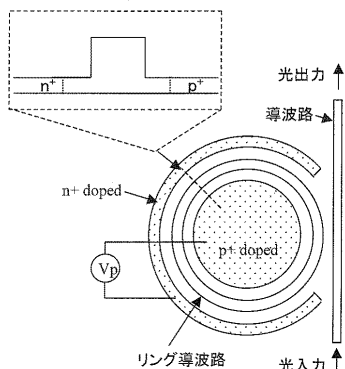
【図3】

図3



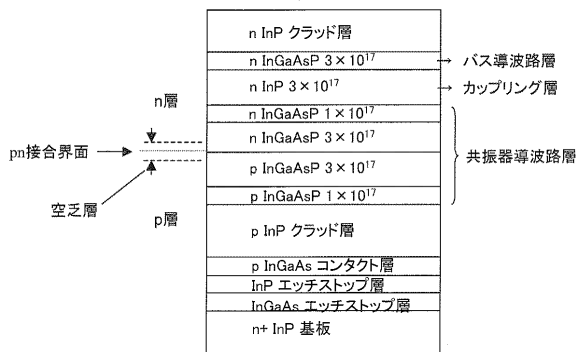
【図2】

図2

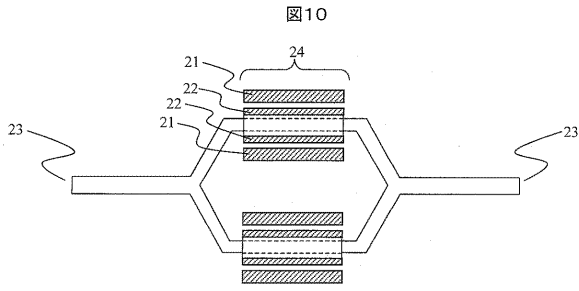


【図4】

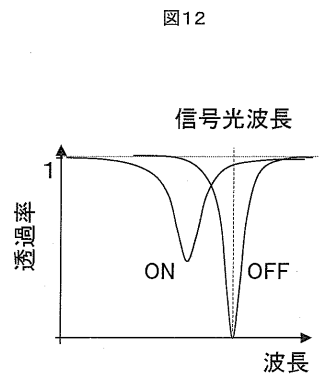
図4



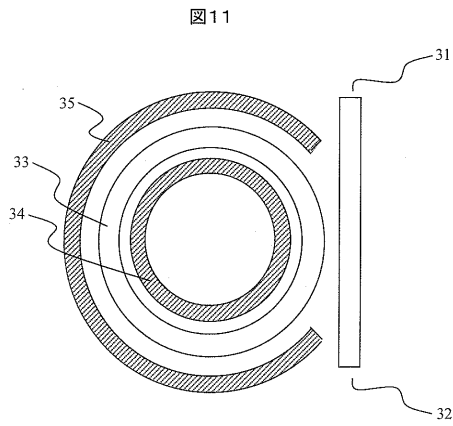
【図10】



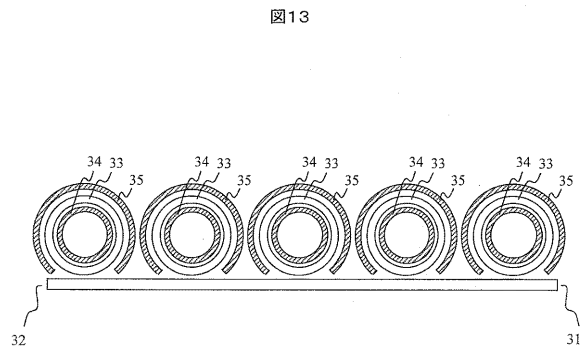
【図12】



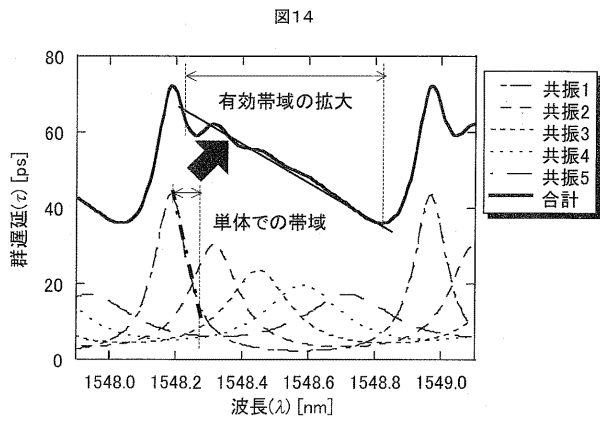
【図11】



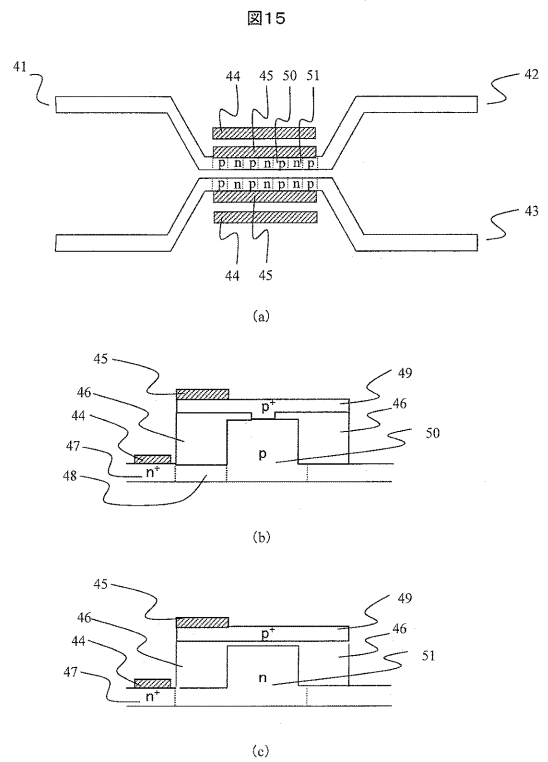
【図13】



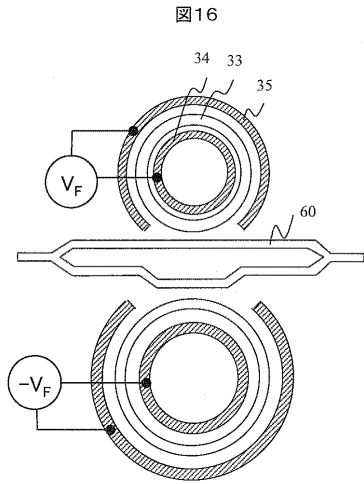
【図14】



【図15】



【 図 16 】



フロントページの続き

(72)発明者 松岡 康信

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 有本 英生

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 斎藤 慎一

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 2H079 AA05 AA12 BA03 DA16 DA23 EA03 EA05 EB05 HA04 HA12

HA15