

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)



(10) 国際公開番号

WO 2022/239193 A1

(51) 国際特許分類:
G11C 16/04 (2006.01) H01L 21/8242 (2006.01)
G06F 12/00 (2006.01) H01L 27/10 (2006.01)
G11C 11/401 (2006.01) H01L 27/108 (2006.01)

(21) 国際出願番号: PCT/JP2021/018239

(22) 国際出願日: 2021年5月13日(13.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(USを除く全ての指定国について):ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1

1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

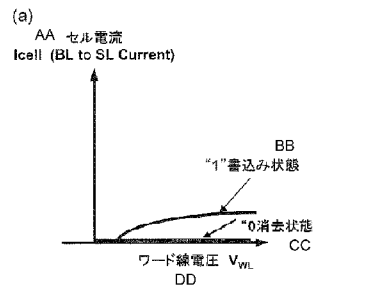
(72) 発明者; および

(71) 出願人(USについてのみ): 作井 康司(SAKUI
Koji) [JP/JP]; 〒1020083 東京都千代田区麹町
1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e
m i c o n C o n s u l t i n g 株 式 会
社 内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020083 東京都千代田区麹町 1 丁目
3 番 7 号 日月館麹町ビル 5 階 S e m i c o n
C o n s u l t i n g 株 式 会 社 内 Tokyo (JP).

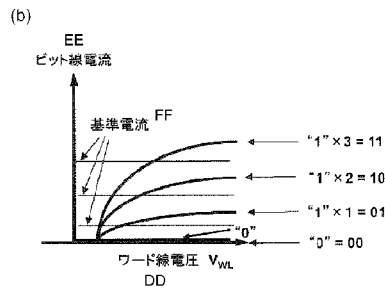
(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内 3

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



AA Cell current Icell (BL to SL Current)
BB "1" write state
CC "0" erase state
DD Word line voltage
EE Bit line current
FF Reference currents



(57) Abstract: This memory device is provided with a page comprising multiple memory cells arranged in columns on a substrate. The memory device carries out: a page write operation for holding, inside a channel semiconductor layer, a hole group formed by an impact-ionization phenomenon or by a gate-induced drain leakage current by controlling voltages to be applied to a first gate conductor layer, a second gate conductor layer, a first impurity region, and a second impurity region of each of the memory cells included in the page; and a page erase operation for removing the hole group from

丁目3番1号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the inside of the channel semiconductor layer by controlling voltages to be applied to the first gate conductor layer, the second gate conductor layer, a third gate conductor layer, a fourth gate conductor layer, the first impurity region, and the second impurity region. The first impurity region of the memory cells is connected to a source line, the second impurity region is connected to a bit line, one of the first gate conductor layer and the second gate conductor layer is connected to a word line, the other is connected to a first drive control line, and the bit line is connected to a sense amplifier circuit via a switch circuit. During a page read operation, page data of a memory cell group selected through the word line is read to the sense amplifier circuit, and during a page addition read operation, at least two pieces of the page data multiple-selected by at least two of the word lines is added through the bit line and read to the sense amplifier circuit.

(57) 要約: メモリ装置は、基板上に列状に配列された複数のメモリセルからなるページを備え、前記ページに含まれる各メモリセルの、第1のゲート導体層と、第2のゲート導体層と、第1の不純物領域と、第2の不純物領域に印加する電圧を制御して、チャネル半導体層の内部に、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により形成した正孔群を保持するページ書込み動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第4のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記正孔群を前記チャネル半導体層の内部から除去するページ消去動作を行う。前記メモリセルの前記第1の不純物層は、ソース線と接続し、前記第2の不純物層は、ビット線と接続し、前記第1のゲート導体層と前記第2のゲート導体層のうちの一方はワード線と接続し、他方は第1の駆動制御線と接続し、前記ビット線は、スイッチ回路を介してセンスアンプ回路に接続する。ページ読出し動作時には、前記ワード線で選択するメモリセル群のページデータを前記センスアンプ回路に読出し、ページ加算読出し動作時には、少なくとも2本の前記ワード線が多重選択する少なくとも2個の前記ページデータは、前記ビット線で加算され、前記センスアンプ回路に読み出される。

明 細 書

発明の名称：半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration) 技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献7を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミック フラッシュ メモリに関する。

[0004] 図7 (a) ~ (d) に、前述したキャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルの書込み動作を、図8 (a) と (b) に、動作上の問題点を、図9 (a) ~ (c) に、読出し動作を示す（非特許文献7 ~ 10を参照）。図7 (a) は、“1” 書込み状態を示している。ここで、メモリセルは、SOI基板100に形成され、ソース線SL

が接続されるソースN⁺層103（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）、ビット線BLが接続されるドレインN⁺層104、ワード線WLが接続されるゲート導電層105、MOSトランジスタ110のフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110が1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。このMOSトランジスタ110、1個で構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110を飽和領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャンネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110を動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される（インパクトイオン化現象）。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102がP型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図7（b）には、生成された正孔106でフローティングボディ10

2が飽和充電された様子を示している。

[0005] 次に、図7(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110と“0”書込みのメモリセル110が存在する。図7(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。

“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110(図7(b))と、生成された正孔が吐き出されたメモリセル110(図7(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110のフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、“1”書込みのメモリセル110のしきい値電圧は、“0”書込みのメモリセル110のしきい値電圧よりも低くなる。その様子を図7(d)に示している。

[0006] 次に、この1個のMOSトランジスタ110で構成されたメモリセルの動作上の問題点を図8(a)と(b)を用いて、説明する。図8(a)に示したように、フローティングボディの容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディとの間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層104とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (10)$$

で表される。また、ワード線の接続されたゲートとフローティングボディ間の容量結合比 β_{WL} は、

$$\beta_{WL} = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (11)$$

で表される。したがって、読出し時または書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード（接点）となるフローティングボディ 102 の電圧も、その影響を受ける。その様子を図 8（b）に示している。読出し時、または、書込み時にワード線電圧 V_{WL} が 0 V から V_{WLH} に上昇すると、フローティングボディ 102 の電圧 V_{FB} は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へワード線との容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= \beta_{WL} \times V_{WLH} \quad (12)\end{aligned}$$

で表される。

ここで、式（11）の β_{WL} において、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta_{WL} = 0.8$ となる。ワード線が、例えば、書込み時の 5 V から、書込み終了後に 0 V になると、ワード線 WL とフローティングボディ 102 との容量結合によって、フローティングボディ 102 が、 $5 \text{ V} \times \beta_{WL} = 4 \text{ V}$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ 102 の“1”電位と“0”電位との電位差マージンを十分に取れない問題点があった。

[0007] 図 9（a）～（c）に読出し動作を示しており、図 9（a）は、“1”書込み状態を、図 9（b）は、“0”書込み状態を示している。しかし、実際には、“1”書込みでフローティングボディ 102 に V_b が書き込まれていても、書込み終了でワード線が 0 V に戻ると、フローティングボディ 102 は、負バイアスに引き下げられる。“0”が書かれる際には、さらに深く負バイアスになってしまうため、図 9（c）に示すように、書込みの際に“1”と“0”との電位差マージンを十分に大きく出来ないため、実際にキャパシタを有しない、DRAMメモリセルの製品化が困難な状況にあった。

先行技術文献

特許文献

[0008] 特許文献1：特開平2－188966号公報

特許文献2：特開平3－171768号公報

特許文献3：特許第3957774号公報

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor (VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3：H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4：T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: “Low Power and High Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5：W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6：M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T1C1T DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7：J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled

Charge Regeneration,” *Electron Device Letters*, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8：T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” *IEEE JSSC*, vol.37, No.11, pp1510-1522 (2002).

非特許文献9：T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watana be, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K . Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” *IEEE IEDM* (2006).

非特許文献10：E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” *IEEE IEDM* (2006).

非特許文献11：J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” *IEEE Trans. Electron Devices*, vol. 5, no. 3, pp.186-191, May 2006.

非特許文献12：N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 2017.

非特許文献13：H. Jiang, N. Xu, B. Chen, L. Zeng¹, Y. He, G. Du, X. Li u and X. Zhang: “Experimental investigation of self-heating effect (SHE) in multiple-fin SOI FinFETs,” *Semicond. Sci. Technol.* 29 (2014) 115021 (7pp).

非特許文献14：E. Yoshida, and T. Tanaka: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” *IEEE Transactions on Electron Devices*, Vol. 53, No. 4, pp. 692-69, Apr. 2006.

発明の概要

発明が解決しようとする課題

[0010] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジス型のDRAM（ゲインセル）では、ワード線とフローティング状態のSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。

課題を解決するための手段

[0011] 上記の課題を解決するために、本発明に係るメモリ装置は、
基板上に行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、
前記各ページに含まれる各メモリセルは、
基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、
前記半導体母体の両端にある第1の不純物層と、第2の不純物層と、
前記第1の不純物層と前記第2の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第1の不純物層に接するか、または、近接した第1のゲート絶縁層と、
前記半導体母体の側面を囲み、前記第1のゲート絶縁層に繋がり、且つ前記第2の不純物層に接するか、または、近接した第2のゲート絶縁層と、
前記第1のゲート絶縁層の一部または全体を覆う第1のゲート導体層と、
前記第2のゲート絶縁層を覆う第2のゲート導体層と、
前記半導体母体が前記第1のゲート絶縁層と、前記第2のゲート絶縁層とで覆われたチャネル半導体層とを、有し、
前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記チャ

ネル半導体層の内部に、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により形成した正孔群を保持し、

ページ書込み動作時には、前記チャネル半導体層の電圧を、前記第1の不純物層及び前記第2の不純物層の一方もしくは両方の電圧より高い、第1のデータ保持電圧とし、

ページ消去動作時には、前記第1の不純物層と、前記第2の不純物層と、前記第1のゲート導体層と、前記第2のゲート導体層とに印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、前記正孔群を抜きとり、前記チャネル半導体層の電圧を、前記第1のデータ保持電圧よりも低い、第2のデータ保持電圧とし、

前記メモリセルの前記第1の不純物層は、ソース線と接続し、前記第2の不純物層は、ビット線と接続し、前記第1のゲート導体層と前記第2のゲート導体層のうちの一方はワード線と接続し、他方は第1の駆動制御線と接続し、

前記ビット線は、スイッチ回路を介してセンスアンプ回路に接続し、

ページ読出し動作時には、前記ワード線で選択するメモリセル群のページデータを前記センスアンプ回路に読出し、

ページ加算読出し動作時には、少なくとも2本の前記ワード線が多重選択する少なくとも2個の前記ページデータは、前記ビット線で加算され、前記センスアンプ回路に読み出される、

ことを特徴とする（第1発明）。

[0012] 上記の第1発明において、前記センスアンプ回路は、強制反転型センスアンプ回路であり、前記ビット線で加算されるメモリセル電流の和が基準電流よりも大きい場合に前記強制反転型センスアンプ回路は反転することを特徴とする（第2発明）。

[0013] 上記の第2発明において、前記ページ加算読出し動作時には、正の整数であるN個の前記メモリセル電流の和は、前記メモリセル電流のN倍よりも小さい前記基準電流により、前記強制反転型センスアンプ回路により、読み出

されることを特徴とする（第3発明）。

[0014] 上記の第2発明において、前記基準電流は、大電流から小電流への段階的に減少させて、前記メモリセル電流の和は、前記強制反転型センスアンプ回路により、読み出されることを特徴とする（第4発明）。

[0015] 上記の第1発明において、前記ページ加算読出し動作時に少なくとも2本の前記ワード線が多重選択する少なくとも2個の前記ページデータは、前記ビット線で加算され、前記センスアンプ回路に読み出され、正の整数である n ビットのラッチ回路に「1」書き込み状態のメモリセル数の和が記憶されることを特徴とする（第5発明）。

[0016] 上記の第1発明において、前記第1のゲート導体層と前記チャネル半導体層との間の第1のゲート容量が、前記第2のゲート導体層と前記チャネル半導体層との間の第2のゲート容量よりも大きいことを特徴とする（第6発明）。

[0017] 上記の第1発明において、前記半導体母体の軸方向から見たときに、前記第1のゲート導体層が、前記第1のゲート絶縁層を囲んで少なくとも2つの導体層に分離していることを特徴とする（第7発明）。

図面の簡単な説明

[0018] [図1]第1実施形態に係るSGTを有するメモリ装置の構造図である。

[図2]第1実施形態に係るSGTを有するメモリ装置のプレート線PLに接続された第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるようにした場合の効果を説明する図である。

[図3A]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図3B]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係るSGTを有するメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るSGTを有するメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4C]第1実施形態に係るSGTを有するメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4D]第1実施形態に係るSGTを有するメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4E]第1実施形態に係るSGTを有するメモリ装置のページ消去動作メカニズムを説明するための図である。

[図5]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図6A]第1実施形態に係るSGTを有するメモリ装置のページ加算読出し動作を説明するための図である。

[図6B]第1実施形態に係るSGTを有するメモリ装置のページ加算読出し動作を説明するための回路ブロック図である。

[図6C]第1実施形態に係るSGTを有するメモリ装置のページ加算読出し動作を説明するための回路ブロック図である。

[図6D]第1実施形態に係るSGTを有するメモリ装置のページ加算読出し動作を説明するための回路ブロック図である。

[図7]従来例のキャパシタを有しない、DRAMメモリセルの書込み動作を説明するための図である。

[図8]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図9]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0019] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリと呼ぶ）の実施形態について、図面を参照しながら説明する。

[0020] (第1実施形態)

図1～図5を用いて、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造と動作メカニズムを説明する。図1を用いて、ダイナミック フラッシュ メモリセルの構造を説明する。そして、図2を用いて、プレート線PLに接続された第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるようにした場合の効果の説明をする。そして、図3を用いてデータ書込み動作メカニズムを、図4を用いてデータ消去動作メカニズムを、図5を用いてデータ読出し動作メカニズムを説明する。

[0021] 図1に、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造を示す。基板上に形成した、P型又はi型（真性型）の導電型を有するシリコン半導体柱2（以下、シリコン半導体柱を「Si柱」と称する。）（特許請求の範囲の「半導体母体」の一例である）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層3a、3b（特許請求の範囲の「第1の不純物層」、「第2の不純物層」の一例である）が形成されている。このソース、ドレインとなるN⁺層3a、3b間のSi柱2の部分にチャネル領域7（特許請求の範囲の「チャネル半導体層」の一例である）となる。このチャネル領域7を囲むように第1のゲート絶縁層4a（特許請求の範囲の「第1のゲート絶縁層」の一例である）、第2のゲート絶縁層4b（特許請求の範囲の「第2のゲート絶縁層」の一例である）が形成されている。この第1のゲート絶縁層4a、第2のゲート絶縁層4bは、このソース、ドレインとなるN⁺層3a、3bに、それぞれ接するか、または近接している。この第1のゲート絶縁層4a、第2のゲート絶縁層4bを囲むように第1のゲート導体層5a（特許請求の範囲の「第1のゲート導体層」の一例である）、第2のゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例である）がそれぞれ形成されている。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6（特許請求の範囲の「第1の絶縁層」の一例である）により分離されている。そして、N⁺層3a、3b間の

チャネル領域 7 は、第 1 のゲート絶縁層 4 a で囲まれた第 1 のチャネル S i 層 7 a（特許請求の範囲の「第 1 のチャネル半導体層」の一例である）と、第 2 のゲート絶縁層 4 b で囲まれた第 2 のチャネル S i 層 7 b（特許請求の範囲の「第 2 のチャネル半導体層」の一例である）と、よりなる。これによりソース、ドレインとなる N⁺層 3 a、3 b、チャネル領域 7、第 1 のゲート絶縁層 4 a、第 2 のゲート絶縁層 4 b、第 1 のゲート導体層 5 a、第 2 のゲート導体層 5 b からなるダイナミック フラッシュ メモリセル 10 が形成される。そして、ソースとなる N⁺層 3 a はソース線 S L（特許請求の範囲の「ソース線」の一例である）に、ドレインとなる N⁺層 3 b はビット線 B L（特許請求の範囲の「ビット線」の一例である）に、第 1 のゲート導体層 5 a はプレート線 P L（特許請求の範囲の「第 1 の駆動制御線」の一例である）に、第 2 のゲート導体層 5 b はワード線 W L（特許請求の範囲の「ワード線」の一例である）に、それぞれ接続している。プレート線 P L が接続された、第 1 のゲート導体層 5 a のゲート容量は、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるような構造を有することが望ましい。

[0022] なお、図 1 では、プレート線 P L に接続された第 1 のゲート導体層 5 a のゲート容量が、ワード線 W L が接続された、第 2 のゲート導体層 5 b のゲート容量よりも、大きくなるように第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くしている。しかし、その他にも、第 1 のゲート導体層 5 a のゲート長を、第 2 のゲート導体層 5 b のゲート長よりも長くせずに、それぞれのゲート絶縁層の膜厚を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の膜厚を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の膜厚よりも薄くしてもよい。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第 1 のゲート絶縁層 4 a のゲート絶縁膜の誘電率を、第 2 のゲート絶縁層 4 b のゲート絶縁膜の誘電率よりも高くしてもよい。また、ゲート導体層 5 a、5 b の長さ、ゲート絶縁層 4 a、4 b の膜厚、誘電率のいずれかを組み合わせて、プレート線 P L に接続された第 1 のゲート導体層

5 a のゲート容量が、ワード線WLが接続された、第2のゲート導体層5 b のゲート容量よりも、大きくしてもよい。

[0023] 図2 (a) ~ (c) は、プレート線PLに接続された第1のゲート導体層5 a のゲート容量が、ワード線WLが接続された、第2のゲート導体層5 b のゲート容量よりも、大きくなるようにした場合の効果を説明する図である。

[0024] 図2 (a) は、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造図を主要部分のみを簡略化して示している。ダイナミック フラッシュ メモリセルには、ビット線BL、ワード線WL、プレート線PL、ソース線SLが接続されており、その電圧状態によって、チャネル領域7の電位状態が決まる。

[0025] 図2 (b) は、それぞれの容量関係を説明するための図である。チャネル領域7の容量 C_{FB} は、ワード線WLの接続されたゲート導体層5 b とチャネル領域7の間の容量 C_{WL} と、プレート線PLの接続されたゲート導体層5 a とチャネル領域7の間の容量 C_{PL} と、ソース線SLの接続されたソース N^+ 層3 a とチャネル領域7の間のPN接合の接合容量 C_{SL} と、ビット線BLの接続されたドレイン N^+ 層3 b とチャネル領域7の間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{PL} + C_{BL} + C_{SL} \quad (1)$$

で表される。

したがって、ワード線WLとチャネル領域7の間のカップリング率 β_{WL} 、プレート線PLとチャネル領域7の間のカップリング率 β_{PL} 、ビット線BLとチャネル領域7の間のカップリング率 β_{BL} 、ソース線SLとチャネル領域7の間のカップリング率 β_{SL} は、以下でそれぞれ表される。

$$\beta_{WL} = C_{WL} / (C_{WL} + C_{PL} + C_{BL} + C_{SL}) \quad (2)$$

$$\beta_{PL} = C_{PL} / (C_{WL} + C_{PL} + C_{BL} + C_{SL}) \quad (3)$$

$$\beta_{BL} = C_{BL} / (C_{WL} + C_{PL} + C_{BL} + C_{SL}) \quad (4)$$

$$\beta_{SL} = C_{SL} / (C_{WL} + C_{PL} + C_{BL} + C_{SL}) \quad (5)$$

ここで、 $C_{PL} > C_{WL}$ であるため、 $\beta_{PL} > \beta_{WL}$ となる。

[0026] 図2(c)は、ワード線WLの電圧 V_{WL} が、読出し動作と書込み動作で、上昇し、その後に下降する時のチャネル領域7の電圧 V_{FB} の変化を説明するための図である。ここで、ワード線WLの電圧 V_{WL} が、0Vから高電圧状態 V_{WLH} に上がった時に、チャネル領域7の電圧 V_{FB} が、低電圧状態 V_{FBL} から高電圧状態 V_{FBH} になるときの電位差 ΔV_{FB} は、以下となる。

$$\begin{aligned}\Delta V_{FB} &= V_{FBH} - V_{FBL} \\ &= \beta_{WL} \times V_{WLH} \quad (6)\end{aligned}$$

ワード線WLとチャネル領域7の間のカップリング率 β_{WL} が小さく、プレート線PLとチャネル領域7の間のカップリング率 β_{PL} が大きいいため、 ΔV_{FB} は、小さく、ワード線WLの電圧 V_{WL} が、読出し動作と書込み動作で、上下しても、チャネル領域7の電圧 V_{FB} は、殆ど変化しない。

[0027] 図3A(a)～(c)と図3Bに、本発明の第1実施形態に係るダイナミックフラッシュメモリセルのメモリ書込み動作（特許請求の範囲の「メモリ書込み動作」の一例である）を示す。図3A(a)に書込み動作のメカニズム、図3A(b)にビット線BL、ソース線SL、プレート線PL、ワード線WLと、フローティングボディFBとなっているチャネル領域7の動作波形を示す。時刻T0で、ダイナミックフラッシュメモリセルは、“0”消去状態にあり、チャネル領域7の電圧は、 V_{FB} “0”となっている。また、ビット線BL、ソース線SL、ワード線WLには、 V_{SS} が、プレート線PLには、 V_{PLL} が印加している。ここで、例えば、 V_{SS} は0Vで、 V_{PLL} は、2Vである。次に時刻T1～T2で、ビット線BLが V_{SS} から V_{BLH} へと上がると、例えば、 V_{SS} が0Vの場合、チャネル領域7の電圧は、ビット線BLとチャネル領域7との容量結合により、 V_{FB} “0” + $\beta_{BL} \times V_{BLH}$ となる。

[0028] 引き続き、図3A(a)と(b)を用いて、ダイナミックフラッシュメモリセルの書込み動作を説明する。時刻T3～T4で、ワード線WLが V_{SS} から V_{WLH} へと上がる。これにより、ワード線WLの接続された第2のゲート導体層5bがチャネル領域7を取り囲む第2のNチャネルMOSトランジス

タの“0”消去のしきい値電圧を $V_{t_{WL}}$ “0”とすると、ワード線WLの電圧上昇に伴い、 V_{ss} から $V_{t_{WL}}$ “0”までは、ワード線WLとチャネル領域7との第2の容量結合により、チャネル領域7の電圧は、 V_{FB} “0” $+\beta_{BL}\times V_{BLH}+\beta_{WL}\times V_{t_{WL}}$ “0”となる。ワード線WLの電圧が $V_{t_{WL}}$ “0”以上に上昇すると、第2のゲート導体層5bの内周のチャネル領域7に環状の反転層12bが形成され、ワード線WLとチャネル領域7との第2の容量結合を遮る。

[0029] 引き続き、図3A(a)と(b)を用いて、ダイナミックフラッシュメモリセルの書込み動作を説明する。時刻T3~T4で、プレート線PLの接続された第1のゲート導体層5aに、例えば、 $V_{PLL}=2V$ を固定入力し、ワード線WLの接続された第2のゲート導体層5bを、例えば、 $V_{WLH}=4V$ まで上げる。その結果、図3A(a)で示したように、プレート線PLの接続された第1のゲート導体層5aの内周のチャネル領域7に環状の反転層12aが形成され、その反転層12aには、ピンチオフ点13が存在する。この結果、第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタは線形領域で動作する。一方、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタは飽和領域で動作する。この結果、ワード線WLの接続された第2のゲート導体層5bの内周のチャネル領域7にピンチオフ点は存在せずにゲート導体層5bの内周全面に反転層12bが形成される。このワード線WLの接続された第2のゲート導体層5bの内周に全面に形成された反転層12bは、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタの実質的なドレインとして働く。この結果、直列接続された第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の第1の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース

側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3 aからビット線の接続されたN⁺層3 bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5 aと第2のゲート導体層5 bに流れるが、大半はビット線BLの接続されたN⁺層3 bに流れる（図示せず）。

[0030] そして、図3 A (c) に示すように、生成された正孔群9（特許請求の範囲の「正孔群」の一例である）は、チャネル領域7の多数キャリアであり、チャネル領域7を正バイアスに充電する。ソース線SLの接続されたN⁺層3 aは、0 Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3 aとチャネル領域7との間のPN接合のビルトイン電圧V_b（約0.7 V）まで充電される。チャネル領域7が正バイアスに充電されると、第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。

[0031] 引き続き、図3 A (b) を用いて、ダイナミック フラッシュ メモリセルの書込み動作を説明する。時刻T₆～T₇で、ワード線WLの電圧がV_{WLH}からV_{ss}に低下する。その際にワード線WLとチャネル領域7とは、第2の容量結合をするが、ワード線WLの電圧V_{WLH}が、チャネル領域7の電圧がV_bの時の、第2のNチャネルMOSトランジスタのしきい値電圧V_{t_{WL}} “1” 以下になるまでは、反転層12 bが、この第2の容量結合を遮る。したがって、ワード線WLとチャネル領域7との、実質的な容量結合は、ワード線WLがV_{t_{WL}} “1” 以下になり、V_{ss}まで下降する時のみである。この結果、チャネル領域7の電圧は、 $V_b - \beta_{WL} \times V_{t_{WL}} \text{ “1”}$ となる。ここで、V_{t_{WL}} “1” は、前記V_{t_{WL}} “0” よりも低く、 $\beta_{WL} \times V_{t_{WL}} \text{ “1”}$ は小さい。

[0032] 引き続き、図3 A (b) を用いて、ダイナミック フラッシュ メモリセルの書込み動作を説明する。時刻T₈～T₉で、ビット線BLが、V_{BLH}からV_{ss}へと低下する。ビット線BLとチャネル領域7とは、容量結合しているため、最終的にチャネル領域7の“1” 書込み電圧V_{FB} “1” は、以下のように

なる。

$$V_{FB} \text{ “1” } = V_b - \beta_{WL} \times V_{t_{WL}} \text{ “1” } - \beta_{BL} \times V_{BLH} \quad (7)$$

ここで、ビット線BLとチャネル領域7とのカップリング比 β_{BL} も小さい。これにより、図3Bに示すように、ワード線WLの接続された第2のチャネル領域7bの第2のNチャネルMOSトランジスタのしきい値電圧は、低くなる。このチャネル領域7の“1”書込み状態を第1のデータ保持電圧（特許請求の範囲の「第1のデータ保持電圧」の一例である）とする、メモリ書込み動作を行い、論理記憶データ“1”に割り当てる。

[0033] なお、書込み動作時に、第1の境界領域に替えて、第1の不純物層3aと第1のチャネル半導体層7aとのあいだの第2の境界領域、または、第2の不純物層3bと第2のチャネル半導体層7bとのあいだの第3の境界領域において、インパクトイオン化現象で、電子・正孔対を発生させ、発生した正孔群9でチャネル領域7を充電しても良い。

[0034] なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件と、フローティングボディの電位は、書込み動作を行うための一例であり、書込み動作ができる他の動作条件であってもよい。

[0035] 図4A～図4Eを用いて、メモリ消去動作（特許請求の範囲の「メモリ消去動作」の一例である）メカニズムを説明する。

[0036] 図4Aに、ページ消去動作を説明するためのメモリブロック回路図を示す。ここでは、3行×3列の計9個のメモリセル $CL_{11} \sim CL_{33}$ を示しているが、実際のメモリブロックは、この行列よりも大きい。メモリセルが行列状に配列されているときに、その配列の一方の方向を「行方向」（もしくは「行状」）、これに垂直な方向を「列方向」（もしくは「列状」）という。各メモリセルには、ソース線SL、ビット線 $BL_1 \sim BL_3$ 、プレート線 $PL_1 \sim PL_3$ 、ワード線 $WL_1 \sim WL_3$ が接続されている。例えば、このブロックにおいて、任意のページ（特許請求の範囲の「ページ」の一例である）のプレート線 PL_2 とワード線 WL_2 とが接続するメモリセル $CL_{21} \sim CL_{23}$ が選択され、ページ消去動作を行うことを想定する。

[0037] 図4B(a)～(d)と図4Cを用いて、ページ消去動作のメカニズムを説明する。ここで、 N^+ 層3a、3b間のチャネル領域7は、電氣的に基板から分離され、フローティングボディとなっている。図4B(a)は、消去動作の主要ノードのタイミング動作波形図を示している。図4B(a)において、 $T_0 \sim T_{12}$ は、消去動作開始から終了までの時刻を表している。図4B(b)に消去動作前の時刻 T_0 に、前のサイクルでインパクトイオン化により生成された正孔群9がチャネル領域7に蓄えられている状態を示す。そして、時刻 $T_1 \sim T_2$ において、ビット線 $BL_1 \sim BL_3$ とソース線 SL とが、それぞれ V_{ss} から V_{BLH} と V_{SLH} の高電圧状態になる。ここで、 V_{ss} は、例えば、0Vである。この動作は、次の期間時刻 $T_3 \sim T_4$ で、ページ消去動作で選択されたプレート線 PL_2 とワード線 WL_2 とが、それぞれ第1の電圧 V_{PL} から第2の電圧 V_{PLH} と、第3の電圧 V_{ss} から第4の電圧 V_{WLH} と高電圧状態になり、チャネル領域7にプレート線 PL_2 の接続された第1のゲート導体層5aの内周の反転層12aと、ワード線 WL_2 の接続された第2のゲート導体層5bの内周の反転層12bとを、形成させない。したがって、 V_{BLH} と V_{SLH} の電圧は、ワード線 WL_2 側の第2のNチャネルMOSトランジスタとプレート線 PL_2 側の第1のNチャネルMOSトランジスタのしきい値電圧を、それぞれ V_{tWL} と V_{tPL} とした場合、 $V_{BLH} > V_{WLH} + V_{tWL}$ 、 $V_{SLH} > V_{PLH} + V_{tPL}$ であることが望ましい。例えば、 V_{tWL} と V_{tPL} が0.5Vの場合、 V_{WLH} と V_{PLH} は、3Vに設定して、 V_{BLH} と V_{SLH} は、3.5V以上に設定すれば良い。

[0038] 引き続き、図4B(a)のページ消去動作メカニズムを説明する。第1の期間の時刻 $T_3 \sim T_4$ で、プレート線 PL_2 とワード線 WL_2 とが、第2の電圧 V_{PLH} と第4の電圧 V_{WLH} の高電圧状態になるのに伴い、フローティング状態のチャネル領域7の電圧が、プレート線 PL_2 とチャネル領域7との第1の容量結合と、ワード線 WL_2 とチャネル領域7との第2の容量結合とによって、押し上げられる。チャネル領域7の電圧は、“1”書込み状態の V_{FB} “1”から高電圧になる。これは、ビット線 $BL_1 \sim BL_3$ とソース線 SL の電圧が、 V_{BLH} と V_{SLH} と高電圧であるため、ソース N^+ 層3aとチャネル領域7との間のPN接

合と、ドレインN⁺層3 bとチャネル領域7との間のPN接合が逆バイアス状態であるため、昇圧することが可能である。

[0039] 引き続き、図4 B (a) のページ消去動作メカニズムを説明する。次の期間の時刻T 5～T 6で、ビット線BL₁～BL₃とソース線SLの電圧が、高電圧のV_{BLH}とV_{SLH}からV_{ss}へと低下する。この結果、ソースN⁺層3 aとチャネル領域7との間のPN接合と、ドレインN⁺層3 bとチャネル領域7との間のPN接合は、図4 B (c) に示すように、順バイアス状態となり、チャネル領域7の正孔群9のうちの残存正孔群は、ソースN⁺層3 aと、ドレインN⁺層3 bとに、排出する。その結果、チャネル領域7の電圧V_{FB}は、ソースN⁺層3 aとP層のチャネル領域7とが形成するPN接合と、ドレインN⁺層3 bとP層のチャネル領域7とが形成するPN接合のビルトイン電圧V_bとなる。

[0040] 引き続き、図4 B (a) のページ消去動作メカニズムを説明する。次に時刻T 7～T 8で、ビット線BL₁～BL₃とソース線SLの電圧が、V_{ss}から高電圧のV_{BLH}とV_{SLH}へと上昇する。この施策によって、図4 B (d) に示すように、時刻T 9～T 10で、プレート線PL₂とワード線WL₂を第2の電圧V_{PLH}と第4の電圧V_{WLH}からそれぞれ第1の電圧V_{PLL}と第3の電圧V_{ss}に下降する際に、チャネル領域7にプレート線PL₂側の反転層1 2 aとワード線WL₂側の反転層1 2 bを形成させずに、効率良く、チャネル領域7の電圧V_{FB}は、プレート線PL₂とチャネル領域7との第1の容量結合と、ワード線WL₂とチャネル領域7との第2の容量結合によって、V_bからV_{FB} “0” となる。したがって、“1” 書込み状態と“0” 消去状態のチャネル領域7の電圧差ΔV_{FB}は、以下の式で表される。

$$V_{FB} \text{ “1”} = V_b - \beta_{WL} \times V_{t_{WL}} \text{ “1”} - \beta_{BL} \times V_{BLH} \quad (7)$$

$$V_{FB} \text{ “0”} = V_b - \beta_{WL} \times V_{WLH} - \beta_{PL} \times (V_{PLH} - V_{PLL}) \quad (8)$$

$$\begin{aligned} \Delta V_{FB} &= V_{FB} \text{ “1”} - V_{FB} \text{ “0”} \\ &= \beta_{WL} \times V_{WLH} + \beta_{PL} \times (V_{PLH} - V_{PLL}) \\ &\quad - \beta_{WL} \times V_{t_{WL}} \text{ “1”} - \beta_{BL} \times V_{BLH} \end{aligned} \quad (9)$$

ここで、β_{WL}とβ_{PL}との和は、0.8以上あり、ΔV_{FB}は、大きくなり、十分に

マージンが取れる。

[0041] その結果、図4Cに示すように、“1”書込み状態と“0”消去状態とで、マージンを大きく取れる。ここで、“0”消去状態において、プレート線 PL_2 側のしきい値電圧は、基板バイアス効果により、高くなっている。したがって、プレート線 PL_2 の印加電圧を、例えば、そのしきい値電圧以下にすると、プレート線 PL_2 側の第1のNチャネルMOSトランジスタは、非導通となりメモリセル電流を流さない。図4Cの右側の「PL：非導通」は、その様子を示している。

[0042] 引き続き、図4B(a)のページ消去動作メカニズムを説明する。次に第4の期間の時刻 $T_{11} \sim T_{12}$ で、ビット線 $BL_1 \sim BL_3$ とソース線 SL の電圧が、 V_{BLH} から V_{SS} へ、 V_{SLH} から V_{SS} へとそれぞれ下降して、消去動作が終了する。その際、ビット線 $BL_1 \sim BL_3$ とソース線 SL とが、チャネル領域7の電圧を容量結合で若干引き下げるが、時刻 $T_7 \sim T_8$ にビット線 $BL_1 \sim BL_3$ とソース線 SL とが、チャネル領域7の電圧を容量結合で引き上げていた分と同等であるため、ビット線 $BL_1 \sim BL_3$ とソース線 SL の電圧の上げ下げは相殺され、結果的にチャネル領域7の電圧に影響を与えない。このチャネル領域7の“0”消去状態の電圧 V_{FB} “0”を第2のデータ保持電圧（特許請求の範囲の「第2のデータ保持電圧」の一例である）とする、ページ消去動作を行い、論理記憶データ“0”に割り当てる。

[0043] 次に図4D(a)～(d)を用いて、ページ消去動作のメカニズムを説明する。図4Dの図4Bとの違いは、ページ消去動作中は、ビット線 $BL_1 \sim BL_3$ は、 V_{SS} もしくは、フローティング状態とする点と、ワード線 WL_2 は、 V_{SS} に固定する点である。これにより、時刻 $T_1 \sim T_2$ で、ソース線 SL が V_{SS} から V_{SLH} に上がっても、ワード線 WL_2 の第2のNチャネルMOSトランジスタは、非導通となり、メモリセル電流は流れない。従って、インパクトイオン化現象による正孔群9の生成は無い。その他は、図4Bと同様にソース線 SL が V_{SS} と V_{SLH} との間を振幅し、プレート線 PL_2 は、 V_{PLL} と V_{PLH} との間を振幅する。その結果、図4D(c)に示すように正孔群9は、ソー

ス線SLの第1の不純物層N⁺層3aへ排出される。

[0044] 次に図4E(a)～(d)を用いて、ページ消去動作のメカニズムを説明する。図4Eの図4Bとの違いは、ページ消去動作中は、ソース線SLは、 V_{ss} もしくは、フローティング状態とする点と、プレート線PL₂は、 V_{ss} に固定する点である。これにより、時刻T1～T2で、ビット線BL₁～BL₃が V_{ss} から V_{BLH} に上がっても、プレート線PL₂の第1のNチャネルMOSトランジスタは、非導通となり、メモリセル電流は流れない。従って、インパクトイオン化現象による正孔群9の生成は無い。その他は、図4Bと同様にビット線BL₁～BL₃が V_{ss} と V_{BLH} との間を振幅し、ワード線WL₂は、 V_{ss} と V_{WLH} との間を振幅する。その結果、図4E(c)に示すように正孔群9は、ビット線BL₁～BL₃の第2の不純物層N⁺層3bへ排出される。

[0045] なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件と、フローティングボディの電位は、ページ消去動作を行うための一例であり、ページ消去動作ができる他の動作条件であってもよい。

[0046] 図5(a)～(c)は、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作を説明するための図である。図5(a)に示すように、チャネル領域7がビルトイン電圧V_b(約0.7V)まで充電されると、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。図5(b)に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“0”になっており、チャネル領域7の電圧V_{FB}はV_{FB}“0”となっている。書込み動作によってランダムに書込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。図5(c)に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0047] なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線P

Lに印加する電圧条件と、フローティングボディの電位は、読出し動作を行うための一例であり、読出し動作ができる他の動作条件であってもよい。

[0048] 図6A～図6Dを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルのページ加算読出し動作（特許請求の範囲の「ページ加算読出し動作」の一例である）を説明する。

[0049] 図6A(a)は、図3B、図4Cと図5(c)において説明した“1”書込み状態と“0”消去状態のセル電流と同様であるが、ワード線WLの電圧を高くしていくと、“1”書込み状態のセル電流が飽和する様子を示している。これは、“1”書込み状態のセル電流は、プレート線PLでも制御されているため、プレート線PLの電圧を固定すると、“1”書込み状態のセル電流は制限され、図6A(a)で示したように飽和する。

[0050] 図6A(b)は、「1」書込み状態のメモリセル（特許請求の範囲の「1」書込み状態のメモリセル」の一例である）が、ビット線で加算されている様子を示している。「1」書込み状態のメモリセルの個数によって、電流が増加し、それを基準電流（特許請求の範囲の「基準電流」の一例である）と比較する。例えば、基準電流は、“1”書込み状態のセル電流の飽和電流の2.5倍、1.5倍、0.5倍と大電流から小電流へ段階的に減少させていくと、「1」書込み状態のメモリセル電流の和は、“1” $\times 3 = 11$ （2ビットの2進数）、“1” $\times 2 = 10$ 、“1” $\times 1 = 01$ 、“1” $\times 0 = 00$ 、という4通りの「1」書込み状態のメモリセルの個数の場合を判定できる。

[0051] 図6Bの回路図を用いて、ページ加算読出し動作を説明する。ビット線BLは、複数個のメモリセルC1～CMが接続されており、スイッチ回路（特許請求の範囲の「スイッチ回路」の一例である）であるN型MOSトランジスタT4を介して、センスアンプ回路（特許請求の範囲の「センスアンプ回路」の一例である）SAに接続している。また、メモリセルC1～CMには、それぞれワード線WL1～WLM、プレート線PL1～PLMが接続している。ワード線WL1～WLM、プレート線PL1～PLMに接続する、そ

れぞれ1個のメモリセルC1～CMしか図示していないが、実際にはワード線WL1～WLM、プレート線PL1～PLMで選択される複数個のメモリセル群（特許請求の範囲の「メモリセル群」の一例である）があり、任意のワード線WL選択により、ページデータ（特許請求の範囲の「ページデータ」の一例である）がビット線BLに読み出される。

[0052] 図6Bの回路図において、センスアンプ回路SAは、強制反転型センスアンプ回路（特許請求の範囲の「強制反転型センスアンプ回路」の一例である）である。この強制反転型センスアンプ回路は、N型MOSトランジスタT1、T1A、T1B、P型MOSトランジスタT2、T2A、T2Bで構成されている。また、そのゲートに基準電流制御信号VREFが入力するN型MOSトランジスタT3が接点NBに接続され、基準電流（特許請求の範囲の「基準電流」の一例である）を流出し、接点NAから流出するメモリセル電流（特許請求の範囲の「メモリセル電流」の一例である）の和と、それぞれの電流の大きさを比較する。

[0053] 例えば、ビット線BLに加算される3個のメモリセルの内、“1”書込み状態のメモリセル数を判定する場合、図6A（b）に示すように「1」書込み状態のメモリセル数は、最大3個である。したがって、基準電流としては、「1」書込み状態のメモリセル数で2個分と3個分の中間の電流を最初の基準電流として、選択すれば良い。そして、もし、ノードNAが「ハイ」から「ロウ」に下がった場合には、ビット線BLで加算された3個のメモリセルは、全て「1」書込み状態のメモリセルであったことが分かる。この結果は、Nビットのラッチ回路（特許請求の範囲の「ラッチ回路」の一例である）Nb__LATに記憶される。

[0054] 次に、「1」書込み状態のメモリセル数で1個分と2個分の中間の電流を基準電流として選択する。この場合、ノードNAが「ハイ」から「ロウ」に下がった場合には、ビット線BLで加算された3個のメモリセルの内、2個は「1」書込み状態のメモリセルであったことが分かる。なお、同一ビット線BLにおいて、3個のメモリセル全てが「1」書込み状態のメモリセルで

あった場合は、既に上記のように判定済みであるため、強制反転型センスアンプ回路S AのノードN Aは「ロウ」状態を維持する。このように基準電流の値を大電流から小電流へと段階的に小さくすることによって、ビット線B Lに読み出された複数個のメモリセルの内、何個のメモリセルが「1」書き込み状態のメモリセルであったかが判定でき、その結果をラッチ回路N b__L A Tに記憶できる。

[0055] 図6 Bにおいて、N型MOSトランジスタT 6 AとT 6 Bを介して、ラッチ回路N b__L A Tの記憶データは、入出力線I Oと/I Oに読み出される。なお、P型MOSトランジスタT 5は、そのゲートにビット線プリチャージ信号が入力され、ビット線B Lを予備充電する。また、N型MOSトランジスタT 4には、トランスファー信号F Tが入力している。

[0056] 図6 Cと図6 Dを用いて、複数組のページデータがビット線B L 0～B L 2で加算される例を説明する。

[0057] 図6 Cにおいて、3行×4列のメモリセルC 0 0～C 3 2がブロックの一部を構成している。ここでは、3行×4列のメモリセルC 0 0～C 3 2を示すが、実際のブロックにおいては、3行×4列よりも大きな行列をメモリセルが構成している。そして、各メモリセルには、ワード線W L 0～W L 2、プレート線P L 0～P L 2、ソース線S L、ビット線B L 0～B L 3が接続されている。そのゲートにトランスファー信号F Tが入力するトランジスタT 4 0～T 4 3は、スイッチ回路を構成している。また、そのゲートをビット線プリチャージ信号F Pに接続するトランジスタT 5 0～T 5 3のドレインは、ビット線プリチャージ電圧V Pに、ソースは、各ビット線B L 0～B L 3に接続する。そして、各ビット線B L 0～B L 3は、スイッチ回路T 4 0～T 4 3を介して、強制反転型センスアンプ回路S A 0～S A 3に接続する。強制反転型センスアンプ回路S A 0～S A 3は、そのゲートをカラム選択線C S L 0～C S L 3に接続するトランジスタT 6 A 0～T 6 B 3を介して、1対の相補の入出力線I Oと/I Oに接続する。また、強制反転型センスアンプ回路S A 0～S A 3には、2ビットのラッチ回路2 b__L A T 0～

2b__LAT3が接続され、ビット線BL0～BL3で合算された「1」書込み状態のメモリセル数の強制反転型センスアンプ回路SA0～SA3による判定結果が記憶される。

[0058] 図6Dは、メモリセルC00～C32の内、ランダムに“1”書込みが行われ、そのチャネル半導体層7に正孔群9が蓄積されている様子を示している。図6Dにおいて、例えば、ワード線WL0に接続するメモリセル群C00～C30のうち「1」書込み状態のメモリセルは、C10であり、ワード線WL1に接続するメモリセル群C01～C31のうち「1」書込み状態のメモリセルは、C01、C11とC31であり、ワード線WL2に接続するメモリセル群C02～C32のうち「1」書込み状態のメモリセルは、C02とC12である場合を想定する。ここで、3本のワード線WL0～WL2を同時に多重選択する。なお、多重選択する方法は、ロウデコーダ回路にアドレスラッチ回路を設ければ容易に可能である（図示せず）。この結果、ビット線BL0～BL3には、それぞれ3個のメモリセルの電流が合算される。具体的には、ビット線BL0には、C00、C01とC02が読み出され、ビット線BL1には、C10、C11とC12が読み出され、ビット線BL2には、C20、C21とC22が読み出され、ビット線BL3には、C30、C31とC32が読み出される。

[0059] 図6Dにおいて、3組のページデータは、(C00=0、C10=1、C20=0、C30=0)、(C01=1、C11=1、C21=0、C31=1)、(C02=1、C12=1、C22=0、C32=0)である。したがって、ビット線BL0～BL3には、それぞれ「1」書込み状態のメモリセル数が合算される。具体的には、BL0には2個、BL1には3個、BL2には0個、BL3には1個となる。

[0060] そのビット線BL0～BL3の結果を強制反転型センスアンプ回路SA0～SA3で判定し、その結果は、2ビットのラッチ回路2b__LAT0～2b__LAT3に記憶される。この場合、2b__LAT0=10（2進数）、2b__LAT1=11、2b__LAT2=00、2b__LAT3=01とな

る。その結果は、MOSトランジスタT6A0～T6B3を介して、入出力線I0と/I0に読み出される。

[0061] このようにワード線WL0～WL2で多重選択されるメモリセル群のページデータが、ビット線BL0～BL3で合算され、強制反転型センスアンプ回路SA0～SA3を用いて、容易に「1」書込み状態のメモリセル数の個数が判定される。このように複数組のページデータをダイナミックフラッシュメモリ装置の外に読み出さずに、その合算データを計算することが出来る。この結果、大幅な消費電力の削減と、計算速度の著しい高速化を実現できる。したがって、AI分野において、最適なメモリ装置を提供できる。

[0062] なお、上記のページ加算読出し動作において、メモリセル電流の飽和領域を用いて説明して来たが、ワード線WLの電圧の低い線形領域のメモリセル電流を用いて、ページ加算読出し動作を行っても良い。その場合、基準電流もメモリセル電流に合わせて、制御する。

[0063] 図1において、Si柱2の水平断面形状は、円形状、楕円状、長方形状であっても、本実施形態で説明したダイナミックフラッシュメモリ動作ができる。また、同一チップ上に、円形状、楕円状、長方形状のダイナミックフラッシュメモリセルを混在させてもよい。

[0064] また、図1では、基板上に垂直方向に立ったSi柱2の側面全体を囲んだ第1のゲート絶縁層4a、第2のゲート絶縁層4bを設け、第1のゲート絶縁層4a、第2のゲート絶縁層4bの全体を囲んで第1のゲート導体層5a、第2のゲート導体層5bを有するSGTを例にダイナミックフラッシュメモリ素子を説明した。本実施形態の説明で示したように、本ダイナミックフラッシュメモリ素子は、インパクトイオン化現象により発生した正孔群9がチャネル領域7に保持される条件を満たす構造であればよい。このためには、チャネル領域7は基板1と分離されたフローティング・ボディ構造であればよい。これより、例えばSGTの1つであるGAA (Gate All Around : 例えば非特許文献10を参照) 技術、Nanosheet技術(例えば、非特許文献11を参照)を用いて、チャネル領域の半導体母体を基板1に対して水平に形

成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、SOI (Silicon On Insulator) を用いたデバイス構造（例えば、非特許文献7～10を参照）であってもよい。このデバイス構造ではチャンネル領域の底部がSOI基板の絶縁層に接しており、且つ他のチャンネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャンネル領域はフローティング・ボディ構造となる。このように、本実施形態が提供するダイナミック フラッシュ メモリ素子では、チャンネル領域がフローティング・ボディ構造である条件を満足すればよい。また、Finトランジスタ（例えば非特許文献13を参照）をSOI基板上に形成した構造であっても、チャンネル領域がフローティング・ボディ構造であれば、本ダイナミック・フラッシュ動作が出来る。

[0065] また、“1”書込みにおいて、ゲート誘起ドレインリーク (GIDL: Gate Induced Drain Leakage) 電流（例えば非特許文献14を参照）を用いて、電子・正孔対を発生させ、生成された正孔群でチャンネル領域7内を満たしてもよい。

[0066] また、本明細書及び図面の式(1)～(12)は、現象を定性的に説明するために用いた式であり、現象がそれらの式によって限定されるものではない。

[0067] なお、図3Aと図3Bの説明において、ワード線WL、ビット線BL、ソース線SLのリセット電圧を V_{ss} と記載しているが、それぞれを異なる電圧にしても良い。

[0068] また、図4A及びその説明において、ページ消去動作条件の一例を示した。これに対して、チャンネル領域7にある正孔群9を、 N^+ 層3a、 N^+ 層3bのいずれか、または両方から除去する状態が実現できれば、ソース線SL、プレート線PL、ビット線BL、ワード線WLに印加する電圧を変えてもよい。また、ページ消去動作において、選択されたページのソース線SLに電圧を印加し、ビット線BLはフローティング状態にしても良い。また、ページ消去動作において、選択されたページのビット線BLに電圧を印加し、ソー

ス線SLはフローティング状態にしても良い。

[0069] また、図1において、垂直方向において、第1の絶縁層である絶縁層6で囲まれた部分のチャネル領域7では、第1のチャネル領域7a、第2のチャネル領域7bの電位分布が繋がって形成されている。これにより、第1のチャネル領域7a、第2のチャネル領域7bのチャネル領域7が、垂直方向において、第1の絶縁層である絶縁層6で囲まれた領域で繋がっている。

[0070] なお、図1において、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5bの垂直方向の長さより更に長くし、 $C_{PL} > C_{WL}$ とすることが、望ましい。しかし、プレート線PLを付加することだけで、ワード線WLのチャネル領域7に対する、容量結合のカップリング比($C_{WL}/(C_{PL} + C_{WL} + C_{BL} + C_{SL})$)が小さくなる。その結果、フローティングボディのチャネル領域7の電位変動 ΔV_{FB} は、小さくなる。

[0071] また、プレート線PLの電圧 V_{PLL} は、例えば、1V程度の固定電圧を印加しても良い。

[0072] なお、本明細書及び特許請求の範囲において「ゲート絶縁層やゲート導体層等がチャネル等を覆う」と言った場合の「覆う」の意味として、SGTやGAAのように全体を囲む場合、Finトランジスタのように一部を残して囲む場合、さらにプレナー型トランジスタのように平面的なものの上に重なるような場合も含む。

[0073] 図1においては、第1のゲート導体層5aは、第1のゲート絶縁層4aの全体を囲んでいる。これに対して、第1のゲート導体層5aは、平面視において、第1のゲート絶縁層4aの一部を囲んでいる構造としてもよい。この第1のゲート導体層5aを少なくとも2つのゲート導体層に分割して、プレート線PL電極として、動作させても良い。同様に、第2のゲート導体層5bを2つ以上に分割して、それぞれをワード線の導体電極として、同期または非同期で動作させてもよい。これにより、ダイナミックフラッシュメモリ動作を行うことができる。

[0074] 図6A～図6Dにおいては、1個の半導体母体から成る1ビットのダイナミックフラッシュメモリセルのページ加算読出し動作を説明したが、“1”と“0”相補のデータを記憶する2個の半導体母体から成る1ビットの高速ダイナミックフラッシュメモリセルの各動作モードに関しても本発明は有効である。

[0075] 本実施形態は、下記の特徴を供する。

(特徴1)

本実施形態のダイナミックフラッシュメモリセルでは、ソース、ドレインとなるN⁺層3a、3b、チャネル領域7、第1のゲート絶縁層4a、第2のゲート絶縁層4b、第1のゲート導体層5a、第2のゲート導体層5bが、全体として柱状に形成される。また、ソースとなるN⁺層3aはソース線SLに、ドレインとなるN⁺層3bはビット線BLに、第1のゲート導体層5aはプレート線PLに、第2のゲート導体層5bはワード線WLに、それぞれ接続している。プレート線PLが接続された、第1のゲート導体層5aのゲート容量は、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるような構造を特徴としている。本ダイナミックフラッシュメモリセルでは、垂直方向に第1のゲート導体層と、第2のゲート導体層が、積層されている。このため、プレート線PLが接続された、第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるような構造にしても、平面視において、メモリセル面積を大きくさせない。これによりダイナミックフラッシュメモリセルの高性能化と高集積化が同時に実現できる。

[0076] (特徴2)

本発明の第1実施形態に係るダイナミックフラッシュメモリセルのページ加算読出し動作により、複数組のページデータをダイナミックフラッシュメモリ装置の外に読み出さずに、その合算データを計算することが出来る。この結果、大幅な消費電力の削減と、計算速度の著しい高速化を実現できる。すなわち、メモリ装置内で演算を行うCIM (Computation-In Memory) 技

術開発に対して、多大な貢献が可能である。このようにAI分野において、最適なメモリ装置を提供でき、システム的な自由度が大幅に拡大し、システムの高速化が達成できる。

[0077] (特徴3)

本発明の第1実施形態に係るダイナミックフラッシュメモリセルのプレート線PLの接続する第1のゲート導体層5aの役割に注目すると、ダイナミックフラッシュメモリセルが書込み、読出し動作をする際に、ワード線WLの電圧が上下に振幅する。この際に、プレート線PLは、ワード線WLとチャンネル領域7との間の容量結合比を低減させる役目を担う。この結果、ワード線WLの電圧が上下に振幅する際の、チャンネル領域7の電圧変化の影響を著しく抑えることができる。これにより、論理“0”と“1”を示すワード線WLのSGTトランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミックフラッシュメモリセルの動作マージンの拡大に繋がる。

[0078] (特徴4)

図6A～6Dにおいて、プレート線PLを例えば、メモリセルC00～C32のブロックで共通にしても良い。その結果、よりプロセスと回路が簡便になるだけでなく、より高速化が実現できる。

[0079] (その他の実施形態)

なお、本発明では、Si柱を形成したが、Si以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0080] また、縦型NAND型フラッシュメモリ回路では、半導体柱をチャンネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、1つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役

割を行う。このように、縦型NAND型フラッシュメモリ回路はSGT回路の1つである。従って、本発明はNAND型フラッシュメモリ回路との混在回路に対しても適用することができる。

[0081] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0082] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のSGTを用いたメモリ装置であるダイナミックフラッシュメモリが得られる。

符号の説明

[0083] 10：ダイナミックフラッシュメモリセル
2：P型又はi型（真性型）の導電型を有するSi柱
3a、3b：N⁺層
7：チャネル領域
4a、4b：ゲート絶縁層
5a、5b：ゲート導体層
6：2層のゲート導体層を分離するための絶縁層
BL：ビット線
SL：ソース線
PL：プレート線
WL：ワード線
FB：フローティングボディ
CL₁₁～CL₃₃：メモリセル
SL：ソース線

BL₁～BL₃、BL : ビット線
PL₁～PL₃、PL : プレート線
WL₁～WL₃、WL : ワード線
C00～C32 : メモリセル
SL : ソース線
BL0～BL3 : ビット線
PL0～PL2 : プレート線
WL0～WL2 : ワード線
SA0～SA3 : 強制反転型センスアンプ回路
T1～T6B : MOSトランジスタ
Nb__LAT : Nビットのラッチ回路
2b__LAT0～2b__LAT3 : 2ビットのラッチ回路
IO、／IO : 入出力線
CSL、CSL0～CSL3 : カラム選択線
110 : キャパシタを有しない、DRAMメモリセル
100 : SOI基板
101 : SOI基板のSiO₂膜
102 : フローティングボディ (Floating Body)
103 : ソースN⁺層
104 : ドレインN⁺層
105 : ゲート導電層
106 : 正孔
107 : 反転層、電子のチャネル
108 : ピンチオフ点
109 : ゲート酸化膜

請求の範囲

- [請求項1] 基板上に行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、
- 前記各ページに含まれる各メモリセルは、
- 基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、
- 前記半導体母体の両端にある第1の不純物層と、第2の不純物層と、
- 、
- 前記第1の不純物層と前記第2の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第1の不純物層に接するか、または、近接した第1のゲート絶縁層と、
- 前記半導体母体の側面を囲み、前記第1のゲート絶縁層に繋がり、且つ前記第2の不純物層に接するか、または、近接した第2のゲート絶縁層と、
- 前記第1のゲート絶縁層の一部または全体を覆う第1のゲート導体層と、
- 前記第2のゲート絶縁層を覆う第2のゲート導体層と、
- 前記半導体母体が前記第1のゲート絶縁層と、前記第2のゲート絶縁層とで覆われたチャネル半導体層とを、有し、
- 前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記チャネル半導体層の内部に、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により形成した正孔群を保持し、
- ページ書込み動作時には、前記チャネル半導体層の電圧を、前記第1の不純物層及び前記第2の不純物層の一方もしくは両方の電圧より高い、第1のデータ保持電圧とし、
- ページ消去動作時には、前記第1の不純物層と、前記第2の不純物層と、前記第1のゲート導体層と、前記第2のゲート導体層とに印加

する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、前記正孔群を抜きとり、前記チャネル半導体層の電圧を、前記第1のデータ保持電圧よりも低い、第2のデータ保持電圧とし、

前記メモリセルの前記第1の不純物層は、ソース線と接続し、前記第2の不純物層は、ビット線と接続し、前記第1のゲート導体層と前記第2のゲート導体層のうちの一方はワード線と接続し、他方は第1の駆動制御線と接続し、

前記ビット線は、スイッチ回路を介してセンスアンプ回路に接続し、

ページ読出し動作時には、前記ワード線で選択するメモリセル群のページデータを前記センスアンプ回路に読出し、

ページ加算読出し動作時には、少なくとも2本の前記ワード線が多重選択する少なくとも2個の前記ページデータは、前記ビット線で加算され、前記センスアンプ回路に読み出される、

ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2]

前記センスアンプ回路は、強制反転型センスアンプ回路であり、前記ビット線で加算されるメモリセル電流の和が基準電流よりも大きい場合に前記強制反転型センスアンプ回路は反転する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項3]

前記ページ加算読出し動作時には、正の整数であるN個の前記メモリセル電流の和は、前記メモリセル電流のN倍よりも小さい前記基準電流により、前記強制反転型センスアンプ回路により、読み出される、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置。

[請求項4]

前記基準電流は、大電流から小電流への段階的に減少させて、前記

メモリセル電流の和は、前記強制反転型センスアンプ回路により、読み出される、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置

。

[請求項5] 前記ページ加算読出し動作時に少なくとも2本の前記ワード線が多重選択する少なくとも2個の前記ページデータは、前記ビット線で加算され、前記センスアンプ回路に読み出され、正の整数である n ビットのラッチ回路に「1」書込み状態のメモリセル数の和が記憶される、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項6] 前記第1のゲート導体層と前記チャネル半導体層との間の第1のゲート容量が、前記第2のゲート導体層と前記チャネル半導体層との間の第2のゲート容量よりも大きい、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

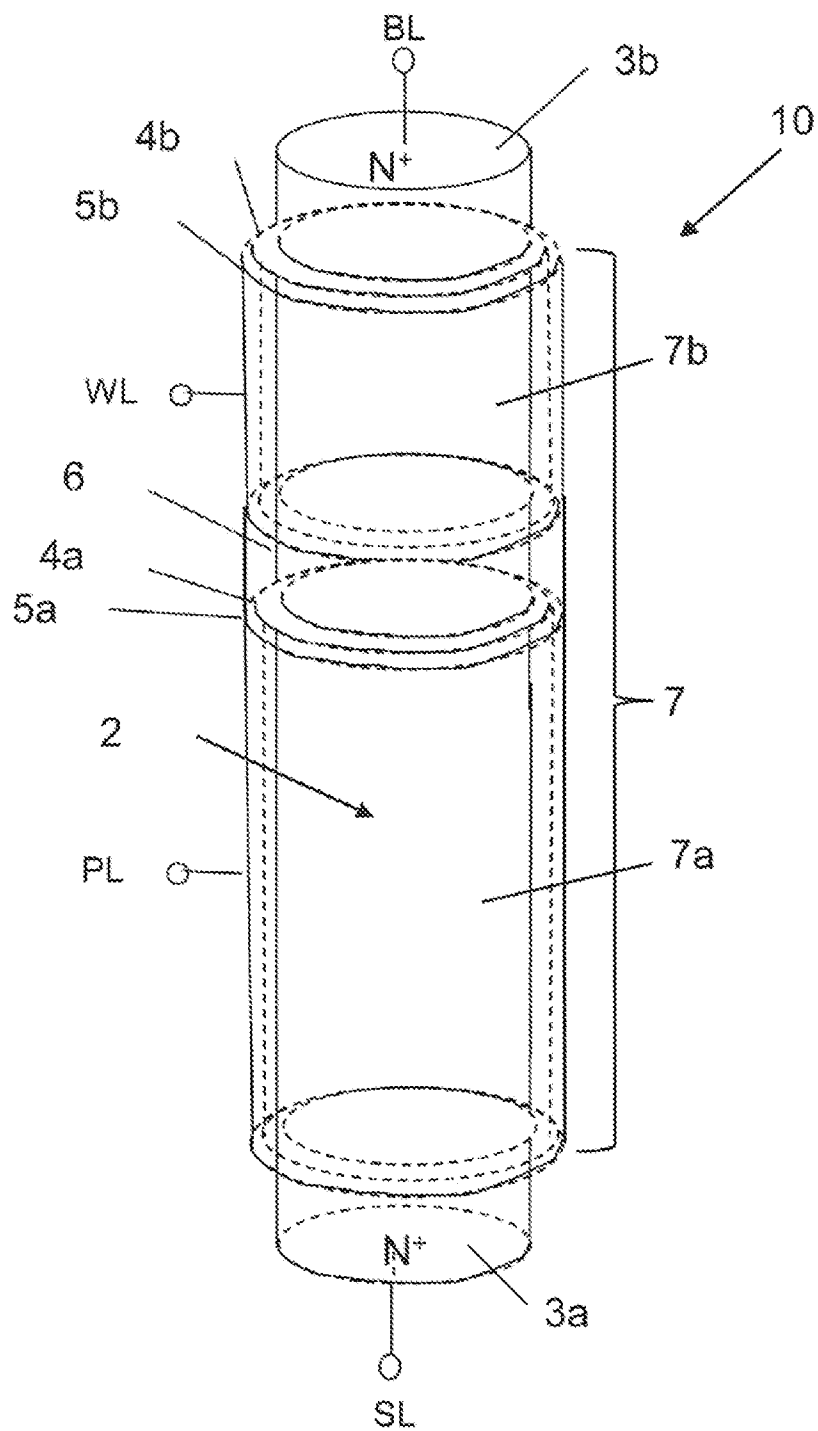
。

[請求項7] 前記半導体母体の軸方向から見たときに、前記第1のゲート導体層が、前記第1のゲート絶縁層を囲んで少なくとも2つの導体層に分離している、

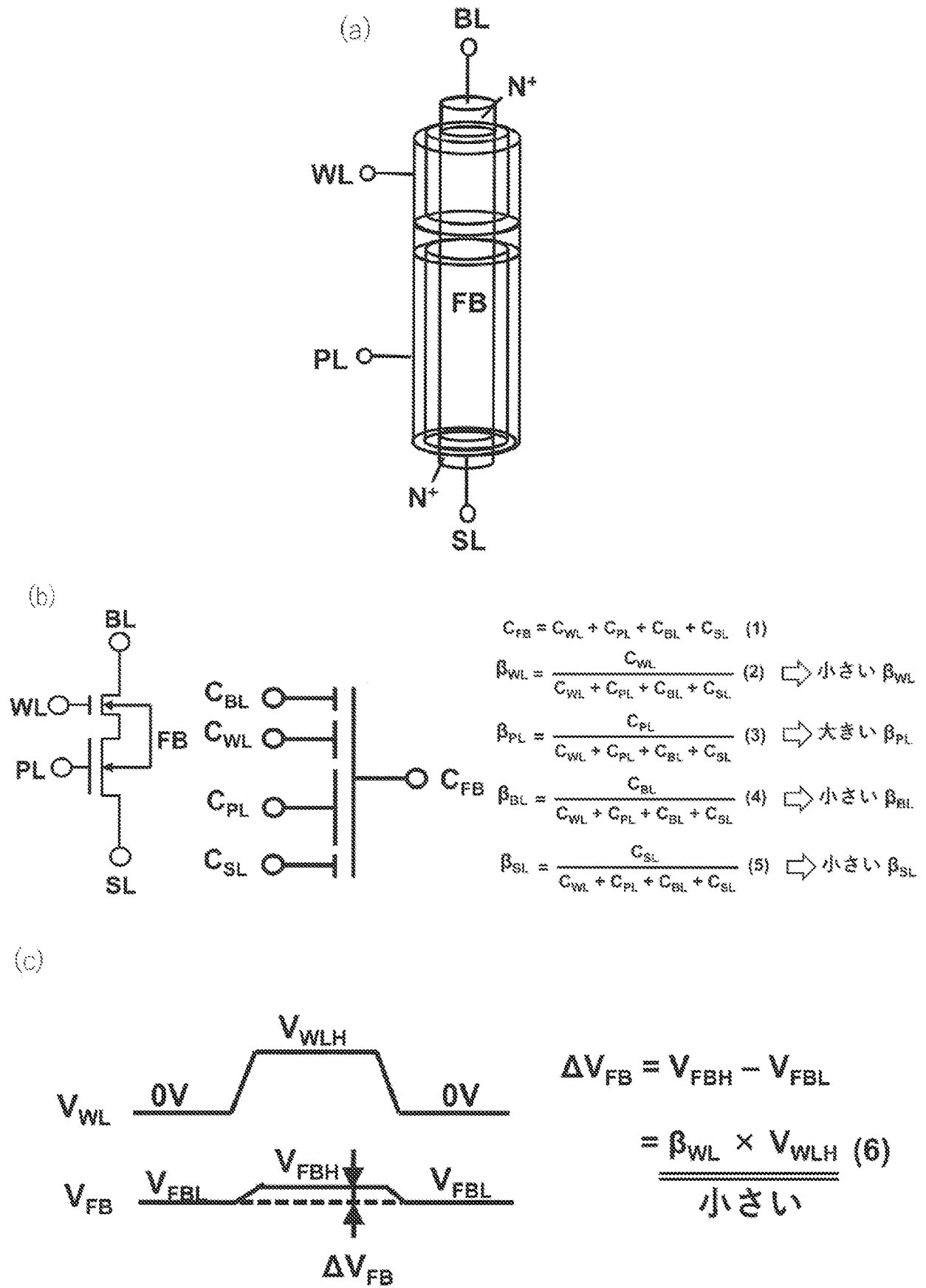
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[図1]

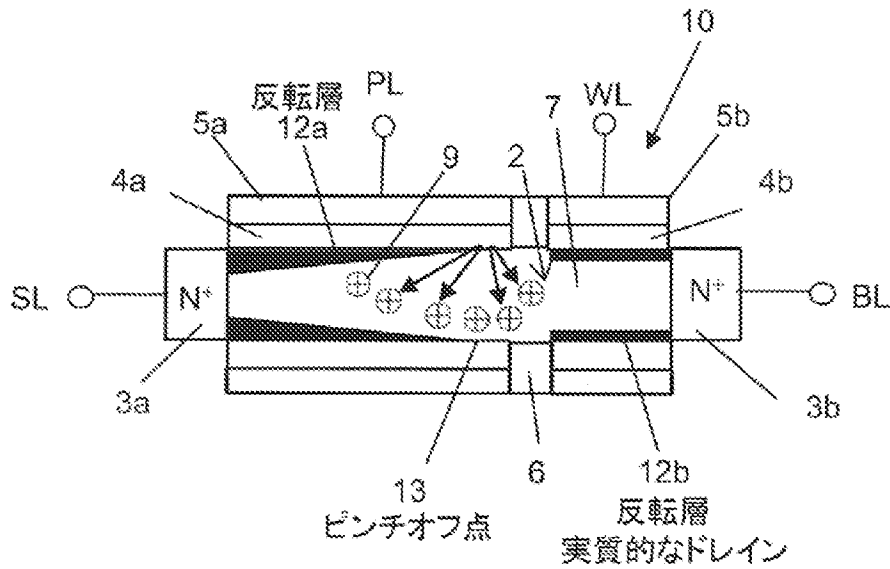


[図2]

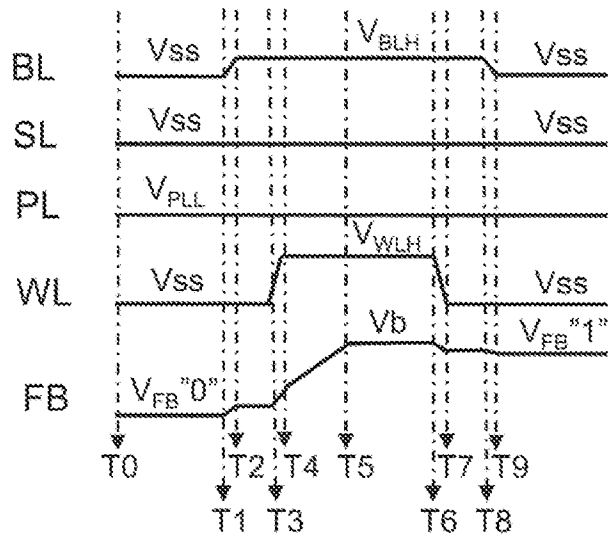


[図3A]

(a) “1” ページ書き込み動作
ソース側インパクトイオン化



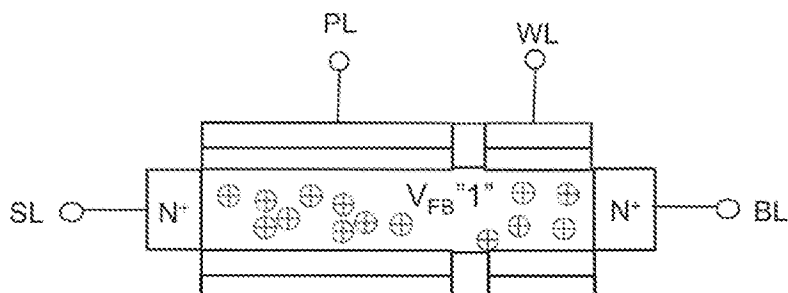
(b)



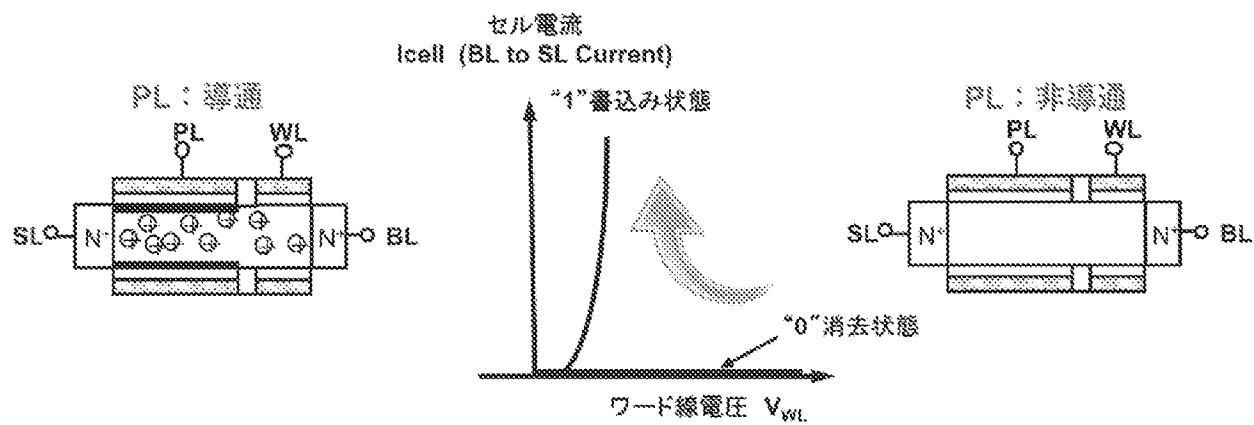
$$V_{FB} "1" = Vb - \beta_{WL} \times V_{t_{WL}} "1" - \beta_{BL} \times V_{BLH} \quad (7)$$

小さい

(c) “1” 書き込み状態

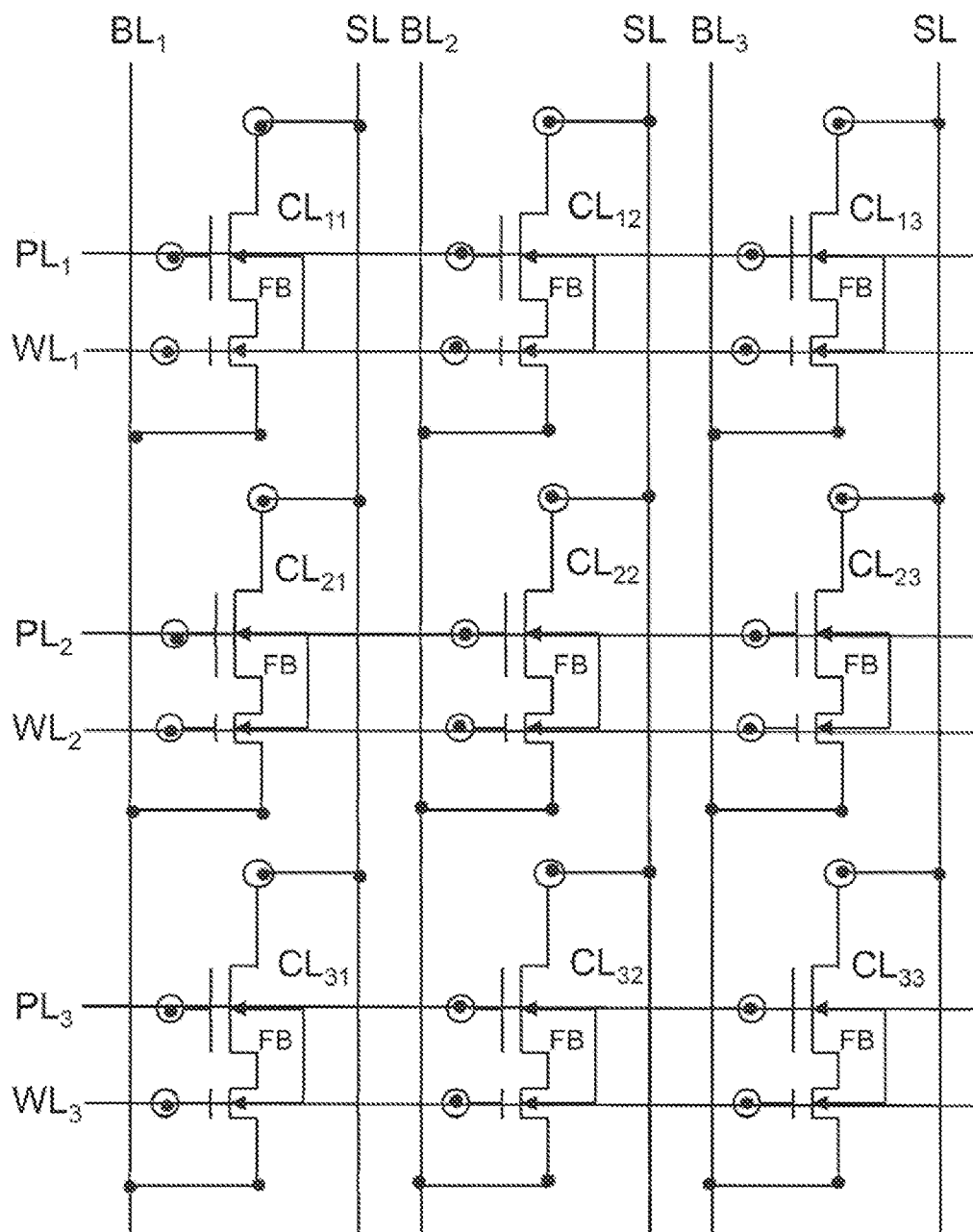


[図3B]

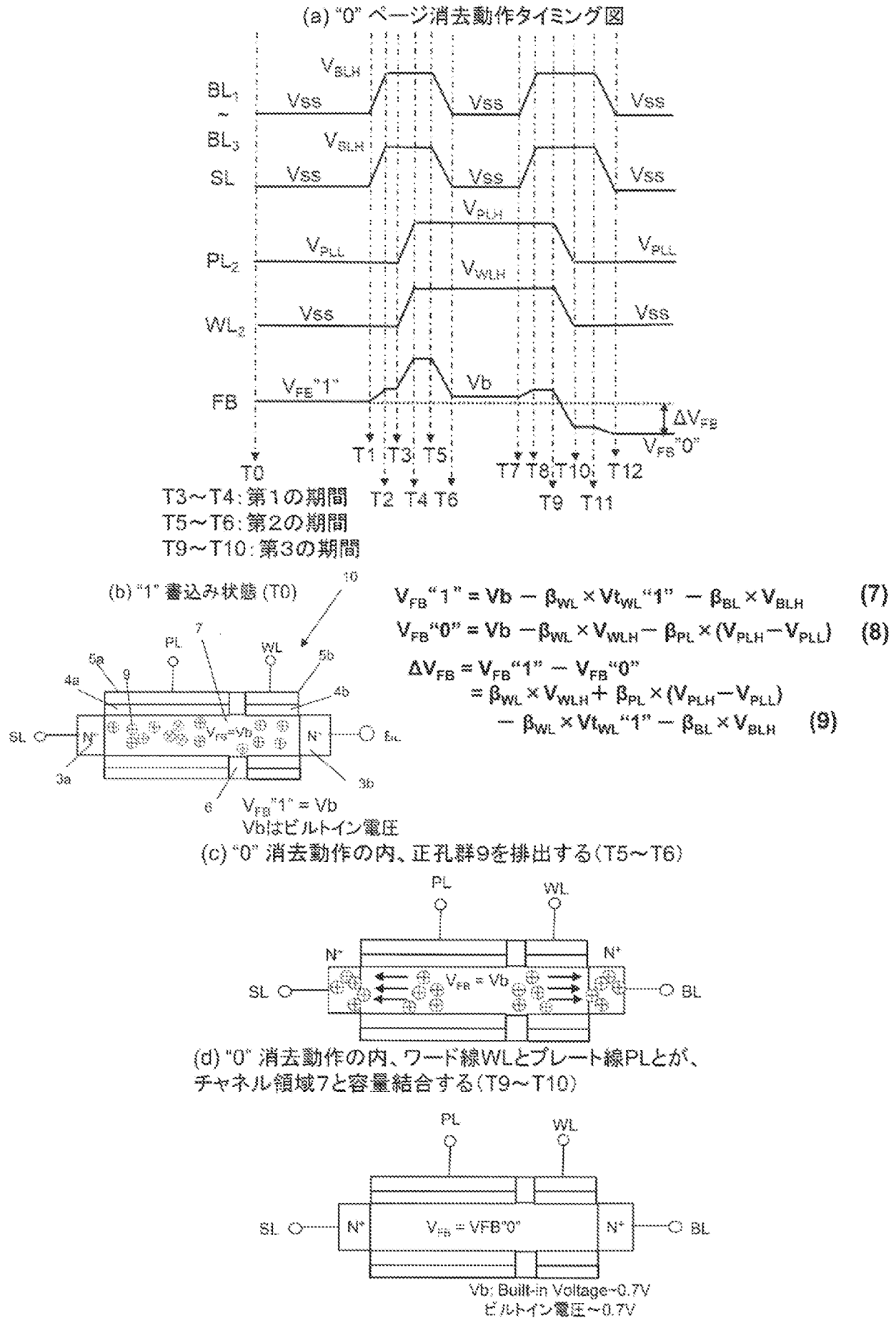


[図4A]

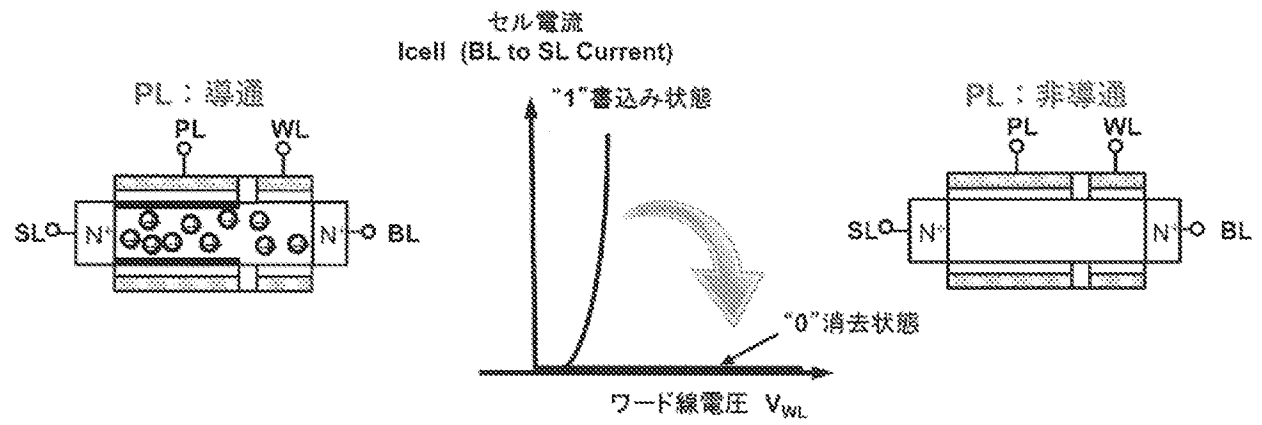
ページ消去 Page Erase



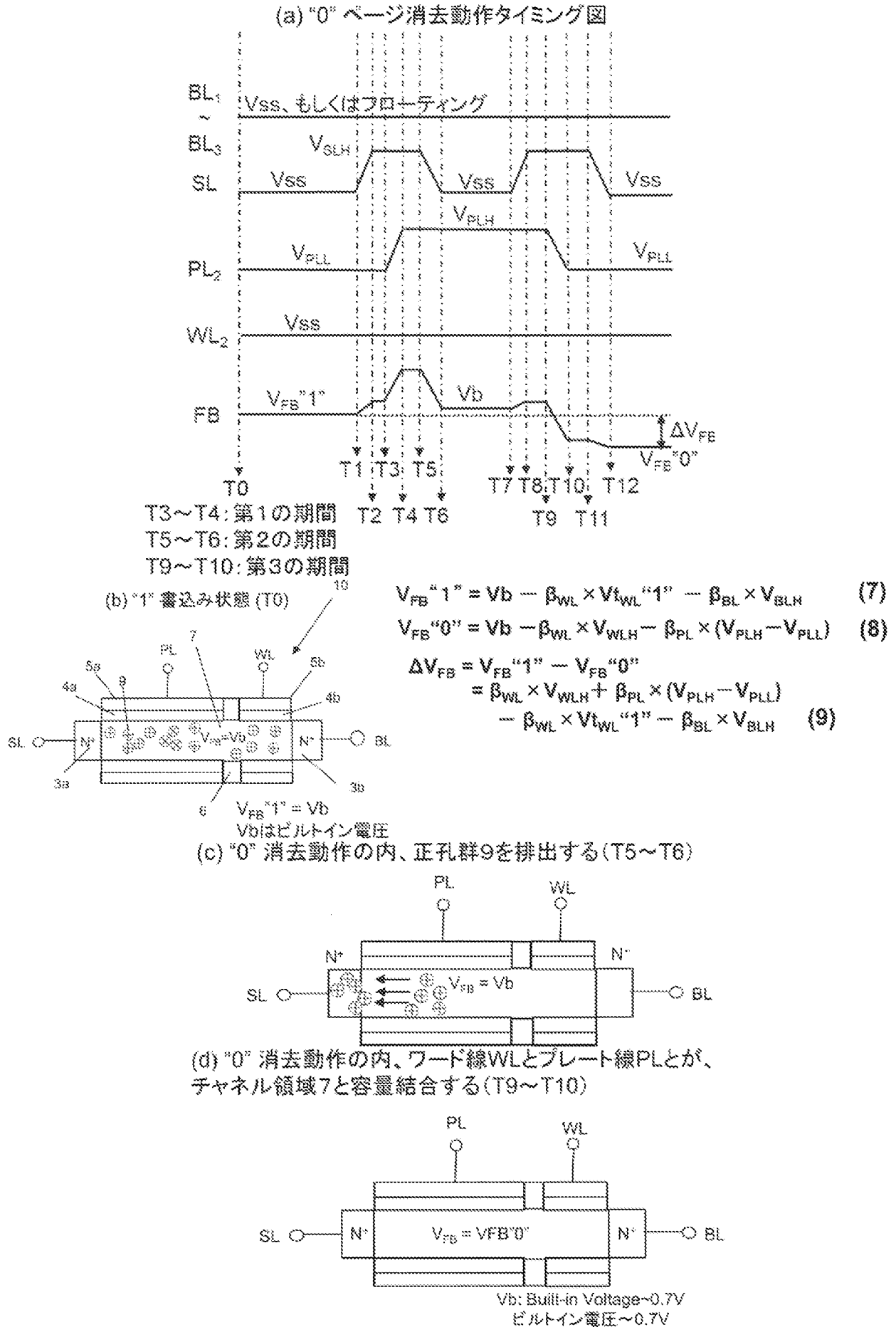
[図4B]



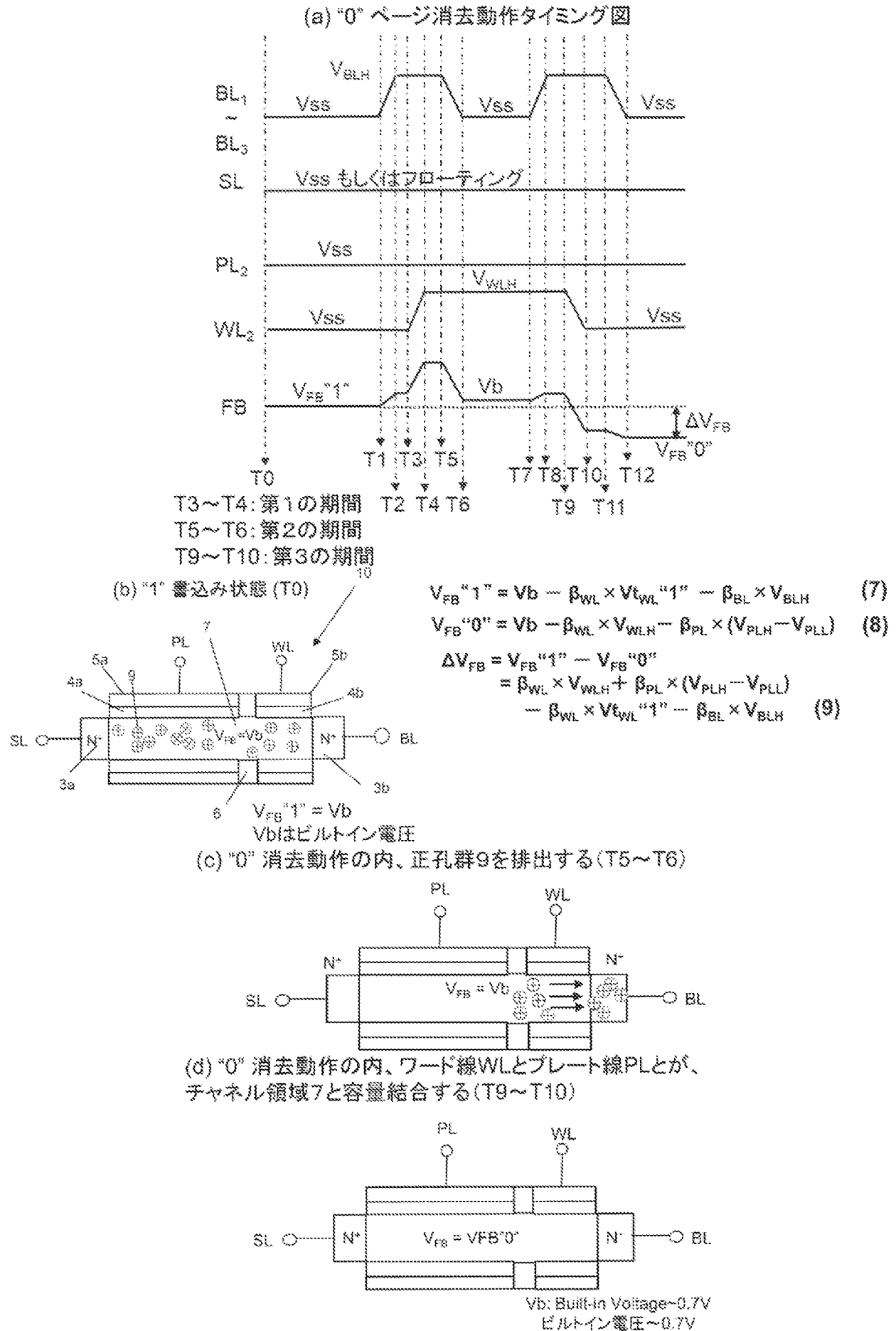
[図4C]



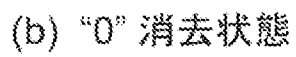
[図4D]



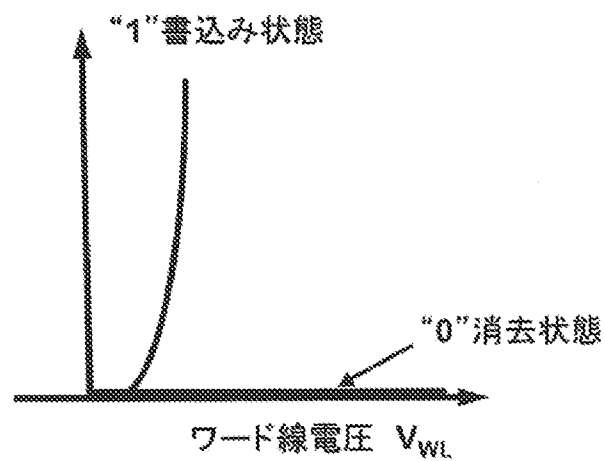
[図4E]



(a) “1” 書込み状態

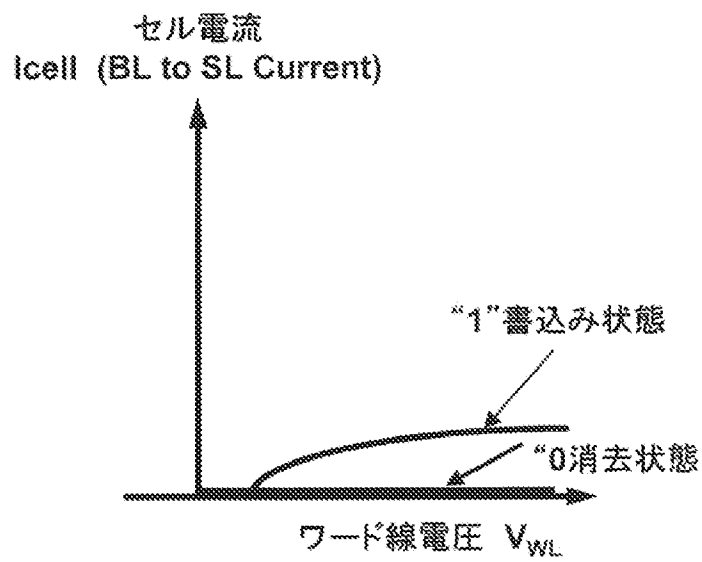


セル電流
Icell (BL to SL Current)

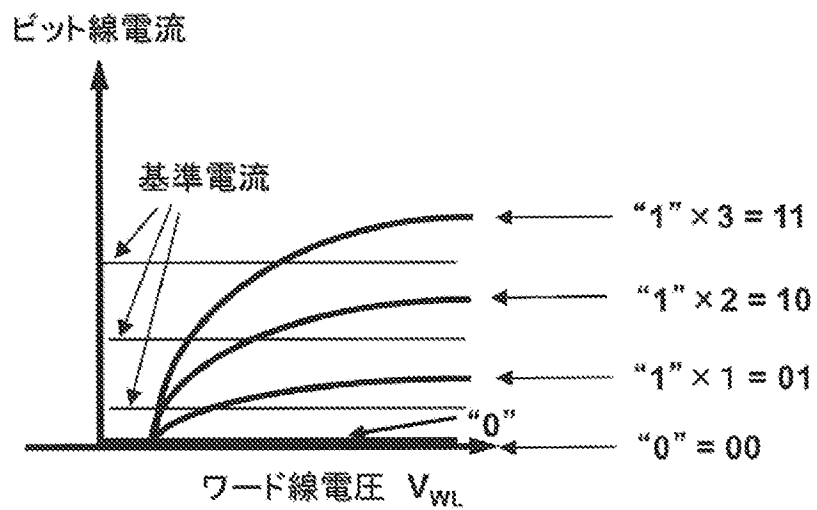


[図6A]

(a)

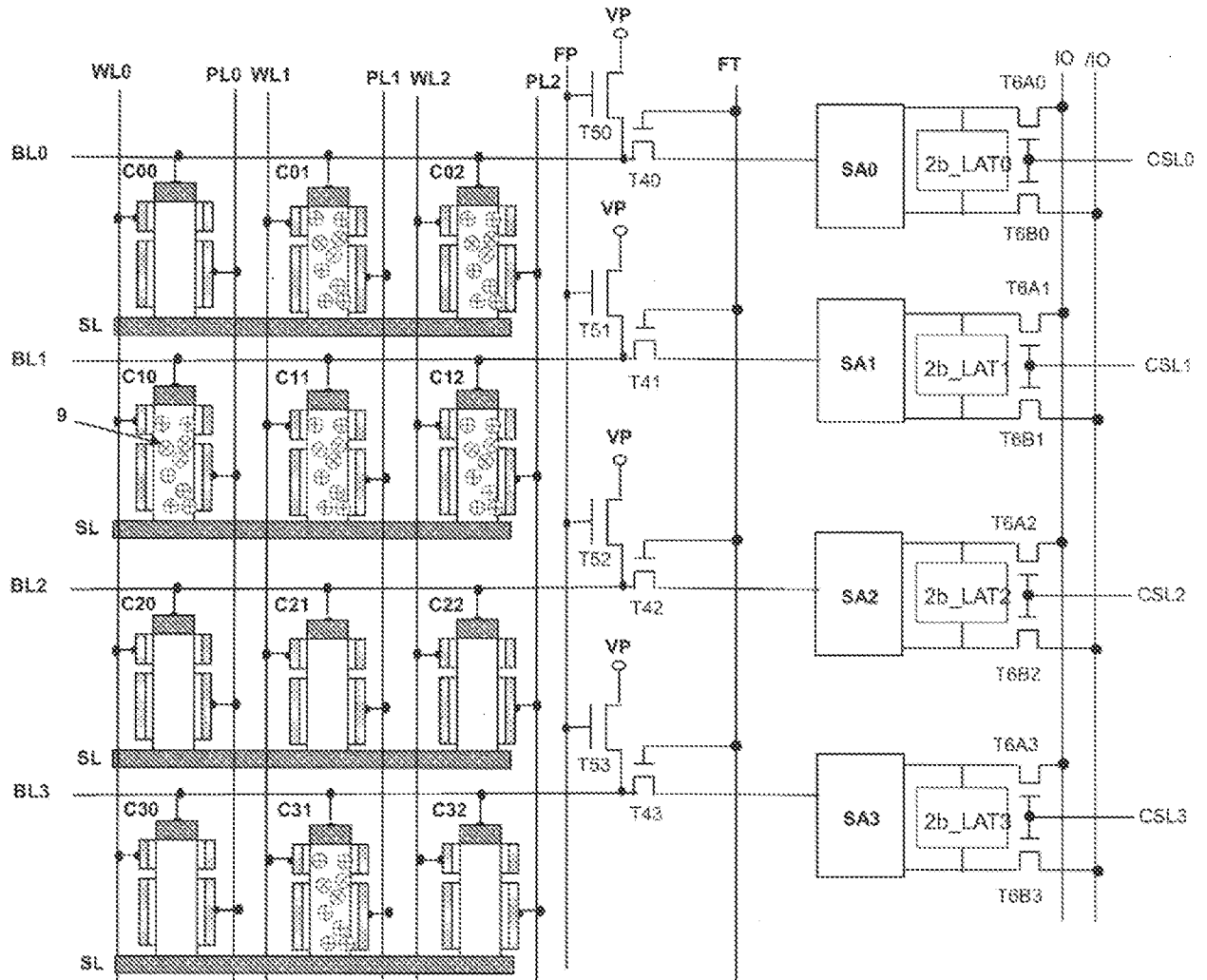


(b)

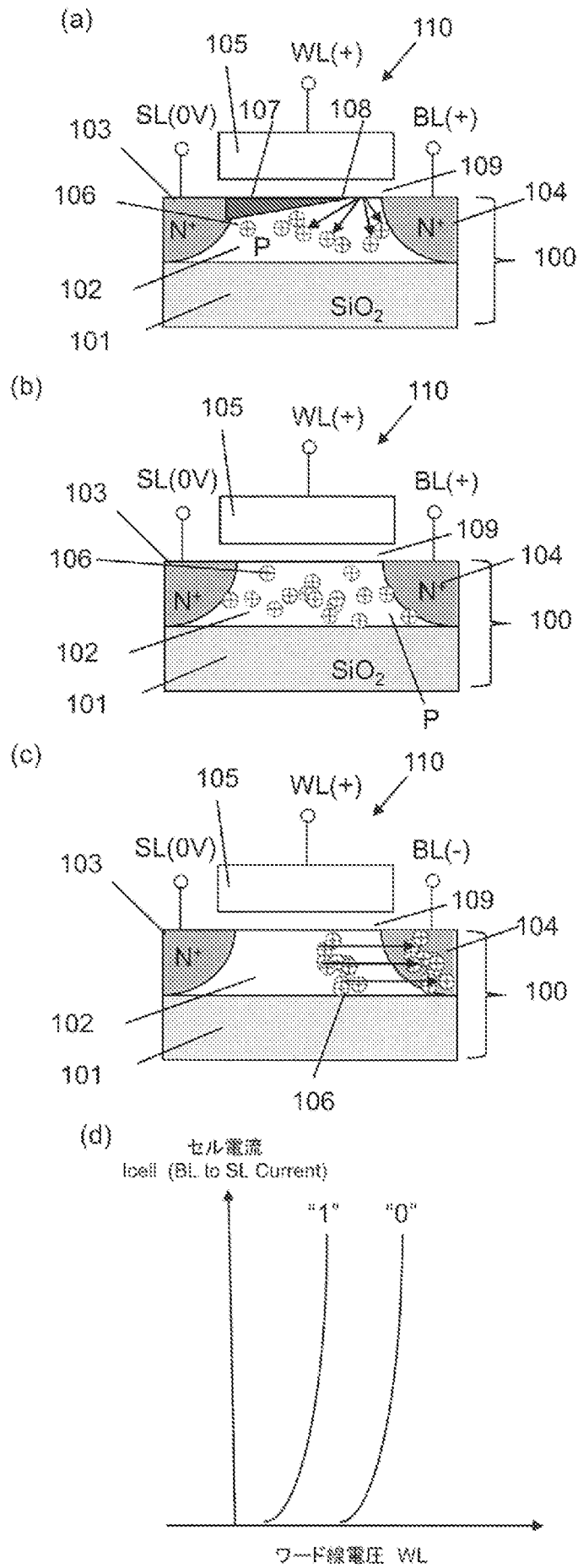


The diagram illustrates a memory array and its peripheral circuitry. The array is organized into a 4x4 grid of memory cells. Each cell is connected to a word line (WL0-WL3) and a bit line (BL0-BL3). The cells contain storage capacitors (C00-C32) and access transistors. The peripheral circuitry includes sense amplifiers (SA0-SA3), 2b_LATs, and output drivers (T6A0-T6B3) connected to a data bus (ID, AO) and control signals (CSL0-CSL3). The diagram also shows various control signals (VP, FT, FP, PL0, PL1, PL2) and transistors (T50-T53, T40-T43, T6A0-T6B3) involved in the memory access and output stages.

[図6D]

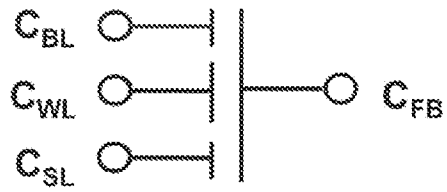


[図7]



[図8]

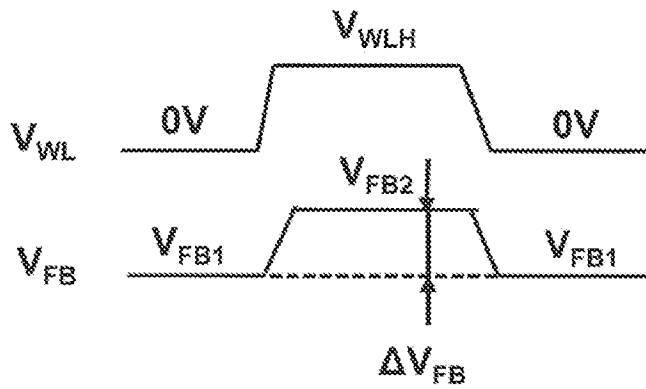
(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (10)$$

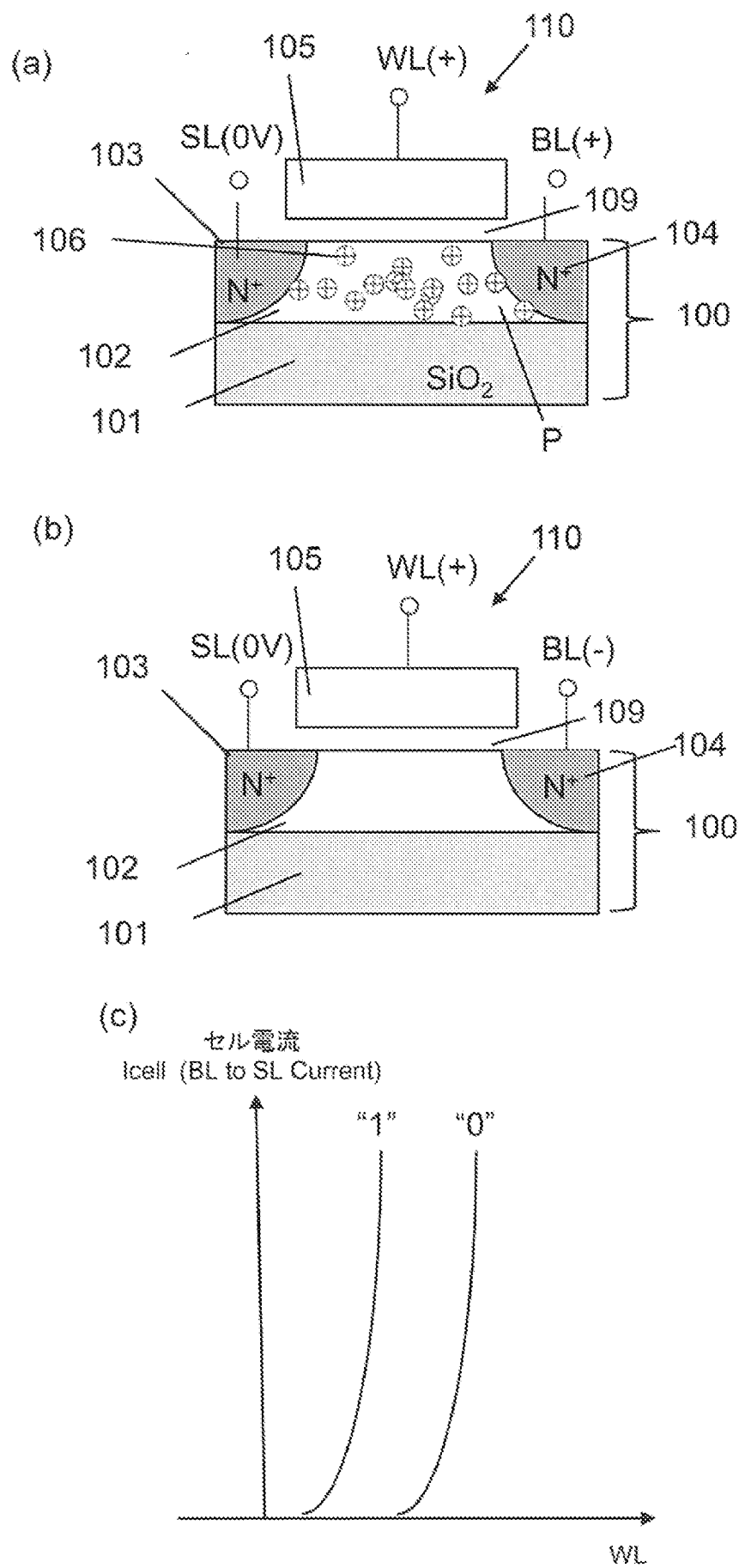
$$\beta_{WL} = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad (11)$$

(b)



$$\begin{aligned} \Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= \beta_{WL} \times V_{WLH} \end{aligned} \quad (12)$$

[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/018239

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C16/04(2006.01)i, G06F12/00(2006.01)i, G11C11/401(2006.01)i, H01L21/8242(2006.01)i, H01L27/10(2006.01)i, H01L27/108(2006.01)i
FI: G11C16/04, G11C11/401, G06F12/00560F, H01L27/10451, H01L27/108321
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C16/04, G06F12/00, G11C11/401, H01L21/8242, H01L27/10, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORP.) 18 September 2008 (2008-09-18), paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-7
A	JP 2006-80280 A (TOSHIBA CORP.) 23 March 2006 (2006-03-23), paragraphs [0028]-[0065], fig. 2-5	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
22 June 2021

Date of mailing of the international search report
29 June 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/018239

JP 2008-218556 A	18 September 2008	US 2008/0212366 A1 paragraphs [0042]-[0044], [0048], [0049], fig. 1, 5, 6 KR 10-2008-0080449 A
JP 2006-80280 A	23 March 2006	US 2006/0049444 A1 paragraphs [0158]-[0196], fig. 2-5

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 16/04(2006.01)i; G06F 12/00(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i FI: G11C16/04; G11C11/401; G06F12/00 560F; H01L27/10 451; H01L27/108 321		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C16/04; G06F12/00; G11C11/401; H01L21/8242; H01L27/10; H01L27/108		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-218556 A（株式会社東芝）18.09.2008（2008-09-18） 段落[0026]-[0028], [0032], [0033], 図1, 5, 6	1-7
A	JP 2006-80280 A（株式会社東芝）23.03.2006（2006-03-23） 段落[0028]-[0065], 図2-5	1-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.06.2021	国際調査報告の発送日 29.06.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/018239

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-218556	A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044], [0048], [0049], 図1, 5, 6 KR 10-2008-0080449 A	
JP	2006-80280	A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	