

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 19 年 3 月 22 日 (2007.3.22)

【公開番号】特開 2004-362756 (P2004-362756A)

【公開日】平成 16 年 12 月 24 日 (2004.12.24)

【年通号数】公開・登録公報 2004-050

【出願番号】特願 2004-161460 (P2004-161460)

【国際特許分類】

**G 1 1 C 11/407 (2006.01)**

**G 1 1 C 11/409 (2006.01)**

【F I】

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 5 4 P

【手続補正書】

【提出日】平成 19 年 1 月 31 日 (2007.1.31)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のメモリセルを含むメモリセルアレイと、

外部ターミナルから  $2N$  個のデータビットを直列に受信する書込みデータ経路と、を具備し、

前記書込みデータ経路は、

$2N$  個の書込みデータバッファと、

$2N$  個のスイッチと、

$N$  個のデータビットを並列に前記メモリセルアレイに書き込むために前記  $2N$  個のスイッチのうち少なくとも  $N$  個のスイッチと連結される  $N$  個のデータラインと、

を具備することを特徴とする集積回路装置。

【請求項 2】

前記書込みデータ経路は、

前記外部ターミナルと連結される第 1 及び第 2 直列 - 並列変換部と、

$N$  個の第 1 グローバルデータラインと  $N$  個の第 2 グローバルデータラインとを具備し、

前記  $2N$  個の書込みデータバッファは、 $N$  個の第 1 書込みデータバッファと  $N$  個の第 2 データバッファとを含んで構成され、

前記  $2$  個のスイッチは、 $N$  個の第 1 スイッチと  $N$  個の第 2 スイッチとを含んで構成され

、

前記  $N$  個の第 1 書込みデータバッファは、第 1 直列 - 並列変換部に連結され、前記  $N$  個の第 1 グローバルデータラインのそれぞれは、前記  $N$  個の第 1 スイッチのそれぞれと前記  $N$  個の第 1 書込みデータバッファのそれぞれとの間に連結され、

前記  $N$  個の第 2 書込みデータバッファは、第 2 直列 - 並列変換部に連結され、前記  $N$  個の第 2 グローバルデータラインのそれぞれは、前記  $N$  個の第 2 スイッチのそれぞれと前記  $N$  個の第 2 書込みデータバッファのそれぞれとの間に連結され、

前記  $N$  個のデータラインは、 $N$  個のローカルデータラインであり、

前記  $N$  個のローカルデータラインのそれぞれは、前記  $N$  個の第 1 スイッチ及び前記  $N$  個の第 2 スイッチと前記メモリセルアレイとの間にそれぞれ連結されることを特徴とする請

求項 1 に記載の集積回路装置。

【請求項 3】

前記書込みデータ経路は、

前記第 1 及び第 2 直列 - 並列変換部のうち何れか 1 つと前記 N 個の第 1 書込みデータバッファ及び前記 N 個の第 2 書込みデータバッファのうち何れか 1 つとの間にそれぞれ連結される第 1 及び第 2 データオーダリング回路をさらに具備することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 4】

前記 N 個の第 1 スイッチは、第 1 制御信号に応答し、

前記 N 個の第 2 スイッチは、前記第 1 制御信号から遅延された第 2 制御信号に応答することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 5】

前記第 1 及び第 2 制御信号は、

書込み活性化信号から異なる遅延時間をもって遅延されて生成されることを特徴とする請求項 4 に記載の集積回路装置。

【請求項 6】

前記集積回路装置は、

チップ選択命令及びファンクション命令に応答して前記書込み活性化信号を発生する命令デコーダと、

前記書込み活性化信号に応答して前記第 1 及び第 2 制御信号を発生する制御信号発生部と、

をさらに具備することを特徴とする請求項 5 に記載の集積回路装置。

【請求項 7】

前記命令デコーダは、

前記チップ選択命令及び前記ファンクション命令に応答してアクティブ命令及び読出命令をさらに発生することを特徴とする請求項 6 に記載の集積回路装置。

【請求項 8】

前記命令デコーダは、

前記チップ選択命令及び前記ファンクション命令に応答して読出命令、リフレッシュ命令及びモードレジスタ命令をさらに発生することを特徴とする請求項 6 に記載の集積回路メモリ装置。

【請求項 9】

前記集積回路装置は、

N 個の第 3 スイッチと N 個の第 4 スイッチとをさらに具備し、

前記 N 個の第 3 スイッチのそれぞれは、前記第 1 直列 - 並列変換部と前記 N 個の第 1 書込みデータバッファのそれぞれとの間に連結され、

前記 N 個の第 4 スイッチは、前記第 2 直列 - 並列変換部と前記 N 個の第 2 書込みデータバッファのそれぞれとの間に連結されることを特徴とする請求項 2 に記載の集積回路装置。

【請求項 10】

前記 N 個の第 3 スイッチは、第 3 制御信号に応答し、

前記 N 個の第 4 スイッチは、前記第 3 制御信号から遅延された第 4 制御信号に応答することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 11】

前記第 3 及び第 4 制御信号は、

データストロープ信号のオフセット立下りエッジに応答して発生されることを特徴とする請求項 10 に記載の集積回路装置。

【請求項 12】

前記集積回路装置は、

前記データストロープ信号に応答して前記データストロープ信号の立下りエッジをカウ

ントして、前記データストローク信号のオフセット立下りエッジにしたがって前記第 3 及び第 4 制御信号を発生するデータストロークカウンタをさらに具備することを特徴とする請求項 1 1 に記載の集積回路装置。

【請求項 1 3】

複数のメモリセルを含むメモリセルアレイと、  
外部ターミナルから  $2N$  個のデータビットを直列に受信する書込みデータ経路と、を具備し、  
前記書込みデータ経路は、  
前記  $2N$  個のデータビットを保存する  $2N$  個の書込みデータバッファと、  
 $2N$  個のスイッチと、  
前記  $N$  個のデータビットを並列に前記メモリセルアレイに書き込むために前記  $2N$  個のスイッチのうち少なくとも  $N$  個と連結される  $N$  個のローカルデータラインと、  
前記外部ターミナルと連結する直列 - 並列変換部と、  
 $N$  個のグローバルデータラインとを具備し、  
前記  $2N$  個の書込みデータバッファは、 $N$  個の第 1 書込みデータバッファと  $N$  個の第 2 データバッファとを含んで構成され、  
前記  $2$  個のスイッチは、 $N$  個の第 1 スイッチと  $N$  個の第 2 スイッチとを含んで構成され、  
前記  $N$  個の第 1 書込みデータバッファは、第 1 直列 - 並列変換部に連結され、前記  $N$  個の第 1 書込みデータバッファのそれぞれは、前記  $N$  個の第 1 スイッチに連結され、  
前記  $N$  個の第 2 書込みデータバッファのそれぞれは、前記  $N$  個の第 1 スイッチのそれぞれと連結され、前記  $N$  個のグローバルデータラインのそれぞれは、前記  $N$  個の第 2 スイッチのそれぞれと前記  $N$  個の第 2 書込みデータバッファのそれぞれとの間に連結され、  
前記  $N$  個のローカルデータラインのそれぞれは、前記  $N$  個の第 2 スイッチと前記メモリセルアレイとの間にそれぞれ連結されることを特徴とする集積回路装置。

【請求項 1 4】

前記書込みデータ経路は、  
前記直列 - 並列変換部と前記  $N$  個の第 1 書込みデータバッファとの間に連結されるデータオーダリング回路をさらに具備することを特徴とする請求項 1 3 に記載の集積回路装置。

【請求項 1 5】

前記集積回路装置は、  
前記直列 - 並列変換部と前記  $N$  個の第 1 書込みデータバッファのそれぞれの間に連結される  $N$  個の第 3 スイッチをさらに具備することを特徴とする請求項 1 3 に記載の集積回路装置。

【請求項 1 6】

前記  $N$  個の第 3 スイッチは、第 1 制御信号に応答し、  
前記  $N$  個の第 1 スイッチは、前記第 1 制御信号から遅延された第 2 制御信号に応答することを特徴とする請求項 1 5 に記載の集積回路装置。

【請求項 1 7】

前記第 1 及び第 2 制御信号は、  
データストローク信号のオフセット立下りエッジに応答して発生することを特徴とする請求項 1 6 に記載の集積回路装置。

【請求項 1 8】

複数のメモリセルを含むメモリセルアレイと、  
外部ターミナルから  $2N$  個のデータビットを直列に受信する書込みデータ経路と、を具備し、  
前記書込みデータ経路は、  
前記  $2N$  個のデータビットを保存する  $2N$  個の書込みデータバッファと、  
 $2N$  個のスイッチと、

N個のデータビットを並列に前記メモリセルアレイに保存するために前記2N個のスイッチのうち少なくともN個と連結されるN個のローカルデータラインと、

2グループのN並列ビットの前記2N個のデータビットを前記メモリセルアレイに保存するのに十分な時間の間、前記メモリセルアレイのワードラインをイネーブルさせるプリチャージ制御回路と、を具備することを特徴とする集積回路装置。

【請求項19】

前記プリチャージ制御回路は、

前記集積回路装置の第1プリチャージモードの間、2グループのN並列ビットである前記2N個のデータビットを前記メモリセルアレイに保存するのに十分な時間の間、前記メモリセルアレイのワードラインをイネーブルさせ、

前記集積回路装置の第2プリチャージモードの間、1グループであるN並列ビットである前記N個のデータビットを前記メモリセルアレイに書き込むのに十分な時間の間、前記メモリセルアレイのワードラインを活性化させることを特徴とする請求項18に記載の集積回路装置。

【請求項20】

前記集積回路装置は、前記第1または第2プリチャージモードを選択するモードレジスタをさらに具備し、

前記プリチャージ制御回路は、前記モードレジスタに応答することを特徴とする請求項19に記載の集積回路装置。

【請求項21】

前記プリチャージ制御回路は、

第1プリチャージモードに응答し、2グループのN並列ビットである前記2N個のデータビットを前記メモリセルアレイに保存するのに十分な時間の間、前記メモリセルアレイのワードラインを活性化させるための第1遅延部と、

第2プリチャージモードに응答し、1グループのN並列ビットである前記N個のデータビットを前記メモリセルアレイに書き込むのに十分な時間の間、前記メモリセルアレイのワードラインを活性化させるための第2遅延部と、

を具備することを特徴とする請求項18に記載の集積回路装置。

【請求項22】

複数のメモリセルを含むメモリセルアレイと、

外部ターミナルから2N個のデータビットを直列に受信する書込みデータ経路と、を具備し、

前記書込みデータ経路は、

前記2N個のデータビットを保存する2N個の書込みデータバッファと、

2N個のスイッチと、

N個のデータビットを並列に前記メモリセルアレイに書き込むために前記2N個のスイッチのうち少なくともN個と連結されるN個のローカルデータラインとを具備し、

前記書込みデータバッファは、

書込みアドレスをラッチするアドレスラッチと、

前記アドレスラッチにラッチされた前記書込みアドレスと現在のアドレスとを比較するアドレス比較部と、

前記書込みアドレスに該当する書込みデータをラッチするデータラッチとを具備することを特徴とする集積回路装置。

【請求項23】

前記集積回路装置は、

現在のアドレスが読出しアドレスであり、前記アドレス比較部が、読出しアドレスと前記アドレスラッチにラッチされた書込みアドレスとが一致すると判断する場合、前記メモリセルアレイよりは、前記データラッチから前記外部ターミナルに前記読出しデータを出力することを特徴とする請求項22に記載の集積回路装置。

【請求項24】

前記集積回路装置は、

現在のアドレスが読出しアドレスであり、前記アドレス比較部が、前記読出しアドレスと前記アドレスラッチにラッチされた前記書込みアドレスとが一致しないと判断する場合、前記メモリセルアレイから前記外部ターミナルに前記読出しデータを出力することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 25】

前記第 1 直列 - 並列変換部は、第 1 内部データストロープ信号に応答し、前記第 2 直列 - 並列変換部は第 2 内部データストロープ信号に応答することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 26】

前記第 1 及び第 2 直列 - 並列変換部は、

同じ内部データストロープ信号に応答することを特徴とする請求項 2 に記載の集積回路装置。

【請求項 27】

並列に複数のデータビットを保存するメモリセルアレイと、

外部ターミナルから前記複数のデータビットを 2 回にわたって直列に受信し、前記複数のデータビットの最初の半分を並列に前記メモリセルアレイに書込み、前記データビットの残りの半分を並列に前記メモリセルアレイに書き込む書込みデータ経路と、を具備することを特徴とする集積回路装置。

【請求項 28】

前記書込みデータ経路は、

前記データビットの最初の半分を直列に受信してから、前記データビットの残りの半分を直列に受信し、前記データビットの最初の半分を第 1 書込みデータバッファに保存し、前記データビットの残りの半分を第 2 書込みデータバッファに保存し、共通のローカルデータラインを通じて前記第 1 及び第 2 書込みデータバッファから前記データビットの最初の半分を並列に前記メモリセルアレイに書き込んでから、前記データビットの残りの半分を並列に前記メモリセルアレイに書き込むことを特徴とする請求項 27 に記載の集積回路装置。

【請求項 29】

前記書込みデータ経路は、

前記データビットの最初の半分を直列に受信してから、前記データビットの残りの半分を直列に受信し、前記データビットの最初の半分を第 1 書込みデータバッファに保存し、前記第 1 書込みデータバッファから前記データビットの最初の半分を第 2 データバッファにシフトさせ、前記データビットの残りの半分を前記第 1 書込みデータバッファに保存し、前記第 2 書込みデータバッファの前記データビットの最初の半分を前記メモリセルアレイに書込み、前記第 1 書込みデータバッファから前記データビットの残りの半分を前記第 2 書込みデータバッファにシフトさせ、前記第 2 書込みデータバッファから前記データビットの残りの半分を前記メモリセルアレイに書き込むことを特徴とする請求項 27 に記載の集積回路装置。

【請求項 30】

前記集積回路装置は、

前記メモリセルアレイに前記データビットの最初の半分を並列に書き込んでから、前記メモリセルアレイに前記データビットの残りの半分を並列に書き込むのに十分な時間の間、前記メモリセルアレイのワードラインを活性化させるプリチャージ制御回路をさらに具備することを特徴とする請求項 27 に記載の集積回路装置。

【請求項 31】

複数のデータビットを並列に保存するメモリセルアレイを持つ集積回路装置の動作方法において、

外部ターミナルから前記複数のデータビットを直列に受信する段階と、

複数の書込みデータバッファに前記データビットを保存する段階と、

前記書込みデータバッファから前記メモリセルアレイに前記データビットの最初の半分を並列に書き込む段階と、

前記書込みデータバッファから前記メモリセルアレイに前記データビットの残りの半分を並列に書き込む段階と、

を具備することを特徴とする集積回路装置の動作方法。

【請求項 3 2】

前記集積回路装置の動作方法は、

前記データビットの最初の半분을直列に受信してから、前記データビットの残りの半분을直列に受信し、

前記データビットの最初の半분을前記書込みデータバッファの第 1 セットに保存してから前記データビットの残りの半분을前記書込みデータバッファの第 2 セットに保存し、

共通にローカルデータラインを通じて前記第 1 及び第 2 セットの書込みデータバッファのそれぞれから前記データビットの最初の半分及び残りの半분을前記メモリセルアレイに書き込むことを特徴とする請求項 3 1 に記載の集積回路装置の動作方法。

【請求項 3 3】

前記集積回路装置の動作方法は、

前記データビットの最初の半분을直列に受信してから、前記データビットの第 2 の半분을直列に受信し、

前記データビットの最初の半분을第 1 書込みデータバッファに保存し、前記第 1 書込みデータバッファの前記データビットの最初の半분을第 2 書込みデータバッファにシフトさせ、前記第 1 書込みデータバッファに前記複数のデータビットの残りの半분을保存し、

前記第 2 書込みデータバッファから前記複数のビットの最初の半분을前記メモリセルアレイに書込み、

前記第 1 書込みデータバッファの前記データビットの残りの半분을前記第 2 書込みデータバッファにシフトさせ、前記第 2 書込みデータバッファから前記データビットの残りの半분을前記メモリセルアレイに書き込むことを特徴とする請求項 3 1 に記載の集積回路装置の動作方法。

【請求項 3 4】

前記集積回路装置の動作方法は、

第 1 制御信号に応答して前記データビットの最初の半分を書込み、

前記第 1 制御信号から遅延された第 2 制御信号に応答して前記データビットの残りの半分を書き込むことを特徴とする請求項 3 2 に記載の集積回路装置の動作方法。

【請求項 3 5】

前記第 1 及び第 2 制御信号は、

前記書込み活性化信号から異なる遅延時間をもって遅延されて生成されることを特徴とする請求項 3 4 に記載の集積回路装置の動作方法。

【請求項 3 6】

前記集積回路装置の動作方法は、

第 3 制御信号に応答して前記第 1 書込みデータバッファに前記複数のデータビットの最初の半분을保存し、

前記第 3 制御信号から遅延された第 4 制御信号に応答して前記第 2 書込みデータバッファに前記複数のデータビットの残りの半분을保存することを特徴とする請求項 3 4 に記載の集積回路装置の動作方法。

【請求項 3 7】

前記第 3 及び第 4 制御信号は、

データストロープ信号のオフセット立下りエッジから発生することを特徴とする請求項 3 6 に記載の集積回路装置の動作方法。

【請求項 3 8】

前記集積回路装置の動作方法は、

前記データストロープ信号の立下りエッジをカウンティングして前記データストロープ

信号のオフセット立下りエッジにしたがって前記第 3 及び第 4 制御信号を発生させることを特徴とする請求項 37 に記載の集積回路装置の動作方法。

【請求項 39】

前記集積回路装置の動作方法は、

第 1 制御信号に応答して前記第 1 書込みデータバッファに前記データビットを保存し、  
前記第 1 制御信号から遅延された第 2 制御信号に応答して前記第 1 書込みデータバッファから前記データビットを前記第 2 書込みデータバッファにシフトさせることを特徴とする請求項 33 に記載の集積回路装置の動作方法。

【請求項 40】

前記第 1 及び第 2 制御信号は、

データストローブ信号のオフセット立下りエッジにしたがって発生することを特徴とする請求項 39 に記載の集積回路装置の動作方法。

【請求項 41】

前記集積回路装置の動作方法は、

前記メモリセルアレイに前記データビットの最初の半분을並列に書き込んでから、前記メモリセルアレイに前記データビットの残りの半분을並列に書き込むのに十分な時間の間、前記メモリセルアレイのワードラインを活性化させる段階をさらに具備することを特徴とする請求項 31 に記載の集積回路装置の動作方法。