(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월05일
(11) 등록번호 10-1904811
(24) 등록일자 2018년09월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G09G 3/3266* (2016.01)
G09G 3/34 (2006.01) *G11C 19/18* (2006.01)
H01L 27/12 (2006.01) *H01L 49/02* (2006.01)
(52) CPC특허분류
G09G 3/3677 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2017-7028205(분할)
(22) 출원일자(국제) 2010년06월29일
심사청구일자 2017년09월29일
(85) 번역문제출일자 2017년09월29일
(65) 공개번호 10-2017-0117233
(43) 공개일자 2017년10월20일
(62) 원출원 특허 10-2012-7004253
원출원일자(국제) 2010년06월29일
심사청구일자 2015년05월28일
(86) 국제출원번호 PCT/JP2010/061367
(87) 국제공개번호 WO 2011/010546
국제공개일자 2011년01월27일
(30) 우선권주장
JP-P-2009-172949 2009년07월24일 일본(JP)
(56) 선행기술조사문헌
JP2007096055 A*
(뒷면에 계속)
전체 청구항 수 : 총 7 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
우메자키 아츠시
일본국 2430036 가나가와 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
아라사와 료
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

심사관 : 신영교

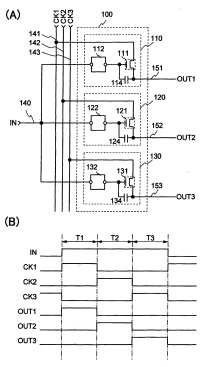
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

소비 전력을 억제하면서, 주사선에 충분한 진폭의 신호를 공급할 수 있는 반도체 장치의 제공을 과제의 하나로 한다. 또한, 소비 전력을 억제하면서, 주사선에 공급하는 신호의 변형을 억제하여, 상승 시간 또는 하강 시간을 짧게 할 수 있는 반도체 장치의 제공을 과제의 하나로 한다.

(뒷면에 계속)

대 표 도 - 도6



표시 소자 및 적어도 하나의 제 1 트랜지스터를 각각 가지는 복수의 화소와, 복수의 화소를 선택하기 위한 신호를 주사선에 공급하는 주사선 구동 회로를 가지고, 표시 소자의 화소 전극층과, 제 1 트랜지스터의 게이트 전극층, 소스 전극층 및 드레인 전극층과, 주사선은, 투광성을 가지는 도전막을 이용하고 있고, 주사선 구동 회로는 제 2 트랜지스터와, 제 2 트랜지스터의 게이트 전극층과 소스 전극층 사이의 전압을 보유하는 용량 소자를 가지고 있고, 제 2 트랜지스터의 소스 전극층은 주사선에 접속되어 있는 반도체 장치.

(52) CPC특허분류
G09G 3/344 (2013.01)
G11C 19/184 (2013.01)
H01L 27/1214 (2013.01)
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
H01L 27/1251 (2013.01)
H01L 27/1255 (2013.01)
H01L 28/40 (2013.01)
G09G 2310/0267 (2013.01)

(56) 선행기술조사문헌
KR1020080031114 A*
JP소화51025580 A
JP평성02125525 A
JP2002311879 A
JP2008287134 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

용량 소자를 포함하고,

상기 용량 소자의 전극 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 용량 소자의 상기 전극 중 다른 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 제 1 클록 신호가 입력되고,

상기 제 3 트랜지스터의 게이트에 제 2 클록 신호가 입력되는, 반도체 장치.

청구항 2

반도체 장치로서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

용량 소자를 포함하고,

상기 용량 소자의 전극 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 용량 소자의 상기 전극 중 다른 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나에 전

기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 제 1 클록 신호가 입력되고,

상기 제 3 트랜지스터의 게이트에 제 2 클록 신호가 입력되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나는 그라운드 전극에 전기적으로 접속되는, 반도체 장치.

청구항 3

반도체 장치로서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

용량 소자를 포함하고,

상기 용량 소자의 전극 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 용량 소자의 상기 전극 중 다른 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 제 1 클록 신호가 입력되고,

상기 제 3 트랜지스터의 게이트에 제 2 클록 신호가 입력되는, 반도체 장치.

청구항 4

반도체 장치로서,

제 1 트랜지스터;

제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

용량 소자를 포함하고,

상기 용량 소자의 전극 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 용량 소자의 상기 전극 중 다른 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 제 1 클록 신호가 입력되고,

상기 제 3 트랜지스터의 게이트에 제 2 클록 신호가 입력되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 상기 하나는 그라운드 전극에 전기적으로 접속되는, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터는 각각 산화물 반도체층을 포함하는, 반도체 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터는 각각 투광성 도전막을 함유하고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터는 각각 산화물 반도체층을 포함하는, 반도체 장치.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 반도체 장치는, 표시 장치, 컴퓨터, 화상 재생 장치, 고글형 디스플레이, 유기(遊技)기, 프로젝터, 텔레비전 수상기, 카메라, 및 휴대 전화기로 이루어지는 그룹으로부터 선택된 하나에 포함되는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액티브 매트릭스 방식의 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 액티브 매트릭스 방식의 표시 장치는 행방향 및 열방향에 복수의 주사선 및 신호선이 교차하도록 리드되고, 그 교점에 트랜지스터와 화소 전극과 보유 용량을 가지는 화소를 형성하는 구조를 취한다. 화소는 화소를 순차 구동하는 복수의 주사선 및 화소 전극에 표시 신호를 공급하는 신호선에 의해 제어되고, 주사선에는 주사선을 제

어하기 위한 주사선 구동 회로가, 신호선에는 신호선을 제어하기 위한 신호선 구동 회로가 접속되어 있다. 이러한 구동 회로는 복수의 화소를 순차 제어하기 위해 주사선 및 신호선의 수와 같은 수의 출력단을 가진다.

[0003] 또한, 근년, 표시 장치의 고정세화 및 대형화가 진행되어, 주사선 및 신호선 수의 증대에 따라 증가하는 소비 전력이 문제가 되고 있다. 한편으로 저소비 전력화의 요구는 높고, 외부 구동 회로의 출력수를 줄이는 것에 의해 소비 전력을 삭감하는 기술이 개시되어 있다.

[0004] 구체적으로는 주사선 드라이버 IC와 주사선 신호 분기 회로를 가지는 주사선 구동 회로와, 복수의 주사선 스위칭 소자를 제작함으로써, 주사선 드라이버 IC의 출력단수를 삭감할 수 있기 때문에 저소비 전력 구동을 실현할 수 있고, 또한, 주사선 스위칭 소자의 듀티비를 줄여 신뢰성을 향상시킬 수 있는 하기의 특허문헌 1에 기재된 기술이 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2002-311879호 공보

발명의 내용

해결하려는 과제

[0006] 종래의 기술에서는 주사선 스위칭 소자가 단극성으로 제작되어 있는 경우, 주사선 구동 회로의 출력 신호가 주사선 스위칭 소자를 통하여 주사선에 공급되는 주사선 선택 신호의 진폭이, 주사선 구동 회로의 출력 신호보다 주사선 스위칭 소자의 스레시홀드 전압(Vth)만큼 작아지게 되는 일이 있다(주사선 선택 신호 = 주사선 구동 회로의 출력 신호 - 주사선 스위칭 소자의 Vth). 주사선 스위칭 소자에는 예를 들면 트랜지스터 등이 있고, 여기에서는 주사선 스위칭 소자를 트랜지스터로서 설명한다.

[0007] 주사선 구동 회로의 출력 신호가 트랜지스터의 게이트 전극과, 소스 또는 드레인의 한쪽의 전극에 입력되는 것에 의해, 주사선 구동 회로의 출력 신호의 진폭이 트랜지스터의 Vth만큼 작아진다(= 주사선 선택 신호). 예를 들면, 트랜지스터의 게이트 전극과, 소스 또는 드레인의 한쪽의 전극에 주사선 구동 회로의 출력 신호가 입력되어 트랜지스터가 온 상태가 되는 것으로 한다. 트랜지스터가 온 상태가 되므로, 소스 또는 드레인의 다른 한쪽의 전극의 전위가 주사선 구동 회로의 출력 신호의 전위와 동전위가 되도록 변화한다. 그러나, 트랜지스터의 소스 또는 드레인의 다른 한쪽의 전극이 주사선 구동 회로의 출력 신호와 동전위가 되기 전에, 트랜지스터의 게이트 전극과 소스간의 전압 Vgs가 Vth가 되는 일이 있고, 이 경우 트랜지스터는 오프 상태가 되므로, 트랜지스터의 소스 또는 드레인의 다른 한쪽의 전극의 전위의 변화가 멈추게 된다. 이것이 원인이 되어, 주사선에 공급되는 주사선 선택 신호의 진폭이 주사선 구동 회로의 출력 신호보다 트랜지스터의 Vth만큼 작아지는 일이 있다.

[0008] 다른 예로서, 주사선 선택 신호에 변형이 생기는 일이 있다. 또한, 주사선 선택 신호의 상승 시간 또는 하강 시간이 길어지는 일이 있다. 이러한 현상은 상기의 이유와 같다. 예를 들면, 트랜지스터의 게이트 전극과, 소스 또는 드레인의 한쪽의 전극에 주사선 구동 회로의 출력 신호가 입력되어 트랜지스터가 온 상태가 된다고 하면, 트랜지스터가 온 상태가 되므로, 소스 또는 드레인의 다른 한쪽의 전극의 전위가, 주사선 구동 회로의 출력 신호의 전위와 동전위가 되도록 변화한다. 이때, 트랜지스터의 Vgs가, 트랜지스터의 소스 또는 드레인의 다른 한쪽의 전극의 전위의 변화에 따라 작아지는 일이 있다. 이것이 원인이 되어, 주사선 선택 신호에 변형이 생기는 일이 있고, 또한, 상승 시간 또는 하강 시간이 길어지게 되는 일이 있다.

[0009] 상술한 문제를 해결하기 위해서는, 주사선 구동 회로의 출력 신호보다 높은 진폭의 신호 또는 전원 전압이 별도 필요하지만, 이것은 소비 전력이 증가하는 원인이 된다.

[0010] 소비 전력을 억제하면서, 주사선에 충분한 진폭의 신호를 공급할 수 있는 반도체 장치의 제공을 과제의 하나로 한다. 또한, 소비 전력을 억제하면서, 주사선에 공급하는 신호의 변형을 억제하고, 상승 시간 또는 하강 시간을 짧게 할 수 있는 반도체 장치의 제공을 과제의 하나로 한다.

과제의 해결 수단

[0011] 본 발명의 일양태는 표시 소자 및 적어도 하나의 트랜지스터를 가지는 복수의 화소와 상기 복수의 화소로부터

특정 화소를 선택하기 위한 신호를 주사선에 공급하는 주사선 구동 회로를 가지는 반도체 장치이다. 표시 소자의 화소 전극층과 트랜지스터의 게이트 전극층, 소스 전극층 및 드레인 전극층과, 주사선은 투광성을 가지는 도전막으로 형성된다. 주사선 구동 회로는 트랜지스터와, 트랜지스터의 게이트 전극층과 소스 전극층의 사이의 전압을 보유하는 용량 소자를 가지고, 트랜지스터의 소스 전극층은 주사선에 접속되어 있다.

[0012] 본 발명의 일양태는 표시 소자 및 적어도 하나의 제 1 트랜지스터를 가지는 복수의 화소와, 상기 복수의 화소로부터 특정 화소를 선택하기 위한 신호를 주사선에 공급하는 주사선 구동 회로를 가지는 반도체 장치이다. 표시 소자의 화소 전극층과, 제 1 트랜지스터의 게이트 전극층, 소스 전극층 및 드레인 전극층과, 상기 주사선은, 투광성을 가지는 도전막을 이용하고 있다. 주사선 구동 회로는 제 2 트랜지스터와, 이 제 2 트랜지스터의 게이트 전극층과 소스 전극층 사이의 전압을 보유하는 용량 소자와, 이 제 2 트랜지스터의 게이트 전극층과 그라운드 전극과의 접속을 제어하는 제 3 트랜지스터를 가지고 있고, 제 2 트랜지스터의 소스 전극층은 상기 주사선에 접속되어 있다.

발명의 효과

[0013] 본 발명의 일양태에 의하면, 부트스트랩 동작을 이용하여 주사선에 충분한 진폭의 신호를 공급할 수 있고, 또한, 신호의 변형을 억제하여, 상승 시간 또는 하강 시간을 짧게 할 수 있다. 또한, 입력 신호 이상의 전원 전압을 필요로 하지 않기 때문에 저소비 전력 구동으로도 이어진다.

도면의 간단한 설명

[0014] 도 1(A) 내지 도 1(F)는 실시형태 1을 설명한 단면도.

도 2(A) 내지 도 2(C)는 도 2(B-1) 및 도 2(B-2)의 단면도와 실시형태 1을 설명한 평면도.

도 3(A-1) 내지 도 3(A-2)는 도 3(B) 및 도 3(C)의 평면도와 실시형태 1을 설명한 평면도.

도 4(A) 내지 도 4(E)는 실시형태 2를 설명한 단면도.

도 5(A) 내지 도 5(E)는 실시형태 2를 설명한 단면도.

도 6(A)는 회로도이고 도 6(B)는 실시형태 3을 설명한 타이밍 차트.

도 7(A)는 회로도이고 도 7(B)는 실시형태 4를 설명한 타이밍 차트.

도 8은 실시형태 5를 설명한 회로도.

도 9는 실시형태 6을 설명한 회로도.

도 10은 실시형태 7을 설명한 회로도.

도 11은 실시형태 8을 설명한 회로도.

도 12는 실시형태 9를 설명한 회로도.

도 13은 실시형태 9를 설명한 타이밍 차트.

도 14(A)는 액정 표시 장치 단면도의 상부면도이고 도 14(B) 및 도 14(C)는 단면도.

도 15(A) 및 도 15(B)는 발광 소자 표시 장치 단면도.

도 16(A) 및 도 16(B)는 전자 페이퍼 표시 장치 단면도.

도 17(A) 내지 도 17(E)는 실제품 예를 설명한 도면.

도 18(A) 내지 도 18(H)는 실제품 예를 설명한 도면.

도 19는 실시형태 1을 설명한 단면도.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 실시형태에 대하여, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내

용에 한정하여 해석되는 것은 아닌 것으로 한다.

[0017] (실시형태 1)

[0018] 반도체 장치 및 반도체 장치의 제작 방법을 도 1A 내지 도 1F 및 도 2A, 2B-1, 2C를 이용하여 설명한다. 도 2(A)에는 동일 기판 위에 제작된 다른 구조의 2개의 박막 트랜지스터의 단면 구조의 일례를 나타낸다. 도 2(A)에 나타낸 박막 트랜지스터(1470)는 채널 에치형이라고 불리는 보텀 게이트 구조의 하나이며, 박막 트랜지스터(1460)는 보텀 컨택트형(역코플래너형(inverted coplanar type)이라고도 부름)이라고 불리는 보텀 게이트 구조의 하나이다.

[0019] 도 2(B1)는 구동 회로에 배치되는 채널 에치형의 박막 트랜지스터(1470)의 평면도이며, 도 2(A)는 도 2(B1)의 선 C1-C2에서의 단면도이다. 또한, 도 2(C)는 도 2(B1)의 선 C3-C4에서의 단면도이다.

[0020] 구동 회로에 배치되는 박막 트랜지스터(1470)는 채널 에치형의 박막 트랜지스터이며, 절연 표면을 가지는 기판(1400) 위에, 게이트 전극층(1401), 제 1 게이트 절연층(1402a), 제 2 게이트 절연층(1402b), 적어도 채널 형성 영역(1434), 제 1 고저항 드레인 영역(1431), 및 제 2 고저항 드레인 영역(1432)을 가지는 산화물 반도체층, 소스 전극층(1405a), 및 드레인 전극층(1405b)을 포함한다. 또한, 박막 트랜지스터(1470)를 덮어, 채널 형성 영역(1434)에 접하는 산화물 절연층(1407)이 설치되어 있다.

[0021] 소스 전극층(1405a)의 하면에 접하여 제 1 고저항 드레인 영역(1431)이 자기 정합적으로 형성되어 있다. 또한, 드레인 전극층(1405b)의 하면에 접하여 제 2 고저항 드레인 영역(1432)이 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(1434)은 산화물 절연층(1407)과 접하고, 또한, 막두께가 얇게 되어 있고, 제 1 고저항 드레인 영역(1431), 및 제 2 고저항 드레인 영역(1432)보다 고저항의 영역(I형 영역)으로 한다.

[0022] 또한, 박막 트랜지스터(1470)는 배선을 저저항화하기 위해 소스 전극층(1405a), 및 드레인 전극층(1405b)으로서 금속 재료를 이용하는 것이 바람직하다.

[0023] 또한, 액정 표시 장치에 있어서, 동일 기판 위에 화소부와 구동 회로를 형성하는 경우, 구동 회로에 있어서, 인버터 회로, NAND 회로, NOR 회로, 래치 회로와 같은 논리 게이트를 구성하는 박막 트랜지스터나, 센스 증폭기, 정전압 발생 회로, VCO와 같은 아날로그 회로를 구성하는 박막 트랜지스터는 소스 전극과 드레인 전극간에 정극(正極)성만, 혹은 부극(負極)성만이 인가된다. 따라서, 내압이 요구되는 제 2 고저항 드레인 영역(1432)의 폭을 제 1 고저항 드레인 영역(1431)의 폭보다 넓게 설계해도 좋다. 또한, 제 1 고저항 드레인 영역(1431), 및 제 2 고저항 드레인 영역(1432)이 게이트 전극층과 중첩되는 폭을 넓게 해도 좋다.

[0024] 또한, 구동 회로에 배치되는 박막 트랜지스터(1470)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명했지만, 필요에 따라, 채널 형성 영역을 복수 가지는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.

[0025] 또한, 채널 형성 영역(1434) 상방과 중첩되는 도전층(1406)을 형성한다. 도전층(1406)을 게이트 전극층(1401)과 전기적으로 접속하고, 동전위로 함으로써, 게이트 전극층(1401)과 도전층(1406)의 사이에 배치된 산화물 반도체층에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 도전층(1406)을 게이트 전극층(1401)과는 다른 전위, 예를 들면 고정 전위, GND, 0 V로 하는 경우에는 TFT의 전기 특성, 예를 들면 스레시홀드 전압 등을 제어할 수 있다.

[0026] 또한, 도전층(1406)과 산화물 절연층(1407)의 사이에는 보호 절연층(1408)과 평탄화 절연층(1409)을 적층한다.

[0027] 또한, 보호 절연층(1408)은 보호 절연층(1408)의 하방에 형성하는 제 1 게이트 절연층(1402a) 또는 하지가 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판의 측면으로부터의 수분이나, 수소 이온이나, OH^- 등의 불순물이 침입하는 것을 차단한다. 특히, 보호 절연층(1408)과 접하는 제 1 게이트 절연층(1402a) 또는 하지가 되는 절연막을 질화규소막으로 하면 유효하다.

[0028] 또한, 도 2(B2)는 화소에 배치되는 보텀 컨택트형의 박막 트랜지스터(1460)의 평면도이며, 도 2(A)는 도 2(B2)의 선 D1-D2에서의 단면도이다. 또한, 도 2(C)는 도 2(B2)의 선 D3-D4에서의 단면도이다.

[0029] 화소에 배치되는 박막 트랜지스터(1460)는 보텀 컨택트형의 박막 트랜지스터이며, 절연 표면을 가지는 기판(1400) 위에, 게이트 전극층(1451), 제 1 게이트 절연층(1402a), 제 2 게이트 절연층(1402b), 채널 형성 영역을 포함하는 산화물 반도체층(1454), 소스 전극층(1455a), 및 드레인 전극층(1455b)을 포함한다. 또한, 박막 트랜지스터(1460)를 덮어, 산화물 반도체층(1454)의 상면 및 측면과 접하는 산화물 절연층(1407)이 형성되어 있다.

[0030] 단, 액정 표시 장치는 액정의 열화를 막기 위해, 교류 구동이 행해지고 있다. 이 교류 구동에 의해, 일정한 기간마다 화소 전극층에 인가하는 신호 전위의 극성이 정극성 혹은 부극성으로 반전한다. 화소 전극층에 접속하는 TFT는 한쌍의 전극이 교대로 소스 전극층과 드레인 전극층의 역할을 한다. 본 명세서에서는 편의상, 화소의 박막 트랜지스터의 한쪽을 소스 전극층이라고 부르고, 다른 한쪽을 드레인 전극층이라고 부르지만, 실제로는 교류 구동 시에 한쪽의 전극이 교대로 소스 전극층과 드레인 전극층으로서 기능한다. 또한, 리크 전류의 저감을 도모하기 위해, 화소에 배치하는 박막 트랜지스터(1460)의 게이트 전극층(1451)의 폭을 구동 회로의 박막 트랜지스터(1470)의 게이트 전극층(1401)의 폭보다 좁게 해도 좋다. 또한, 리크 전류의 저감을 도모하기 위해, 화소에 배치하는 박막 트랜지스터(1460)의 게이트 전극층(1451)이 소스 전극층(1455a) 또는 드레인 전극층(1455b)과 중첩되지 않도록 설계해도 좋다.

[0031] 또한, 화소에 배치되는 박막 트랜지스터(1460)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명했지만, 필요에 따라서, 채널 형성 영역을 복수 가지는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.

[0032] 또한, 산화물 반도체층(1454)은 적어도 산화물 반도체막의 성막 후에 불순물인 수분 등을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 행해진다. 탈수화 또는 탈수소화를 위한 가열 처리 및 서랭(徐冷)시킨 후, 산화물 반도체층(1454)에 접하여 산화물 절연층(1407)의 형성 등을 행하여 산화물 반도체층(1454)의 캐리어 농도를 저감하는 것이, 박막 트랜지스터(1460)의 전기 특성의 향상 및 신뢰성의 향상으로 이어진다.

[0033] 또한, 산화물 반도체층(1454)은 소스 전극층(1455a), 및 드레인 전극층(1455b)의 상방에 형성하여, 일부 중첩되어 있다. 또한, 산화물 반도체층(1454)은 게이트 전극층(1451)과 제 1 게이트 절연층(1402a) 및 제 2 게이트 절연층(1402b)을 통하여 중첩되어 있다. 화소에 배치되는 박막 트랜지스터(1460)의 채널 형성 영역은 산화물 반도체층(1454) 중, 소스 전극층(1455a)의 측면과, 이 측면과 서로 마주 보는 드레인 전극층(1455b)의 측면으로 끼워지는 영역, 즉, 제 2 게이트 절연층(1402b)과 접하고, 또한, 게이트 전극층(1451)과 중첩되는 영역이다.

[0034] 또한, 박막 트랜지스터(1460)는 투광성을 가지는 박막 트랜지스터로서 고개구율을 가지는 표시 장치를 실현하기 위해 소스 전극층(1455a), 및 드레인 전극층(1455b)은 투광성을 가지는 도전막을 이용한다.

[0035] 또한, 박막 트랜지스터(1460)의 게이트 전극층(1451)도 투광성을 가지는 도전막을 이용한다.

[0036] 또한, 박막 트랜지스터(1460)가 배치되는 화소에는 화소 전극층(1456), 또는 그 외의 전극층(용량 전극층 등)이나, 그 외의 배선층(용량 배선층 등)에 가시광에 대하여 투광성을 가지는 도전막을 이용하여, 고개구율을 가지는 표시 장치를 실현한다. 물론, 게이트 절연층(1402a, 1402b), 산화물 절연층(1407)도 가시광에 대하여 투광성을 가지는 막을 이용하는 것이 바람직하다.

[0037] 본 명세서에 있어서, 가시광에 대하여 투광성을 가지는 막이란 가시광의 투과율이 75% 이상 100% 이하인 막두께를 가지는 막을 가리키고, 그 막이 도전성을 가지는 경우는 투명의 도전막이라고도 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 그 외의 전극층이나, 그 외의 배선층에 적용하는 금속 산화물로서, 가시광에 대하여 반투명의 도전막을 이용해도 좋다. 가시광에 대하여 반투명이란 가시광의 투과율이 50% 이상 75% 이하인 것을 가리킨다.

[0038] 이하, 도 1(A) 내지 도 1(F), 및 도 2(A)를 이용하여, 동일 기판 위에 박막 트랜지스터(1470) 및 박막 트랜지스터(1460)의 제작 공정을 설명한다.

[0039] 먼저, 절연 표면을 가지는 기판(1400) 위에 투광성을 가지는 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트 전극층(1401, 1451)을 형성한다. 또한, 화소부에는 게이트 전극층(1401, 1451)과 같은 투광성을 가지는 재료, 같은 제 1 포토리소그래피 공정에 의해 용량 배선층을 형성한다. 또한, 화소부뿐만 아니라 구동 회로에 용량이 필요한 경우에는 구동 회로에도 용량 배선층을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0040] 절연 표면을 가지는 기판(1400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지고 있는 것이 필요하다. 절연 표면을 가지는 기판(1400)에는 바륨 붕규산 유리나 알루미노 붕규산 유리 그 외의 변형점이 600℃ 내지 750℃인 유리 기판을 이용할 수 있다.

[0041] 또한, 유리 기판(1400)으로서는, 후의 가열 처리의 온도가 높은 경우에는 변형점이 730℃ 이상의 것을 이용하면 좋다. 또한, 유리 기판(1400)에는 예를 들면, 알루미노 실리케이트 유리, 알루미노 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 이용되고 있다. 또한, 일반적으로, 붕산과 비교하여 산화바륨(BaO)을 많이 포함시킴으

로써, 보다 실용적인 내열 유리를 얻을 수 있다. 이때문에, B_2O_3보다 BaO를 많이 포함하는 유리 기판을 이용하는 것이 바람직하다.

[0042] 또한, 상기의 유리 기판(1400) 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체에 견딜 수 있는 기판을 이용해도 좋다. 그 밖에도, 결정화 유리 등을 이용할 수 있다.

[0043] 또한, 하지막이 되는 절연막을 기판(1400)과 게이트 전극층(1401, 1451)의 사이에 형성해도 좋다. 하지막은 기판(1400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.

[0044] 게이트 전극층(1401, 1451)의 재료는 가시광에 대하여 투광성을 가지는 도전 재료, 예를 들면 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있고, 막두께는 50 nm 이상 300 nm 이하의 범위 내에서 적절히 선택한다. 게이트 전극층(1401, 1451)에 이용하는 금속 산화물의 성막 방법은 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 이용한다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하고, 투광성을 가지는 도전막에 결정화를 저해하는 SiOx(X>0)를 포함시켜, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제할 수 있다.

[0045] 다음에, 게이트 전극층(1401, 1451) 위에 게이트 절연층을 형성한다.

[0046] 게이트 절연층은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 단층 또는 적층하여 형성할 수 있다. 예를 들면, 성막 가스로서, SiH_4, 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화질화규소층을 형성하면 좋다.

[0047] 본 실시형태에서는 막두께 50 nm 이상 200 nm 이하의 제 1 게이트 절연층(1402a)과, 막두께 50 nm 이상 300 nm 이하의 제 2 게이트 절연층(1402b)의 적층의 게이트 절연층으로 한다. 제 1 게이트 절연층(1402a)으로서는 막두께 100 nm의 질화규소막 또는 질화산화규소막을 이용한다. 또한, 제 2 게이트 절연층(1402b)으로서는 막두께 100 nm의 산화규소막을 이용한다.

[0048] 다음에, 제 2 게이트 절연층(1402b) 위에, 투광성을 가지는 도전막을 형성한 후, 제 2 포토리소그래피 공정에 의해 소스 전극층(1455a), 및 드레인 전극층(1455b)을 형성한다(도 1(A) 참조). 투광성을 가지는 도전막의 성막 방법은 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 이용한다. 도전막의 재료로서는, 가시광에 대하여 투광성을 가지는 도전 재료, 예를 들면 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있고, 막두께는 50 nm 이상 300 nm 이하의 범위내에서 적절히 선택한다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하고, 투광성을 가지는 도전막에 결정화를 저해하는 SiOx(X>0)를 포함시키고, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제할 수 있다.

[0049] 또한, 소스 전극층(1455a), 및 드레인 전극층(1455b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0050] 다음에, 제 2 게이트 절연층(1402b), 소스 전극층(1455a), 및 드레인 전극층(1455b) 위에, 막두께 2 nm 이상 200 nm 이하의 산화물 반도체막을 형성한다. 산화물 반도체막의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도 산화물 반도체층을 비정질인 상태로 하기 때문에, 막두께를 50 nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체층의 막두께를 얇게 함으로써 산화물 반도체층의 형성 후에 가열 처리한 경우에, 결정화되는 것을 억제할 수 있다.

[0051] 또한, 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 제 2 게이트 절연층(1402b)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터링은 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 이용해도 좋다.

[0052] 산화물 반도체막은 In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 이용한다. 본 실시형태에서는 In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하고, 산화물 반도체막에 결정화를 저해하는 SiOx(X>0)를 포함시켜, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제할 수 있다.

[0053] 다음에, 산화물 반도체막을 제 3 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 소스 전극층(1455a), 및 드레인 전극층(1455b)과 중첩되는 산화물 반도체층을 얻기 위해서는 산화물 반도체층의 에칭 시에, 소스 전극층(1455a), 및 드레인 전극층(1455b)도 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0054] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는 350℃ 이상 기판의 변형점 미만, 바람직하게는 400℃ 이상으로 한다. 여기에서는 가열 처리 장치의 하나인 전기로에 기판을 도입하여, 산화물 반도체층에 대하여 질소 분위기 하에서 가열 처리를 행한 후, 대기에 노출되는 일 없이, 산화물 반도체층으로 물이나 수소가 재혼입하는 것을 막아, 산화물 반도체층(1403, 1453)을 얻는다(도 1(B) 참조). 본 실시형태에서는 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도(T)로부터, 다시 물이 들어가지 않는 충분한 온도까지 같은 노를 이용하고, 구체적으로는 가열 온도(T)보다 100℃ 이상 낮아질 때까지 질소 분위기 하에서 서랭한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 아르곤 등의 분위기 하 혹은 감압 하에서 탈수화 또는 탈수소화를 행할 수 있다.

[0055] 또한, 제 1 가열 처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상, (즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.

[0056] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 결정화하여, 미결정막 또는 다결정막이 되는 경우도 있다.

[0057] 또한, 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 행하는 것도 가능하다. 그 경우에는 제 1 가열 처리 후에, 가열 장치로부터 기판을 취출하여, 포토리소그래피 공정을 행한다.

[0058] 또한, 산화물 반도체막의 성막 전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등) 하, 산소 분위기, 혹은 감압 하에서 가열 처리(400℃ 이상 기판의 변형점 미만)를 행하여, 층내에 포함되는 수소 및 물 등의 불순물을 제거한 게이트 절연층으로 해도 좋다.

[0059] 다음에, 제 2 게이트 절연층(1402b) 위에, 금속 도전막을 형성한 후, 제 4 포토리소그래피 공정에 의해 레지스트 마스크(1436)를 형성하고, 선택적으로 에칭을 행하여 금속 전극층(1435)을 형성한다(도 1(C) 참조). 금속 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금 등이 있다.

[0060] 금속 도전막으로서는, 티탄층 위에 알루미늄층과, 이 알루미늄층 위에 티탄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층과, 이 알루미늄층 위에 몰리브덴층을 적층한 3층의 적층 구조로 하는 것이 바람직하다. 물론, 금속 도전막으로서 단층, 또는 2층 구조, 또는 4층 이상의 적층 구조로 해도 좋다.

[0061] 또한, 제 4 포토리소그래피 공정으로 산화물 반도체층(1453) 및 소스 전극층(1455a), 및 드레인 전극층(1455b)과 중첩되는 금속 도전막을 선택적으로 제거하기 위해, 금속 도전막의 에칭 시에, 산화물 반도체층(1453), 소스 전극층(1455a), 및 드레인 전극층(1455b)도 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 또한, 금속 전극층(1435)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0062] 다음에, 레지스트 마스크(1436)를 제거하여, 제 5 포토리소그래피 공정에 의해 레지스트 마스크(1437)를 형성하

고, 선택적으로 에칭을 행하여 소스 전극층(1405a), 및 드레인 전극층(1405b)을 형성한다(도 1(D) 참조). 또한, 제 5 포토리소그래피 공정에서는 산화물 반도체층은 일부만이 에칭되어, 홈부(오목부)를 가지는 산화물 반도체층(1433)이 된다. 또한, 산화물 반도체층에 홈부(오목부)를 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0063] 다음에, 레지스트 마스크(1437)를 제거하여, 산화물 반도체층(1453)의 상면 및 측면에 접하여, 산화물 반도체층(1433)의 홈부(오목부)에 접하는 보호 절연막이 되는 산화물 절연층(1407)을 형성한다.

[0064] 산화물 절연층(1407)은 적어도 1 nm 이상의 막두께로 하고, 스퍼터링법 등 산화물 절연층(1407)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 본 실시형태에서는 스퍼터링법을 이용하여 산화물 절연층(1407)으로서 막두께 300 nm의 산화규소막을 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화규소막의 스퍼터링법에 의한 성막은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들면, 규소 타겟을 이용하여, 산소, 및 질소 분위기 하에서 스퍼터링법에 의해 산화규소막을 형성할 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연층(1407)은 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 대표적으로는 산화규소막, 질화산화규소막, 산화알루미늄막, 또는 산화질화알루미늄 등을 이용한다.

[0065] 다음에, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다(도 1(E) 참조). 예를 들면, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(1433)의 홈부, 산화물 반도체층(1453)의 상면 및 측면이 산화물 절연층(1407)과 접한 상태에서 가열된다.

[0066] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체막에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행하여 저저항화한 후, 산화물 반도체막의 일부를 선택적으로 산소 과잉의 상태로 한다. 그 결과, 게이트 전극층(1401)과 중첩되는 채널 형성 영역(1434)은 I형이 되고, 소스 전극층(1405a)과 중첩되는 제 1 고저항 드레인 영역(1431)과 드레인 전극층(1405b)과 중첩되는 제 2 고저항 드레인 영역(1432)이 자기 정합적으로 형성된다. 또한, 게이트 전극층(1451)과 중첩되는 산화물 반도체층(1453)은 전체가 I형인 산화물 반도체층(1454)이 된다.

[0067] 또한, 드레인 전극층(1405b)(및 소스 전극층(1405a))과 중첩한 산화물 반도체층에서 제 2 고저항 드레인 영역(1432)(또는 제 1 고저항 드레인 영역(1431))을 형성함으로써, 구동 회로를 형성했을 때의 신뢰성의 향상을 도모할 수 있다. 구체적으로는 제 2 고저항 드레인 영역(1432)을 형성함으로써, 드레인 전극층으로부터 제 2 고저항 드레인 영역(1432), 채널 형성 영역에 걸쳐, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 그 때문에, 드레인 전극층(1405b)에 고전원 전위(VDD)를 공급하는 배선에 접속하여 동작시키는 경우, 게이트 전극층(1401)과 드레인 전극층(1405b)과의 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼가 되어 국소적인 고전계가 인가되지 않고, 트랜지스터의 내압을 향상시킨 구성으로 할 수 있다.

[0068] 또한, 드레인 전극층(1405b)(및 소스 전극층(1405a))과 중첩한 산화물 반도체층에 있어서 제 2 고저항 드레인 영역(1432)(또는 제 1 고저항 드레인 영역(1431))을 형성함으로써, 구동 회로를 형성했을 때의 채널 형성 영역(1434)에서의 리크 전류의 저감을 도모할 수 있다.

[0069] 다음에, 산화물 절연층(1407) 위에 보호 절연층(1408)을 형성한다(도 1(F) 참조). 본 실시형태에서는 RF 스퍼터링법을 이용하여 질화규소막을 형성한다. RF 스퍼터링법은 양산성이 좋기 때문에, 보호 절연층(1408)의 성막 방법으로서 바람직하다. 보호 절연층(1408)은 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여, 질화규소막, 질화알루미늄막, 질화산화규소막, 산화질화알루미늄 등을 이용한다. 물론, 보호 절연층(1408)은 투광성을 가지는 절연막이다.

[0070] 또한, 보호 절연층(1408)은 보호 절연층(1408)의 하방에 형성하는 제 1 게이트 절연층(1402a) 또는 하지가 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판의 측면 근방으로부터의 수분이나, 수소 이온이나, OH^- 등의 불순물이 침입하는 것을 차단한다. 특히, 보호 절연층(1408)과 접하는 제 1 게이트 절연층(1402a) 또는 하지가 되는 절연막을 질화규소막으로 하면 유효하다. 즉, 산화물 반도체층의 하면, 상면, 및 측면을 둘러싸도록 질화규소막을 형성하면, 표시 장치의 신뢰성이 향상된다.

[0071] 다음에, 보호 절연층(1408) 위에 평탄화 절연층(1409)을 형성한다. 평탄화 절연층(1409)으로서는 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass : 인 유리), BPSG(borophosphosilicate glass : 인 붕소 유리) 등을 이용할 수 있다. 또한, 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(1409)을 형성해도 좋다.

[0072] 또한 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면 알킬기나 아릴기)나 플루오로기를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다.

[0073] 평탄화 절연층(1409)의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다.

[0074] 다음에, 제 6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(1409), 보호 절연층(1408), 및 산화물 절연층(1407)의 에칭에 의해 드레인 전극층(1455b)에 이르는 컨택트홀을 형성한다. 또한, 여기서의 에칭에 의해 게이트 전극층(1401, 1451)에 이르는 컨택트홀도 형성한다. 또한, 드레인 전극층(1455b)에 이르는 컨택트홀을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0075] 다음에, 레지스트 마스크를 제거한 후, 투광성을 가지는 도전막을 성막한다. 투광성을 가지는 도전막의 재료로서는, 산화인듐(In_2O_3)이나 산화인듐 산화주석 합금(In_2O_3-SnO_2, ITO라고 약기함) 등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 투광성을 가지는 도전막의 다른 재료로서, 질소를 포함시킨 Al-Zn-O계 비단결정막, 즉 Al-Zn-O-N계 비단결정막이나, 질소를 포함시킨 Zn-O계 비단결정막이나, 질소를 포함시킨 Sn-Zn-O계 비단결정막을 이용해도 좋다. 또한, Al-Zn-O-N계 비단결정막의 아연의 조성비(원자%)는 47 원자% 이하로 하고, 비단결정막 중의 알루미늄의 조성비(원자%)보다 크고, 비단결정막 중의 알루미늄의 조성비(원자%)는 비단결정막 중의 질소의 조성비(원자%)보다 크다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해 산화인듐 산화아연 합금(In_2O_3-ZnO)을 이용해도 좋다.

[0076] 또한, 투광성을 가지는 도전막의 조성비의 단위는 원자%로 하고, 전자선 마이크로 애널라이저(EPMA : Electron Probe X-ray MicroAnalyzer)를 이용한 분석에 의해 평가하는 것으로 한다.

[0077] 다음에, 제 7 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(1456) 및 도전층(1406)을 형성한다(도 2(A) 참조).

[0078] 이상의 공정에 의해, 7장의 마스크를 이용하여, 동일 기판 위에 박막 트랜지스터(1470) 및 박막 트랜지스터(1460)를 각각 구동 회로 또는 화소부에 나누어 만들어 제작할 수 있다. 또한, 제 1 게이트 절연층(1402a), 제 2 게이트 절연층(1402b)을 유전체로 하여 용량 배선층과 용량 전극층으로 형성되는 보유 용량도 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(1460)와 보유 용량을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(1470)를 가지는 구동 회로를 배치함으로써, 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽 기판으로 할 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판이라고 부른다.

[0079] 또한, 화소 전극층(1456)은 평탄화 절연층(1409), 보호 절연층(1408), 및 산화물 절연층(1407)에 형성된 컨택트홀을 통하여 용량 전극층과 전기적으로 접속한다. 또한, 용량 전극층은 드레인 전극층(1455b)과 같은 투광성을 가지는 재료, 같은 공정으로 형성할 수 있다.

[0080] 도전층(1406)을 산화물 반도체층의 채널 형성 영역(1434)과 중첩되는 위치에 형성함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)에 있어서, BT 시험 전후에서의 박막 트랜지스터(1470)의 스레시홀드 전압의 변화량을 저감할 수 있다. 또한, 도전층(1406)은 전위가 게이트 전극층(1401)과 같아도 좋고, 상이하여도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(1406)의 전위가 GND, 0 V, 혹은 플로팅 상태여도 좋다.

[0081] 또한, 본 실시형태에서는 구동 회로에 이용하는 박막 트랜지스터(1470)가 채널 형성 영역(1434)과 중첩되는 위치에 도전층(1406)을 가지고 있지만, 구동 회로에 이용하는 박막 트랜지스터가 반드시 도전층(1406)을 가지고

있을 필요는 없다. 도전층(1406)을 가지는 박막 트랜지스터(1470)와, 도전층(1406)을 갖지 않는 박막 트랜지스터는 상기의 프로세스를 이용함으로써 동일 기판 위에 형성하는 것이 가능하다.

[0082] 본 발명의 일양태에 관한 반도체 장치에서는 화소에 이용하는 박막 트랜지스터의 게이트 전극층, 소스 전극층 및 드레인 전극층과, 표시 소자의 화소 전극층과, 또한 주사선, 신호선 등의 배선층을, 투광성을 가지는 도전막을 이용하여 형성함으로써, 화소의 개구율을 높일 수 있다. 또한, 구동 회로에 이용하는 박막 트랜지스터는 반드시 산화물 반도체를 이용할 필요는 없다. 단, 구동 회로에 이용하는 박막 트랜지스터(1470)를 화소의 박막 트랜지스터(1460)와 동일 기판 위에 형성하는 경우는 본 실시형태에 나타내는 바와 같이 박막 트랜지스터(1470)도 박막 트랜지스터(1460)와 함께 산화물 반도체를 이용하여 형성하는 것이, 공정수를 억제할 수 있어 바람직하다. 이 경우, 구동 회로에 이용하는 박막 트랜지스터(1470)는 화소의 박막 트랜지스터(1460)와 함께 단극성의 트랜지스터가 된다.

[0083] 또한, 화소 전극층(1456)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0084] 다음에, 상기 프로세스를 이용하여, 용량 소자와 박막 트랜지스터가 제작된 액티브 매트릭스 기판의 단면 구조의 일례를 도 19에 나타낸다.

[0085] 도 19에서는 동일 기판 위에 구동 회로의 박막 트랜지스터(1470)와 화소부의 박막 트랜지스터(1460)에 더하여, 화소의 용량 소자(1502), 구동 회로의 용량 소자(1505)도 아울러 도시하고 있다. 용량 소자는 상기 프로세스를 이용함으로써, 박막 트랜지스터와 함께, 포토마스크 장수의 증가나, 공정수가 증가하는 일 없이 제작할 수 있다. 또한, 화소부의 표시 영역이 되는 부분에 있어서는 주사선, 신호선, 및 용량 배선층은 모두 투광성을 가지는 도전막으로 형성되어 있어, 높은 개구율을 실현하고 있다. 또한, 표시 영역이 아닌 영역에 형성되는 구동 회로는 배선 저항을 저저항으로 하기 위해 금속 배선을 이용할 수 있다.

[0086] 도 19에 있어서, 박막 트랜지스터(1470)는 구동 회로에 설치되는 채널 에치형의 박막 트랜지스터이며, 화소 전극층(1456)과 전기적으로 접속하는 박막 트랜지스터(1460)는 화소부에 설치되는 보텀 컨택트형의 박막 트랜지스터이다.

[0087] 박막 트랜지스터(1460)의 게이트 전극층(1451)과 같은 투광성을 가지는 재료, 및 같은 공정으로 형성되는 용량 배선층(1500)은 유전체가 되는 제 1 게이트 절연층(1402a), 제 2 게이트 절연층(1402b)을 통하여 용량 전극층(1501)과 중첩되어, 화소의 용량 소자(1502)를 형성한다. 또한, 용량 전극층(1501)은 박막 트랜지스터(1460)의 소스 전극층(1455a) 또는 드레인 전극층(1455b)과 같은 투광성을 가지는 재료, 및 같은 공정으로 형성된다. 따라서, 박막 트랜지스터(1460)가 투광성을 가지고 있는 것에 더하여, 각 화소의 용량 소자(1502)도 투광성을 가지기 때문에, 개구율을 향상시킬 수 있다.

[0088] 용량 소자(1502)가 투광성을 가지는 것은 개구율을 향상시키는데 있어서 중요하다. 특히 10 인치 이하의 소형의 액정 표시 패널에 있어서, 주사선의 개수를 늘리는 등 하여 표시 화상의 고정세화를 도모하기 위해, 화소 치수를 미세화하더라도, 높은 개구율을 실현할 수 있다. 또한, 박막 트랜지스터(1460) 및 용량 소자(1502)의 구성 부재에 투광성을 가지는 막을 이용함으로써, 광시야각을 실현하기 위해, 1 화소를 복수의 서브 픽셀로 분할해도 높은 개구율을 실현할 수 있다. 즉, 고밀도의 박막 트랜지스터군을 배치해도 개구율을 크게 취할 수 있어, 표시 영역의 면적을 충분히 확보할 수 있다. 예를 들면, 하나의 화소 내에 2~4개의 서브 픽셀 및 용량 소자(1502)를 가지는 경우, 박막 트랜지스터가 투광성을 가지고 있는 것에 더하여, 각각의 용량 소자(1502)도 투광성을 가지기 때문에, 개구율을 향상시킬 수 있다.

[0089] 또한, 용량 소자(1502)는 화소 전극층(1456)의 하방에 형성되고, 용량 전극층(1501)이 화소 전극층(1456)과 전기적으로 접속된다.

[0090] 본 실시형태에서는 용량 전극층(1501) 및 용량 배선층(1500)을 이용하여 용량 소자(1502)를 형성하는 예를 나타냈지만, 화소의 용량 소자의 구조에 대해서는 특별히 한정되지 않는다. 예를 들면, 용량 배선층을 형성하지 않고, 화소 전극층을 서로 인접하는 화소의 주사선과 평탄화 절연층, 보호 절연층, 및 제 1 게이트 절연층 및 제 2 게이트 절연층을 통하여 중첩하여 용량 소자를 형성해도 좋다.

[0091] 또한, 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는 액티브 매트릭스 기판과, 대향 전극이 설치된 대향 기판과의 사이에 액정층을 형성하여 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판에 설치된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 단자 전극을 단자부에 제공한다. 이 단자 전극은 공통 전극을 고정 전위, 예를 들면 GND, 0 V

등으로 설정하기 위한 단자이다. 단자 전극은 화소 전극층(1456)과 같은 투광성을 가지는 재료로 형성할 수 있다.

[0092] 또한, 박막 트랜지스터(1470)의 게이트 전극층(1401)과 같은 투광성을 가지는 재료, 및 같은 공정으로 형성되는 용량 배선층(1503)은 유전체가 되는 제 1 게이트 절연층(1402a), 제 2 게이트 절연층(1402b)을 통하여 용량 전극층(1504)과 중첩하여, 구동 회로의 용량 소자(1505)를 형성한다. 또한, 용량 전극층(1504)은 박막 트랜지스터(1470)의 소스 전극층(1405a) 또는 드레인 전극층(1405b)과 같은 투광성을 가지는 재료, 및 같은 공정으로 형성된다.

[0094] (실시형태 2)

[0095] 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 도 3 내지 도 5를 이용하여 설명한다.

[0096] 도 3(A) 내지 도 3(C)에는 동일 기판 위에 제작된 다른 구조의 2개의 박막 트랜지스터의 단면 구조의 일례를 나타낸다. 도 3(A) 내지 도 3(C)에 나타낸 박막 트랜지스터(2410)는 채널 에치형이라고 불리는 보텀 게이트 구조의 하나이며, 박막 트랜지스터(2420)는 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조의 하나이다. 박막 트랜지스터(2410) 및 박막 트랜지스터(2420)는 역스태거형 박막 트랜지스터라고도 한다.

[0097] 도 3(A1)은 구동 회로에 배치되는 채널 에치형의 박막 트랜지스터(2410)의 평면도이며, 도 3(B)은 도 3(A1)의 선C1-C2에서의 단면도이다. 또한, 도 3(C)은 도 3(A1)의 선C3-C4에서의 단면도이다.

[0098] 구동 회로에 배치되는 박막 트랜지스터(2410)는 채널 에치형의 박막 트랜지스터이며, 절연 표면을 가지는 기판(2400) 위에, 게이트 전극층(2411), 제 1 게이트 절연층(2402a), 제 2 게이트 절연층(2402b), 적어도 채널 형성 영역(2413), 제 1 고저항 드레인 영역(2414a), 및 제 2 고저항 드레인 영역(2414b)을 가지는 산화물 반도체층(2412), 소스 전극층(2415a), 및 드레인 전극층(2415b)을 포함한다. 또한, 박막 트랜지스터(2410)를 덮어, 채널 형성 영역(2413)에 접하는 산화물 절연층(2416)이 형성되어 있다.

[0099] 소스 전극층(2415a)의 하면에 접하여 제 1 고저항 드레인 영역(2414a)이 자기 정합적으로 형성되어 있다. 또한, 드레인 전극층(2415b)의 하면에 접하여 제 2 고저항 드레인 영역(2414b)이 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(2413)은 산화물 절연층(2416)과 접하고, 또한, 막두께가 얇게 되어 있어, 제 1 고저항 드레인 영역(2414a), 및 제 2 고저항 드레인 영역(2414b)보다 고저항의 영역(I형 영역)으로 한다.

[0100] 또한, 박막 트랜지스터(2410)는 배선을 저저항화하기 위해 소스 전극층(2415a), 및 드레인 전극층(2415b)으로서 금속 재료를 이용하는 것이 바람직하다.

[0101] 또한, 액정 표시 장치에 있어서, 동일 기판 위에 화소부와 구동 회로를 형성하는 경우, 구동 회로에 있어서, 인버터 회로, NAND 회로, NOR 회로, 래치 회로와 같은 논리 게이트를 구성하는 박막 트랜지스터나, 센스 증폭기, 정전압 발생 회로, VCO와 같은 아날로그 회로를 구성하는 박막 트랜지스터는 소스 전극과 드레인 전극간에 정극성만, 혹은 부극성만이 인가된다. 따라서, 내압이 요구되는 한쪽의 제 2 고저항 드레인 영역(2414b)의 폭을 다른 한쪽의 제 1 고저항 드레인 영역(2414a)의 폭보다 넓게 설계해도 좋다. 또한, 제 1 고저항 드레인 영역(2414a), 및 제 2 고저항 드레인 영역(2414b)이 게이트 전극층과 중첩되는 폭을 넓게 해도 좋다.

[0102] 또한, 구동 회로에 배치되는 박막 트랜지스터(2410)는 싱글 게이트 구조의 박막 트랜지스터를 이용하여 설명했지만, 필요에 따라, 채널 형성 영역을 복수 가지는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.

[0103] 또한, 채널 형성 영역(2413) 상방과 중첩되는 도전층(2417)을 형성한다. 도전층(2417)을 게이트 전극층(2411)과 전기적으로 접속하여, 동전위로 함으로써, 게이트 전극층(2411)과 도전층(2417)의 사이에 배치된 산화물 반도체층에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 도전층(2417)을 게이트 전극층(2411)과는 다른 전위, 예를 들면 고정 전위, GND, 0 V로 하는 경우에는 TFT의 전기 특성, 예를 들면 스레시홀드 전압 등을 제어할 수 있다.

[0104] 또한, 도전층(2417)과 산화물 절연층(2416)의 사이에는 보호 절연층(2403)과 평탄화 절연층(2404)을 적층한다.

[0105] 또한, 보호 절연층(2403)은 보호 절연층(2403)의 하방에 형성하는 제 1 게이트 절연층(2402a) 또는 하지가 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판의 측면으로부터의 수분이나, 수소 이온이나, OH^- 등의 불순물이 침입하는 것을 차단한다. 특히, 보호 절연층(2403)과 접하는 제 1 게이트 절연층(2402a) 또는 하지가 되는 절연막을 질화규소막으로 하면 유효하다.

[0106] 또한, 도 3(A2)은 화소에 배치되는 채널 보호형의 박막 트랜지스터(2420)의 평면도이며, 도 3(B)은 도 3(A2)의

선 D1-D2에서의 단면도이다. 또한, 도 3(C)은 도 3(A2)의 선 D3-D4에서의 단면도이다.

[0107] 화소에 배치되는 박막 트랜지스터(2420)는 채널 보호형의 박막 트랜지스터이며, 절연 표면을 가지는 기판(2400) 위에, 게이트 전극층(2421), 제 1 게이트 절연층(2402a), 제 2 게이트 절연층(2402b), 채널 형성 영역을 포함하는 산화물 반도체층(2422), 채널 보호층으로서 기능하는 산화물 절연층(2426), 소스 전극층(2425a), 및 드레인 전극층(2425b)을 포함한다. 또한, 박막 트랜지스터(2420)를 덮어, 산화물 절연층(2426), 소스 전극층(2425a), 및 드레인 전극층(2425b)에 접하여 보호 절연층(2403), 및 평탄화 절연층(2404)이 적층하여 형성되어 있다. 평탄화 절연층(2404) 위에는 드레인 전극층(2425b)과 접하는 화소 전극층(2427)이 형성되어 있고, 박막 트랜지스터(2420)와 전기적으로 접속하고 있다.

[0108] 또한, 산화물 반도체층(2422)은 적어도 산화물 반도체막의 성막 후에 불순물인 수분 등을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 행해진다. 탈수화 또는 탈수소화를 위한 가열 처리 및 서랭시킨 후, 산화물 반도체층에 접하여 산화물 절연층의 형성 등을 행하여 산화물 반도체층의 캐리어 농도를 저감하는 것이, 박막 트랜지스터(2420)의 전기 특성의 향상 및 신뢰성의 향상으로 이어진다.

[0109] 화소에 배치되는 박막 트랜지스터(2420)의 채널 형성 영역은 산화물 반도체층(2422) 중, 채널 보호층인 산화물 절연층(2426)에 접하고, 또한, 게이트 전극층(2421)과 중첩되는 영역이다. 박막 트랜지스터(2420)는 산화물 절연층(2426)에 의해 보호되기 때문에, 소스 전극층 또는 드레인 전극층(2425a, 2425b)을 형성하는 에칭 공정에 의해, 산화물 반도체층(2422)이 에칭되는 것을 막을 수 있다.

[0110] 또한, 박막 트랜지스터(2420)는 투광성을 가지는 박막 트랜지스터로서 고개구율을 가지는 표시 장치를 실현하기 위해 소스 전극층(2425a), 드레인 전극층(2425b)은 투광성을 가지는 도전막을 이용한다.

[0111] 또한, 박막 트랜지스터(2420)의 게이트 전극층(2421)도 투광성을 가지는 도전막을 이용한다.

[0112] 또한, 박막 트랜지스터(2420)가 배치되는 화소에는 화소 전극층(2427), 또는 그 외의 전극층(용량 전극층 등)이나, 그 외의 배선층(용량 배선층 등)에 가시광에 대하여 투광성을 가지는 도전막을 이용하여, 고개구율을 가지는 표시 장치를 실현한다. 물론, 게이트 절연층(2402a, 2402b), 산화물 절연층(2426)도 가시광에 대하여 투광성을 가지는 막을 이용하는 것이 바람직하다.

[0113] 본 명세서에서, 가시광에 대하여 투광성을 가지는 막이란 가시광의 투과율이 75% 이상 100% 이하인 막두께를 가지는 막을 가리키고, 그 막이 도전성을 가지는 경우는 투명 도전막이라고도 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 그 외의 전극층이나, 그 외의 배선층에 적용하는 금속 산화물로서, 가시광에 대하여 반투명의 도전막을 이용해도 좋다. 가시광에 대하여 반투명이란 가시광의 투과율이 50% 이상 75% 이하인 것을 가리킨다.

[0114] 이하, 도 4 및 도 5(A) 내지 도 5(E)를 이용하여, 동일 기판 위에 박막 트랜지스터(2410) 및 박막 트랜지스터(2420)를 제작하는 공정을 설명한다.

[0115] 먼저, 절연 표면을 가지는 기판(2400) 위에 투광성을 가지는 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트 전극층(2411, 2421)을 형성한다. 또한, 화소부에는 게이트 전극층(2411, 2421)과 같은 투광성을 가지는 재료, 같은 제 1 포토리소그래피 공정에 의해 용량 배선층을 형성한다. 또한, 화소부뿐만 아니라 구동 회로에 용량이 필요한 경우에는 구동 회로에도 용량 배선층을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0116] 절연 표면을 가지는 기판(2400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지고 있는 것이 필요하다. 절연 표면을 가지는 기판(2400)에는 실시형태 1과 같은 유리 기판을 이용할 수 있다.

[0117] 또한, 상기의 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체에 견딜 수 있는 기판을 이용해도 좋다. 그 밖에도, 결정화 유리 등을 이용할 수 있다.

[0118] 또한, 하지막이 되는 절연막을 기판(2400)과 게이트 전극층(2411, 2421)의 사이에 형성해도 좋다. 하지막은 기판(2400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.

[0119] 게이트 전극층(2411, 2421)의 재료는 가시광에 대하여 투광성을 가지는 도전 재료, 예를 들면 In-Sn-Zn-O계,

In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있고, 막두께는 50 nm 이상 300 nm 이하의 범위 내에서 적절히 선택한다. 게이트 전극층(2411, 2421)에 이용하는 금속 산화물의 성막 방법은 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 이용한다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하고, 투광성을 가지는 도전막에 결정화를 저해하는 SiOx(X>0)를 포함시켜, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제할 수 있다.

[0120] 다음에, 게이트 전극층(2411, 2421) 위에 게이트 절연층을 형성한다.

[0121] 게이트 절연층은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들면, 성막 가스로서 SiH_4, 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화질화규소층을 형성하면 좋다.

[0122] 본 실시형태에서는 막두께 50 nm 이상 200 nm 이하의 제 1 게이트 절연층(2402a)과 막두께 50 nm 이상 300 nm 이하의 제 2 게이트 절연층(2402b)의 적층의 게이트 절연층으로 한다. 제 1 게이트 절연층(2402a)으로서는 막두께 100 nm의 질화규소막 또는 질화산화규소막을 이용한다. 또한, 제 2 게이트 절연층(2402b)으로서는 막두께 100 nm의 산화규소막을 이용한다.

[0123] 제 2 게이트 절연층(2402b) 위에, 막두께 2 nm 이상 200 nm 이하의 산화물 반도체막(2430)을 형성한다. 산화물 반도체막(2430)의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도 산화물 반도체막을 비정질인 상태로 하기 위해서는 막두께를 50 nm 이하로 얇게 하면 좋다. 산화물 반도체막의 막두께를 얇게 함으로써 산화물 반도체층의 형성 후에 가열 처리한 경우에, 결정화되어 버리는 것을 억제할 수 있다.

[0124] 또한, 산화물 반도체막(2430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 제 2 게이트 절연층(2402b)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에, 질소, 헬륨, 산소 등을 이용해도 좋다.

[0125] 산화물 반도체막(2430)은 In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 이용한다. 본 실시형태에서는 In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막(2430)은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하여, 산화물 반도체막(2430)에 결정화를 저해하는 SiOx(X>0)를 포함시키고, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되어 버리는 것을 억제할 수 있다.

[0126] 다음에, 산화물 반도체막(2430)을 제 2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0127] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는 350℃ 이상 기판의 변형점 미만, 바람직하게는 400℃ 이상으로 한다. 여기에서는 가열 처리 장치의 하나인 전기로에 기판을 도입하여, 산화물 반도체층에 대하여 질소 분위기 하에서 가열 처리를 행한 후, 대기에 노출되는 일 없이, 산화물 반도체층으로 물이나 수소가 재혼입하는 것을 막아, 산화물 반도체층(2431, 2432)을 얻는다(도 4(B) 참조). 본 실시형태에서는 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도(T)로부터, 다시 물이 들어가지 않는 충분한 온도까지 같은 노를 이용하고, 구체적으로는 가열 온도(T)보다 100℃ 이상 낮아질 때까지 질소 분위기 하에서 서랭한다. 또한, 질소 분위기로 한정되지 않고, 헬륨, 네온, 아르곤 등) 하 혹은 감압 하에서 탈수화 또는 탈수소화를 행한다.

[0128] 또한, 제 1 가열 처리에 있어서는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상, (즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm

이하)로 하는 것이 바람직하다.

[0129] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 결정화하여, 미결정막 또는 다결정막이 되는 경우도 있다.

[0130] 또한, 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(2430)에 행할 수 있다. 그 경우에는 제 1 가열 처리 후에, 가열 장치로부터 기판을 취출하여, 포토리소그래피 공정을 행한다.

[0131] 또한, 산화물 반도체막(2430)의 성막 전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등) 하, 산소 분위기, 혹은 감압 하에서 가열 처리(400℃ 이상 기판의 변형점 미만)를 행하여, 층내에 포함되는 수소 및 물 등의 불순물을 제거한 게이트 절연층으로 해도 좋다.

[0132] 다음에, 제 2 게이트 절연층(2402b), 및 산화물 반도체층(2431, 2432) 위에, 금속 도전막을 형성한 후, 제 3 포토리소그래피 공정에 의해 레지스트 마스크(2433a, 2433b)를 형성하고, 선택적으로 에칭을 행하여 금속 전극층(2434, 2435)을 형성한다(도 4(C) 참조). 금속 도전막의 재료로서는 Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금 등이 있다.

[0133] 금속 도전막으로서는, 티탄층 위에 알루미늄층과, 이 알루미늄층 위에 티탄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층과, 이 알루미늄층 위에 몰리브덴층을 적층한 3층의 적층 구조로 하는 것이 바람직하다. 물론, 금속 도전막으로서 단층, 또는 2층 구조, 또는 4층 이상의 적층 구조로 해도 좋다.

[0134] 또한, 금속 전극층(2434, 2435)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0135] 다음에, 레지스트 마스크(2433a, 2433b)를 제거하고, 제 4 포토리소그래피 공정에 의해 레지스트 마스크(2436a, 2436b)를 형성하여, 선택적으로 에칭을 행하여 소스 전극층(2415a), 및 드레인 전극층(2415b)을 형성한다(도 4(D) 참조). 또한, 제 4 포토리소그래피 공정에서는 산화물 반도체층(2431)은 일부만이 에칭되어, 홈부(오목부)를 가지는 산화물 반도체층(2437)이 된다. 또한, 산화물 반도체층(2431)에 홈부(오목부)를 형성하기 위한 레지스트 마스크(2436a, 2436b)를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0136] 다음에, 레지스트 마스크(2436a, 2436b)를 제거하여, 제 5 포토리소그래피 공정에 의해 산화물 반도체층(2437)을 덮는 레지스트 마스크(2438)를 형성하여, 산화물 반도체층(2432) 위의 금속 전극층(2435)을 제거한다(도 4(E) 참조).

[0137] 또한, 제 5 포토리소그래피 공정에 의해 산화물 반도체층(2432)과 중첩되는 금속 전극층(2435)을 제거하기 위해, 금속 전극층(2435)의 에칭 시에, 산화물 반도체층(2432)도 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.

[0138] 산화물 반도체층(2432)의 상면 및 측면에 접하여, 산화물 반도체층(2437)의 홈부(오목부)에 접하는 보호 절연막이 되는 산화물 절연층(2439)을 형성한다.

[0139] 산화물 절연층(2439)은 적어도 1 nm 이상의 막두께로 하여, 스퍼터링법 등, 산화물 절연층(2439)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 본 실시형태에서는 산화물 절연층(2439)으로서 막두께 300 nm의 산화규소막을, 스퍼터링법을 이용하여 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화규소막의 스퍼터링법에 의한 성막은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들면, 규소 타겟을 이용하여, 산소, 및 질소 분위기 하에서 스퍼터링법에 의해 산화규소막을 형성할 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연층(2439)은 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 대표적으로는 산화규소막, 질화산화규소막, 산화알루미늄막, 또는 산화질화알루미늄 등을 이용한다.

[0140] 다음에, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다(도 5(A) 참조). 예를 들면, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(2437)의 홈부, 산화물 반도체층

(2432)의 상면 및 측면이 산화물 절연층(2439)과 접한 상태에서 가열된다.

[0141] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체막에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행하여 저저항화한 후, 산화물 반도체막의 일부를 선택적으로 산소 과잉의 상태로 한다. 그 결과, 게이트 전극층(2411)과 중첩되는 채널 형성 영역(2413)은 I형이 되고, 소스 전극층(2415a)과 중첩되는 제 1 고저항 드레인 영역(2414a)과, 드레인 전극층(2415b)과 중첩되는 제 2 고저항 드레인 영역(2414b)이 자기 정합적으로 형성된다. 또한, 게이트 전극층(2421)과 중첩되는 산화물 반도체층(2432)은 전체가 I형이 됨으로써, 산화물 반도체층(2422)이 된다.

[0142] 그러나, 고저항화된(I형화된) 산화물 반도체층(2422)이 노출되어 있는 상태에서, 질소, 불활성 가스 분위기 하, 또는 감압하에서 가열 처리를 행하면, 고저항화된(I형화된) 산화물 반도체층(2422)이 저저항화되기 때문에, 산화물 반도체층(2422)이 노출되어 있는 상태에서 행하는 가열 처리는 산소 가스, N_2O 가스 분위기 하, 또는 초건조 에어(대기압 하에서의 이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하)에서 행한다.

[0143] 또한, 드레인 전극층(2415b)(및 소스 전극층(2415a))과 중첩한 산화물 반도체층에 있어서 제 2 고저항 드레인 영역(2414b)(또는 제 1 고저항 드레인 영역(2414a))을 형성함으로써, 구동 회로를 형성했을 때의 신뢰성의 향상을 도모할 수 있다. 구체적으로는 제 2 고저항 드레인 영역(2414b)을 형성함으로써, 드레인 전극층(2415b)으로부터 제 2 고저항 드레인 영역(2414b), 채널 형성 영역(2413)에 걸쳐, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층(2415b)에 고전원 전위(VDD)를 공급하는 배선에 접속하여 동작시키는 경우, 게이트 전극층(2411)과 드레인 전극층(2415b)과의 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼가 되어 국소적인 고전계가 인가되지 않고, 트랜지스터의 내압을 향상시킨 구성으로 할 수 있다.

[0144] 또한, 드레인 전극층(2415b)(및 소스 전극층(2415a))과 중첩한 산화물 반도체층에 있어서 제 2 고저항 드레인 영역(2414b)(또는 제 1 고저항 드레인 영역(2414a))을 형성함으로써, 구동 회로를 형성했을 때의 채널 형성 영역(2413)에서의 리크 전류의 저감을 도모할 수 있다.

[0145] 다음에, 제 6 포토리소그래피 공정에 의해, 레지스트 마스크(2440a, 2440b)를 형성하고, 산화물 절연층(2439)을 선택적으로 에칭하여, 산화물 절연층(2416, 2426)을 형성한다(도 5(B) 참조). 산화물 절연층(2426)은 산화물 반도체층(2422)의 채널 형성 영역 위에 형성되어, 채널 보호층으로서 기능한다. 또한, 본 실시형태와 같이, 게이트 절연층(2402b)으로서 산화물 절연층을 이용하는 경우, 산화물 절연층(2439)의 에칭 공정에 의해, 게이트 절연층(2402b)의 일부도 에칭되어 막두께가 얇아지는(막 감소) 경우가 있다. 게이트 절연층(2402b)으로서 산화물 절연층(2439)과 선택비가 높은 질화절연막을 이용하는 경우는, 게이트 절연층(2402b)이 일부 에칭되는 것을 막을 수 있다.

[0146] 다음에, 산화물 반도체층(2422) 및 산화물 절연층(2426) 위에, 투광성을 가지는 도전막을 형성한 후, 제 7 포토리소그래피 공정에 의해 소스 전극층(2425a), 및 드레인 전극층(2425b)을 형성한다(도 5(C) 참조). 투광성을 가지는 도전막의 성막 방법은 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 이용한다. 도전막의 재료로서는 가시광에 대하여 투광성을 가지는 도전 재료, 예를 들면 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있고, 막두께는 50 nm 이상 300 nm 이하의 범위내에서 적절히 선택한다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하고, 투광성을 가지는 도전막에 결정화를 저해하는 SiOx(X>0)를 포함시켜 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제할 수 있다.

[0147] 또한, 소스 전극층(2425a), 드레인 전극층(2425b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0148] 다음에, 산화물 절연층(2416, 2426), 소스 전극층(2425a), 드레인 전극층(2425b) 위에 보호 절연층(2403)을 형성한다. 본 실시형태에서는 RF 스퍼터링법을 이용하여 질화규소막을 형성한다. RF 스퍼터링법은 양산성이 좋기 때문에, 보호 절연층(2403)의 성막 방법으로서 바람직하다. 보호 절연층(2403)은 수분이나, 수소 이온이나, 산소 이온이나, OH^- 등의 불순물을 포함하지 않으며, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 질화규소막, 질화알루미늄막, 질화산화규소막, 산화질화알루미늄 등을 이용한다. 물론, 보호 절연층(2403)은 투광성을 가지는 절연막이다.

[0149] 또한, 보호 절연층(2403)은 보호 절연층(2403)의 하방에 형성하는 제 1 게이트 절연층(2402a) 또는 하지가 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판의 측면 근방으로부터의 수분이나, 수소 이온이나, OH^- 등의 불순물이 침입하는 것을 차단한다. 특히, 보호 절연층(2403)과 접하는 제 1 게이트 절연층(2402a) 또는 하지가 되는 절연막을 질화규소막으로 하면 유효하다. 즉, 산화물 반도체층의 하면, 상면, 및 측면을 둘러싸도록 질화규소막을 형성하면, 표시 장치의 신뢰성이 향상된다.

[0150] 다음에, 보호 절연층(2403) 위에 평탄화 절연층(2404)을 형성한다. 평탄화 절연층(2404)으로서는 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(2404)을 형성해도 좋다.

[0151] 또한 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면 알킬기나 아릴기)나 플루오로기를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다.

[0152] 평탄화 절연층(2404)의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다.

[0153] 다음에, 제 8 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(2404), 및 보호 절연층(2403)의 에칭에 의해 드레인 전극층(2425b)에 이르는 컨택트홀(2441)을 형성한다(도 5(D) 참조). 또한, 여기서의 에칭에 의해 게이트 전극층(2411, 2421)에 이르는 컨택트홀도 형성한다. 또한, 드레인 전극층(2425b)에 이르는 컨택트홀을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0154] 다음에, 레지스트 마스크를 제거한 후, 투광성을 가지는 도전막을 성막한다. 투광성을 가지는 도전막의 재료로서는, 산화인듐(In_2O_3)이나 산화인듐 산화주석 합금(In_2O_3-SnO_2, ITO라고 약기함) 등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 투광성을 가지는 도전막의 다른 재료로서, 질소를 포함시킨 Al-Zn-O계 비단결정막, 즉 Al-Zn-O계 비단결정막이나, 질소를 포함시킨 Zn-O-N계 비단결정막이나, 질소를 포함시킨 Sn-Zn-O계 비단결정막을 이용해도 좋다. 또한, Al-Zn-O-N계 비단결정막의 아연의 조성비(원자%)는 47 원자% 이하로 하고, 비단결정막 중의 알루미늄의 조성비(원자%)보다 크고, 비단결정막 중의 알루미늄의 조성비(원자%)는 비단결정막 중의 질소의 조성비(원자%)보다 크다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해 산화인듐 산화아연 합금(In_2O_3-ZnO)을 이용해도 좋다.

[0155] 또한, 투광성을 가지는 도전막의 조성비의 단위는 원자%로 하고, 전자선 마이크로 애널라이저(EPMA : Electron Probe X-ray MicroAnalyzer)를 이용한 분석에 의해 평가하는 것으로 한다.

[0156] 다음에, 제 9 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(2427) 및 도전층(2417)을 형성한다(도 5(E) 참조).

[0157] 이상의 공정에 의해, 9장의 마스크를 이용하여, 동일 기판 위에 박막 트랜지스터(2410) 및 박막 트랜지스터(2420)를 각각 구동 회로 또는 화소부에 나누어 만들어 제작할 수 있다. 구동 회로용의 박막 트랜지스터(2410)는 제 1 고저항 드레인 영역(2414a), 제 2 고저항 드레인 영역(2414b), 및 채널 형성 영역(2413)을 포함하는 산화물 반도체층(2412)을 포함하는 채널 에치형 박막 트랜지스터이며, 화소용의 박막 트랜지스터(2420)는 전체가 I형화한 산화물 반도체층(2422)을 포함하는 채널 보호형 박막 트랜지스터이다.

[0158] 또한, 제 1 게이트 절연층(2402a), 제 2 게이트 절연층(2402b)을 유전체로 하여 용량 배선층과 용량 전극층으로 형성되는 보유 용량도 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(2420)와 보유 용량을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(2410)를 가지는 구동 회로를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판이라고 부른다.

[0159] 또한, 화소 전극층(2427)은 평탄화 절연층(2404), 및 보호 절연층(2403)에 형성된 컨택트홀을 통하여 용량 전극층과 전기적으로 접속한다. 또한, 용량 전극층은 소스 전극층(2425a), 드레인 전극층(2425b)과 같은 투광성을

가지는 재료, 같은 공정으로 형성할 수 있다.

[0160] 도전층(2417)을 산화물 반도체층(2412)의 채널 형성 영역(2413)과 중첩되는 위치에 형성함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)에 있어서, BT 시험 전후에서의 박막 트랜지스터(2410)의 스레시홀드 전압의 변화량을 저감할 수 있다. 또한, 도전층(2417)은 전위가 게이트 전극층(2411)과 같아도 좋고, 상이하여도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(2417)의 전위가 GND, 0 V, 혹은 플로팅 상태여도 좋다.

[0161] 또한, 본 실시형태에서는 구동 회로에 이용하는 박막 트랜지스터(2410)가, 채널 형성 영역(2413)과 중첩되는 위치에 도전층(2417)을 가지고 있지만, 구동 회로에 이용하는 박막 트랜지스터가 반드시 도전층(2417)을 가지고 있을 필요는 없다. 도전층(2417)을 가지는 박막 트랜지스터(2410)와, 도전층(2417)을 갖지 않는 박막 트랜지스터는, 상기의 프로세스를 이용함으로써 동일 기판 위에 형성하는 것이 가능하다.

[0162] 또한, 구동 회로에 이용하는 박막 트랜지스터는 반드시 산화물 반도체를 이용할 필요는 없다. 단, 구동 회로에 이용하는 박막 트랜지스터(2410)를 화소의 박막 트랜지스터(2420)와 동일 기판 위에 형성하는 경우는 본 실시형태에 나타내는 바와 같이 박막 트랜지스터(2410)도 박막 트랜지스터(2420)와 함께 산화물 반도체를 이용하여 형성하는 것이, 공정수를 억제할 수 있어 바람직하다. 이 경우, 구동 회로에 이용하는 박막 트랜지스터(2410)는 화소의 박막 트랜지스터(2420)와 함께 단극성의 트랜지스터가 된다.

[0163] 또한, 화소 전극층(2427)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0165] (실시형태 3)

[0166] 본 실시형태에서는 1개의 신호를 복수의 신호로 분할하는 것이 가능한 반도체 장치의 일례에 대하여 설명한다. 또한, 여기에서는 일례로서 1개의 신호를 3개의 신호로 분할하는 경우에 대하여 설명하지만, 이것에 한정되지 않고, 1개의 신호는 2개 이상의 신호로 분할되어 있으면 좋다.

[0167] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여, 도 6(A)을 참조하여 설명한다.

[0168] 회로(100)는 회로(110), 회로(120), 회로(130)를 가진다. 회로(110)는 주사선 스위칭 소자에 상당하는 트랜지스터(111), 회로(112) 및 용량 소자(114)를 가진다. 회로(120)는 주사선 스위칭 소자에 상당하는 트랜지스터(121), 회로(122) 및 용량 소자(124)를 가진다. 회로(130)는 주사선 스위칭 소자에 상당하는 트랜지스터(131), 회로(132) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142) 및 배선(143)은 신호(IN), 신호(CK1), 신호(CK2) 및 신호(CK3)를 각각 전반(傳搬)하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및 신호(OUT3)를 각각 전반하고 있다.

[0169] 다음에, 접속 관계에 대하여 설명한다.

[0170] 회로(100)는 배선(140), 배선(141), 배선(142) 및 배선(143)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0171] 다음에, 도 6(A)의 반도체 장치의 동작에 대하여, 도 6(B)의 타이밍 차트를 참조하여 설명한다.

[0172] 도 6(B)의 타이밍 차트는 기간(T1), 기간(T2) 및 기간(T3)을 가진다. 신호(IN)는 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다.

[0173] 먼저, 기간(T1)에서의 도 6(A)의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다.

[0174] 다음에, 기간(T2)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다.

[0175] 다음에, 기간(T3)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이

된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다.

[0176] 그리고, 회로(110), 회로(120), 회로(130)로부터 출력된 신호(OUT1), 신호(OUT2), 신호(OUT3)는 주사선 선택 신호로서, 주사선 구동 회로로부터 대응하는 주사선에 각각 입력된다.

[0177] 이상과 같이, 신호(IN)를 복수의 신호로 분할할 수 있다. 이때, 회로(110), 회로(120) 및 회로(130)에 포함되는 용량 소자(114), 용량 소자(124) 및 용량 소자(134)의 용량 결합에 의해, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)의 진폭은 신호(CK1), 신호(CK2) 및 신호(CK3)의 진폭과 같아진다.

[0178] 또한, 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)의 게이트 전극의 전위는 부트스트랩 동작에 의해, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)의 전위에 따라 상승한다. 즉, 트랜지스터의 Vgs를 크게 하는 것 또는 큰 채로 할 수 있으므로, 신호(OUT)의 변형을 저감할 수 있다. 또는 신호(OUT)의 상승 시간 또는 하강 시간을 짧게 할 수 있다.

[0179] 또한, 신호(IN)보다 큰 진폭의 신호 또는 전원 전압을 별도 이용할 필요가 없어지므로, 소비 전력을 저감할 수 있다.

[0181] (실시형태 4)

[0182] 본 실시형태에서는 실시형태 3의 구체예에 대하여 설명한다.

[0183] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여 도 7(A)을 참조하여 설명한다.

[0184] 회로(100)는 회로(110), 회로(120) 및 회로(130)를 가진다. 회로(110)는 트랜지스터(111), 트랜지스터(113), 트랜지스터(115) 및 용량 소자(114)를 가진다. 회로(120)는 트랜지스터(121), 트랜지스터(123), 트랜지스터(125) 및 용량 소자(124)를 가진다. 회로(130)는 트랜지스터(131), 트랜지스터(133), 트랜지스터(135) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142), 배선(143) 및 배선(240)은 신호(IN1), 신호(CK1), 신호(CK2), 신호(CK3) 및 신호(IN2)를 각각 전반하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및 신호(OUT3)를 각각 전반하고 있다.

[0185] 다음에, 접속 관계에 대하여 설명한다.

[0186] 회로(100)는 배선(140), 배선(141), 배선(142), 배선(143) 및 배선(240)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 배선(240), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 배선(240), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 배선(240), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140) 및 배선(240)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0187] 회로(110)에 포함되는 트랜지스터(111)의 게이트 전극은 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 한쪽의 전극은 배선(141)과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(151) 및 용량 소자(114)의 다른 한쪽의 전극과 접속된다. 트랜지스터(115)의 게이트 전극은 배선(140) 및 트랜지스터(115)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 용량 소자(114)의 한쪽의 전극과 접속된다. 트랜지스터(113)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0188] 회로(120)에 포함되는 트랜지스터(121)의 게이트 전극은 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 한쪽의 전극은 배선(142)과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(152) 및 용량 소자(124)의 다른 한쪽의 전극과 접속된다. 트랜지스터(125)의 게이트 전극은 배선(140) 및 트랜지스터(125)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 용량 소자(124)의 한쪽의 전극과 접속된다. 트랜지스터(123)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(123)의 소스 또는 드

레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0189] 회로(130)에 포함되는 트랜지스터(131)의 게이트 전극은 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 한쪽의 전극은 배선(143)과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(153) 및 용량 소자(134)의 다른 한쪽의 전극과 접속된다. 트랜지스터(135)의 게이트 전극은 배선(140) 및 트랜지스터(135)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 용량 소자(134)의 한쪽의 전극과 접속된다. 트랜지스터(133)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0190] 다음에, 도 7(A)의 반도체 장치의 동작에 대하여, 도 7(B)의 타이밍 차트를 참조하여 설명한다.

[0191] 도 7(B)의 타이밍 차트는 기간(T1), 기간(T2), 기간(T3), 기간(T4), 기간(T5) 및 기간(T6)을 가진다. 신호(IN1)는 1번째단의 회로(100)에 대한 입력 신호이다. 신호(IN2)는 2번째단의 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 1번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이며, 또한, 2번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 1번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다. 신호(OUT1), 신호(OUT2), 신호(OUT3)는 주사선 선택 신호로서, 주사선 구동 회로로부터 대응하는 주사선에 각각 입력된다.

[0192] 먼저, 기간(T1)에서의 도 7(A)의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다.

[0193] 다음에, 기간(T2)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(111)는 온 상태를 유지하고 있다.

[0194] 다음에, 기간(T3)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이 된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(111) 및 회로(120)에 포함되는 트랜지스터(121)는 온 상태를 유지하고 있다.

[0195] 즉, 기간(T3)에서는 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)는 모두 온 상태로 되어 있다. 이대로는 기간(T4) 이후에 신호(CK1), 신호(CK2) 및 신호(CK3)가 H 레벨이 되면, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)가 H 레벨이 되어, 주사선 선택 불량이 되는 일이 있다.

[0196] 다음에, 기간(T4)에서는 신호(IN1)가 L 레벨, 신호(IN2)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 신호(IN2)가 H 레벨이 되면, 회로(110)에 포함되는 트랜지스터(113), 회로(120)에 포함되는 트랜지스터(123) 및 회로(130)에 포함되는 트랜지스터(133)가 온 상태가 된다. 이러한 트랜지스터의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한쪽의 전극의 전위도 L 레벨이 된다. 따라서, 이러한 트랜지스터의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)의 게이트 전극도 L 레벨이 되고, 이들 트랜지스터는 오프 상태가 된다. 이것에 의해, 기간(T4)에서는 신호(CK1)가 H 레벨이 되어도 신호(OUT1)는 L 레벨을 유지할 수 있다.

[0197] 기간(T5) 및 기간(T6)에 대해서도 기간(T4)과 마찬가지로, 신호(IN2)가 H 레벨인 경우, 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)가 오프 상태로 되어 있으므로, 신호(CK2) 및 신호(CK3)가 H 레벨이 되어도 신호(OUT2) 및 신호(OUT3)는 L 레벨을 유지할 수 있다. 또한, 이때, 1번째단의 회로(100)에 신호(IN1)가 입력되어 있었을 때와 마찬가지로, 2번째단의 회로(100)로부터 출력되는 신호(OUT4), 신호(OUT5) 및 신호(OUT6)는 순차 H 레벨이 된다.

[0198] 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)를 오프 상태로 하는 구성이 아닌 경우, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 신호(CK1), 신호(CK2) 및 신호(CK3)가 H 레벨이 됨과 동시에 H 레벨이 되어, 주사선

선택 불량이 되는 일이 있다.

[0200] (실시형태 5)

[0201] 본 실시형태에서는 실시형태 3의 다른 구체예에 대하여 설명한다.

[0202] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여 도 8을 참조하여 설명한다.

[0203] 회로(100)는 회로(110), 회로(120) 및 회로(130)를 가진다. 회로(110)는 트랜지스터(111), 트랜지스터(113), 트랜지스터(115), 트랜지스터(116) 및 용량 소자(114)를 가진다. 회로(120)는 트랜지스터(121), 트랜지스터(123), 트랜지스터(125), 트랜지스터(126) 및 용량 소자(124)를 가진다. 회로(130)는 트랜지스터(131), 트랜지스터(133), 트랜지스터(135), 트랜지스터(136) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142), 배선(143) 및 배선(240)은 신호(IN1), 신호(CK1), 신호(CK2), 신호(CK3) 및 신호(IN2)를 각각 전반하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및 신호(OUT3)를 각각 전반하고 있다.

[0204] 다음에, 접속 관계에 대하여 설명한다.

[0205] 회로(100)는 배선(140), 배선(141), 배선(142), 배선(143) 및 배선(240)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 배선(240), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 배선(240), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 배선(240), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140) 및 배선(240)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0206] 회로(110)에 포함되는 트랜지스터(111)의 게이트 전극은 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 한쪽의 전극은 배선(141)과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(151) 및 트랜지스터(116)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 다른 한쪽의 전극과 접속된다. 트랜지스터(115)의 게이트 전극은 배선(140) 및 트랜지스터(115)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 용량 소자(114)의 한쪽의 전극과 접속된다. 트랜지스터(113)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(116)의 게이트 전극은 배선(143)과 접속되고, 트랜지스터(116)의 소스 또는 드레인의 한쪽의 전극은 배선(151) 및 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(114)의 다른 한쪽의 전극과 접속되고, 트랜지스터(116)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0207] 회로(120)에 포함되는 트랜지스터(121)의 게이트 전극은 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 한쪽의 전극은 배선(142)과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(152) 및 트랜지스터(126)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 다른 한쪽의 전극과 접속된다. 트랜지스터(125)의 게이트 전극은 배선(140) 및 트랜지스터(125)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 용량 소자(124)의 한쪽의 전극과 접속된다. 트랜지스터(123)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(126)의 게이트 전극은 배선(141)과 접속되고, 트랜지스터(126)의 소스 또는 드레인의 한쪽의 전극은 배선(152) 및 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(126)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0208] 회로(130)에 포함되는 트랜지스터(131)의 게이트 전극은 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 한쪽의 전극은 배선(143)과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(153) 및 트랜지스터(136)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 다른 한쪽의 전극과 접속된다. 트랜지스터(135)의 게이트 전극은 배선(140) 및 트랜지스터(135)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 용량 소자(134)의 한쪽의 전극과 접속된다.

트랜지스터(133)의 게이트 전극은 배선(240)과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(136)의 게이트 전극은 배선(142)과 접속되고, 트랜지스터(136)의 소스 또는 드레인의 한쪽의 전극은 배선(153) 및 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(136)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0209] 다음에, 도 8의 반도체 장치의 동작에 대하여, 도 7(B)의 타이밍 차트를 참조하여 설명한다.

[0210] 도 7(B)의 타이밍 차트는 기간(T1), 기간(T2), 기간(T3), 기간(T4), 기간(T5) 및 기간(T6)을 가진다. 신호(IN1)는 1번째단의 회로(100)에 대한 입력 신호이다. 신호(IN2)는 2번째단의 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 1번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이며, 또한 2번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 1번째단의 회로(100)가 가지는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다. 신호(OUT1), 신호(OUT2), 신호(OUT3)는 주사선 선택 신호로서, 주사선 구동 회로로부터 대응하는 주사선에 각각 입력된다.

[0211] 먼저, 기간(T1)에서의 도 8의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(120)에 포함되는 트랜지스터(126)는 온 상태가 되고, 신호(OUT2)는 L 레벨이 된다.

[0212] 다음에, 기간(T2)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(111)는 온 상태를 유지하고 있다. 또한, 회로(130)에 포함되는 트랜지스터(136)는 온 상태가 되고, 신호(OUT3)는 L 레벨이 된다.

[0213] 다음에, 기간(T3)에서는 신호(IN1)가 H 레벨, 신호(IN2)가 L 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이 된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(111) 및 회로(120)에 포함되는 트랜지스터(121)는 온 상태를 유지하고 있다. 또한, 회로(110)에 포함되는 트랜지스터(116)는 온 상태가 되고, 신호(OUT1)는 L 레벨이 된다.

[0214] 다음에, 기간(T4)에서는 신호(IN1)가 L 레벨, 신호(IN2)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 신호(IN2)가 H 레벨이 되면, 회로(110)에 포함되는 트랜지스터(113), 회로(120)에 포함되는 트랜지스터(123) 및 회로(130)에 포함되는 트랜지스터(133)가 온 상태가 된다. 이러한 트랜지스터의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한쪽의 전극의 전위도 L 레벨이 된다. 따라서, 이러한 트랜지스터의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)의 게이트 전극도 L 레벨이 되고, 이러한 트랜지스터는 오프 상태가 된다. 이것에 의해, 기간(T4)에서는 신호(CK1)가 H 레벨이 되어도 신호(OUT1)는 L 레벨을 유지할 수 있다. 또한, 기간(T1)과 마찬가지로, 신호(CK1)가 H 레벨로 되어 있기 때문에, 회로(120)에 포함되는 트랜지스터(126)는 온 상태가 되고, 신호(OUT2)는 L 레벨이 된다.

[0215] 기간(T5) 및 기간(T6)에 대해서도 기간(T4)과 마찬가지로, 신호(IN2)가 H 레벨인 경우, 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)가 오프 상태로 되어 있으므로, 신호(CK2) 및 신호(CK3)가 H 레벨이 되어도 신호(OUT2) 및 신호(OUT3)는 L 레벨을 유지할 수 있다. 또한, 기간(T5)에서는 회로(130)에 포함되는 트랜지스터(136)가 온 상태가 되고, 기간(T6)에서는 회로(110)에 포함되는 트랜지스터(116)가 온 상태가 되기 때문에, 신호(OUT3) 및 신호(OUT1)는 L 레벨이 된다.

[0216] 이와 같이, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110)에 포함되는 트랜지스터(116), 회로(120)에 포함되는 트랜지스터(126) 및 회로(130)에 포함되는 트랜지스터(136)가 온이 되는 것에 의해 L 레벨이 되고, 주사선 선택 불량을 억제할 수 있다.

[0218] (실시형태 6)

[0219] 본 실시형태에서는 1개의 신호를 복수의 신호로 분할하는 것이 가능한 반도체 장치의 다른 일례에 대하여 설명

한다. 본 실시형태는 실시형태 3의 신호(IN)와 신호(CK)의 트랜지스터에 대한 접속을 교체한 것이다.

[0220] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여, 도 9를 참조하여 설명한다.

[0221] 회로(100)는 회로(110), 회로(120), 회로(130)를 가진다. 회로(110)는 트랜지스터(111), 회로(112) 및 용량 소자(114)를 가진다. 회로(120)는 트랜지스터(121), 회로(122) 및 용량 소자(124)를 가진다. 회로(130)는 트랜지스터(131), 회로(132) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142) 및 배선(143)은 신호(IN), 신호(CK1), 신호(CK2) 및 신호(CK3)를 각각 전반하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및 신호(OUT3)를 각각 전반하고 있다.

[0222] 다음에, 접속 관계에 대하여 설명한다.

[0223] 회로(100)는 배선(140), 배선(141), 배선(142) 및 배선(143)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0224] 다음에, 도 9의 반도체 장치의 동작에 대하여, 도 6(B)의 타이밍 차트를 참조하여 설명한다.

[0225] 도 6(B)의 타이밍 차트는 기간(T1), 기간(T2) 및 기간(T3)을 가진다. 신호(IN)는 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다.

[0226] 먼저, 기간(T1)에 있어서의 도 9의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다.

[0227] 다음에, 기간(T2)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다.

[0228] 다음에, 기간(T3)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이 된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다.

[0229] 그리고, 회로(110), 회로(120), 회로(130)로부터 출력된 신호(OUT1), 신호(OUT2), 신호(OUT3)는 주사선 선택 신호로서, 주사선 구동 회로로부터 대응하는 주사선에 각각 입력된다.

[0230] 이상과 같이, 신호(IN)를 복수의 신호로 분할할 수 있다. 이때, 회로(110), 회로(120) 및 회로(130)에 포함되는 용량 소자(114), 용량 소자(124) 및 용량 소자(134)의 용량 결합에 의해, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)의 진폭은 신호(CK1), 신호(CK2) 및 신호(CK3)의 진폭과 마찬가지가 된다.

[0231] 또한, 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)의 게이트 전극의 전위는 부트스트랩 동작에 의해, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)의 전위에 따라 상승한다. 즉, 트랜지스터의 Vgs를 크게 하는 것 또는 큰 채로 할 수 있으므로, 신호(OUT)의 변형을 저감할 수 있다. 또는 신호(OUT)의 상승 시간 또는 하강 시간을 짧게 할 수 있다.

[0232] 또한, 신호(IN)보다 큰 진폭의 신호 또는 전원 전압을 별도 이용할 필요가 없어지므로, 소비 전력을 저감할 수 있다.

[0234] (실시형태 7)

[0235] 본 실시형태에서는 실시형태 4의 구체예에 대하여 설명한다.

[0236] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여 도 10을 참조하여 설명한다.

[0237] 회로(100)는 회로(110), 회로(120) 및 회로(130)를 가진다. 회로(110)는 트랜지스터(111), 트랜지스터(113), 트랜지스터(115) 및 용량 소자(114)를 가진다. 회로(120)는 트랜지스터(121), 트랜지스터(123), 트랜지스터(125) 및 용량 소자(124)를 가진다. 회로(130)는 트랜지스터(131), 트랜지스터(133), 트랜지스터(135) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142) 및 배선(143)은 신호(IN), 신호(CK1), 신호(CK2) 및 신호(CK3)를 각각 전반하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및

신호(OUT3)를 각각 전반하고 있다.

[0238] 다음에, 접속 관계에 대하여 설명한다.

[0239] 회로(100)는 배선(140), 배선(141), 배선(142) 및 배선(143)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0240] 회로(110)에 포함되는 트랜지스터(111)의 게이트 전극은 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(151) 및 용량 소자(114)의 다른 한쪽의 전극과 접속된다. 트랜지스터(115)의 게이트 전극은 배선(141) 및 트랜지스터(115)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 용량 소자(114)의 한쪽의 전극과 접속된다. 트랜지스터(113)의 게이트 전극은 배선(142)과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0241] 회로(120)에 포함되는 트랜지스터(121)의 게이트 전극은 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(152) 및 용량 소자(124)의 다른 한쪽의 전극과 접속된다. 트랜지스터(125)의 게이트 전극은 배선(142) 및 트랜지스터(125)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 용량 소자(124)의 한쪽의 전극과 접속된다. 트랜지스터(123)의 게이트 전극은 배선(143)과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0242] 회로(130)에 포함되는 트랜지스터(131)의 게이트 전극은 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(153) 및 용량 소자(134)의 다른 한쪽의 전극과 접속된다. 트랜지스터(135)의 게이트 전극은 배선(143) 및 트랜지스터(135)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 용량 소자(134)의 한쪽의 전극과 접속된다. 트랜지스터(133)의 게이트 전극은 배선(141)과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다.

[0243] 다음에, 도 10의 반도체 장치의 동작에 대하여, 도 6(B)의 타이밍 차트를 참조하여 설명한다.

[0244] 도 6(B)의 타이밍 차트는 기간(T1), 기간(T2) 및 기간(T3)을 가진다. 신호(IN)는 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다. 신호(OUT1), 신호(OUT2), 신호(OUT3)는 주사선 선택 신호로서 주사선 구동 회로로부터 대응하는 주사선에 각각 입력된다.

[0245] 먼저, 기간(T1)에 있어서의 도 10의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(111)는 온 상태를 유지하고 있다.

[0246] 다음에, 기간(T2)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(113)가 온 상태가 되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한

쪽의 전극의 전위도 L 레벨이 된다. 따라서, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(111)의 게이트 전극도 L 레벨이 되고, 트랜지스터(111)는 오프 상태가 된다. 이것에 의해, 기간(T2)에서 신호(IN)가 H 레벨로 되어 있어도, 신호(OUT1)는 L 레벨을 유지할 수 있다. 또한, 회로(120)에 포함되는 트랜지스터(121)는 온 상태를 유지하고 있다.

[0247] 다음에, 기간(T3)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이 된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다. 이때, 회로(120)에 포함되는 트랜지스터(123)가 온 상태가 되고, 트랜지스터(123)의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한쪽의 전극의 전위도 L 레벨이 된다. 따라서, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(121)의 게이트 전극도 L 레벨이 되고, 트랜지스터(121)는 오프 상태가 된다. 이것에 의해, 기간(T3)에서 신호(IN)가 H 레벨로 되어 있어도, 신호(OUT2)는 L 레벨을 유지할 수 있다. 또한, 회로(130)에 포함되는 트랜지스터(131)는 온 상태를 유지하고 있다.

[0248] 마찬가지로, 다음의 기간으로 이행한 경우는 신호(CK1)를 이용하여 트랜지스터(131)를 오프 상태로 하고, 신호(OUT3)는 L 레벨을 유지할 수 있다.

[0249] 트랜지스터(111), 트랜지스터(121) 및 트랜지스터(131)를 오프 상태로 하는 구성이 아닌 경우, 신호(IN)가 H 레벨이 되어 있는 기간에 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 H 레벨이 되어, 주사선 선택 불량이 되는 일이 있다.

[0251] (실시형태 8)

[0252] 본 실시형태에서는 실시형태 4의 다른 구체예에 대하여 설명한다.

[0253] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여 도 11을 참조하여 설명한다.

[0254] 회로(100)는 회로(110), 회로(120) 및 회로(130)를 가진다. 회로(110)는 트랜지스터(111), 트랜지스터(113), 트랜지스터(115), 트랜지스터(116) 및 용량 소자(114)를 가진다. 회로(120)는 트랜지스터(121), 트랜지스터(123), 트랜지스터(125), 트랜지스터(126) 및 용량 소자(124)를 가진다. 회로(130)는 트랜지스터(131), 트랜지스터(133), 트랜지스터(135), 트랜지스터(136) 및 용량 소자(134)를 가진다. 또한, 배선(140), 배선(141), 배선(142) 및 배선(143)은 신호(IN), 신호(CK1), 신호(CK2) 및 신호(CK3)를 각각 전반하고 있고, 배선(151), 배선(152) 및 배선(153)은 신호(OUT1), 신호(OUT2) 및 신호(OUT3)를 각각 전반하고 있다.

[0255] 다음에, 접속 관계에 대하여 설명한다.

[0256] 회로(100)는 배선(140), 배선(141), 배선(142) 및 배선(143)과 접속 관계에 있다. 회로(110)는 배선(140), 배선(141), 및 배선(151)과 접속 관계에 있다. 회로(120)는 배선(140), 배선(142), 및 배선(152)과 접속 관계에 있다. 회로(130)는 배선(140), 배선(143), 및 배선(153)과 접속 관계에 있다. 즉, 배선(140)은 회로(110), 회로(120) 및 회로(130)의 각각과 접속 관계에 있다.

[0257] 회로(110)에 포함되는 트랜지스터(111)의 게이트 전극은 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과 접속되고, 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(151) 및 트랜지스터(116)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 다른 한쪽의 전극과 접속된다. 트랜지스터(115)의 게이트 전극은 배선(141) 및 트랜지스터(115)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 용량 소자(114)의 한쪽의 전극과 접속된다. 트랜지스터(113)의 게이트 전극은 배선(142)과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(111)의 게이트 전극 및 트랜지스터(115)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(114)의 한쪽의 전극과 접속되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(116)의 게이트 전극은 배선(143)과 접속되고, 트랜지스터(116)의 소스 또는 드레인의 한쪽의 전극은 배선(151) 및 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(114)의 다른 한쪽의 전극과 접속되고, 트랜지스터(116)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0258] 회로(120)에 포함되는 트랜지스터(121)의 게이트 전극은 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(121)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과

접속되고, 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(152) 및 트랜지스터(126)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 다른 한쪽의 전극과 접속된다. 트랜지스터(125)의 게이트 전극은 배선(142) 및 트랜지스터(125)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 용량 소자(124)의 한쪽의 전극과 접속된다. 트랜지스터(123)의 게이트 전극은 배선(143)과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(121)의 게이트 전극 및 트랜지스터(125)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(124)의 한쪽의 전극과 접속되고, 트랜지스터(123)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(126)의 게이트 전극은 배선(141)과 접속되고, 트랜지스터(126)의 소스 또는 드레인의 한쪽의 전극은 배선(152) 및 트랜지스터(121)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(124)의 다른 한쪽의 전극과 접속되고, 트랜지스터(126)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0259] 회로(130)에 포함되는 트랜지스터(131)의 게이트 전극은 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 한쪽의 전극은 배선(140)과 접속되고, 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극은 배선(153) 및 트랜지스터(136)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 다른 한쪽의 전극과 접속된다. 트랜지스터(135)의 게이트 전극은 배선(143) 및 트랜지스터(135)의 소스 또는 드레인의 다른 한쪽의 전극과 접속되고, 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 용량 소자(134)의 한쪽의 전극과 접속된다. 트랜지스터(133)의 게이트 전극은 배선(141)과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 한쪽의 전극은 트랜지스터(131)의 게이트 전극 및 트랜지스터(135)의 소스 또는 드레인의 한쪽의 전극 및 용량 소자(134)의 한쪽의 전극과 접속되고, 트랜지스터(133)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극과 접속된다. 트랜지스터(136)의 게이트 전극은 배선(142)과 접속되고, 트랜지스터(136)의 소스 또는 드레인의 한쪽의 전극은 배선(153) 및 트랜지스터(131)의 소스 또는 드레인의 다른 한쪽의 전극 및 용량 소자(134)의 다른 한쪽의 전극과 접속되고, 트랜지스터(136)의 소스 또는 드레인의 다른 한쪽의 전극은 GND(그라운드) 전극에 접속된다.

[0260] 다음에, 도 11의 반도체 장치의 동작에 대하여, 도 6(B)의 타이밍 차트를 참조하여 설명한다.

[0261] 도 6(B)의 타이밍 차트는 기간(T1), 기간(T2) 및 기간(T3)을 가진다. 신호(IN)는 회로(100)에 대한 입력 신호이다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 회로(110), 회로(120) 및 회로(130)에 대한 입력 신호이다. 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110), 회로(120) 및 회로(130)로부터의 출력 신호이다.

[0262] 먼저, 기간(T1)에 있어서의 도 11의 반도체 장치의 동작에 대하여 설명한다. 기간(T1)에서는 신호(IN)가 H 레벨, 신호(CK1)가 H 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(110)에 포함되는 트랜지스터(111)가 온 상태가 되고, 신호(OUT1)가 H 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(120)에 포함되는 트랜지스터(126)는 온 상태가 되고, 신호(OUT2)는 L 레벨이 된다.

[0263] 다음에, 기간(T2)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 H 레벨, 신호(CK3)가 L 레벨이 된다. 그러면, 회로(120)에 포함되는 트랜지스터(121)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 H 레벨, 신호(OUT3)가 L 레벨이 된다. 이때, 회로(110)에 포함되는 트랜지스터(113)가 온 상태가 되고, 트랜지스터(113)의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한쪽의 전극의 전위도 L 레벨이 된다. 따라서, 트랜지스터(113)의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(111)의 게이트 전극도 L 레벨이 되고, 트랜지스터(111)는 오프 상태가 된다. 이것에 의해, 기간(T2)에서 신호(IN)가 H 레벨로 되어 있어도, 신호(OUT1)는 L 레벨을 유지할 수 있다. 또한, 회로(130)에 포함되는 트랜지스터(136)는 온 상태가 되고, 신호(OUT3)는 L 레벨이 된다.

[0264] 다음에, 기간(T3)에서는 신호(IN)가 H 레벨, 신호(CK1)가 L 레벨, 신호(CK2)가 L 레벨, 신호(CK3)가 H 레벨이 된다. 그러면, 회로(130)에 포함되는 트랜지스터(131)가 온 상태가 되고, 신호(OUT1)가 L 레벨, 신호(OUT2)가 L 레벨, 신호(OUT3)가 H 레벨이 된다. 이때, 회로(120)에 포함되는 트랜지스터(123)가 온 상태가 되고, 트랜지스터(123)의 소스 또는 드레인의 다른 한쪽의 전극은 GND 전극에 접속되어 있기 때문에, 소스 또는 드레인의 한쪽의 전극의 전위도 L 레벨이 된다. 따라서, 트랜지스터(123)의 소스 또는 드레인의 한쪽의 전극에 접속되어 있는 트랜지스터(121)의 게이트 전극도 L 레벨이 되고, 트랜지스터(121)는 오프 상태가 된다. 이것에 의해, 기간(T3)에서 신호(IN)가 H 레벨로 되어 있어도, 신호(OUT2)는 L 레벨을 유지할 수 있다. 또한, 회로(110)에 포함되는 트랜지스터(116)는 온 상태가 되고, 신호(OUT1)는 L 레벨이 된다.

[0265] 마찬가지로, 다음의 기간으로 이행한 경우는, 신호(CK1)를 이용하여 트랜지스터(131)를 오프 상태로 하고, 신호(OUT3)는 L 레벨을 유지할 수 있다.

[0266] 이와 같이, 신호(OUT1), 신호(OUT2) 및 신호(OUT3)는 회로(110)에 포함되는 트랜지스터(116), 회로(120)에 포함되는 트랜지스터(126) 및 회로(130)에 포함되는 트랜지스터(136)가 온이 되는 것에 의해 L 레벨이 되어, 주사선 선택 불량을 억제할 수 있다.

[0268] (실시형태 9)

[0269] 본 실시형태에서는 본 발명의 일양태에 관한 구성을 채용한 구동 회로에 대하여 설명한다.

[0270] 먼저, 본 실시형태의 반도체 장치의 구성에 대하여, 도 6에 나타낸 회로(100)를 예로 들어, 도 12를 참조하여 설명한다.

[0271] 시프트 레지스터(2000)는 복수의 신호를 순차 출력한다. 1번째단부터 n번째단의 회로(100)는 본 발명의 일양태에 관한 회로이며, 여기에서는 1개의 신호를 3개의 신호로 분할하여 출력하고 있다. 또한, 배선(140)은 시프트 레지스터(2000)로부터의 출력 신호를 각각 1번째단부터 n번째단의 회로(100)에 전반하고 있고, n조의 배선(151)~배선(153)은 신호(OUT1)~신호(OUT3)를 각각 전반하고 있다.

[0272] 다음에, 접속 관계에 대하여 설명한다.

[0273] 시프트 레지스터(2000)는 배선(140)과 접속 관계에 있다. 회로(100)는 배선(140), 배선(151), 배선(152) 및 배선(153)과 접속 관계에 있다.

[0274] 다음에, 도 12의 반도체 장치의 동작에 대하여, 도 13의 타이밍 차트를 참조하여 설명한다.

[0275] 도 13의 타이밍 차트는 구동 회로의 1 프레임 기간을 나타내고 있다. 신호(SRout1) 1번째단의 회로(100)에 대한 입력 신호이다. 신호(SRout2)는 2번째단의 회로(100)에 대한 입력 신호이다. 신호(SRoutN)는 n번째단의 회로(100)에 대한 입력 신호이다. 이러한 신호(SRout1 내지 SRoutN)의 펄스가 출현하고 있는 기간은 서브 프레임 기간을 나타내고 있다. 신호(CK1), 신호(CK2) 및 신호(CK3)는 1번째단부터 n번째단의 회로(100)에 대한 입력 신호이다. 이러한 신호(CK1 내지 CK3)의 펄스가 출현하고 있는 기간은 주사선 선택 기간을 나타내고 있다. 신호(OUT1)~신호(OUT3n)는 1번째단부터 n번째단의 회로(100)로부터의 출력 신호이다.

[0276] 순차 입력되는 신호(SRout)와 신호(CK)가 모두 H 레벨이 되었을 때만, 신호(OUT)가 H 레벨이 된다. 즉, 1 프레임 기간에 신호(SRout1)~신호(SRoutN)가 입력되면, 신호(OUT1)~신호(OUT3n)까지 출력된다. 이것에 의해, 1 프레임 기간에서 주사선(1)~주사선(3n)까지를 제어할 수 있다. 또한, 2번째 프레임 이후도 마찬가지로 신호(SRout)와 신호(CK)가 입력되어, 신호(OUT)가 출력된다. 동영상 표시는 일반적으로 1초 동안 60 프레임 처리되어 표시되어 있다.

[0277] 또한, 본 실시형태에서는 도 6에 나타낸 회로(100)를 예로 들어, 주사선 구동 회로 내의, 시프트 레지스터의 출력측에 설치되어 있는 회로 구성에 대하여 설명했지만, 본 발명의 일양태에 관한 반도체 장치는 도 7~도 11에 나타낸 회로(100)를 이용하고 있어도 좋다.

[0279] (실시형태 10)

[0280] 본 실시형태에서는 표시 장치의 단면 구조의 일례에 대하여 설명한다.

[0281] 도 14(A)는 표시 장치의 상면도의 일례이다. 기판(5391)에, 구동 회로부(5392)와 화소부(5393)가 형성되어 있다. 구동 회로부(5392)의 일례로서는, 주사선 구동 회로, 또는 신호선 구동 회로 등이 있다.

[0282] 도 14(B)에는 구동 회로부(5392)의 단면도의 일례(도 14(A)의 A-B단면)를 나타낸다. 도 14(B)에는 일례로서 기판(5401), 도전층(5402a), 도전층(5402b), 절연층(5403), 도전층(5404a), 도전층(5404b), 반도체층(5405), 절연층(5406), 도전층(5407), 액정층(5408), 절연층(5409), 도전층(5410), 및 기판(5411)을 나타낸다. 도전층(5402a)은 일례로서 기판(5401) 위에 형성된다. 도전층(5402b)은 일례로서 도전층(5402a)의 위에 형성된다. 절연층(5403)은 일례로서 기판(5401), 도전층(5402a), 및 도전층(5402b)의 위에 형성된다. 도전층(5404a)은 일례로서 절연층(5403)의 위에 형성된다. 도전층(5404b)은 일례로서 도전층(5404a)의 위에 형성된다. 반도체층(5405)은 일례로서 절연층(5403) 위에 형성된다. 절연층(5406)은 일례로서 절연층(5403), 도전층(5404a), 도전층(5404b), 및 반도체층(5405)의 위에 형성된다. 도전층(5407)은 일례로서 절연층(5406)의 개구부, 및 절연층(5406)의 위에 형성된다. 액정층(5408)은 일례로서 절연층(5406)의 위에 형성된다. 절연층(5409)은 일례로

서 절연층(5406), 및 도전층(5407)의 위에 형성된다. 도전층(5410)은 일례로서 액정층(5408), 및 절연층(5409)의 위에 형성된다. 기판(5411)은 일례로서 도전층(5410)의 위에 위치한다.

[0283] 도 14(C)에는 화소부(5393)의 단면도의 일례(도 14(A)의 C-D 단면)를 나타낸다. 도 14(C)에는 일례로서 기판(5401), 도전층(5402a), 절연층(5403), 도전층(5404a), 반도체층(5405), 절연층(5406), 도전층(5407), 액정층(5408), 도전층(5410), 및 기판(5411)을 나타낸다. 도전층(5402a)은 일례로서 기판(5401)의 위에 형성된다. 절연층(5403)은 일례로서 기판(5401), 도전층(5402a)의 위에 형성된다. 도전층(5404a)은 일례로서 절연층(5403)의 위에 형성된다. 반도체층(5405)은 일례로서 절연층(5403) 위에 형성된다. 절연층(5406)은 일례로서 절연층(5403), 도전층(5404a), 및 반도체층(5405)의 위에 형성된다. 도전층(5407)은 일례로서 절연층(5406)의 개구부, 및 절연층(5406)의 위에 형성된다. 액정층(5408)은 일례로서 절연층(5406), 및 도전층(5407)의 위에 형성된다. 도전층(5410)은 일례로서 액정층(5408)의 위에 형성된다. 기판(5411)은 일례로서 도전층(5410)의 위에 위치한다.

[0284] 도전층(5402a) 및 도전층(5402b)은 일례로서 게이트 전극 또는 게이트 배선으로서의 기능을 가지는 것이 가능하다. 절연층(5403)은 일례로서 게이트 절연막으로서의 기능을 가지는 것이 가능하다. 도전층(5404a) 및 도전층(5404b)은 일례로서 배선, 트랜지스터의 전극, 또는 용량 소자의 전극 등으로서의 기능을 가지는 것이 가능하다. 절연층(5406)은 일례로서 층간막, 또는 평탄화막으로서의 기능을 가지는 것이 가능하다. 도전층(5407)은 일례로서 배선, 화소 전극, 투광성 전극, 또는 반사 전극으로서 기능하는 것이 가능하다. 절연층(5409)은 일례로서 시일재로서의 기능을 가지는 것이 가능하다. 도전층(5410)은 일례로서 대향 전극, 공통 전극, 또는 반사 전극으로서의 기능을 가지는 것이 가능하다.

[0285] 여기서, 도전층(5402a), 및 도전층(5404a)은 일례로서 투광성을 가지는 재료를 이용하여 형성되는 것이 가능하다. 그리고, 도전층(5402b), 및 도전층(5404b)은 일례로서 도전층(5402a) 또는 도전층(5404a)에 이용되는 재료보다 도전율이 높은 재료를 이용하여 형성되는 것이 가능하다. 예를 들면, 도전층(5402b), 및 도전층(5404b)은 차광성을 가지는 재료를 이용하여 형성되는 것이 가능하다. 이렇게 하여, 구동 회로부(5392)에서는 배선의 저항을 작게 할 수 있다. 따라서, 구동 회로의 소비 전력의 향상, 구동 주파수를 높게 하는 것, 또는 구동 전압을 작게 하는 것 등을 도모할 수 있다. 한편, 화소부(5393)에서는 배선, 트랜지스터의 전극, 및/또는 보유 용량의 전극 등이 투광성을 가질 수 있다. 즉, 광이 투과하는 영역(화소의 개구부)을 크게 할 수 있다. 따라서, 소비 전력의 삭감, 또는 화소부의 해상도의 향상 등을 도모할 수 있다. 단, 본 실시형태의 일례는 이것에 한정되지 않는다. 예를 들면, 도전층(5402a), 및 도전층(5404a)은 차광성을 가지는 재료에 의해 형성되는 것이 가능하다. 다른 예로서, 화소부(5393)에 있어서, 게이트 배선은 구동 회로부(5392)의 배선과 마찬가지로, 도전층(5402a)과 도전층(5402b)과의 적층 구조로 하는 것이 가능하다. 또는 소스 배선은 일례로서 도전층(5404a)과 도전층(5404b)과의 적층 구조로 하는 것이 가능하다. 이렇게 하여, 화소에 입력되는 신호(예를 들면, 비디오 신호, 또는 주사선 선택 신호)의 지연 또는 변형 등을 작게 할 수 있다. 다른 예로서 도전층(5402a)과 도전층(5402b)의 어느 한쪽과, 도전층(5404a)과 도전층(5404b)의 어느 한쪽을, 한쪽만, 혹은 양쪽 모두, 생략하는 것이 가능하다. 다른 예로서, 구동 회로부(5392)의 트랜지스터부, 화소부(5393)의 트랜지스터부의 어느 한쪽 또는 양쪽 모두에 있어서, 게이트 전극은 도전층(5402a)과 도전층(5402b)과의 적층 구조를 이용하는 것이 가능하다. 다른 예로서, 도전층(5402b)은 도전층(5402a) 아래에 형성되는 것이 가능하다. 다른 예로서, 도전층(5404b)은 도전층(5404a) 아래에 형성되는 것이 가능하다. 다른 예로서, 반도체층(5405)은 절연층(5403)의 위에 형성되고, 도전층(5402a)은 절연층(5403) 및 반도체층(5405)의 위에 형성되는 것이 가능하다.

[0286] 또한, 반도체층으로서, 일례로서 산화물 반도체를 이용하는 것이 가능하다. 산화물 반도체는 일례로서 투광성을 가지는 경우가 많다. 따라서, 본 실시형태의 표시 장치와 조합시키는 것에 의해, 화소의 개구율을 향상시킬 수 있다. 단, 본 실시형태의 일례는 이것에 한정되지 않는다. 예를 들면, 반도체층으로서는 단결정 반도체, 다결정 반도체, 미결정(마이크로 크리스탈, 또는 나노 크리스탈) 반도체, 비정질(아몰퍼스(amorphous)) 반도체, 또는 다양한 비단결정 반도체 등을 이용하는 것이 가능하다.

[0287] 또한, 표시 소자로서는, 일례로서 발광 소자(예를 들면 EL 소자 등)를 이용하는 것이 가능하다. 도 15(A)에는 일례로서 표시 소자로서 발광 소자를 이용하는 경우의 표시 장치의 구동 회로부(5392)의 단면도의 일례를 나타낸다. 도 14(B)와 다른 점은 절연층(5406) 및 도전층(5407)의 위에 절연층(5412)이 형성되어 있는 것, 절연층(5412)의 위에 절연층(5409) 및 충전재(5414)가 형성되어 있는 것 등이다. 도 15(B)에는 일례로서 표시 소자로서 발광 소자를 이용하는 경우의 표시 장치의 화소부(5393)의 단면도의 일례를 나타낸다. 도 14(C)와 다른 점은 절연층(5406) 및 도전층(5407)의 위에 절연층(5412)이 형성되어 있는 것, 절연층(5412)의 개구부의 위에 발광층(5413)이 형성되어 있는 것, 절연층(5412) 및 발광층(5413)의 위에 도전층(5410)이 형성되어 있는 것, 도전

층(5410)의 위에 충전재(5414)가 형성되어 있는 것 등이다. 절연층(5412)은 일례로서 격벽으로서의 기능을 가지는 것이 가능하다. 단, 본 실시형태의 일례는 이것에 한정되지 않는다.

[0288] 또한, 표시 소자로서는, 일례로서 입자가 이동하는 것에 의해 표시를 행하는 소자(예를 들면 전기 영동 소자, 입자 이동 소자, 또는 전자 분류체(electronic liquid powder) 등)를 이용하는 것이 가능하다. 이렇게 하여, 전자 페이퍼를 제작할 수 있다. 도 16(A)에는 일례로서 표시 소자로서 전기 영동 소자를 이용하는 경우의 표시 장치의 구동 회로부(5392)의 단면도의 일례를 나타낸다. 구동 회로부(5392)의 일부에서, 전기 영동 소자는 절연층(5406)과 도전층(5410)과의 사이에 배치된다. 그리고, 전기 영동 소자를 덮도록, 절연층(5409)이 형성된다. 도 16(B)에는 일례로서 표시 소자로서 전기 영동 소자를 이용하는 경우의 표시 장치의 화소부(5393)의 단면도의 일례를 나타낸다. 전기 영동 소자는 도전층(5407)과 도전층(5410)과의 사이에 배치된다. 또한, 전기 영동 소자는 일례로서 캡슐(5415), 액체(5416), 입자(5417), 및 입자(5418)에 의해 구성된다. 액체(5416), 입자(5417), 및 입자(5418)는 일례로서 캡슐(5415) 중에 있다. 액체(5416)는 일례로서 절연성인 경우가 많다. 액체(5416)는 일례로서 투광성을 가지는 경우가 많다. 입자(5417)와 입자(5418)의 한쪽은 정(正)으로 대전하고 있고, 다른 한쪽은 부(負)로 대전하고 있는 경우가 많다. 입자(5417)와 입자(5418)의 한쪽은 백색이며, 다른 한쪽은 흑색인 경우가 많다. 단, 본 실시형태의 일례는 이것에 한정되지 않는다. 예를 들면, 입자(5417)와 입자(5418)는 흰색 또는 흑색에 한정되지 않고, 서로 다른 색(예를 들면, 적, 녹, 청, 마젠다, 옐로우, 시안 등)인 것이 가능하다.

[0289] 본 실시형태의 표시 장치는 구동 회로의 성능을 향상시키면서, 화소의 개구율의 향상을 도모할 수 있다. 그리고, 이 구동 회로에, 실시형태 3~9에 나타내는 구성을 이용함으로써, 소비 전력의 저감, 구동 주파수의 향상, 화소부의 해상도의 향상 등을 더욱 도모할 수 있다.

[0291] (실시형태 11)

[0292] 본 실시형태에 있어서는 전자기기의 예에 대하여 설명한다.

[0293] 도 17(A)~도 17(H), 도 18(A)~도 18(D)은 전자기기를 나타낸 도면이다. 이러한 전자기기는 케이스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새나 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0294] 도 17(A)은 모바일 컴퓨터이며, 상술한 것 외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 17(B)은 기록 매체를 구비한 휴대형의 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011), 등을 가질 수 있다. 도 17(C)은 고글형 디스플레이이며, 상술한 것 외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 17(D)은 휴대형 유기기이며, 상술한 것 외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 17(E)은 프로젝터이며, 상술한 것 외에, 광원(5033), 투사 렌즈(5034) 등을 가질 수 있다. 도 17(F)은 휴대형 유기기이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 17(G)은 텔레비전 수상기이며, 상술한 것 외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 17(H)은 휴대형 TV 수상기이며, 상술한 것 외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 18(A)은 디스플레이이며, 상술한 것 외에, 지지대(5018) 등을 가질 수 있다. 도 18(B)은 카메라이며, 상술한 것 외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 18(C)은 컴퓨터이며, 상술한 것 외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 가질 수 있다. 도 18(D)은 휴대전화기이며, 상술한 것 외에, 안테나, 원세그(휴대전화, 이동 단말용의 1 세그먼트(segment) 부분 수신 서비스)용 튜너 등을 가지고 있어도 좋다.

[0295] 도 17(A)~도 17(H), 도 18(A)~도 18(D)에 나타낸 전자기기는 다양한 기능을 가질 수 있다. 예를 들면, 다양한 정보(정지화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 일자 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가지는 전자기기에서는 하나의 표시부를 주로 하여 화상 정보를 표시하고, 다른 하나의 표시부를 주로 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 가지는 전자기기에서는 정지화면을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능,

촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 17(A)~도 17(H), 도 18(A)~도 18(D)에 나타낸 전자기기가 가질 수 있는 기능은 이것들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0296] 본 실시형태에서 설명한 전자기기는 어떠한 정보를 표시하기 위한 표시부를 가지는 것을 특징으로 한다. 본 실시형태의 전자기기와, 실시형태 1~실시형태 4의 반도체 장치, 시프트 레지스터, 또는 표시 장치를 조합하는 것에 의해, 신뢰성의 향상, 수율의 향상, 비용의 삭감, 표시부의 대형화, 표시부의 고정세화 등을 도모할 수 있다.

[0297] 다음에, 반도체 장치의 응용예를 설명한다.

[0298] 도 18(E)에, 반도체 장치를 건조물과 일체로 하여 설치한 예에 대하여 나타낸다. 도 18(E)은 케이스(5022), 표시부(5023), 조작부인 리모콘 장치(5024), 스피커(5025) 등을 포함한다. 반도체 장치는 벽걸이형으로서 건물과 일체로 되어 있고, 설치하는 스페이스를 넓게 필요로 하는 일 없이 설치 가능하다.

[0299] 도 18(F)에, 건조물 내에 반도체 장치를, 건축물과 일체로 하여 설치한 다른 예에 대하여 나타낸다. 표시 패널(5026)은 유닛 배스(5027)와 일체로 장착되어 있고, 입욕자는 표시 패널(5026)의 시청이 가능하게 된다.

[0300] 또한, 본 실시형태에 있어서, 건조물로서 벽, 유닛 배스를 예로 했지만, 본 실시형태는 이것에 한정되지 않고, 다양한 건조물에 반도체 장치를 설치할 수 있다.

[0301] 다음에, 반도체 장치를, 이동체와 일체로 하여 설치한 예에 대하여 나타낸다.

[0302] 도 18(G)은 반도체 장치를, 자동차에 설치한 예에 대하여 나타낸 도면이다. 표시 패널(5028)은 자동차의 차체(5029)에 장착되어 있고, 차체의 동작 또는 차체 내외로부터 입력되는 정보를 온디맨드(on demand)로 표시할 수 있다. 또한, 네비게이션 기능을 가지고 있어도 좋다.

[0303] 도 18(H)은 반도체 장치를, 여객용 비행기와 일체로 하여 설치한 예에 대하여 나타낸 도면이다. 도 18(H)은 여객용 비행기의 좌석 상부의 천장(5030)에 표시 패널(5031)을 설치했을 때의, 사용시의 형상에 대하여 나타낸 도면이다. 표시 패널(5031)은 천장(5030)과 경첩부(5032)를 통하여 일체로 장착되어 있고, 경첩부(5032)의 신축에 의해 승객은 표시 패널(5031)의 시청이 가능하게 된다. 표시 패널(5031)은 승객이 조작함으로써 정보를 표시하는 기능을 가진다.

[0304] 또한, 본 실시형태에 있어서, 이동체로서는 자동차 차체, 비행기 기체에 대하여 예시했지만 이것에 한정되지 않고, 자동이륜차, 자동사륜차(자동차, 버스 등을 포함함), 전철(모노레일, 철도 등을 포함함), 선박 등, 다양한 것에 설치할 수 있다.

부호의 설명

[0305] 100 : 회로 110 : 회로

111 : 트랜지스터 112 : 회로

113 : 트랜지스터 114 : 용량 소자

115 : 트랜지스터 116 : 트랜지스터

120 : 회로 121 : 트랜지스터

122 : 회로 123 : 트랜지스터

124 : 용량 소자 125 : 트랜지스터

126 : 트랜지스터 130 : 회로

131 : 트랜지스터 132 : 회로

133 : 트랜지스터 134 : 용량 소자

135 : 트랜지스터 136 : 트랜지스터

140 : 배선 141 : 배선

142 : 배선 143 : 배선

151 : 배선 152 : 배선

153 : 배선 240 : 배선

1400 : 기판 1401 : 게이트 전극층

1402a : 게이트 절연층 1402b : 게이트 절연층

1403 : 산화물 반도체층 1405a : 소스 전극층

1405b : 드레인 전극층 1406 : 도전층

1407 : 산화물 절연층 1408 : 보호 절연층

1409 : 평탄화 절연층 1431 : 제 1 고저항 드레인 영역

1432 : 제 2 고저항 드레인 영역 1433 : 산화물 반도체층

1434 : 채널 형성 영역 1435 : 금속 전극층

1436 : 레지스트 마스크 1437 : 레지스트 마스크

1451 : 게이트 전극층 1453 : 산화물 반도체층

1454 : 산화물 반도체층 1455a : 소스 전극층

1455b : 드레인 전극층 1456 : 화소 전극층

1460 : 박막 트랜지스터 1470 : 박막 트랜지스터

1500 : 용량 배선층 1501 : 용량 전극층

1502 : 용량 소자 1503 : 용량 배선층

1504 : 용량 전극층 1505 : 용량 소자

2000 : 시프트 레지스터 2400 : 기판

2402a : 게이트 절연층 2402b : 게이트 절연층

2405b : 드레인 전극층 2403 : 보호 절연층

2404 : 평탄화 절연층 2410 : 박막 트랜지스터

2411 : 게이트 전극층 2412 : 산화물 반도체층

2413 : 채널 형성 영역 2414a : 제 1 고저항 드레인 영역

2414b : 제 2 고저항 드레인 영역 2415a : 소스 전극층

2415b : 드레인 전극층 2416 : 산화물 절연층

2417 : 도전층 2420 : 박막 트랜지스터

2421 : 게이트 전극층 2422 : 산화물 반도체층

2425a : 소스 전극층 2425b : 드레인 전극층

2426 : 산화물 절연층 2427 : 화소 전극층

2430 : 산화물 반도체막 2431 : 산화물 반도체층

2432 : 산화물 반도체층 2433a : 레지스트 마스크

2434 : 금속 전극층 2435 : 금속 전극층

2436a : 레지스트 마스크 2437 : 산화물 반도체층

2438 : 레지스트 마스크 2439 : 산화물 절연층

2440a : 레지스트 마스크

2441 : 컨택트홀

5000 : 케이스

5001 : 표시부

5002 : 표시부

5003 : 스피커

5004 : LED 램프

5005 : 조작 키

5006 : 접속 단자

5007 : 센서

5008 : 마이크로폰

5009 : 스위치

5010 : 적외선 포트

5011 : 기록 매체 판독부

5012 : 지지부

5013 : 이어폰

5015 : 셔터 버튼

5016 : 수상부

5017 : 충전기

5018 : 지지대

5019 : 외부 접속 포트

5020 : 포인팅 디바이스

5021 : 리더/라이터

5022 : 케이스

5023 : 표시부

5024 : 리모콘 장치

5025 : 스피커

5026 : 표시 패널

5027 : 유닛 배스

5028 : 표시 패널

5029 : 차체

5030 : 천장

5031 : 표시 패널

5032 : 경첩부

5033 : 광원

5034 : 투사 렌즈

5391 : 기판

5392 : 구동 회로부

5393 : 화소부

5401 : 기판

5403 : 절연층

5405 : 반도체층

5406 : 절연층

5407 : 도전층

5408 : 액정층

5409 : 절연층

5410 : 도전층

5411 : 기판

5412 : 절연층

5413 : 발광층

5414 : 충전재

5415 : 캡슐

5416 : 액체

5417 : 입자

5418 : 입자

5402a : 도전층

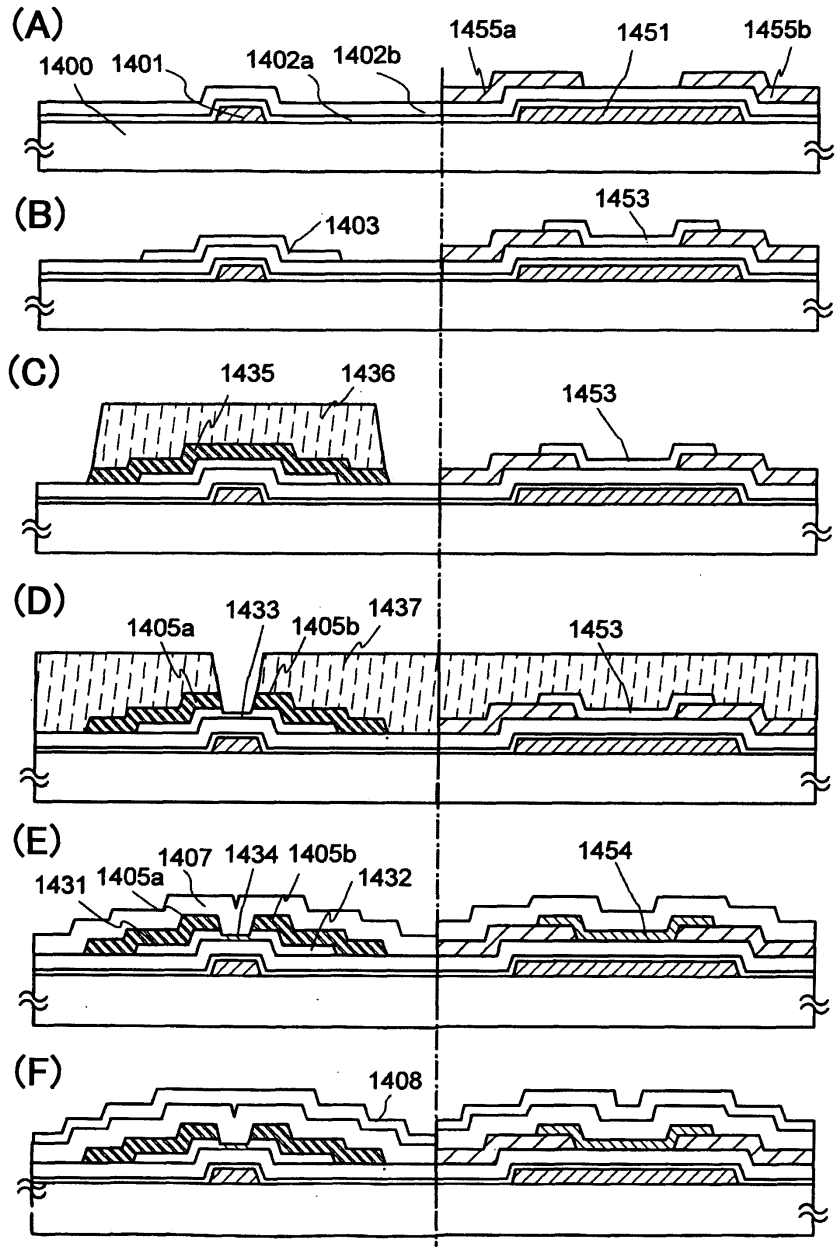
5402b : 도전층

5404a : 도전층

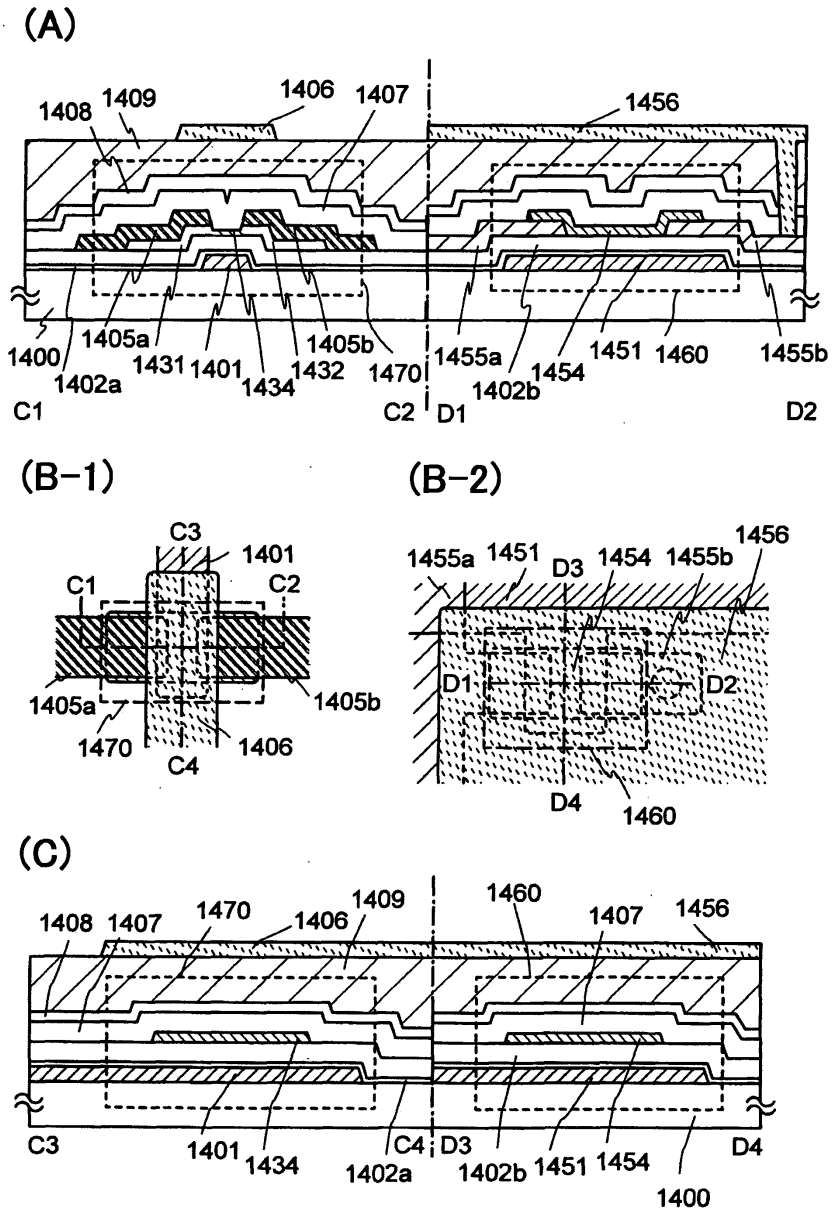
5404b : 도전층

도면

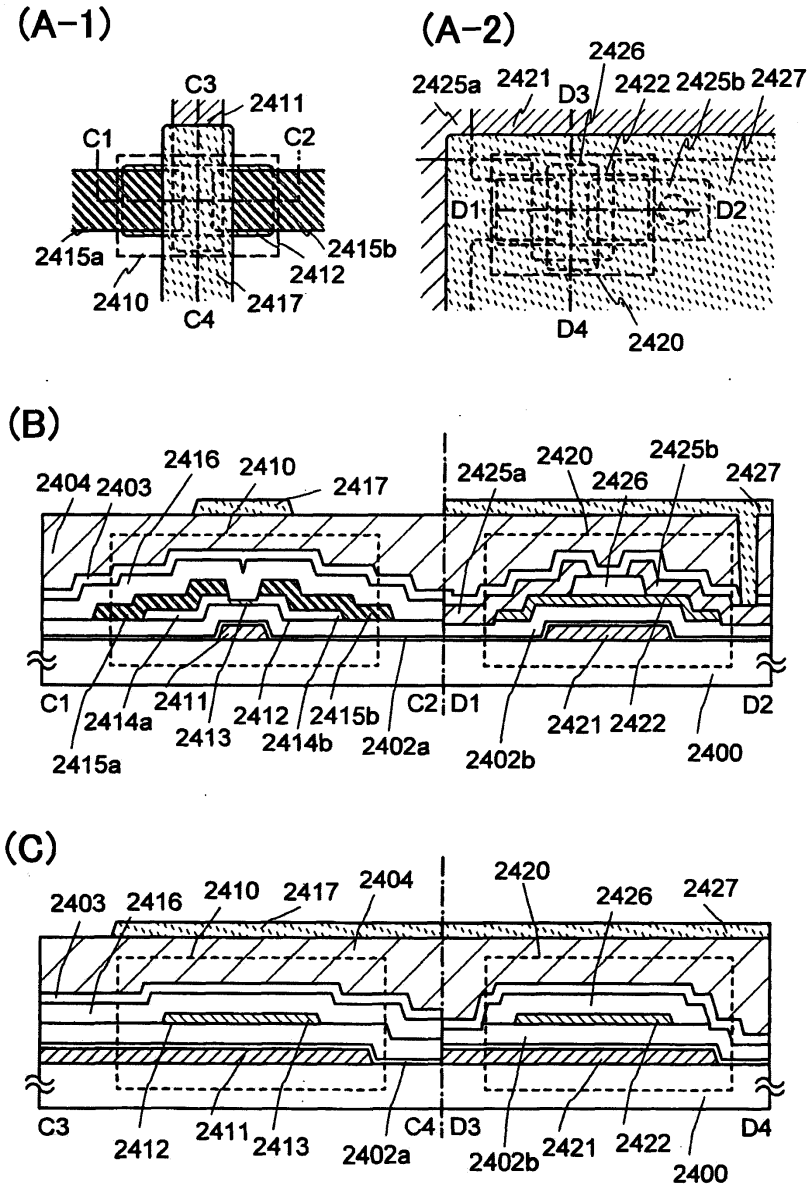
도면1


(A)
1400
1401
1402a
1402b
1455a
1451
1455b
(B)
1403
1453
(C)
1435
1436
1453
(D)
1405a
1433
1405b
1437
1453
(E)
1431
1405a
1407
1434
1405b
1432
1454
(F)
1408

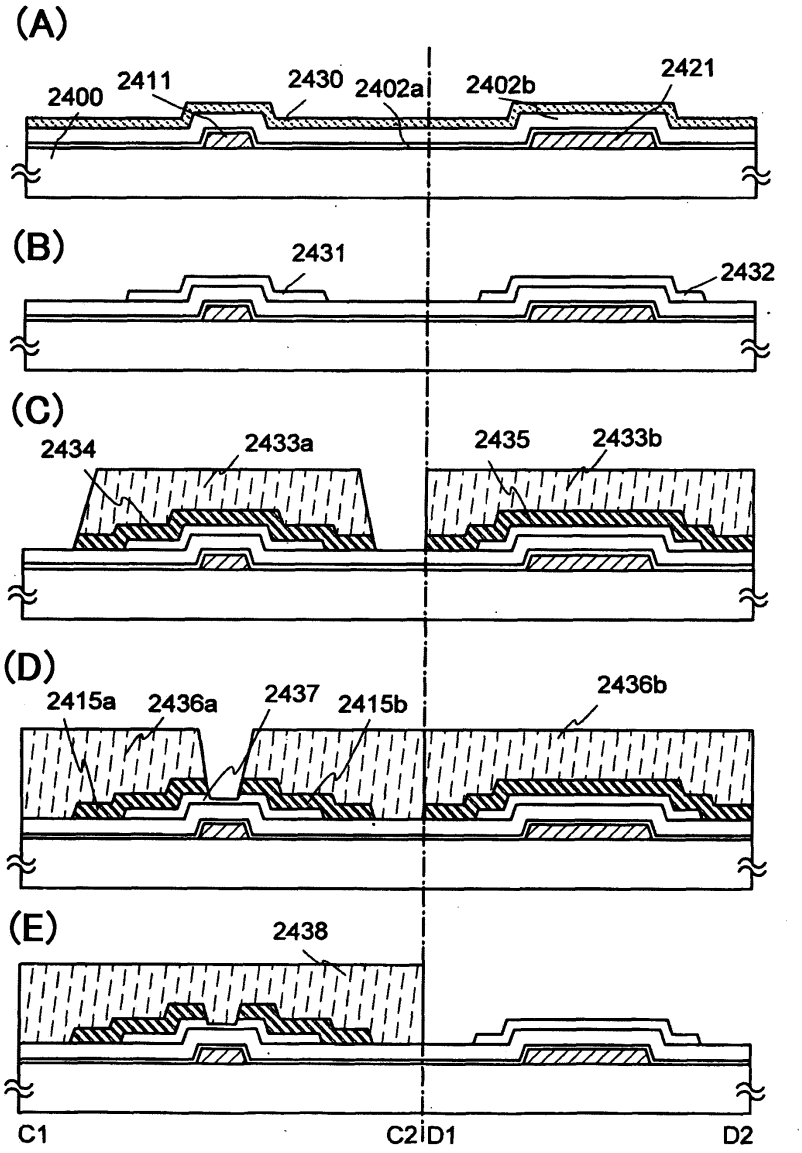
도면2


(A)
1408
1409
1406
1407
1456
1400
1402a
1405a
1431
1401
1434
1432
1405b
1470
1455a
1402b
1454
1451
1460
1455b
C1
C2
D1
D2
(B-1)
C3
1401
C1
C2
1405a
1405b
1470
1406
C4
(B-2)
1455a
1451
D3
1454
1455b
1456
D1
D2
D4
1460
(C)
1408
1407
1470
1406
1409
1460
1407
1456
C3
1401
1434
C4
1402a
D3
1402b
1451
1454
D4
1400

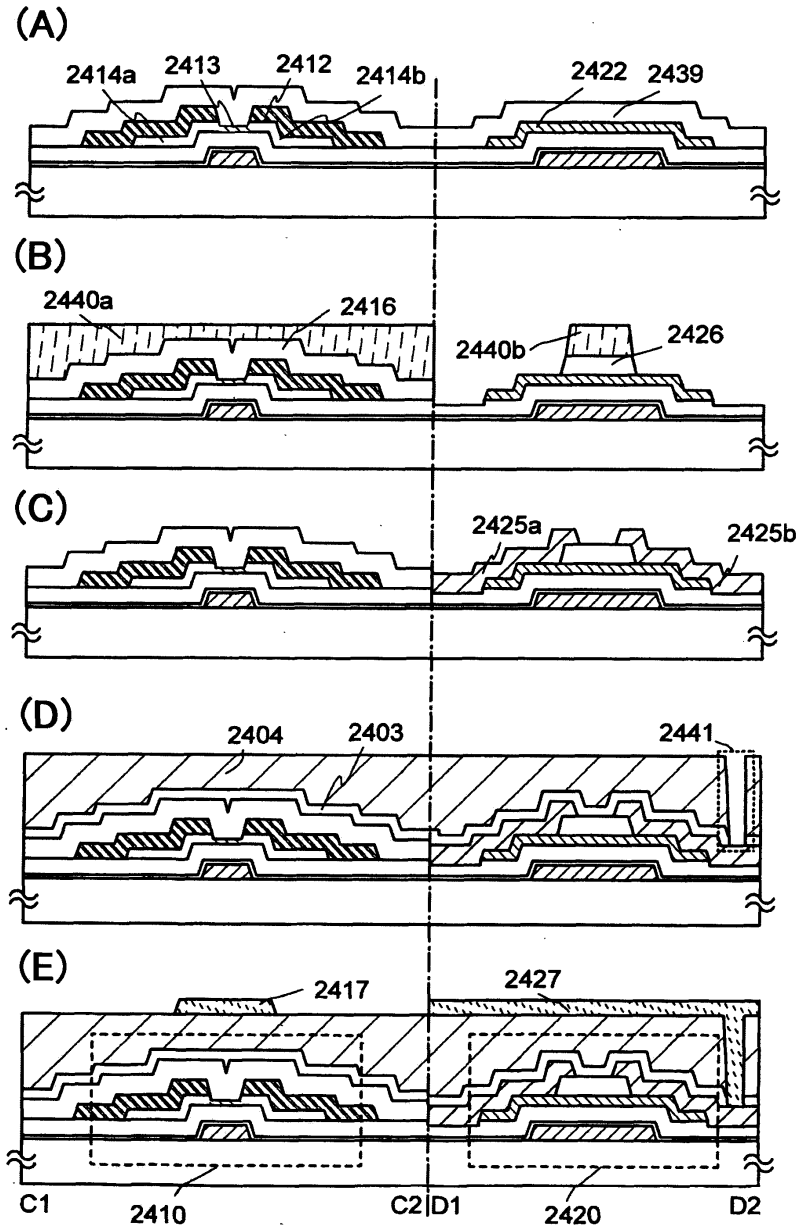
도면3


(A-1)
C3
2411
C1
C2
2415a
2415b
2412
2410
2417
C4
(A-2)
2426
2425a
2421
D3
2422
2425b
2427
D1
D2
D4
2420
(B)
2404
2403
2416
2410
2417
2425a
2420
2426
2425b
2427
C1
2414a
2411
2412
2415b
C2
D1
2421
2422
D2
2415a
2413
2414b
2402a
2402b
2400
(C)
2403
2416
2410
2417
2404
2420
2426
2427
C3
2412
2411
2413
2402a
C4
D3
2402b
2421
2422
D4
2400

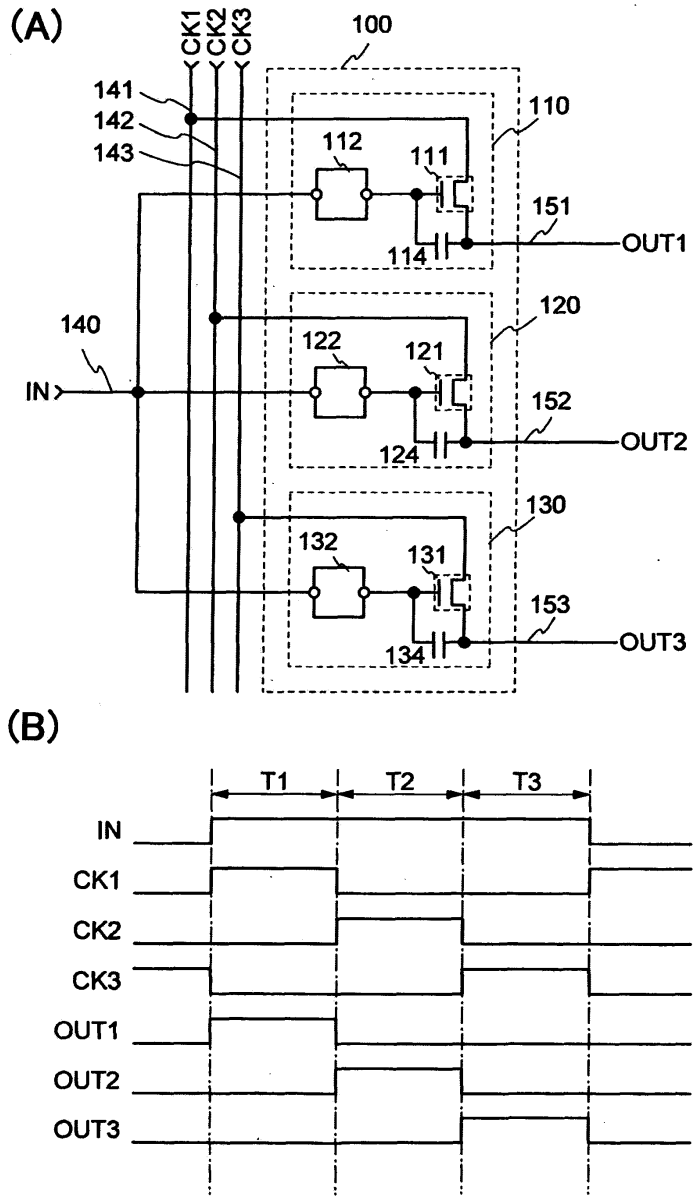
도면4


(A)
2400
2411
2430
2402a
2402b
2421
(B)
2431
2432
(C)
2434
2433a
2435
2433b
(D)
2415a
2436a
2437
2415b
2436b
(E)
2438
C1
C2
D1
D2

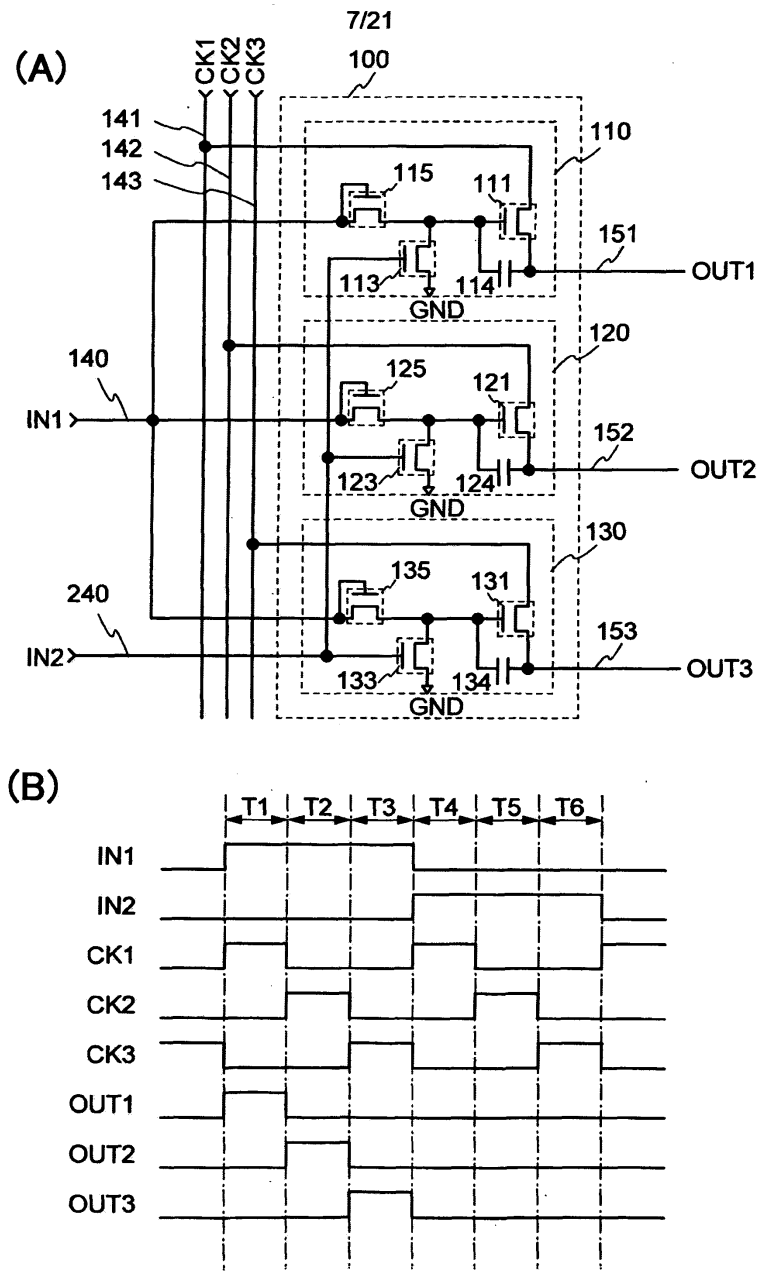
도면5


(A)
2414a
2413
2412
2414b
2422
2439
(B)
2440a
2416
2440b
2426
(C)
2425a
2425b
(D)
2404
2403
2441
(E)
2417
2427
C1
2410
C2
D1
2420
D2

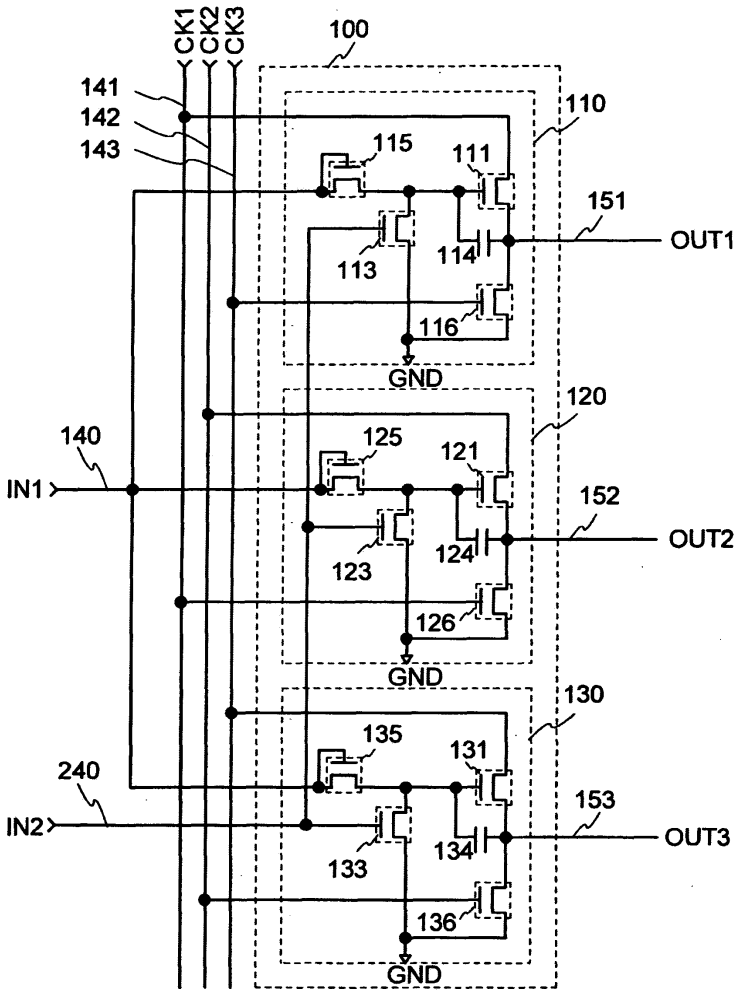
도면6


(A)
CK1
CK2
CK3
100
141
142
143
110
112
111
151
OUT1
114
120
140
122
121
IN
152
OUT2
124
130
132
131
153
OUT3
134
(B)
T1
T2
T3
IN
CK1
CK2
CK3
OUT1
OUT2
OUT3

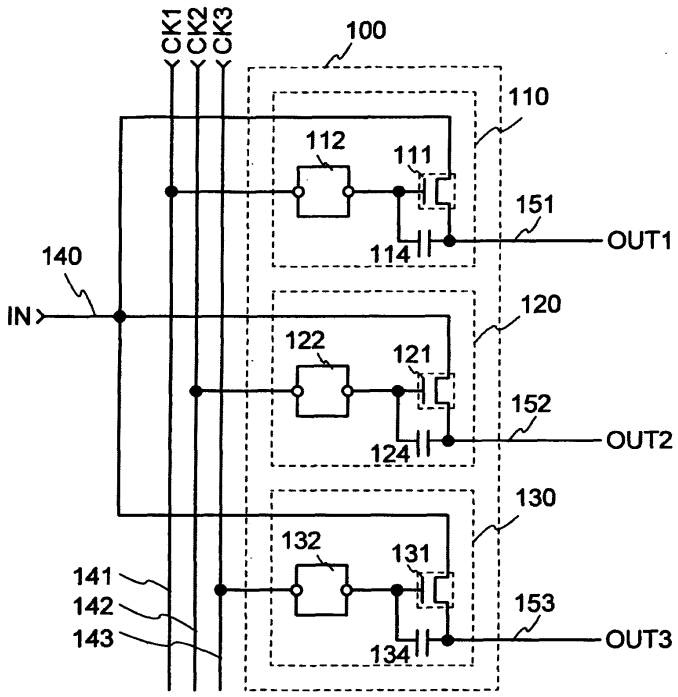
도면7


(A)
7/21
100
CK1
CK2
CK3
141
142
143
110
115
111
151
OUT1
113
114
GND
120
140
125
121
IN1
152
OUT2
123
124
GND
130
240
135
131
153
IN2
OUT3
133
134
GND
(B)
T1
T2
T3
T4
T5
T6
IN1
IN2
CK1
CK2
CK3
OUT1
OUT2
OUT3

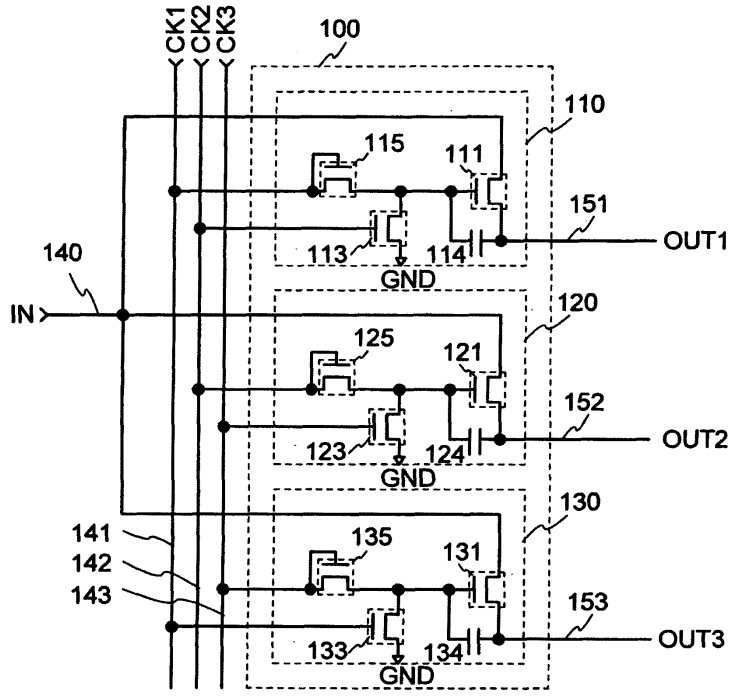
도면8


CK1
CK2
CK3
100
141
142
143
110
115
111
151
OUT1
113
114
116
GND
120
140
IN1
125
121
152
OUT2
123
124
126
GND
130
240
IN2
135
131
153
OUT3
133
134
136
GND

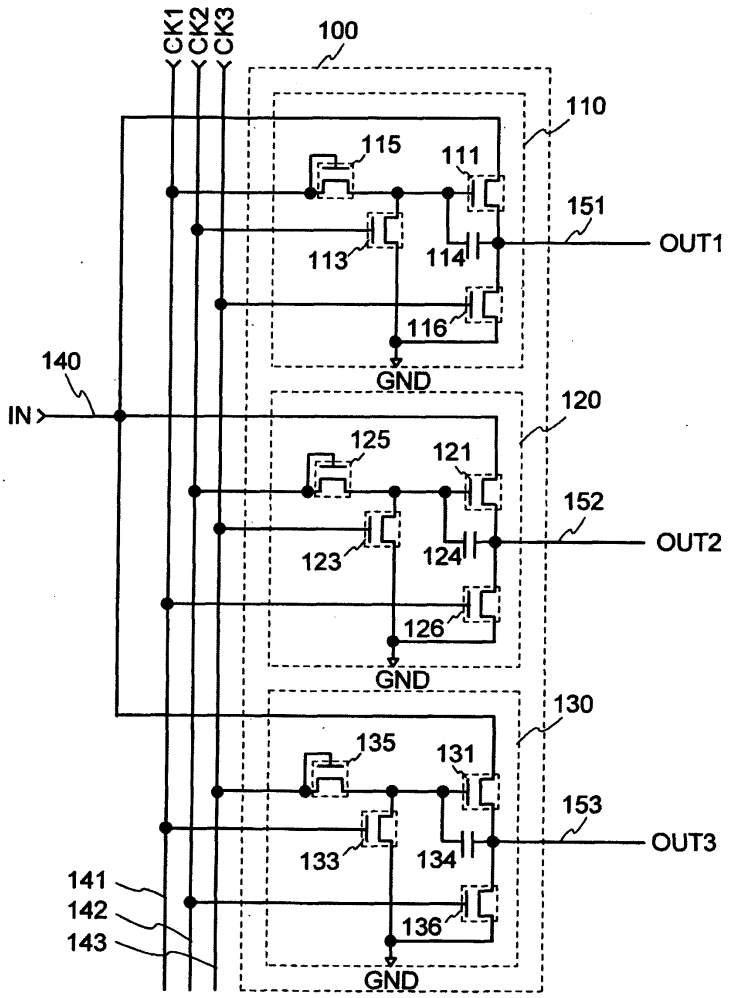
도면9


CK1
CK2
CK3
100
110
112
111
151
OUT1
114
140
IN
120
122
121
152
OUT2
124
130
132
131
141
142
143
153
OUT3
134

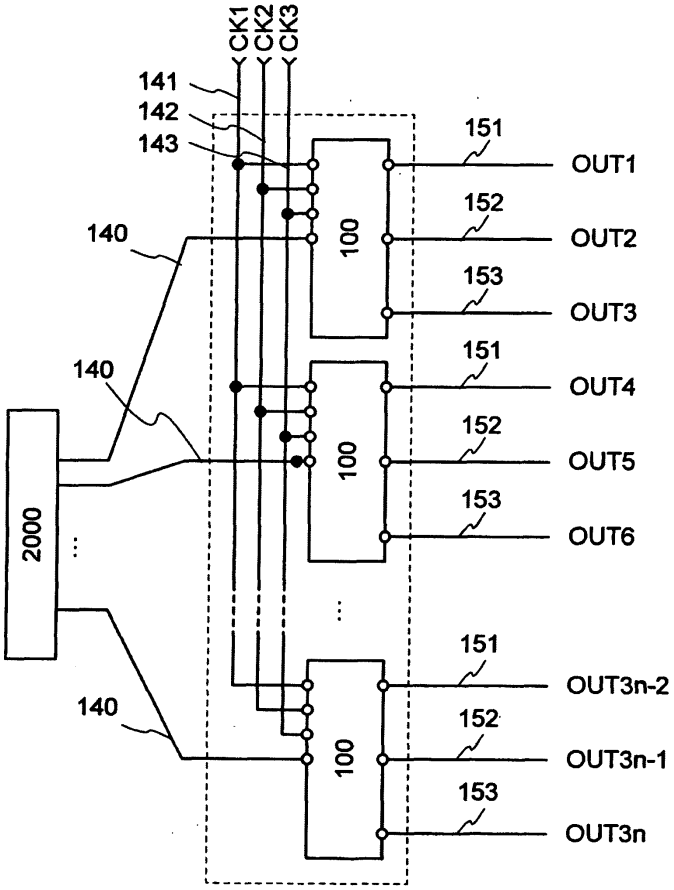
도면10


CK1
CK2
CK3
100
110
115
111
151
OUT1
113
114
GND
140
IN
120
125
121
152
OUT2
123
124
GND
130
141
135
131
142
143
153
OUT3
133
134
GND

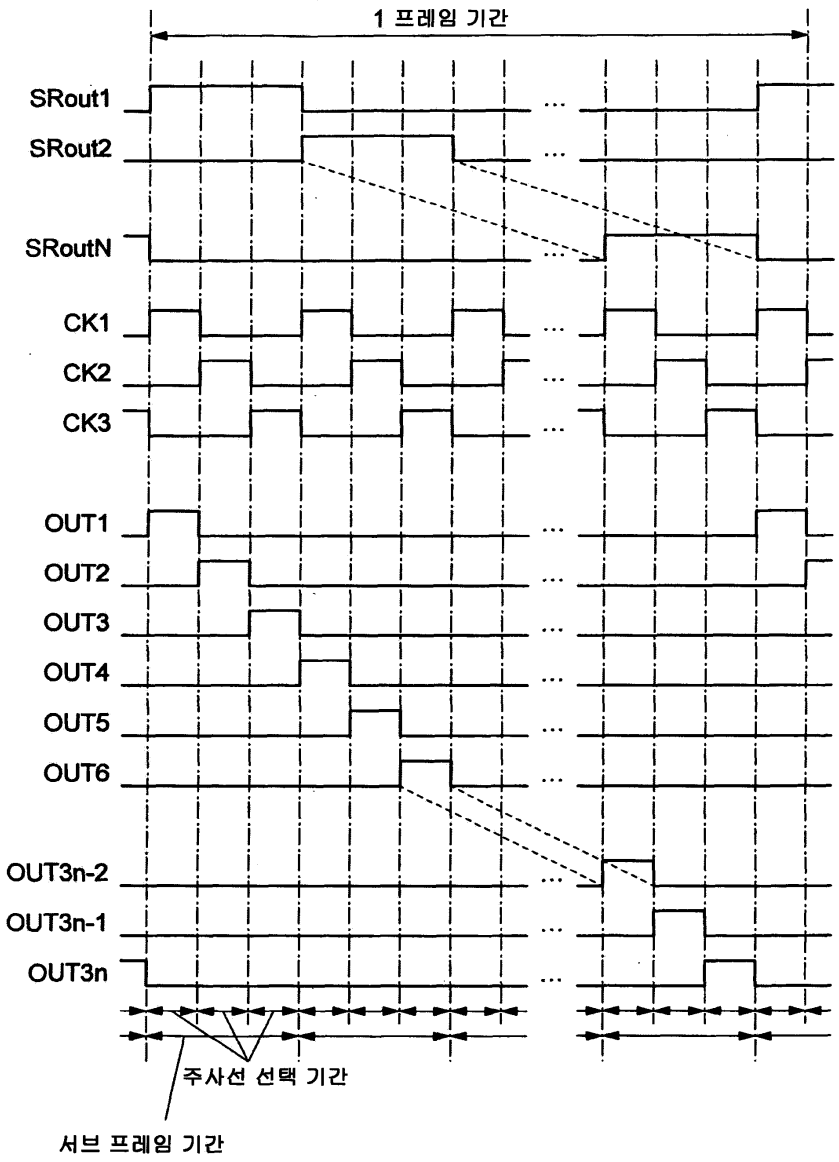
도면11


CK1
CK2
CK3
100
110
115
111
151
OUT1
113
114
116
GND
140
IN
120
125
121
152
OUT2
123
124
126
GND
130
135
131
153
OUT3
133
134
136
GND
141
142
143

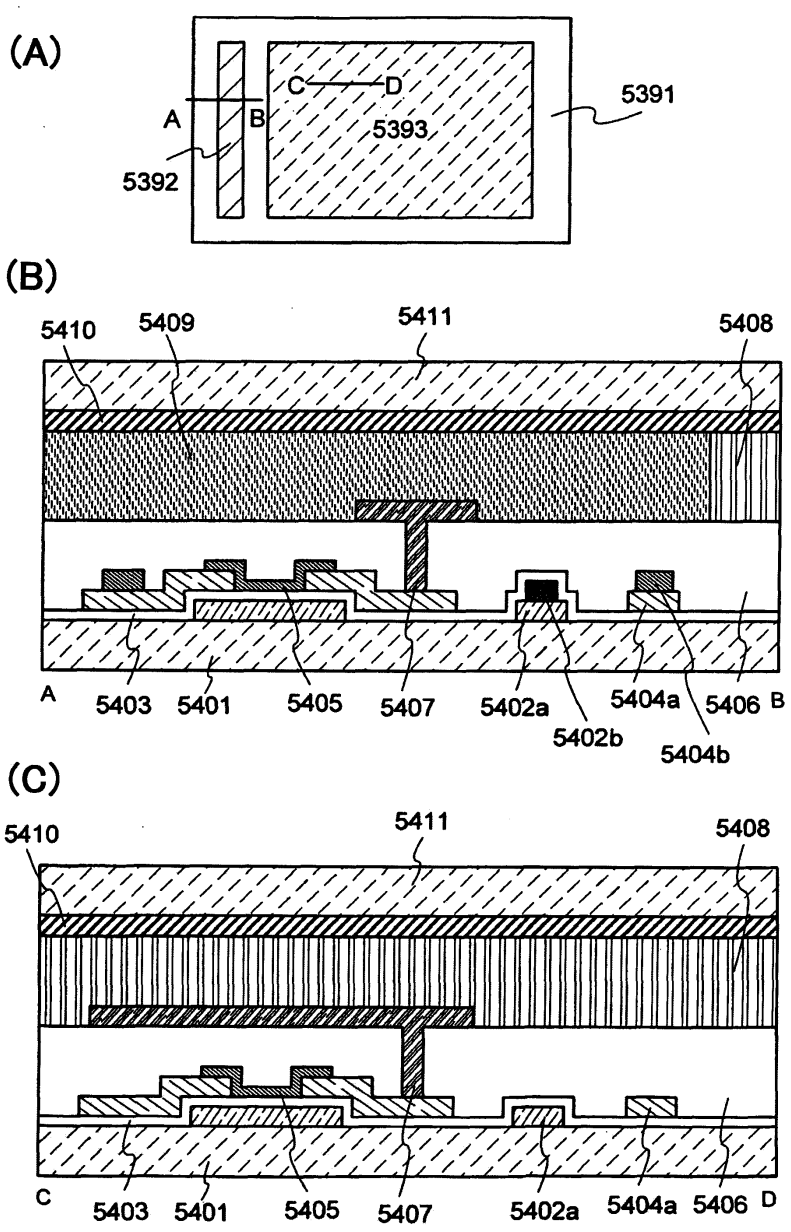
도면12


CK1
CK2
CK3
141
142
143
140
140
140
2000
100
100
100
151
152
153
151
152
153
151
152
153
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
OUT3n-2
OUT3n-1
OUT3n

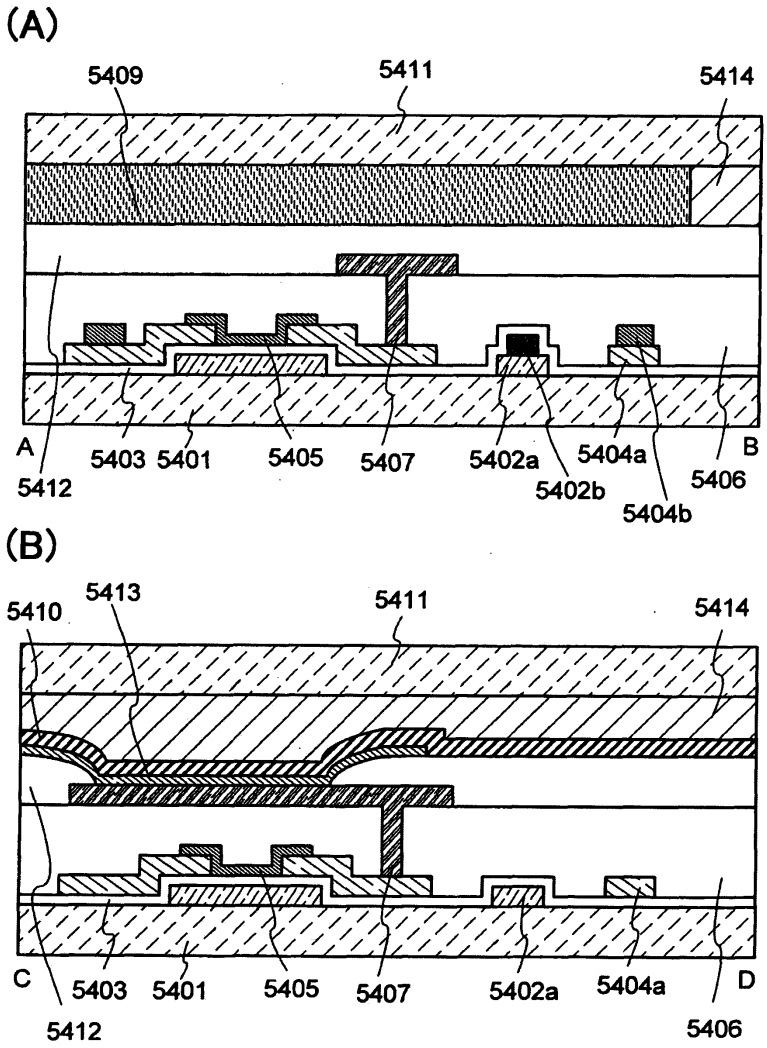
도면13


1 프레임 기간
SRout1
SRout2
SRoutN
CK1
CK2
CK3
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
OUT3n-2
OUT3n-1
OUT3n
주사선 선택 기간
서브 프레임 기간

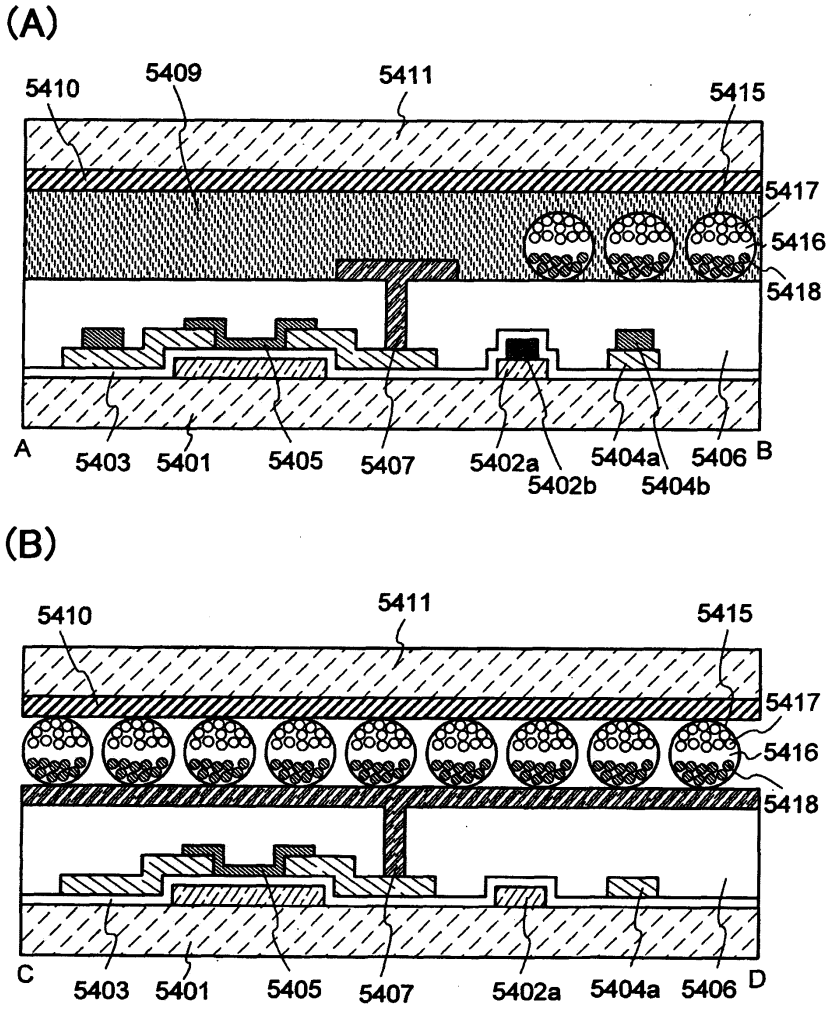
도면14


(A)
A
B
C
D
5391
5392
5393
(B)
5410
5409
5411
5408
A
5403
5401
5405
5407
5402a
5402b
5404a
5404b
5406
B
(C)
5410
5411
5408
C
5403
5401
5405
5407
5402a
5404a
5406
D

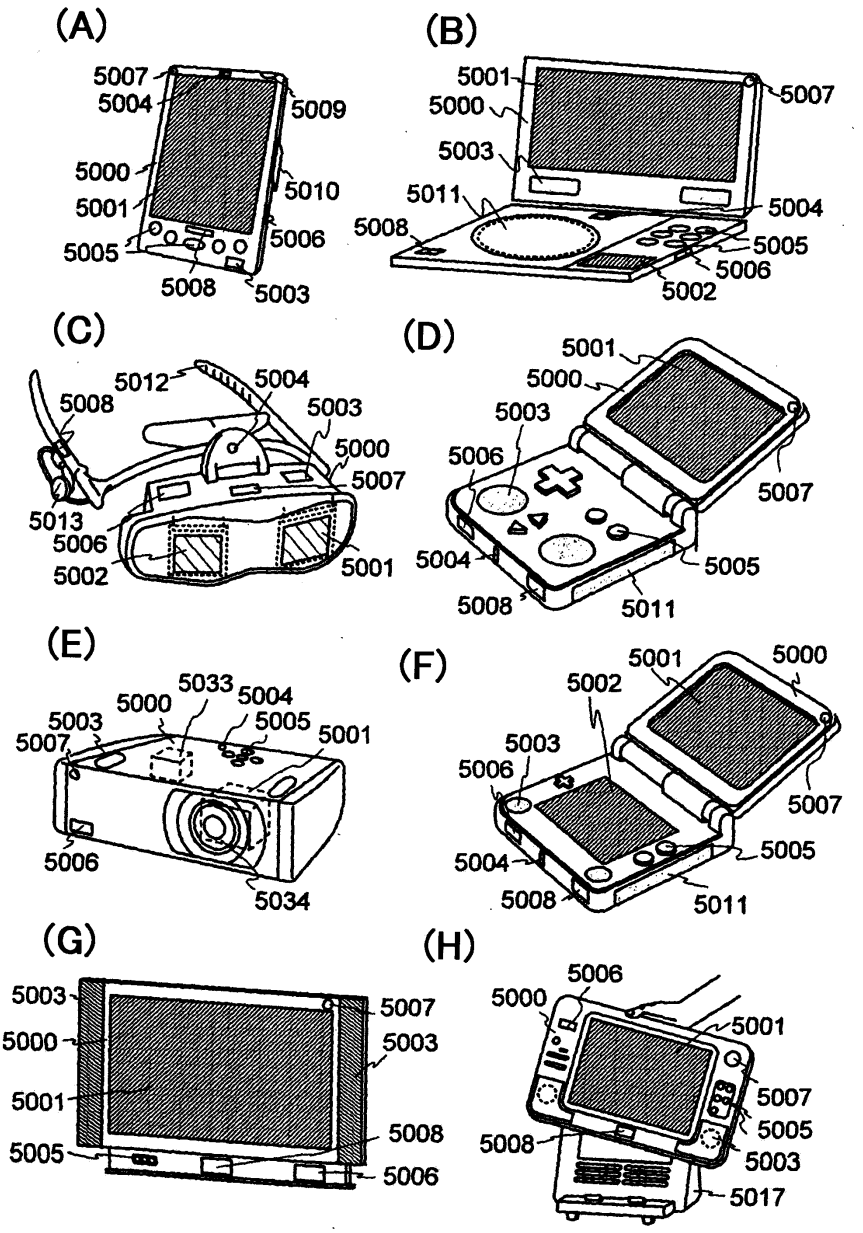
도면15


(A)
5409
5411
5414
A
5412
5403
5401
5405
5407
5402a
5402b
5404a
5404b
5406
B
(B)
5410
5413
5411
5414
C
5412
5403
5401
5405
5407
5402a
5404a
5406
D

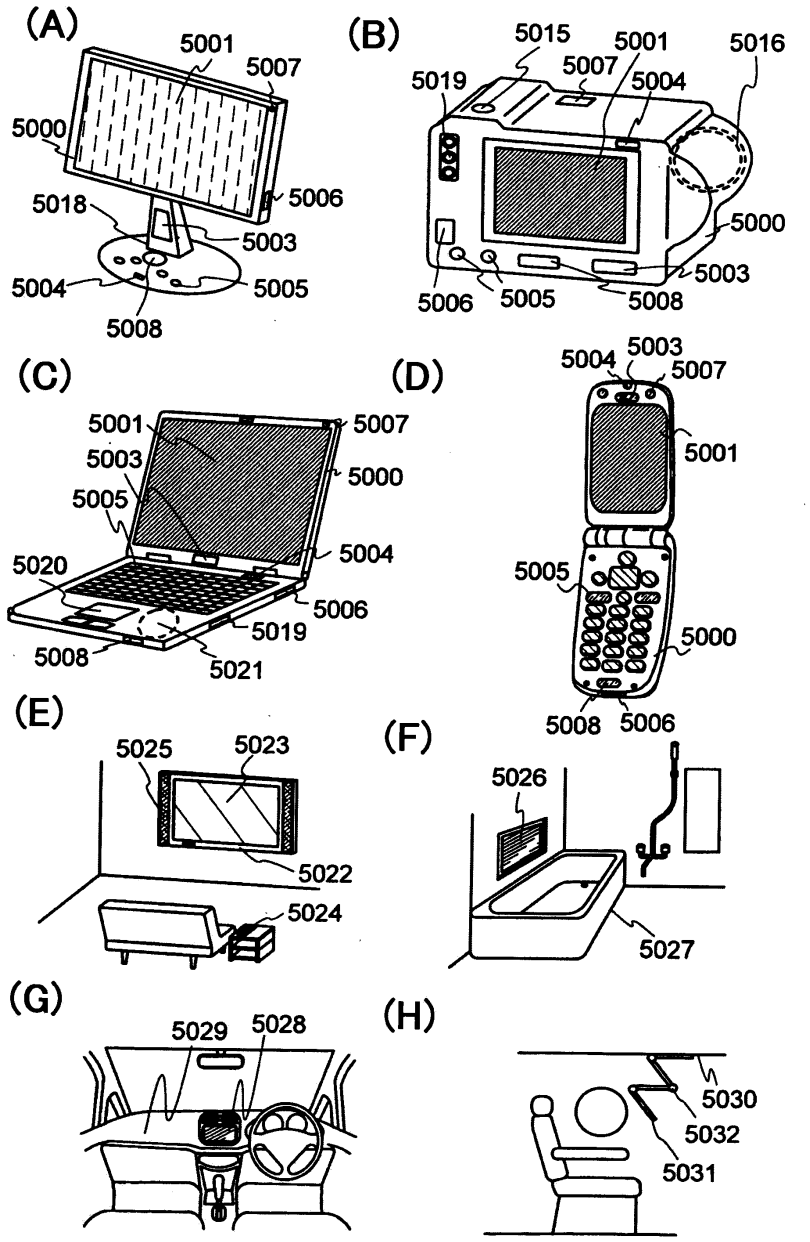
도면16


(A)
5410
5409
5411
5415
5417
5416
5418
A
5403
5401
5405
5407
5402a
5402b
5404a
5404b
5406
B
(B)
5410
5411
5415
5417
5416
5418
C
5403
5401
5405
5407
5402a
5404a
5406
D

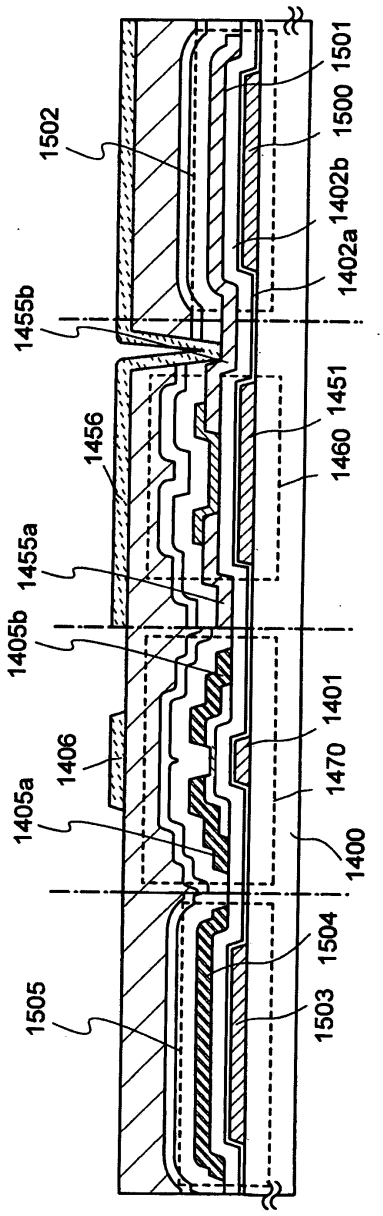
도면17


(A)
5007
5004
5009
5000
5010
5001
5006
5005
5008
5003
(B)
5001
5007
5000
5003
5011
5004
5008
5005
5006
5002
(C)
5012
5004
5008
5003
5000
5007
5013
5006
5002
5001
(D)
5001
5000
5003
5006
5007
5004
5005
5008
5011
(E)
5033
5004
5000
5003
5005
5001
5007
5006
5034
(F)
5001
5000
5002
5003
5006
5007
5004
5005
5008
5011
(G)
5003
5007
5000
5003
5001
5008
5005
5006
(H)
5006
5000
5001
5007
5005
5008
5003
5017

도면18


(A)
5001
5007
5000
5018
5006
5003
5004
5005
5008
(B)
5015
5001
5016
5007
5019
5004
5000
5003
5006
5005
5008
(C)
5001
5007
5003
5000
5005
5004
5020
5006
5019
5008
5021
(D)
5004
5003
5007
5001
5005
5000
5008
5006
(E)
5025
5023
5022
5024
(F)
5026
5027
(G)
5029
5028
(H)
5030
5032
5031

도면19


1501
1500
1502
1402b
1402a
1455b
1451
1456
1460
1455a
1405b
1401
1406
1470
1405a
1400
1504
1505
1503