

# 公告本

318980

申請日期	83.04.27
案號	83103792
類	Int. CI <sup>6</sup> H04B 1/00

A4  
C4

318930

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱 <del>新型</del>	中文	積體收發機電路封裝元件
	英文	"AN INTEGRATED TRANSCEIVER CIRCUIT PACKAGED COMPONENT"
二、發明人 <del>創作</del>	姓名	1. 萊姆·麥可·迪萊 2. 布萊安·傑佛瑞·布克
	國籍	均英國
三、申請人	住、居所	1. 英國北阿普頓郡亞班頓市比其大道58號 2. 英國北阿普頓郡威登市新街2號
	姓名 (名稱)	英商奇異馬可尼有限公司
	國籍	英國
	住、居所 (事務所)	英國米德萊斯郡史丹摩市瓦倫巷葛羅夫
	代表人名 姓	柯林·瑪蘭西斯·赫斯提

裝

訂

線

經濟部中央標準局員工消費合作社印製

318980

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

英國(地區) 申請專利，申請日期：1993.5.5 案號：9309206.2，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明係關於積體收發機電路封裝組件。

一種已知之此種組件經示於附圖中之圖1，連同有一外部濾波器1。此收發機以二種模式操作，即發射及接收模式。在此二種模式操作情況下，局部振盪器信號係由設於晶片上之電壓控制振盪器(VCO)3所產生。

在接收模式時，信號以射頻(RF)頻率進入發射/接收(T/R)共用埠5。信號位準由低雜波放大器(LNA)7提升，僅增添極少之雜波。設於晶片外部之帶通濾波器1然後將所有在影像頻率之雜波功率予以拒斥(對於在 $LO+IF$ 頻率之RF信號言，此影像頻率為局部振盪器頻率減去中間頻率，即 $LO-IF$ )。在無濾波器1之情況下，影像雜波頻率將隨RF頻率信號(加上雜波)使其頻率向下變換為IF信號。一混波器9將RF與VCO信號相乘及產生在 $RF-LO$ 頻率之IF信號(假定RF大於LO)。IF信號在其於埠13輸出之前被一訊差放大器11放大。

在發射模式時，在IF頻率之一訊差輸入信號於埠15處輸入及由訊差放大器12放大。混波器9將放大器12之輸出與VCO信號相乘以產生在 $LO-IF$ 及 $LO+IF$ 頻率之二旁頻帶信號。假定RF信號在 $LO+IF$ ，則此為所需之旁頻帶，而 $LO-IF$ 信號則稱之為不需要之旁頻帶。濾波器1用以拒斥不需要之旁頻帶及任何其他混附之混波產物/諧波。所需之RF信號然後回至晶片上及在輸出至T/R共同埠5之前，先經過功率放大器17。

收發機電路另外包括連接至VCO3輸出之一放大器23，

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

## 五、發明說明(2)

以於包裝之輸出埠 25 提供一鎖相迴路 (PLL) 驅動信號。

參看附圖中之圖 2，微波積體電路 (MICs) 有數個接地點，所有此等接地點均連接至一共同接地平面。如為單石積體電路 (MICs 或 MMICs)，在正常情況下，此為晶片之背面。當封裝時，一般提供低電感接地 (例如以金屬為基礎之封裝) 以用為共用晶片接地。晶片接地 (在封裝內部) 與電路接地 (在封裝外部) 之間之電感稱作共同引線接地電感。

一部分輸出信號直接反饋。在低頻率時， $L_{common}$  之電抗很小，遂有最小效應，但當工作頻率增高時， $L_{common}$  之電抗亦增高，因此反饋之位準增高。 $L_{common}$  之存在造成封裝之每一銷之間之反饋。差訊信號不會因此問題受損，僅單端信號方會如此。

圖 1 之收發機之組態所遭遇之問題，係與使用低成本封裝時共同引線接地電感有關。共同引線接地電感充作收發機封裝之每一銷間之串聯反饋。在 2.4 GHz (即美國 ISM 頻帶) 時，僅為 0.2 nH 即成為 -20 dB 之反饋。此種反饋造成下述問題：

1. 由於在埠 5 與埠 19 (濾波器 1 即利用此埠連接至放大器 7, 17) 之間之迴路增益大於 1，發射與接收路徑有可能不穩定。
2. 由於在埠 19 與埠 21 (濾波器 1 即利用此埠連接至混波器 9) 之間之低度隔離，濾波器之性能會降低。
3. 有相當程度之發射功率反饋至 PLL 驅動埠 25 (可造成無線電鎖定放鬆)。

## 五、發明說明(3)

解決此種問題之一種可能使用之方法為對於晶片上之每一接地連接配置一個別封裝銷以與外部接地連接。當使用例如圖1中收發機之具有高功能之電路時，會造成封裝需要數目驚人之銷。終端組件之成本及大小二者均會增加。

根據本發明，可提供一種包括一收發機電路之積體收發機電路封裝組件，收發機電路中設有一濾波器用以將收到及發射出之信號濾波，以將信號中之不需要之成分除去。

實施之較佳者此濾波器為帶止濾波器。

根據本發明之一種積體收發機電路封裝組件現將藉實例及參看附圖而予以說明，於附圖中：

圖1為一電路圖，例示先前技術之此種組件連同外部濾波器；

圖2例示發生於圖1之收發機中之共同引線接地電感問題；

圖3為根據本發明之組件之一電路圖，此組件連同有一外部濾波器；及

圖4例示圖3組件之一帶止濾波器之電路。

於圖3之收發機電路中，相同於圖1電路中之該等組件均賦予相同之參考編號。

為能克服上述問題1至3，圖1之電路業經修改。一差訊驅動信號經使用供PLL之用。此將消除可能以共同模式反饋之任何RF信號。因此，圖1之放大器23為圖3之訊差放大器27。濾波器1業已移至晶片之T/R共同埠5，一設置於晶片上之帶止濾波器29業已加添於放大器7，17與混

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(4)

波器 9 之間，濾波器 29 對於影像 / 不需要之旁頻帶信號具有更為適中之拒斥。大於 10dB 時，即足以有效排除在接收模式之影像雜波及避免在發射模式之功率放大器 17 之飽和。一適當之供帶止濾波器 29 用之小型電路經顯示於圖 4 中，濾波器包括串聯及並聯帶止 L 及 C 元件之組合。濾波器 29 拒斥影像 / 不需要之旁頻帶信號（其頻率為  $L0-IF$ ），但不會拒斥其他頻率之諧波 / 混附響應。位於 T/R 共用埠 5 之帶通濾波器 1 可達成此目的。此外，源自 VCO 3 之控制埠處之電路之一外部接地回路應予消除。

圖 3 之收發機結構對於共同引線接地電感遠較一般結構更為容忍。來自晶片之唯一單端信號係得自 T/R 共同埠 5，此即謂不會多於一個單端信號在二種模式操作期間輸入至晶片或自晶片輸出。因為所有其他輸入 / 輸出均為訊差或直流控制，晶片對於共用埠 5 處之部分單端信號由於共同引線接地電感而被反饋至其他埠之情形極為容忍。

如果收發機晶片係使用一不設置於晶片上之局部振盪器驅動製成，則 PLL 可不需要差訊驅動，亦無需消除局部振盪器之外部接地回路，但是局部振盪器驅動將需要差訊或極低之信號位準，以避免低雜波放大器 7 在接收模式之飽和現象。

如果使用設於晶片上之諧振器及變容體，則上述對於外部接地回路之消除則因缺設而被遵守。如果使用設於晶片上之平衡之 VCO，接地連接可於虛構之接地點完成，而無需僅 RF 電流流於共同引線電感中。

## 四、中文發明摘要 (發明之名稱: 積體收發機電路封裝元件)

一積體收發機電路封裝組件包括一收發機電路，此電路中設有一帶止濾波器 29，用以將所接收及發射之信號濾波，以將此等信號中不需要之成分除去。

## 英文發明摘要 (發明之名稱: "AN INTEGRATED TRANSCEIVER CIRCUIT PACKAGED COMPONENT")

An integrated transceiver circuit packaged component including a transceiver circuit having a bandstop filter (29) provided therein for filtering both the received and transmitted signals to remove unwanted components therefrom.

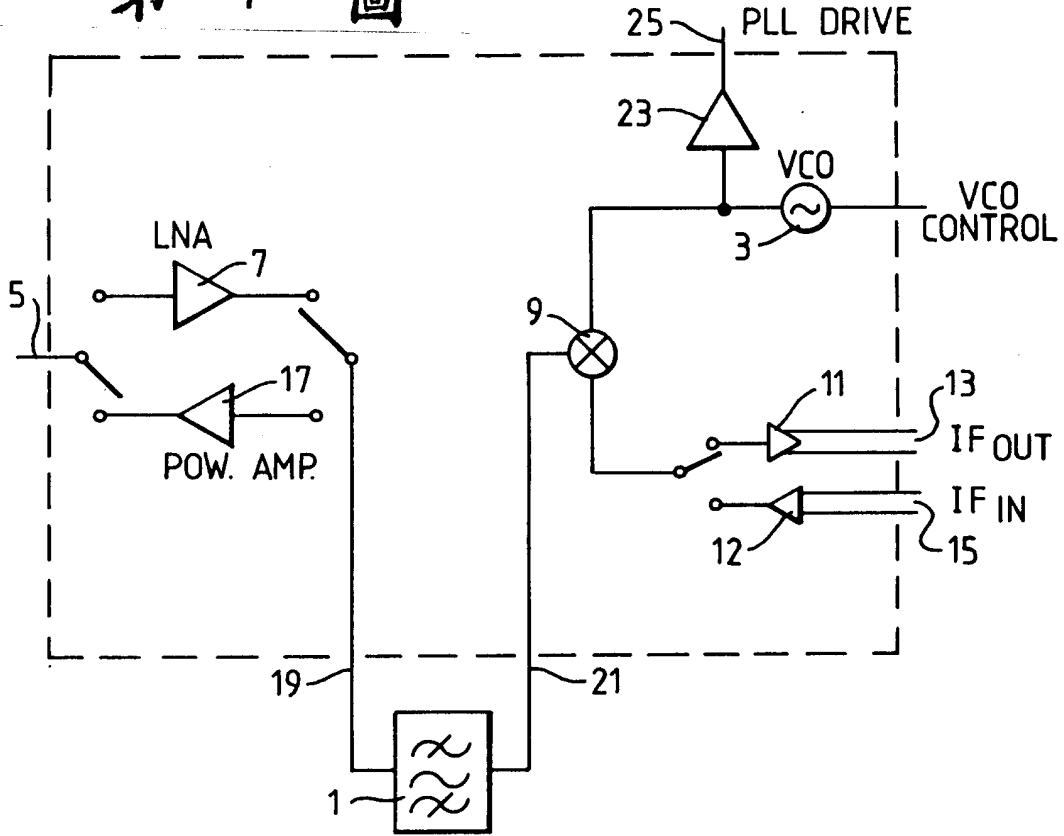
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

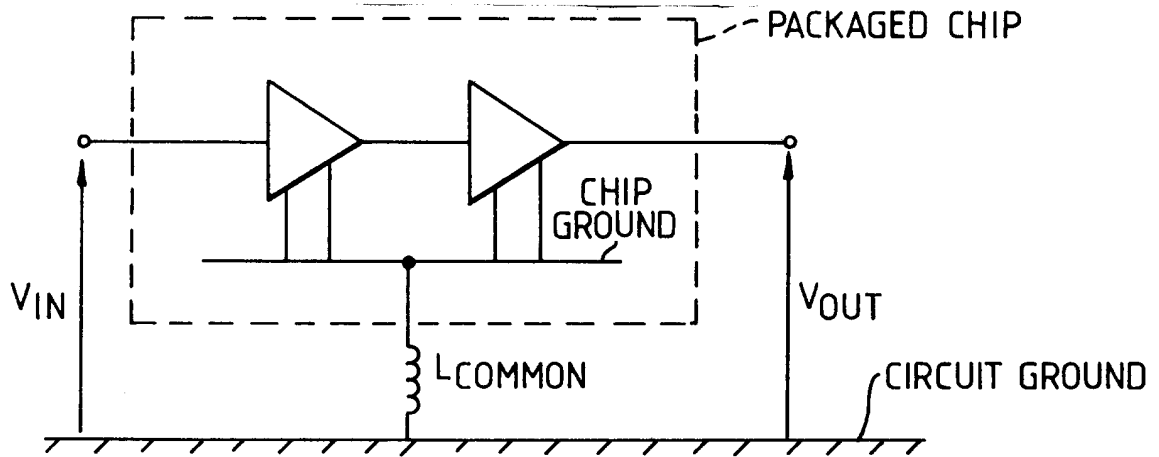
訂

線

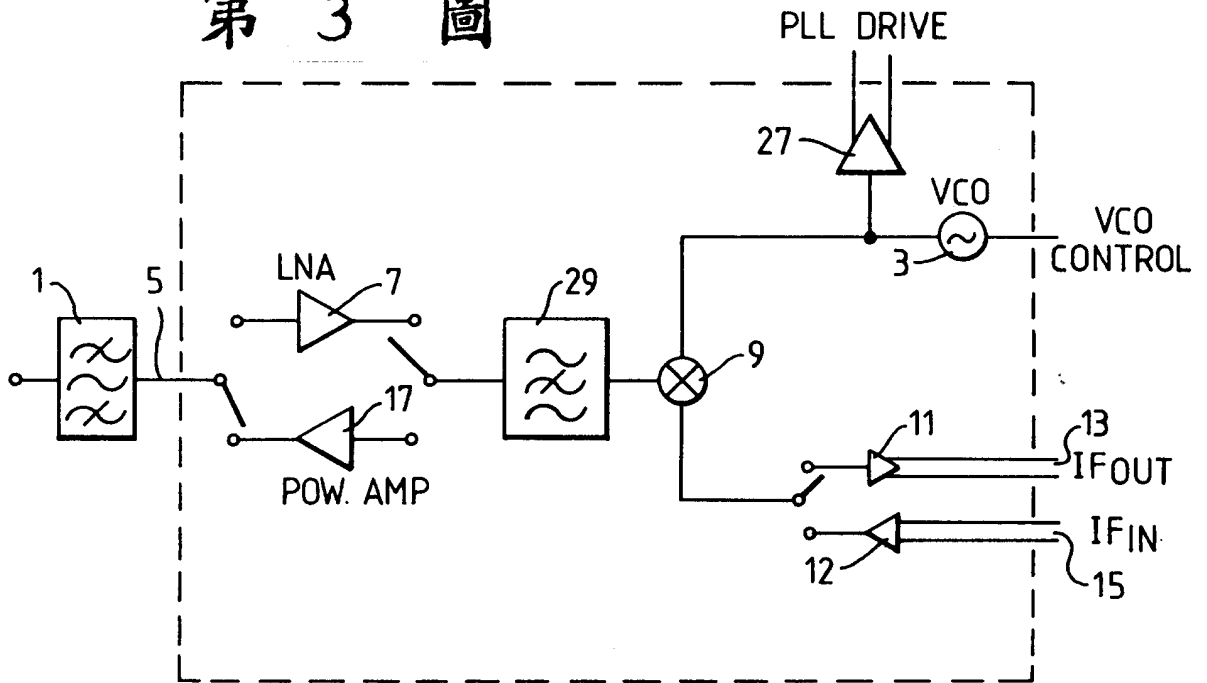
第 1 圖



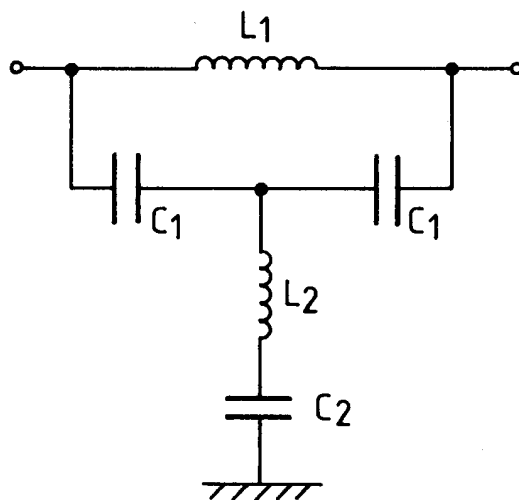
第 2 圖



第 3 圖



第 4 圖



六、申請專利範圍

85年6月1日 修正補充

1. 一種積體收發機電路封裝組件，包含有：
  - 一封裝；
  - 設於該封裝內之一晶片；
  - 一整合於該晶片上之收發機電路，該電路用以接收信號和發射信號；
  - 一設於該收發機電路中的濾波器，該濾波器係過濾由該接收器所收到和發射的信號所產生的不要成份；
  - 其中該濾波器係整合於該晶片上。
2. 如申請專利範圍第1項之組件，其中該濾波器為一帶止濾波器。
3. 如申請專利範圍第2項之組件，其中該收發機電路包括一混波器，用以當收發機電路用於接收模式時將局部產生之頻率與所接收之信號混波，及當收發機電路用於發射模式時，與所發射之信號相混波，該帶止濾波器連接於該混波器與該電路之一共用輸入/輸出埠之間。
4. 如申請專利範圍第3項之組件，其中該收發機電路包括一電壓控制振盪器，用以提供該局部產生之頻率予該混波器。
5. 如申請專利範圍第4項之組件，其該收發機電路具有一鎖相環(PLL)驅動輸出及包括與其連接之PLL訊差放大器，此放大器藉將得自電壓控制振盪器之輸出處之信號放大而提供一信號於PLL驅動輸出處。
6. 如申請專利範圍第3項之組件，其中該收發機電路包括一於該濾波器與該輸入/輸出埠之間之低雜波放大器，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

## 六、申請專利範圍

用以放大所接收之信號，一功率放大器，用以放大所發射之信號及轉換裝置，用以連接低雜波放大器或位於濾波器與輸入 / 輸出埠之間之功率放大器。

7. 如申請專利範圍第6項之組件，其中該收發機電路包括位於其中頻輸出與該混波器之間之一第一訊差放大器及位於其中頻輸入與該混波器之間之一第二訊差放大器，該收發機電路另外包括位於第一及第二訊差放大器與該混波器之間之另一轉換裝置，該混波器利用此轉換裝置可連接至第一或第二訊差放大器，該第一及第二訊差放大器可予以操作以分別放大所接收及發射之信號。
8. 如申請專利範圍第3項之組件，此組件與連接至該輸入 / 輸出埠之一帶通濾波器相組合以將所接收及發射之信號均予以濾波。
9. 如申請專利範圍第1項之組件，係封裝於塑膠中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂