(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0022412
(43) 공개일자 2018년03월06일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) *G11C 19/18* (2006.01)
G11C 8/10 (2006.01)
(52) CPC특허분류
G11C 29/808 (2013.01)
G11C 19/182 (2013.01)
(21) 출원번호 10-2016-0107817
(22) 출원일자 2016년08월24일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김선욱
경기도 남양주시 도농로 34 부영그린타운 214동 2003호
한영선
경기도 수원시 팔달구 경수대로 534 인계극동스타클래스 102동 1102호
(뒷면에 계속)
(74) 대리인
김성남

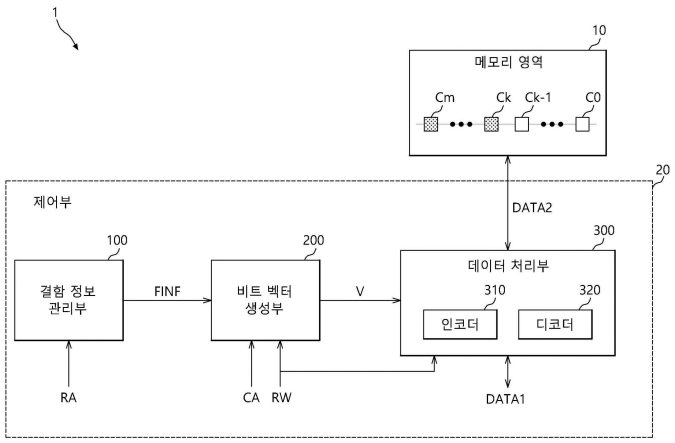
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **반도체 장치 및 반도체 시스템**

(57) 요 약

반도체 장치는 하나 이상의 메인 셀들 및 하나 이상의 스페어 셀들 및 상기 메인 셀들의 결함 정보에 따라 상기 메인 셀들에 대응하는 하나 이상의 제1 비트들로부터 제2 비트들을 생성하고, 상기 제2 비트들을 상기 메인 셀들 및 상기 스페어 셀들에 저장하도록 구성된 제어부를 포함하되, 상기 제어부는, 상기 제1 비트들에 대해 상기 결함 정보에 따라 하나 이상의 쉬프트 동작들을 수행하고 상기 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 비트들로서 생성하도록 구성된 인코더를 포함한다.

대 표 도



(52) CPC특허분류
G11C 8/10 (2013.01)
(72) 발명자
김호권
경기도 성남시 분당구 동판교로 92 백현마을3단지 아파트 321동 106호
전재영
서울특별시 성북구 인촌로12길 48 2층

명 세 서

청구범위

청구항 1

하나 이상의 메인 셀들 및 하나 이상의 스페어 셀들; 및

상기 메인 셀들의 결함 정보에 따라 상기 메인 셀들에 대응하는 하나 이상의 제1 비트들로부터 제2 비트들을 생성하고, 상기 제2 비트들을 상기 메인 셀들 및 상기 스페어 셀들에 저장하도록 구성된 제어부를 포함하되,

상기 제어부는, 상기 제1 비트들에 대해 상기 결함 정보에 따라 하나 이상의 쉬프트 동작들을 수행하고 상기 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 비트들로서 생성하도록 구성된 인코더를 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제2 비트들은 상기 메인 셀들 중 하나 이상의 결함 셀들로 각각 전송될 더미 비트들을 포함하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제2 비트들은 상기 메인 셀들 및 상기 스페어 셀들 중 하나 이상의 정상 셀들로 전송될 상기 제1 비트들을 포함하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 인코더는 하나 이상의 쉬프트 레지스터들을 포함하고,

상기 쉬프트 레지스터들 중, 최초 쉬프트 레지스터는 상기 제1 비트들을 입력받고, 중간 쉬프트 레지스터들 및 최후 쉬프트 레지스터 각각은 이전 쉬프트 레지스터에서 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들을 입력받고,

상기 쉬프트 레지스터들 각각은 상기 결함 정보에 따라 생성된 하나 이상의 벡터 성분들 중 대응하는 벡터 성분에 응답하여 최상위 비트 위치 방향으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 저장된 비트들을 출력하고,

상기 인코더는 상기 최초 및 중간 쉬프트 레지스터들에서 최하위 비트 위치들로부터 출력된 비트들 및 상기 최후 쉬프트 레지스터에서 상기 스페어 셀들의 개수보다 1개 많은 하위 비트 위치들로부터 출력된 비트들을 상기 제2 비트들로서 생성하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 벡터 성분들은 상기 메인 셀들에 각각 대응하고, 상기 벡터 성분들 각각은 대응하는 메인 셀이 결함 셀일 때 소정 값을 가지도록 생성되고,

상기 쉬프트 레지스터들 각각은, 상기 대응하는 벡터 성분이 상기 소정 값을 가질 때 상기 쉬프트 동작을 수행하고 상기 대응하는 벡터 성분이 상기 소정 값을 가지지 않을 때 상기 쉬프트 동작을 수행하지 않는 반도체 장치.

청구항 6

제1항에 있어서,

상기 제어부는, 상기 결함 정보에 따라 상기 메인 셀들 및 상기 스페어 셀들로부터 리드된 상기 제2 비트들로부터 상기 제1 비트들을 복구하도록 구성된 디코더를 더 포함하는 반도체 장치.

청구항 7

제6항에 있어서,

상기 디코더는 하나 이상의 쉬프트 레지스터들을 포함하고,

상기 쉬프트 레지스터들 중, 최초 쉬프트 레지스터는 상기 제2 비트들 중 상기 메인 셀들의 개수보다 1개 많은 상위 비트들을 입력받고, 중간 쉬프트 레지스터들 및 최후 쉬프트 레지스터 각각은 이전 쉬프트 레지스터에서 최상위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들 및 상기 제2 비트들 중 이전 쉬프트 레지스터의 최하위 비트 위치로 입력된 비트보다 하위의 비트를 입력받고,

상기 쉬프트 레지스터들 각각은 상기 결함 정보에 따라 생성된 하나 이상의 벡터 성분들 중 대응하는 벡터 성분에 응답하여 최하위 비트 위치 방향으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 출력하고,

상기 디코더는 상기 최후 쉬프트 레지스터의 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 상기 제1 비트들로서 복구하는 반도체 장치.

청구항 8

제7항에 있어서,

상기 벡터 성분들은 상기 메인 셀들에 각각 대응하고, 상기 벡터 성분들 각각은 대응하는 메인 셀이 결함 셀일 때 소정 값을 가지도록 생성되고,

상기 쉬프트 레지스터들 각각은, 상기 대응하는 벡터 성분이 상기 소정 값을 가질 때 상기 쉬프트 동작을 수행하고, 상기 대응하는 벡터 성분이 상기 소정 값을 가지지 않을 때 상기 쉬프트 동작을 수행하지 않는 반도체 장치.

청구항 9

하나 이상의 메인 라인들 및 하나 이상의 스페어 라인들;

상기 메인 라인들에 대응하는 하나 이상의 제1 비트들에 대해 상기 메인 라인들의 결함 정보에 따라 하나 이상의 쉬프트 동작들을 수행하고, 상기 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 비트들로서 생성하고, 상기 제2 비트들을 상기 메인 라인들 및 상기 스페어 라인들로 전송하도록 구성된 제1 반도체 장치; 및

상기 제2 비트들을 상기 메인 라인들 및 상기 스페어 라인들로부터 수신하고, 상기 결함 정보에 따라 상기 제2 비트들로부터 상기 제1 비트들을 복구하도록 구성된 제2 반도체 장치를 포함하는 반도체 시스템.

청구항 10

제9항에 있어서,

상기 제2 비트들은 상기 메인 라인들 중 하나 이상의 결함 라인들로 각각 전송될 더미 비트들을 포함하는 반도체 시스템.

청구항 11

제9항에 있어서,

상기 제2 비트들은 상기 메인 라인들 및 상기 스페어 라인들 중 하나 이상의 정상 라인들로 전송될 상기 제1 비트들을 포함하는 반도체 시스템.

청구항 12

제9항에 있어서,

상기 제1 반도체 장치는 하나 이상의 쉬프트 레지스터들을 포함하고,

상기 쉬프트 레지스터들 중, 최초 쉬프트 레지스터는 상기 제1 비트들을 입력받고, 중간 쉬프트 레지스터들 및 최후 쉬프트 레지스터 각각은 이전 쉬프트 레지스터에서 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들을 입력받고,

상기 쉬프트 레지스터들 각각은 상기 결함 정보에 따라 생성된 하나 이상의 벡터 성분들 중 대응하는 벡터 성분에 응답하여 최상위 비트 위치 방향으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 저장된 비트들을 출력하고,

상기 제1 반도체 장치는 상기 최초 및 중간 쉬프트 레지스터들에서 최하위 비트 위치들로부터 출력된 비트들 및 상기 최후 쉬프트 레지스터에서 상기 스페어 셀들의 개수보다 1개 많은 하위 비트 위치들로부터 출력된 비트들을 상기 제2 비트들로서 생성하는 반도체 시스템.

청구항 13

제12항에 있어서,

상기 벡터 성분들은 상기 메인 라인들에 각각 대응하고, 상기 벡터 성분들 각각은 대응하는 메인 라인이 결함 라인일 때 소정 값을 가지도록 생성되고,

상기 쉬프트 레지스터들 각각은, 상기 대응하는 벡터 성분이 상기 소정 값을 가질 때 상기 쉬프트 동작을 수행하고 상기 대응하는 벡터 성분이 상기 소정 값을 가지지 않을 때 상기 쉬프트 동작을 수행하지 않는 반도체 시스템.

청구항 14

제9항에 있어서,

상기 제2 반도체 장치는 하나 이상의 쉬프트 레지스터들을 포함하고,

상기 쉬프트 레지스터들 중, 최초 쉬프트 레지스터는 상기 제2 비트들 중 상기 메인 셀들의 개수보다 1개 많은 상위 비트들을 입력받고, 중간 쉬프트 레지스터들 및 최후 쉬프트 레지스터 각각은 이전 쉬프트 레지스터에서 최상위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들 및 상기 제2 비트들 중 이전 쉬프트 레지스터의 최하위 비트 위치로 입력된 비트보다 하위의 비트를 입력받고,

상기 쉬프트 레지스터들 각각은 상기 결함 정보에 따라 생성된 하나 이상의 벡터 성분들 중 대응하는 벡터 성분에 응답하여 최하위 비트 위치 방향으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 출력하고,

상기 제2 반도체 장치는 상기 최후 쉬프트 레지스터의 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 상기 제1 비트들로서 복구하는 반도체 시스템.

청구항 15

제14항에 있어서,

상기 벡터 성분들은 상기 메인 라인들에 각각 대응하고, 상기 벡터 성분들 각각은 대응하는 메인 라인이 결함 라인일 때 소정 값을 가지도록 생성되고,

상기 쉬프트 레지스터들 각각은, 상기 대응하는 벡터 성분이 상기 소정 값을 가질 때 상기 쉬프트 동작을 수행하고, 상기 대응하는 벡터 성분이 상기 소정 값을 가지지 않을 때 상기 쉬프트 동작을 수행하지 않는 반도체 시스템.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더욱 상세하게는 데이터를 저장할 수 있는 반도체 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 장치, 그 중에서도 반도체 메모리 장치는 데이터를 저장하는 용도로 사용될 수 있다. 반도체 메모리 장치는 크게 불휘발성 메모리 장치와 휘발성 메모리 장치로 구분할 수 있다.

[0003] 불휘발성 메모리 장치는 전원이 인가되지 않더라도 저장된 데이터를 유지할 수 있다. 불휘발성 메모리 장치는 낸드 플래시(NAND Flash) 또는 노어 플래시(NOR Flash)와 같은 플래시 메모리 장치, FeRAM(Ferroelectrics Random Access Memory), PCRAM(Phase-Change Random Access Memory), MRAM(Magnetic Random Access Memory) 또는 ReRAM(Resistive Random Access Memory) 등을 포함할 수 있다.

[0004] 휘발성 메모리 장치는 전원이 인가되지 않는 경우 저장된 데이터를 유지하지 못하고 소실할 수 있다. 휘발성 메모리 장치는 SRAM(Static Random Access Memory) 또는 DRAM(Dynamic Random Access Memory) 등을 포함할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는 결함 셀에 대비한 스페어 셀을 효율적으로 활용함으로써 극대화된 메모리 용량 및 향상된 양품률을 제공하는 반도체 장치 및 반도체 시스템을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 반도체 장치는 하나 이상의 메인 셀들 및 하나 이상의 스페어 셀들; 및 상기 메인 셀들의 결함 정보에 따라 상기 메인 셀들에 대응하는 하나 이상의 제1 비트들로부터 제2 비트들을 생성하고, 상기 제2 비트들을 상기 메인 셀들 및 상기 스페어 셀들에 저장하도록 구성된 제어부를 포함하되, 상기 제어부는, 상기 제1 비트들에 대해 상기 결함 정보에 따라 하나 이상의 쉬프트 동작들을 수행하고 상기 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 비트들로서 생성하도록 구성된 인코더를 포함할 수 있다.

[0007] 본 발명의 실시 예에 따른 반도체 시스템은 하나 이상의 메인 라인들 및 하나 이상의 스페어 라인들; 상기 메인 라인들에 대응하는 하나 이상의 제1 비트들에 대해 상기 메인 라인들의 결함 정보에 따라 하나 이상의 쉬프트 동작들을 수행하고, 상기 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 비트들로서 생성하고, 상기 제2 비트들을 상기 메인 라인들 및 상기 스페어 라인들로 전송하도록 구성된 제1 반도체 장치; 및 상기 제2 비트들을 상기 메인 라인들 및 상기 스페어 라인들로부터 수신하고, 상기 결함 정보에 따라 상기 제2 비트들로부터 상기 제1 비트들을 복구하도록 구성된 제2 반도체 장치를 포함할 수 있다.

발명의 효과

[0008] 본 발명의 실시 예에 따른 반도체 장치 및 반도체 시스템은 결함 셀에 대비한 스페어 셀을 효율적으로 활용함으로써 극대화된 메모리 용량 및 향상된 양품률을 제공할 수 있다.

도면의 간단한 설명

[0009] 도1은 본 발명의 실시 예에 따른 반도체 장치를 간략하게 도시한 블록도,

도2는 도1의 메모리 영역에 제1 데이터가 저장되는 방법을 예시적으로 도시하는 도면,

도3은 본 발명의 실시 예에 따른 인코더를 예시적으로 도시한 도면,

도4a 내지 도4e는 도3의 인코더를 포함하는 제어부의 인코딩 동작을 예시적으로 도시하는 도면들,

도5는 본 발명의 실시 예에 따른 디코더를 예시적으로 도시한 도면,

도6a 내지 도6e는 도5의 디코더를 포함하는 제어부의 디코딩 동작을 예시적으로 도시하는 도면들,

도7는 본 발명의 실시 예에 따른 반도체 장치를 예시적으로 도시한 블록도,

도8은 본 발명의 실시 예에 따른 반도체 시스템을 예시적으로 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 도면들을 참조하여 본 발명의 실시 예에 대해 상세히 설명하기로 한다.

[0011] 도1은 본 발명의 실시 예에 따른 반도체 장치(1)를 간략하게 도시한 블록도이다.

[0012] 도1을 참조하면, 반도체 장치(1)는 불휘발성 또는 휘발성 메모리 장치를 포함할 수 있다. 불휘발성 메모리 장치는 낸드 플래시(NAND Flash) 또는 노어 플래시(NOR Flash)와 같은 플래시 메모리 장치, FeRAM(Ferroelectrics Random Access Memory), PCRAM(Phase-Change Random Access Memory), MRAM(Magnetic Random Access Memory) 또는 ReRAM(Resistive Random Access Memory) 등을 포함할 수 있다. 휘발성 메모리 장치는 SRAM(Static Random Access Memory) 및 DRAM(Dynamic Random Access Memory) 등을 포함할 수 있다. 그러나, 본 발명의 반도체 장치(1)는 이에 제한되지 않고, 기타 타입의 반도체 메모리 장치들을 포함할 수 있다.

[0013] 반도체 장치(1)는 메모리 영역(10) 및 제어부(20)를 포함할 수 있다.

[0014] 메모리 영역(10)은 제어부(20)의 제어에 따라 데이터(DATA2)를 저장할 수 있다. 메모리 영역(10)은 복수의 메모리 셀들(C0~Cm)을 포함할 수 있다. 메모리 셀들(C0~Cm)은 단일의 로우 어드레스(RA)에 대응하고 복수의 연속적인 컬럼 어드레스들(CA)에 각각 대응할 수 있다. 도1은 하나의 로우 어드레스(RA)에 대응하는 메모리 셀들(C0~Cm)을 예시적으로 도시하지만, 복수의 로우 어드레스들에 대응하는 메모리 셀들이 메모리 영역(10)에 포함될 수 있다.

[0015] 메모리 셀들(C0~Cm)은 메인 셀들(C0~Ck-1)과 스페어 셀들(Ck~Cm)을 포함할 수 있다. 스페어 셀들(Ck~Cm)은 메인 셀들(C0~Ck-1)에 포함된 하나 이상의 결함 셀들로 인해 부족해진 메모리 용량을 보충하여, 데이터를 저장하기 위해서 사용될 수 있다. 스페어 셀들(Ck~Cm)은 메인 셀들(C0~Ck-1)의 일측에 정렬될 수 있다.

[0016] 제어부(20)는 반도체 장치(1)의 제반 동작을 제어할 수 있다. 제어부(20)는 외부 장치로부터 전송된 로우 어드레스(RA) 및 컬럼 어드레스(CA)에 근거하여, 메모리 영역(10)에 대해 라이트 동작 또는 리드 동작을 수행할 수 있다.

[0017] 제어부(20)는 라이트 동작이 수행될 때, 로우 어드레스(RA)에 대응하는 결함 정보(FINF), 즉, 결함 셀들의 위치 정보에 근거하여 외부 장치에 의해 메인 셀들(C0~Ck-1)에 저장되도록 지시된 제1 데이터(DATA1)를 제2 데이터(DATA2)로 변환하고, 제2 데이터(DATA2)를 메모리 셀들(C0~Cm)에 저장할 수 있다. 제2 데이터(DATA2)는, 메모리 셀들(C0~Cm) 중 정상 셀들에 저장될 제1 데이터(DATA1)의 비트들 및 결함 셀들에 저장될 더미 비트들을 포함할 수 있다. 제1 데이터(DATA1)에 더미 비트를 삽입하는 것은, 결함 셀 이후 스페어 셀 방향에 존재하는 메인 셀들에 저장될 예정이었던 제1 데이터(DATA1)의 비트들을 스페어 셀 방향으로 쉬프트시킬 수 있다. 정리하면, 제어부(20)는 제1 데이터(DATA1) 대신에 제2 데이터(DATA2)를 메모리 셀들(C0~Cm)에 저장함으로써, 결함 셀들에 대해서도 라이트 동작을 수행하면서 결국 결함 셀들을 제외한 정상 셀들에 제1 데이터(DATA1)의 비트들을 저장할 수 있다.

[0018] 구체적으로, 외부 장치에 의해 메인 셀들(C0~Ck-1) 중 제1 메인 셀에 저장되도록 지시된 제1 데이터(DATA1)의 제1 비트는, 제1 방향으로 소정 메모리 셀들의 개수만큼 쉬프트된 메모리 셀에 저장될 수 있다. 이때, 상기 제1 방향은 스페어 셀들(Ck~Cm)이 메인 셀들(C0~Ck-1)에 대해 위치하는 방향이고, 이하에서, 제1 방향은 "스페어 셀 방향"으로 언급될 수 있다. 그리고, 상기 소정 메모리 셀들의 개수는 상기 제1 메인 셀 및 제1 메인 셀에서 제2 방향의 메인 셀들에 포함된 결함 셀들의 개수일 수 있다. 이때, 상기 제2 방향은 스페어 셀 방향의 반대 방향이고, 이하에서, 제2 방향은 "메인 셀 방향"으로 언급될 수 있다. 또한, 상기 제1 비트는, 스페어 셀 방향으로 소정 메모리 셀들의 개수만큼 쉬프트된 메모리 셀이 결함 셀일 때는, 그 다음 메모리 셀, 즉, 스페어 셀 방향으로 "1"만큼 더 쉬프트된 메모리 셀에 저장될 수 있다. 이에 대한 상세한 설명은 도2를 참조하여 후술될 것이다.

[0019] 한편, 외부 장치는 제1 데이터(DATA1)가 메인 셀들(C0~Ck-1)에 저장된 것으로 인식하고, 메인 셀들(C0~Ck-1)로부터 제1 데이터(DATA1)를 리드하도록 제어부(20)를 제어할 수 있다. 따라서, 제어부(20)는 제1 데이터(DATA1)에 대한 리드 동작이 수행될 때, 메모리 셀들(C0~Cm)로부터 제2 데이터(DATA2)를 리드하고 결함 정보(FINF)에 근거하여 제2 데이터(DATA2)로부터 제1 데이터(DATA1)를 복구할 수 있다. 제어부(20)는 결함 셀들로부터 리드된 더미 비트들을 제2 데이터(DATA2)에서 제거함으로써 제1 데이터(DATA1)를 복구할 수 있다.

[0020] 제어부(20)는 결함 정보 관리부(100), 비트 벡터 생성부(200) 및 데이터 변환부(300)를 포함할 수 있다.

[0021] 결함 정보 관리부(100)는 메모리 영역(10)의 결함 정보(FINF)를 저장할 수 있다. 결함 정보 관리부(100)는 메모리 영역(10)의 복수의 로우 어드레스들에 각각 대응하는 결함 정보(FINF)를 저장할 수 있다. 결함 정보 관리부(100)는 라이트 동작 또는 리드 동작이 수행될 때, 외부 장치로부터 제공된 로우 어드레스(RA)에 응답하여, 로

우 어드레스(RA)에 대응하는 결함 정보(FINF)를 비트 벡터 생성부(200)로 제공할 수 있다. 결함 정보(FINF)는 로우 어드레스(RA)의 메인 셀들(C0~Ck-1) 중 결함 셀들의 위치 정보, 예를 들어, 결함 셀들의 컬럼 어드레스들을 포함할 수 있다.

[0022] 비트 벡터 생성부(200)는 결함 정보(FINF) 및 컬럼 어드레스(CA)에 근거하여 비트 벡터(V)를 생성하고, 비트 벡터(V)를 데이터 변환부(300)로 제공할 수 있다. 결함 정보(FINF)는 결함 셀들의 위치 정보를 포함하므로, 비트 벡터 생성부(200)는, 컬럼 어드레스(CA)에 응답하여 라이트될 각각의 메인 셀들(C0~Ck-1)이 결함 셀인지 또는 정상 셀인지에 따라 비트 벡터(V)를 생성할 수 있다. 또한, 비트 벡터 생성부(200)는, 리드 동작 또는 라이트 동작이 수행되는지 여부를 나타내는 리드/라이트 신호(RW)에 근거하여, 라이트 동작 시에 인코더(310)로 입력될 비트 벡터(V) 및 리드 동작 시에 디코더(320)로 입력될 비트 벡터(V)를 각각 생성할 수 있다.

[0023] 데이터 변환부(300)는 인코더(310) 및 디코더(320)를 포함할 수 있다. 인코더(310)는, 리드/라이트 신호(RW)에 응답하여 라이트 동작이 수행되는 것으로 판단될 때, 비트 벡터(V)에 근거하여 제1 데이터(DATA1)를 제2 데이터(DATA2)로 변환하기 위해 인코딩 동작을 수행할 수 있다. 인코더(310)는 제1 데이터(DATA1)에 대해 비트 벡터(V)에 따라 하나 이상의 쉬프트 동작들을 수행하고 쉬프트 동작들을 통해 순차적으로 생성된 비트들을 제2 데이터(DATA2)로서 생성할 수 있다. 디코더(320)는, 리드/라이트 신호(RW)에 응답하여 리드 동작이 수행되는 것으로 판단될 때, 비트 벡터(V)에 근거하여 제2 데이터(DATA2)로부터 제1 데이터(DATA1)를 복구하기 위해 디코딩 동작을 수행할 수 있다.

[0024] 도2는 도1의 메모리 영역(10)에 제1 데이터(DATA1)가 저장되는 방법을 예시적으로 도시하는 도면이다. 도2는 도1의 메모리 영역(10)에 포함되는 메모리 셀들(C00~C07, C10~C17)을 도시한다. 메모리 셀들(C00~C07)은 로우 어드레스(RA0) 및 컬럼 어드레스들(CA0~CA7)에 각각 대응하고, 메모리 셀들(C10~C17)은 로우 어드레스(RA1) 및 컬럼 어드레스들(CA0~CA7)에 각각 대응할 수 있다. 로우 어드레스들(RA0, RA1) 각각에 대해 스페어 셀들(C04~C07, C14~C17)은 메인 셀들(C00~C03, C10~C13)의 일 측, 즉, 스페어 셀 방향에 정렬될 수 있다. 한편, 도2는 로우 어드레스들(RA0, RA1) 각각에 4개의 메인 셀들 및 4개의 스페어 셀들이 대응하는 것으로 도시하나, 본 발명의 실시 예는 이에 제한되지 않는다.

[0025] 도2를 참조하면, 우선, 로우 어드레스(RA0)에 대응하는 메모리 셀들(C00~C07) 중 메모리 셀들(C01, C03)이 결함 셀들이고, 메모리 셀들(C00, C02, C04~C07)은 정상 셀들일 수 있다. 외부 장치에 의해 로우 어드레스(RA0)의 메인 셀들(C00~C03)에 저장되도록 지시된 제1 데이터(DATA1)는, 제2 데이터(DATA2)로 변환되고 제2 데이터(DATA2)로서 저장된 결과, 결함 셀들(C01, C03)을 회피하여 정상 셀들(C00, C02, C04, C05)에 저장될 수 있다.

[0026] 구체적으로, 정상 셀(C00)에 저장되도록 지시된 제1 데이터(DATA1)의 비트는 정상 셀(C00)에 저장될 수 있다. 그러나, 결함 셀(C01)에 저장되도록 지시된 제1 데이터(DATA1)의 비트는 결함 셀(C01)로부터 쉬프트된 정상 셀(C02)에 저장될 수 있다. 그리고, 정상 셀(C02)에 저장되도록 지시된 제1 데이터(DATA1)의 비트는 그 다음 정상 셀(C04)에 저장될 수 있다. 이어서, 결함 셀(C03)에 저장되도록 지시된 제1 데이터(DATA1)의 비트는 정상 셀(C05)에 저장될 수 있다. 결과적으로, 제1 데이터(DATA1)의 비트들은 정상 셀(C01)에 저장될 뿐만 아니라, 결함 셀들(C01, C03)을 회피하여 스페어 셀 방향으로 쉬프트된 정상 셀들(C02, C04, C05)에 각각 저장될 수 있다. 한편, 결함 셀들(C01, C03)과 사용되지 않은 스페어 셀들(C06, C07)에는 더미 비트들이 저장될 수 있다.

[0027] 로우 어드레스(RA1)에 대응하는 메모리 셀들(C10~C17)에도 제1 데이터(DATA1)는 유사하게 저장될 수 있다. 우선, 로우 어드레스(RA1)에 대응하는 메모리 셀들(C10~C17) 중 메모리 셀(C10)이 결함 셀이고, 메모리 셀들(C11~C17)은 정상 셀들 수 있다. 따라서, 결함 셀(C10)에 저장되도록 지시된 제1 데이터(DATA1)의 비트는 정상 셀(C11)에 저장되고, 정상 셀들(C11~C13)에 각각 저장되도록 지시된 제1 데이터(DATA1)의 비트들은 정상 셀들(C12~C14)에 각각 저장될 수 있다. 한편, 결함 셀(C10)과 사용되지 않은 스페어 셀들(C15~C17)에는 더미 비트들이 저장될 수 있다.

[0028] 본 발명에 따르면, 종래의 리페어 방식, 예를 들어, 결함 셀(C01)을 스페어 셀(C04)로 대체하기 위해 결함 셀(C01)에 대응하는 컬럼 어드레스(CA1)를 스페어 셀(C04)에 대응하는 컬럼 어드레스(CA4)로 대체함으로써, 결함 셀(C01)과 동일한 컬럼 어드레스(CA1)에 대응하는 다른 정상 셀(C11)이 사용되지 못하는 방식과 달리, 로우 어드레스들(RA0, RA1) 각각에 대해 스페어 셀들의 개수까지의 결함 셀들이 커버될 수 있다. 즉, 로우 어드레스들(RA0, RA1) 각각의 메인 셀들에 스페어 셀들의 개수, 즉, 4개까지의 결함 셀들이 존재하더라도 로우 어드레스들(RA0, RA1) 각각에 대한 라이트 동작이 가능할 수 있다. 따라서, 메인 셀들과 스페어 셀들은 더욱 밀도있게 사용될 수 있고, 더 많은 결함 셀들이 커버가능할 수 있다.

[0029] 도3은 본 발명의 실시 예에 따른 인코더(310A)를 예시적으로 도시한 도면이다. 도3의 인코더(310A)는 도1의 인코더(310)의 실시 예일 수 있다. 도3은 단일의 로우 어드레스(RA)에 대응하는 메인 셀들(C0~C3) 및 스페어 셀들(C4~C7) 추가적으로 도시한다.

[0030] 인코더(310A)는 비트 벡터(V1) 및 제1 데이터(DATA1)에 근거하여 제2 데이터(DATA2)를 생성할 수 있다. 제1 데이터(DATA1)는 외부 장치에 의해 메인 셀들(C0~C3)에 저장되도록 지시된 데이터일 수 있다. 제2 데이터(DATA2)는 제1 데이터(DATA1) 대신에 메인 셀들(C0~C3) 및 스페어 셀들(C4~C7)에 저장될 수 있다.

[0031] 인코더(310A)는 비트 벡터 생성부(200)로부터 벡터 성분들(e_0~e_3)을 포함하는 비트 벡터(V1)를 제공받을 수 있다. 비트 벡터(V1)는 로우 어드레스(RA)에 대응하는 결함 정보(FINF)에 근거하여 생성될 수 있다. 벡터 성분들(e_0~e_3)은 메인 셀들(C0~C3)에 각각 대응할 수 있다. 벡터 성분들(e_0~e_3) 각각은 대응하는 메인 셀이 정상 셀인지 또는 결함 셀인지 여부에 따라 "0"또는 "1"의 값을 가질 수 있다.

[0032] 인코더(310A)는 쉬프트 레지스터들(LSR0~LSR3)을 포함할 수 있다. 쉬프트 레지스터들(LSR0~LSR3)의 개수는 제1 데이터(DATA1)의 비트들(b0~b3)의 개수와 동일할 수 있다. 실시 예에 따라, 인코더(310A)는, 제1 데이터(DATA1)가 "d"개의 비트들을 포함할 때, "d"개의 쉬프트 레지스터들을 포함할 수 있다. 쉬프트 레지스터들(LSR0~LSR3)은 벡터 성분들(e0~e3)에 각각 대응할 수 있다. 쉬프트 레지스터들(LSR0~LSR3) 각각은 제1 데이터(DATA1)의 비트들(b0~b3)의 개수보다 1개 많은 비트들 저장할 수 있다. 실시 예에 따라, 제1 데이터(DATA1)가 "d"개의 비트들을 포함할 때, 쉬프트 레지스터들(LSR0~LSR3) 각각은 "d+1"개의 비트들을 저장할 수 있다.

[0033] 한편, 제1 데이터(DATA1)의 비트들(b0~b3) 및 제2 데이터(DATA2)의 비트들(b10~b17)은, 저장될 메모리 셀이 마지막 스페어 셀(C7)에 가까울수록 상위 비트일 수 있다. 즉, 비트(b_3)가 제1 데이터(DATA1)에서 최상위 비트이고, 비트(b_{17})가 제2 데이터(DATA2)에서 최상위 비트일 수 있다. 이때, 쉬프트 레지스터들(LSR0~LSR3) 각각은 입력된 비트들 중 최상위 비트가 위치한 방향, 즉, 최상위 비트 위치 방향(DR1)으로 쉬프트 동작을 수행할 수 있다. 최상위 비트 위치 방향(DR1)은 스페어 셀 방향에 대응할 수 있다. 결국, 제1 데이터(DATA1)의 비트들(b_0~b_3)은 후술될 바와 같이 결함 셀들의 위치에 따라 스페어 셀 방향으로 쉬프트될 수 있다.

[0034] 최초 쉬프트 레지스터(LSR0)는 제1 데이터(DATA1)를 입력받고, 쉬프트 레지스터들(LSR1~LSR3) 각각은 이전 쉬프트 레지스터에서 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들을 입력받을 수 있다. 그리고, 쉬프트 레지스터들(LSR0~LSR3) 각각은 대응하는 벡터 성분에 근거하여 최상위 비트 위치 방향(DR1)으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 저장된 비트들을 출력할 수 있다. 그리고, 제어부(20)는 쉬프트 레지스터들(LSR0~LSR2)에서 최하위 비트 위치들로부터 출력된 비트들(b_{10}~b_{12}) 및 최후 쉬프트 레지스터(LSR3)에서 스페어 셀들(C4~C7)의 개수보다 1개 많은 하위 비트 위치들로부터 출력된 비트들(b_{13}~b_{17})을 제2 데이터(DATA2)로서 생성할 수 있다.

[0035] 구체적으로, 최초 쉬프트 레지스터(LSR0)는 제1 데이터(DATA1)를 기존 비트 배열대로 입력받을 수 있다. 쉬프트 레지스터들(LSR1~LSR3) 각각은 이전 쉬프트 레지스터에서 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들을 기존 비트 배열대로 입력받을 수 있다. 이때, 쉬프트 레지스터들(LSR0~LSR3) 각각으로 입력될 비트들은 최상위 비트 위치를 제외한 비트 위치들로 입력되고, 최상위 비트 위치에는 "0"이 저장될 수 있다. 쉬프트 레지스터들(LSR0~LSR3)의 입력은 직렬 및 병렬 중 어떤 타입으로도 구성될 수 있다.

[0036] 쉬프트 레지스터들(LSR0~LSR3) 각각은, 비트 벡터(V1)에서 대응하는 벡터 성분에 근거하여, 입력된 비트들을 최상위 비트 위치 방향(DR1)으로 선택적으로 쉬프트할 수 있다. 구체적으로, 쉬프트 레지스터들(LSR0~LSR3) 각각은 정상 셀에 대응하는 벡터 성분, 예를 들어, "0"에 근거하여, 입력된 비트들을 쉬프트하지 않을 수 있다. 그리고, 쉬프트 레지스터들(LSR0~LSR3) 각각은 결함 셀에 대응하는 벡터 성분, 예를 들어, "1"에 근거하여, 입력된 비트들을 최상위 비트 위치 방향(DR1)으로 쉬프트할 수 있다. 쉬프트 레지스터들(LSR0~LSR3) 각각이 입력된 비트들을 최상위 비트 위치 방향(DR1)으로 쉬프트할 때, 최하위 비트 위치로 더미 비트를 입력받을 수 있다. 최초 쉬프트 레지스터(LSR0)로 입력되는 더미 비트는, 예를 들어, "0"일 수 있다. 쉬프트 레지스터들(LSR1~LSR3) 각각으로 입력되는 더미 비트는, 예를 들어, 이전 쉬프트 레지스터의 최하위 비트 위치에 저장된 비트일 수 있다. 그러나, 실시 예에 따라, 더미 비트는 이와 다른 값, 예를 들어, "0"일 수 있다.

[0037] 쉬프트 레지스터들(LSR0~LSR3) 각각은, 대응하는 벡터 성분에 근거하여 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤, 저장된 비트들을 출력할 수 있다. 쉬프트 레지스터들(LSR0~LSR2)의 최하위 비트 위치들로부터 순차적

으로 출력된 비트들(b_{10}~b_{12})은 제2 데이터(DATA2)를 구성할 수 있다. 최후 쉬프트 레지스터(LSR3)로부터 출력된 비트들(b_{13}~b_{17})은 기존 비트 배열을 유지한 채, 이전 쉬프트 레지스터(LSR2)의 최하위 비트 위치로부터 출력된 비트(b_{12})에 이어서 제2 데이터(DATA2)를 구성할 수 있다. 쉬프트 레지스터들(LSR0~LSR3)의 출력은 직렬 및 병렬 중 어떤 타입으로도 구성될 수 있다.

[0038] 도4a 내지 도4e는 도3의 인코더(310A)를 포함하는 제어부(20)의 인코딩 동작을 예시적으로 도시하는 도면들이다. 도4a 내지 도4e는, 예를 들어, 외부 장치에 의해 도2의 로우 어드레스(RA0)의 메인 셀들(C00~C03)에 저장되도록 지시된 제1 데이터(DATA1)를 메인 셀들(C00~C03) 및 스페어 셀들(C04~C07)에 저장될 제2 데이터(DATA2)로 변환하는 방법을 도시한다. 메인 셀들(C00~C03)은 결함 셀들(C01, C03)을 포함할 수 있다.

[0039] 이하, 도1, 도3 및 도4a 내지 도4e를 참조하여, 제어부(20)의 인코딩 동작이 상세하게 설명될 것이다.

[0040] 도4a를 참조하면, 비트 벡터 생성부(200)는 로우 어드레스(RA0)에 대응하는 결함 정보(FINF)에 근거하여 비트 벡터(V1)를 생성하고 인코더(310A)로 제공할 수 있다. 비트 벡터(V1)는 메인 셀들(C00~C03)에 각각 대응하는 벡터 성분들을 포함할 수 있다. 벡터 성분은 대응하는 메인 셀이 정상 셀일 때 "0"으로 생성되고, 대응하는 메인 셀이 결함 셀일 때 "1"로 생성될 수 있다.

[0041] 제1 데이터(DATA1)는 기존 비트 배열을 유지한 채, 최초 쉬프트 레지스터(LSR0)의 최상위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 최초 쉬프트 레지스터(LSR0)의 최상위 비트 위치에는 "0"이 저장될 수 있다.

[0042] 도4b를 참조하면, 최초 쉬프트 레지스터(LSR0)는, 비트 벡터(V1)에서 대응하는 벡터 성분, 즉, "0"에 근거하여 저장된 비트들($0b_3b_2b_1b_0$)을 쉬프트하지 않을 수 있다.

[0043] 이어서, 최초 쉬프트 레지스터(LSR0)는 저장된 비트들($0b_3b_2b_1b_0$)을 출력할 수 있다. 최초 쉬프트 레지스터(LSR0)의 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들($0b_3b_2b_1$)은 기존 비트 배열을 유지한 채, 쉬프트 레지스터(LSR1)의 최상위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 쉬프트 레지스터(LSR1)의 최상위 비트 위치에는 "0"이 저장될 수 있다. 최초 쉬프트 레지스터(LSR0)의 최하위 비트 위치로부터 출력된 비트(b_0)는 제2 데이터(DATA2)의 최하위 비트가 될 수 있다.

[0044] 도4c를 참조하면, 쉬프트 레지스터(LSR1)는 비트 벡터(V1)에서 대응하는 벡터 성분, 즉, "1"에 근거하여 저장된 비트들($00b_3b_2b_1$)을 최상위 비트 위치 방향(DR1)으로 쉬프트할 수 있다. 이때, 더미 비트, 즉, 이전 쉬프트 레지스터(LSR0)의 최하위 비트 위치에 저장된 비트(b_0)가 쉬프트 레지스터(LSR1)의 최하위 비트 위치로 입력될 수 있다.

[0045] 이어서, 쉬프트 레지스터(LSR1)는 저장된 비트들($0b_3b_2b_1b_0$)을 출력할 수 있다. 쉬프트 레지스터(LSR1)의 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들($0b_3b_2b_1$)은 기존 비트 배열을 유지한 채, 쉬프트 레지스터(LSR2)의 최상위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 쉬프트 레지스터(LSR2)의 최상위 비트 위치에는 "0"이 저장될 수 있다. 쉬프트 레지스터(LSR1)의 최하위 비트 위치로부터 출력된 비트(b_0)는 앞서 생성된 제2 데이터(DATA2)의 최하위 비트(b_0)에 이어서 제2 데이터(DATA2)를 구성할 수 있다.

[0046] 도4d를 참조하면, 쉬프트 레지스터(LSR2)는 비트 벡터(V1)의 대응하는 벡터 성분, 즉, "0"에 근거하여 저장된 비트들을 쉬프트하지 않을 수 있다.

[0047] 이어서, 쉬프트 레지스터(LSR2)는 저장된 비트들($00b_3b_2b_1$)을 출력할 수 있다. 쉬프트 레지스터(LSR2)의 최하위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들($00b_3b_2$)은 기존 비트 배열을 유지한 채, 최후 쉬프트 레지스터(LSR3)의 최상위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 최후 쉬프트 레지스터(LSR3)의 최상위 비트 위치에는 "0"이 저장될 수 있다. 쉬프트 레지스터(LSR2)의 최하위 비트 위치로부터 출력된 비트(b_1)는 앞서 생성된 제2 데이터(DATA2)의 비트들(b_0b_0)에 이어서 제2 데이터(DATA2)를 구성할 수 있다.

[0048] 도4e를 참조하면, 최후 쉬프트 레지스터(LSR3)는 비트 벡터(V1)의 대응하는 벡터 성분, 즉, "1"에 근거하여 저장된 비트들($000b_3b_2$)을 최상위 비트 위치 방향(DR1)으로 쉬프트할 수 있다. 이때, 더미 비트, 즉, 이전 쉬프트 레지스터(LSR2)의 최하위 비트 위치에 저장된 비트(b_1)가 최후 쉬프트 레지스터(LSR3)의 최하위 비트 위치로 입

력될 수 있다.

[0049] 이어서, 최후 쉬프트 레지스터(LSR3)는 저장된 비트들($00b_3b_2b_1$)을 출력할 수 있다. 최후 쉬프트 레지스터(LSR3)로부터 출력된 비트들($00b_3b_2b_1$)은 기존 비트 배열을 유지한 채 앞서 생성된 제2 데이터(DATA2)의 비트($b_1b_0b_0$)에 이어서 제2 데이터(DATA2)를 구성할 수 있다.

[0050] 이후, 제2 데이터(DATA2)는 메인 셀들(C00~C03) 및 스페어 셀들(C04~C07)에 라이트될 것이다. 제1 데이터(DATA1)를 구성하는 비트들(b_0~b_3)은 정상 셀들(C00, C02, C04, C05)에 각각 저장될 수 있다. 결함 셀들(C01, C03)은 더미 비트들(b_0, b_1)을 각각 저장할 수 있다. 제1 데이터(DATA1)를 구성하는 비트들(b_0~b_3)을 저장하기 위해 사용되지 않은 스페어 셀들(C06, C07)은 더미 비트들을 각각 저장할 수 있다.

[0051] 도5는 본 발명의 실시 예에 따른 디코더(320A)를 예시적으로 도시한 도면이다. 도5의 디코더(320A)는 도1의 디코더(320)의 실시 예일 수 있다. 도5는 단일의 로우 어드레스(RA)에 대응하는 메인 셀들(C0~C3) 및 스페어 셀들(C4~C7)을 추가적으로 도시한다.

[0052] 디코더(320A)는 비트 벡터(V2) 및 제2 데이터(DATA2)에 근거하여 제1 데이터(DATA1)를 복구할 수 있다. 제2 데이터(DATA2)는 메인 셀들(C0~C3) 및 스페어 셀들(C4~C7)로부터 리드된 데이터일 수 있다. 제1 데이터(DATA1)는 외부 장치에 의해 메인 셀들(C0~C3)로부터 리드되도록 지시된 데이터일 수 있다.

[0053] 디코더(320A)는 비트 벡터 생성부(200)로부터 벡터 성분들(d_0~d_3)을 포함하는 비트 벡터(V2)를 제공받을 수 있다. 비트 벡터(V2)는 로우 어드레스(RA)에 대응하는 결함 정보(FINF)에 근거하여 생성될 수 있다. 벡터 성분들(d_0~d_3)은 메인 셀들(C0~C3)에 각각 대응할 수 있다. 벡터 성분들(d_0~d_3) 각각은 대응하는 메인 셀이 정상 셀인지 또는 결함 셀인지 여부에 따라 "0"또는 "1"의 값을 가질 수 있다. 이러한 경우, 비트 벡터(V2)는 도3에 도시된 비트 벡터(V1)와 실질적으로 동일할 수 있다.

[0054] 디코더(320A)는 쉬프트 레지스터들(RSR0~RSR3)을 포함할 수 있다. 쉬프트 레지스터들(RSR0~RSR3)의 개수는, 복원될 제1 데이터(DATA1)의 비트들(b0~b3)의 개수와 동일할 수 있다. 실시 예에 따라, 디코더(320A)는 제1 데이터(DATA1)가 "d"개의 비트들을 포함할 때, "d"개의 쉬프트 레지스터들을 포함할 수 있다. 쉬프트 레지스터들(RSR0~RSR3)은 벡터 성분들(d3~d0)에 각각 대응할 수 있다. 쉬프트 레지스터들(RSR0~RSR3) 각각은 제1 데이터(DATA1)의 비트들(b0~b3)의 1개 많은 비트들 저장할 수 있다. 실시 예에 따라, 제1 데이터(DATA1)가 "d"개의 비트들을 포함할 때, 쉬프트 레지스터들(RSR0~RSR3) 각각은 "d+1"개의 비트들을 저장할 수 있다.

[0055] 쉬프트 레지스터들(RSR0~RSR3) 각각은 입력된 비트들 중 최하위 비트가 위치한 방향, 즉, 최하위 비트 위치 방향(DR2)으로 쉬프트 동작을 수행할 수 있다. 즉, 디코더(320A)는 도3의 인코더(310A)의 인코딩 동작을 역으로 수행하기 위해서, 도3의 쉬프트 레지스터들(LSR0~LSR3)과 반대로 최하위 비트 위치 방향(DR2)으로 쉬프트 동작을 수행할 수 있다.

[0056] 최초 쉬프트 레지스터(RSR0)는 제2 데이터(DATA2)의 "d+1"개의 상위 비트들을 입력받고, 쉬프트 레지스터들(RSR1~RSR3) 각각은 이전 쉬프트 레지스터에서 최상위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들 및 제2 데이터(DATA2)에서 이전 쉬프트 레지스터의 최하위 비트 위치로 입력된 비트보다 하위 비트를 입력받을 수 있다. 그리고, 쉬프트 레지스터들(RSR0~RSR3) 각각은 대응하는 벡터 성분에 근거하여 최하위 비트 위치 방향(DR2)으로 쉬프트 동작을 수행한 뒤 또는 수행하지 않은 뒤 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 출력할 수 있다. 그리고, 제어부(20)는 최후 쉬프트 레지스터(RSR3)의 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 제1 데이터(DATA1)로서 복구할 수 있다.

[0057] 구체적으로, 최초 쉬프트 레지스터(RSR0)는, 메모리 셀들(C0~C7)로부터 리드된 제2 데이터(DATA2)에서 최상위 비트(b_{17})부터 최초 쉬프트 레지스터(RSR0)의 저장 용량만큼의 비트들, 즉,"5"개의 비트들(b_{13}~b_{17})을 기존 비트 배열대로 입력받을 수 있다. 쉬프트 레지스터들(RSR1~RSR3) 각각은, 이전 쉬프트 레지스터에서 최상위 비트 위치를 제외한 비트 위치들로부터 출력된 비트들을 기존 비트 배열대로 입력받을 수 있다. 이때, 쉬프트 레지스터들(RSR1~RSR3) 각각으로 입력될 비트들은 최하위 비트 위치를 제외한 나머지 비트 위치들로 입력될 수 있다. 쉬프트 레지스터들(RSR1~RSR3) 각각은, 제2 데이터(DATA2)에서 이전 쉬프트 레지스터의 최하위 비트 위치로 입력된 비트보다 하위의 비트를 최하위 비트 위치로 입력받을 수 있다. 쉬프트 레지스터들(RSR0~RSR3)의 입력은 직렬 및 병렬 중 어떤 타입으로도 구성될 수 있다.

[0058] 쉬프트 레지스터들(RSR0~RSR3) 각각은, 비트 벡터(V2)에서 대응하는 벡터 성분에 근거하여, 입력된 비트들을 최하위 비트 위치 방향(DR2)으로 선택적으로 쉬프트할 수 있다. 구체적으로, 쉬프트 레지스터들(RSR0~RSR3) 각각은 정상 셀에 대응하는 벡터 성분, 예를 들어, "0"에 근거하여, 입력된 비트들을 쉬프트하지 않을 수 있다. 그리고, 쉬프트 레지스터들(RSR0~RSR3) 각각은 결함 셀에 대응하는 벡터 성분, 예를 들어, "1"에 근거하여, 입력된 비트들을 최하위 비트 위치 방향(DR2)으로 쉬프트할 수 있다. 쉬프트 레지스터들(RSR0~RSR3) 각각이 입력된 비트들을 최하위 비트 위치 방향(DR2)으로 쉬프트할 때, 최상위 비트 위치로 더미 비트, 예를 들어, "0"을 입력받을 수 있다.

[0059] 쉬프트 레지스터들(RSR0~RSR3) 각각은, 대응하는 벡터 성분에 근거하여 쉬프트 동작을 수행하지 않거나 또는 수행한 뒤, 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들을 출력할 수 있다. 최후 쉬프트 레지스터(RSR3)로부터 출력된 비트들(b_0~b_3)은 기존 비트 배열을 유지한 채 제1 데이터(DATA1)를 구성할 수 있다. 쉬프트 레지스터들(RSR0~RSR3)의 출력은 직렬 및 병렬 중 어떤 타입으로도 구성될 수 있다.

[0060] 도6a 내지 도6e는 도5의 디코더(320A)를 포함하는 제어부(20)의 디코딩 동작을 예시적으로 도시하는 도면들이다. 도6a 내지 도6e는, 예를 들어, 도2의 로우 어드레스(RA0)의 메인 셀들(C00~C03) 및 스페어 셀들(C04~C07)로부터 리드된 제2 데이터(DATA2)로부터 제1 데이터(DATA1)를 복구하는 방법을 도시한다. 메인 셀들(C00~C03)은 결함 셀들(C01, C03)을 포함할 수 있다. 외부 장치는, 제1 데이터(DATA1)가 메인 셀들(C00~C03)에 저장된 것으로 인식하고, 메인 셀들(C00~C03)로부터 리드되도록 지시할 수 있다.

[0061] 이하, 도1, 도5 및 도6a 내지 도6e를 참조하여, 제어부(20)의 디코딩 동작이 상세하게 설명될 것이다.

[0062] 도6a를 참조하면, 비트 벡터 생성부(200)는 로우 어드레스(RA0)에 대응하는 결함 정보(FINF)에 근거하여 비트 벡터(V2)를 생성하고 인코더(310A)로 제공할 수 있다. 비트 벡터(V2)는 메인 셀들(C00~C03)에 각각 대응하는 벡터 성분들을 포함할 수 있다. 벡터 성분은 대응하는 메인 셀이 정상 셀일 때 "0"으로 생성되고, 대응하는 메인 셀이 결함 셀일 때 "1"로 생성될 수 있다.

[0063] 제2 데이터(DATA2)의 비트들($b_{17}b_{16}b_{15}b_{14}b_{13}$)이 기존 비트 배열을 유지한 채 최초 쉬프트 레지스터(RSR0)로 입력될 수 있다.

[0064] 도6b를 참조하면, 최초 쉬프트 레지스터(RSR0)는 비트 벡터(V2)에서 대응하는 벡터 성분, 즉, "1"에 근거하여 저장된 비트들($b_{17}b_{16}b_{15}b_{14}b_{13}$)을 최하위 비트 위치 방향(DR2)으로 쉬프트할 수 있다. 이때, 더미 비트, 즉, "0"이 최초 쉬프트 레지스터(RSR0)의 최상위 비트 위치로 입력될 수 있다.

[0065] 이어서, 최초 쉬프트 레지스터(RSR0)는 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들($b_{17}b_{16}b_{15}b_{14}$)을 출력할 수 있다. 최초 쉬프트 레지스터(RSR0)로부터 출력된 비트들($b_{17}b_{16}b_{15}b_{14}$)은 기존 비트 배열을 유지한 채 쉬프트 레지스터(RSR1)의 최하위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 쉬프트 레지스터(RSR1)의 최하위 비트 위치에는 제2 데이터(DATA2)의 비트(b_{12})가 입력될 수 있다.

[0066] 도6c를 참조하면, 쉬프트 레지스터(RSR1)는 비트 벡터(V2)에서 대응하는 벡터 성분, 즉, "0"에 근거하여 저장된 비트들($b_{17}b_{16}b_{15}b_{14}b_{12}$)을 쉬프트하지 않을 수 있다.

[0067] 이어서, 쉬프트 레지스터(RSR1)는 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들($b_{16}b_{15}b_{14}b_{12}$)을 출력할 수 있다. 쉬프트 레지스터(RSR1)로부터 출력된 비트들($b_{16}b_{15}b_{14}b_{12}$)은 기존 비트 배열을 유지한 채 쉬프트 레지스터(RSR2)의 최하위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 쉬프트 레지스터(RSR2)의 최하위 비트 위치에는 제2 데이터(DATA2)의 비트(b_{11})가 입력될 수 있다.

[0068] 도6d를 참조하면, 쉬프트 레지스터(RSR2)는 비트 벡터(V2)에서 대응하는 벡터 성분, 즉, "1"에 근거하여 저장된 비트들($b_{16}b_{15}b_{14}b_{12}b_{11}$)을 최하위 비트 위치 방향(DR2)으로 쉬프트할 수 있다. 이때, 더미 비트, 즉, "0"이 쉬프트 레지스터(RSR2)의 최상위 비트 위치로 입력될 수 있다.

[0069] 이어서, 쉬프트 레지스터(RSR2)는 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들($b_{16}b_{15}b_{14}b_{12}$)을 출력할 수 있다. 쉬프트 레지스터(RSR2)로부터 출력된 비트들($b_{16}b_{15}b_{14}b_{12}$)은 기존 비트 배열을 유지한 채 최후 쉬프트 레지스터(RSR3)의 최하위 비트 위치를 제외한 비트 위치들로 입력될 수 있다. 최후 쉬프트 레지스터(RSR3)의

최하위 비트 위치에는 제2 데이터(DATA2)의 비트(b_{10})가 입력될 수 있다.

[0070] 도6e를 참조하면, 최후 쉬프트 레지스터(RSR3)는 비트 벡터(V2)에서 대응하는 벡터 성분, 즉, "0"에 근거하여 저장된 비트들($b_{16}b_{15}b_{14}b_{12}b_{10}$)을 쉬프트하지 않을 수 있다.

[0071] 이어서, 최후 쉬프트 레지스터(RSR3)는 최상위 비트 위치를 제외한 비트 위치들에 저장된 비트들($b_{15}b_{14}b_{12}b_{10}$)을 출력할 수 있다. 최후 쉬프트 레지스터(RSR3)로부터 출력된 비트들($b_{15}b_{14}b_{12}b_{10}$)은 기존 비트 배열을 유지한 채 제1 데이터(DATA1)를 구성할 수 있다.

[0072] 즉, 제1 데이터(DATA1)는 제2 데이터(DATA2)에서, 결함 셀들(C01, C03)에 저장되었던 더미 비트들(b_{11}, b_{13})이 제거되고, 정상 셀들(C00, C02)에 저장되었던 비트들(b_{10}, b_{12}) 및 결함 셀들(C01, C03) 때문에 스페어 셀들(C04, C05)에 저장되었던 비트들(b_{14}, b_{15})이 선택됨으로써 복구될 수 있다.

[0073] 도7은 본 발명의 실시 예에 따른 반도체 장치(2)를 예시적으로 도시한 블록도이다.

[0074] 반도체 장치(2)는 메모리 영역(11) 및 제어부(21)를 포함할 수 있다. 제어부(21)는 비트 벡터 관리부(201) 및 데이터 변환부(301)를 포함할 수 있다. 비트 벡터 관리부(210)를 제외한 데이터 변환부(301) 및 메모리 영역(11)은 도1의 데이터 변환부(300) 및 메모리 영역(10)과 실질적으로 동일하게 구성될 수 있다.

[0075] 비트 벡터 관리부(201)는 메모리 영역(11)의 결함 정보에 대응하는 비트 벡터들(V)을 관리하고, 비트 벡터들(V)을 데이터 변환부(301)로 제공할 수 있다. 비트 벡터 관리부(201)는 외부 장치로부터 제공된 로우 어드레스(RA), 컬럼 어드레스(CA) 및 리드/라이트 신호(RW)에 응답하여, 데이터 변환부(301)에서 필요한 비트 벡터(V)를 데이터 변환부(301)로 제공할 수 있다. 비트 벡터 관리부(201)가 데이터 변환부(301)로 제공하는 비트 벡터(V)는, 도1 내지 도6에서 비트 벡터 생성부(200)가 데이터 변환부(300)로 제공한 것과 동일할 수 있다.

[0076] 한편, 도1의 비트 벡터 생성부(200)가 필요 시마다 비트 벡터(V)를 생성한 것과 달리, 비트 벡터 관리부(201)는, 메모리 영역(11)의 결함 정보에 근거하여 미리 생성된 비트 벡터(V)를 저장하고, 저장된 비트 벡터(V)를 데이터 변환부(301)로 제공할 수 있다.

[0077] 실시 예에 따라, 비트 벡터 관리부(201)는 도1의 결함 정보 관리부(100) 및 비트 벡터 생성부(200)와 실질적으로 동일하게 구성될 수 있다. 즉, 비트 벡터 관리부(201)는 메모리 영역(11)의 결함 정보에 근거하여, 필요 시마다 비트 벡터(V)를 생성하고 생성된 비트 벡터(V)를 데이터 변환부(301)로 제공할 수도 있다.

[0078] 도8은 본 발명의 실시 예에 따른 반도체 시스템(3)을 예시적으로 도시하는 블록도이다.

[0079] 반도체 시스템(3)은 제1 장치(1100) 및 제2 장치(1200)를 포함할 수 있다.

[0080] 제1 및 제2 장치들(1100, 1200)은 메인 신호 라인들(LN0~LNn-1) 및 스페어 신호 라인들(LNn~LNt)을 포함하는 신호 라인들(LN0~LNt)을 통해 연결될 수 있다. 제1 장치(1100)는 메인 신호 라인들(LN0~LNn-1)을 통해 제2 장치(1200)로 전송될 예정인 제1 신호들(SGN1)을 제2 신호들(SGN2)로 변환하여 신호 라인들(LN0~LNt)을 통해 전송할 수 있다. 제2 신호들(SGN2)은 신호 라인들(LN0~LNt) 중 정상 신호 라인들로 전송될 제1 신호들(SGN1)을 포함하고 결함 신호 라인들로 전송될 더미 신호들을 포함할 수 있다. 제2 장치(1200)는 신호 라인들(LN0~LNt)로부터 수신된 제2 신호들(SGN2)로부터 제1 신호들(SGN1)을 복구할 수 있다. 따라서, 신호 라인들(LN0~LNt)에 결함 신호 라인들이 존재하더라도 제1 및 제2 장치들(1100, 1200)은 신호 라인들(LN0~LNt)을 통해 정상적으로 통신할 수 있다.

[0081] 제1 장치(1100)는 결함 정보 관리부(1110), 비트 벡터 생성부(1120) 및 인코더(1130)를 포함할 수 있다. 제2 장치(1200)는 결함 정보 관리부(1210), 비트 벡터 생성부(1220) 및 디코더(1230)를 포함할 수 있다. 제1 및 제2 장치들(1100, 1200)에 포함된 결함 정보 관리부들(1110, 1210), 비트 벡터 생성부들(1120, 1220), 인코더(1130) 및 디코더(1230)는 도1에 도시된 결함 정보 관리부(100), 비트 벡터 생성부(200), 인코더(310) 및 디코더(320)와 실질적으로 유사하게 구성되고 동작할 수 있다.

[0082] 구체적으로, 제1 및 제2 장치들(1100, 1200)에서 결함 정보 관리부들(1110, 1210)은 메인 신호 라인들(LN0~LNn-1) 중 하나 이상의 결함 신호 라인들의 위치 정보를 포함하는 결함 정보(FINF_L)를 각각 저장할 수 있다. 결함 정보 관리부들(1110, 1210)은, 제1 및 제2 장치들(1100, 1200)이 신호 라인들(LN0~LNt)을 통해 서로 통신할 때 결함 정보(FINF_L)를 비트 벡터 생성부들(1120, 1220)로 각각 제공할 수 있다.

[0083] 비트 벡터 생성부들(1120, 1220)은 결함 정보(FINF_L)에 근거하여 비트 벡터들(V1_L, V2_L)을 생성하고, 비트 벡터들(V1_L, V2_L)을 인코더(1130) 및 디코더(1230)로 각각 제공할 수 있다. 비트 벡터 생성부들(1120, 1220)은 각각의 메인 신호 라인들(LN0~LNn-1)이 결함 신호 라인인지 또는 정상 신호 라인인지에 따라 비트 벡터들(V1_L, V2_L)을 생성할 수 있다.

[0084] 인코더(1130)는 비트 벡터 생성부(1120)로부터 제공된 비트 벡터(V1_L) 및 제1 신호들(SGN1)에 근거하여 제2 신호들(SGN2)을 생성하기 위해 인코딩 동작을 수행할 수 있다. 인코더(1130)는 제1 신호들(SGN1)에 대해 비트 벡터(V1_L)에 따라 하나 이상의 쉬프트 동작들을 수행하고, 쉬프트 동작들을 통해 순차적으로 생성된 신호들을 제2 신호들(SGN2)로서 생성할 수 있다. 제2 신호들(SGN2)은 신호 라인들(LN0~LNt) 중 정상 신호 라인들로 전송될 제1 신호들(SGN1)을 포함하고 결함 신호 라인들로 전송될 더미 신호들을 포함할 수 있다. 인코더(1130)는 도3에 도시된 인코더(310A)와 같이 구성되고 동작할 수 있다.

[0085] 그리고, 디코더(1230)는 비트 벡터 생성부(1220)로부터 제공된 비트 벡터(V2_L) 및 제2 신호들(SGN2)에 근거하여 제1 신호들(SGN1)을 복구하기 위해 디코딩 동작을 수행할 수 있다. 디코더(1230)는 제2 신호들(SGN2)에 포함된 더미 신호들을 제거함으로써 제1 신호들(SGN1)을 복구할 수 있다. 디코더(1230)는 도5에 도시된 디코더(320A)와 같이 구성되고 동작할 수 있다.

[0086] 실시 예에 따라, 제1 및 제2 장치들(1100, 1200)은 수직으로 적층된 반도체 메모리 장치들일 수 있다. 이러한 경우, 신호 라인들(LN0~LNt) 각각은 관통 실리콘 비아로 구성될 수 있다. 신호 라인들(LN0~LNt)은 반도체 메모리 장치의 제어를 위한 제어 신호들 및 데이터를 전송할 수 있다.

[0087] 한편, 도8은 단방향 통신하는 제1 및 제2 장치들(1100, 1200)을 도시하나, 실시 예에 따라서 제1 및 제2 장치들(1100, 1200)은 양방향 통신하도록 구성될 수 있다. 따라서, 제1 및 제2 장치들(1100, 1200) 각각은 인코더와 디코더를 모두 포함할 수 있고, 이러한 경우 구성 및 동작 방법은 상술한 설명들을 통해 통상의 기술자가 용이하게 도출할 수 있는 것이므로 상세한 설명은 생략될 것이다.

[0088] 실시 예에 따라, 도13의 결함 정보 관리부들(1110, 1210) 및 비트 벡터 생성부들(1120, 1220)은, 도12를 참조하여 설명된 바와 같이, 비트 벡터 관리부들(미도시)로 대체될 수 있다. 제1 및 제2 장치들(1100, 1200)에서 각각의 비트 벡터 관리부들은, 결함 정보 관리부들(1110, 1210) 및 비트 벡터 생성부들(1120, 1220)과 동일하게 구성될 수 있다. 실시 예에 따라, 제1 및 제2 장치들(1100, 1200)에서 각각의 비트 벡터 관리부들은, 메인 신호 라인들(LN0~LNn-1)의 결함 정보에 근거하여 미리 생성된 비트 벡터들(V1_L, V2_L)을 각각 저장하고, 저장된 비트 벡터들(V1_L, V2_L)을 인코더(1130) 및 디코더(1230)로 각각 제공할 수 있다.

[0089] 본 발명이 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0090] 1: 반도체 장치

10: 메모리 영역

20: 제어부

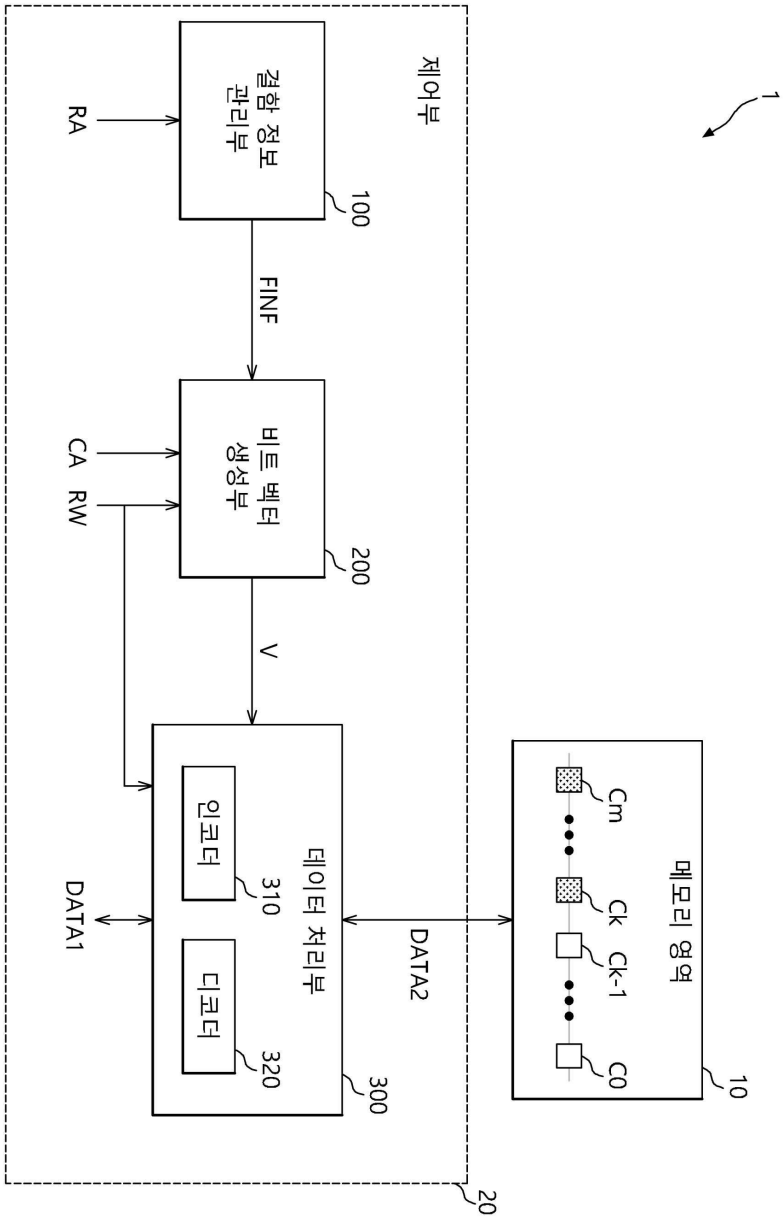
100: 결함 정보 관리부

200: 비트 벡터 생성부

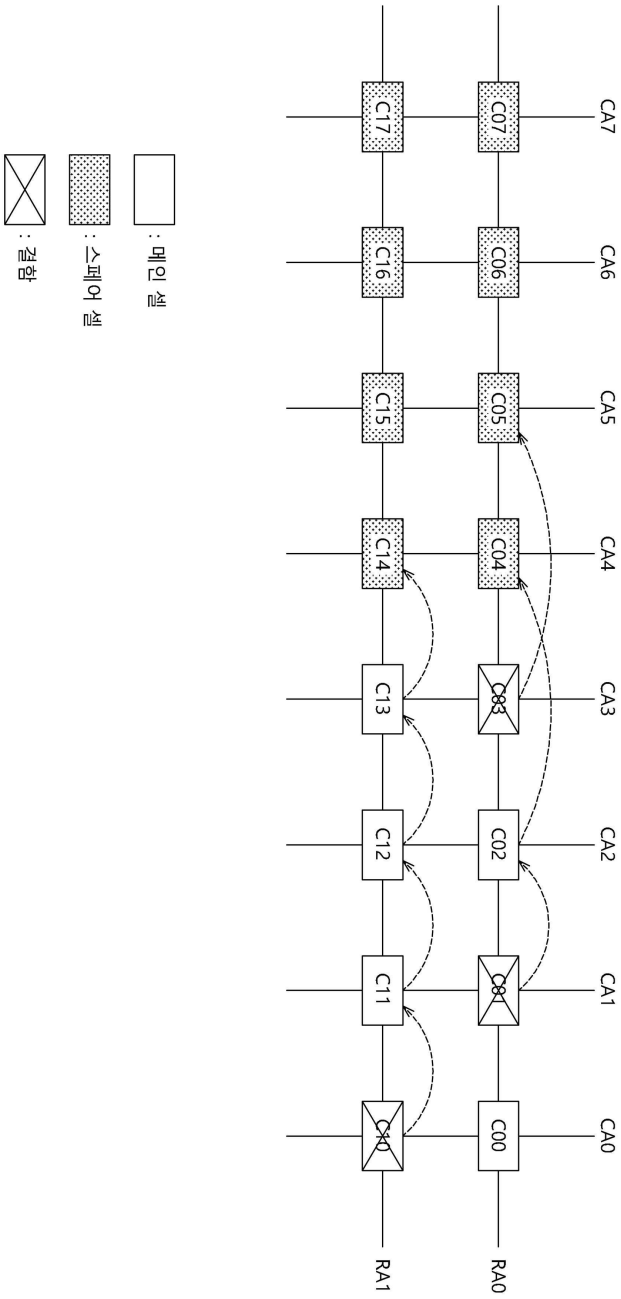
300: 데이터 변환부

도면

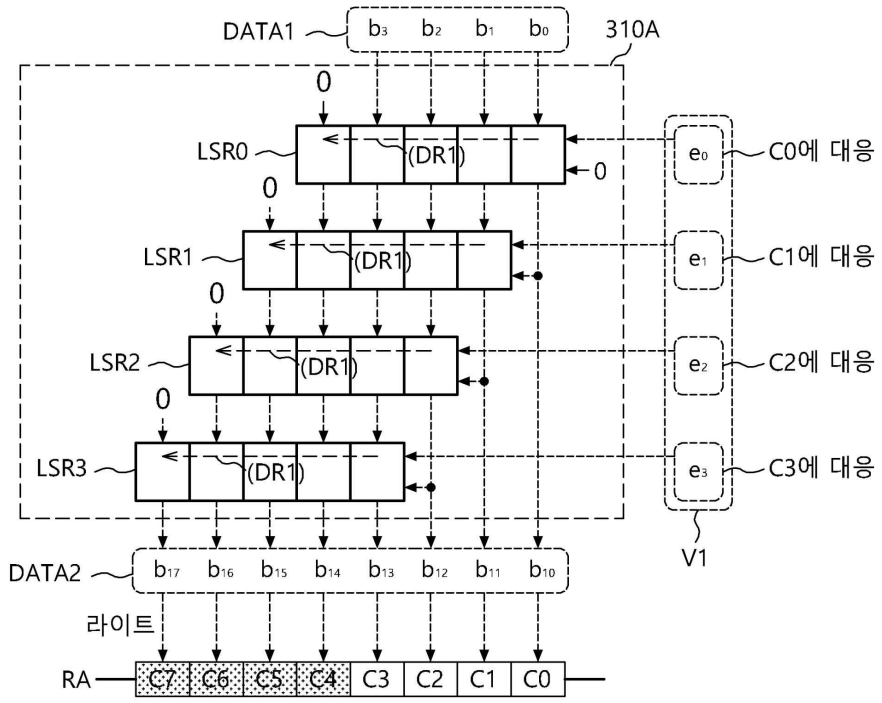
도면1


1
제어부
결함 정보 관리부
100
RA
FINF
비트 벡터 생성부
200
CA
RW
V
데이터 처리부
인코더
310
디코더
320
300
DATA1
DATA2
메모리 영역
Cm
Ck
Ck-1
C0
10
20

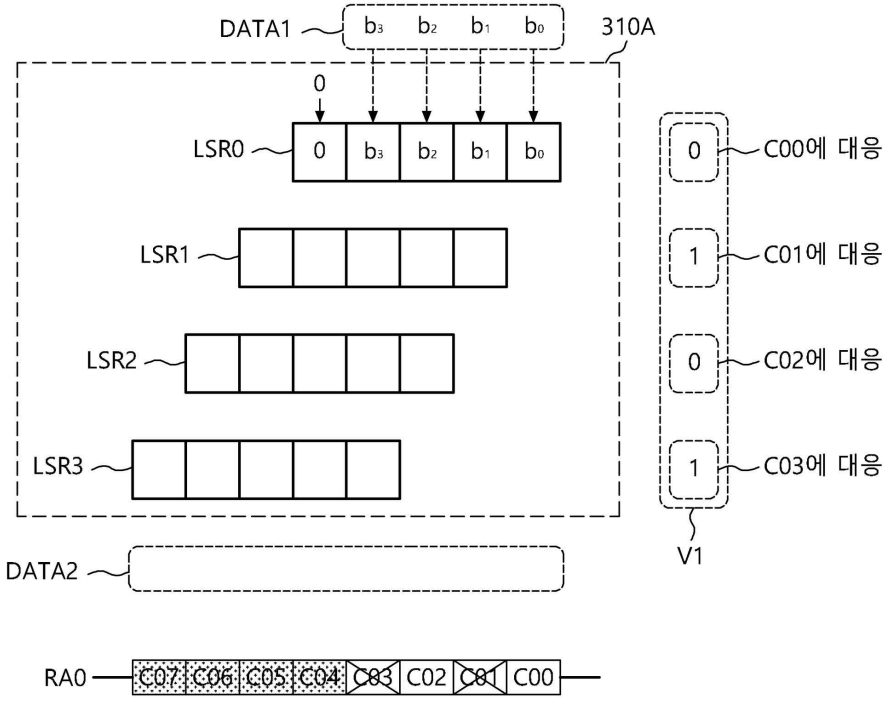
도면2


: 결함
: 스페어 셀
: 메인 셀
C17
C07
CA7
C16
C06
CA6
C15
C05
CA5
C14
C04
CA4
C13
C03
CA3
C12
C02
CA2
C11
C01
CA1
C10
C00
CA0
RA1
RA0

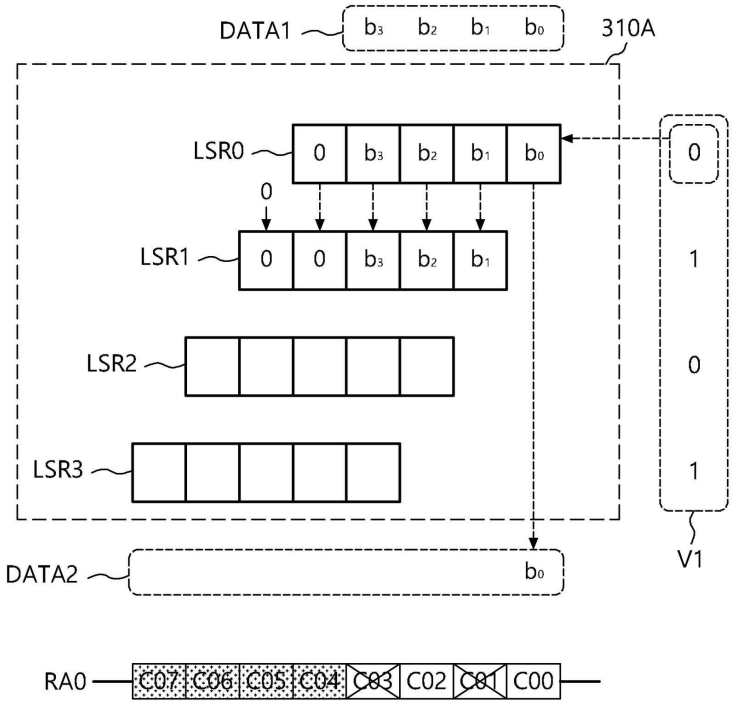
도면3


DATA1
b3 b2 b1 b0
310A
0
LSR0
(DR1)
0
e0
C0에 대응
0
LSR1
(DR1)
e1
C1에 대응
0
LSR2
(DR1)
e2
C2에 대응
0
LSR3
(DR1)
e3
C3에 대응
V1
DATA2
b17 b16 b15 b14 b13 b12 b11 b10
라이트
RA
C7 C6 C5 C4 C3 C2 C1 C0

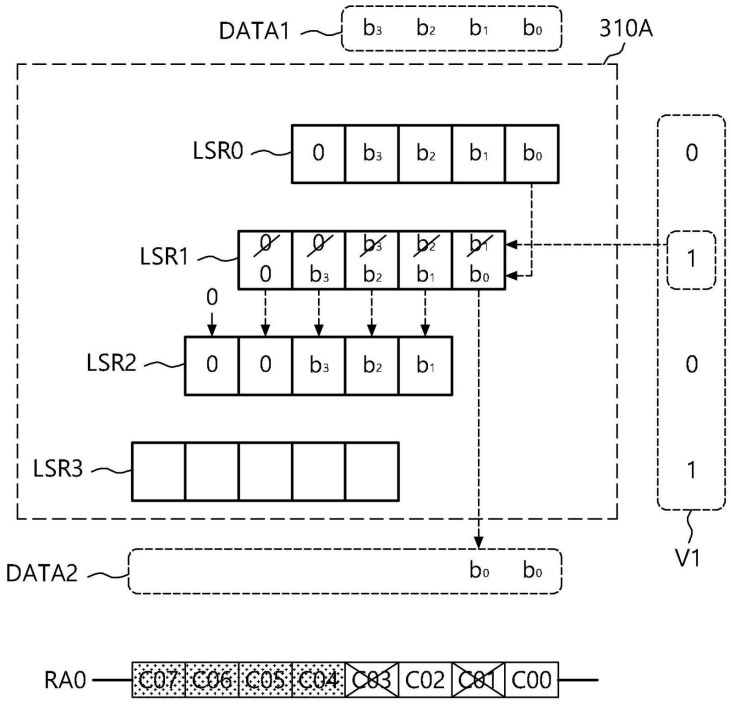
도면4a


DATA1
b3 b2 b1 b0
310A
0
LSR0
0 b3 b2 b1 b0
0
C00에 대응
LSR1
1
C01에 대응
LSR2
0
C02에 대응
LSR3
1
C03에 대응
V1
DATA2
RA0
C07 C06 C05 C04 C03 C02 C01 C00

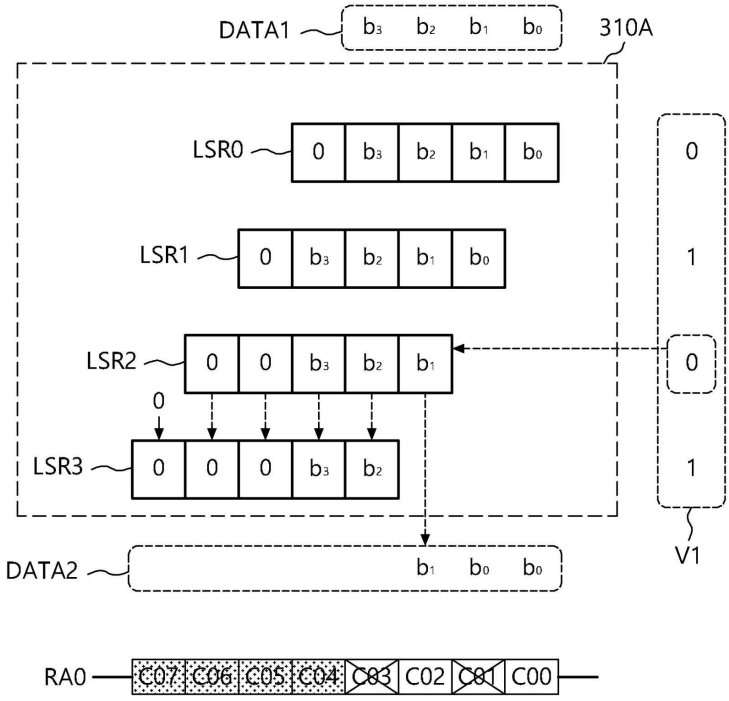
도면4b


DATA1
b3 b2 b1 b0
310A
LSR0
0 b3 b2 b1 b0
0
LSR1
0 0 b3 b2 b1
LSR2
LSR3
DATA2
b0
0
1
0
1
V1
RA0
C07 C06 C05 C04 C03 C02 C01 C00

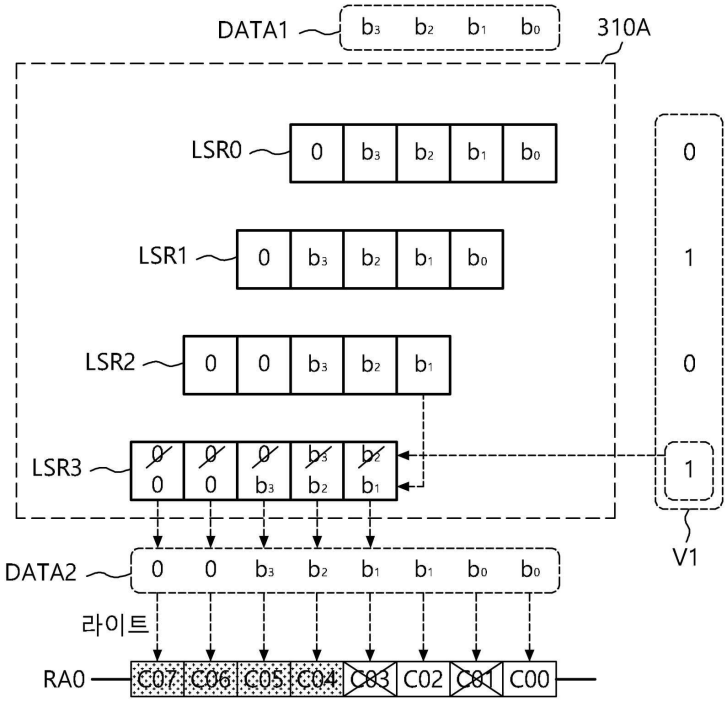
도면4c


DATA1
b3 b2 b1 b0
310A
LSR0
0 b3 b2 b1 b0
LSR1
0 0 b3 b2 b1
0 b3 b2 b1 b0
LSR2
0 0 b3 b2 b1
LSR3
DATA2
b0 b0
0
1
0
1
V1
RA0
C07 C06 C05 C04 C03 C02 C01 C00

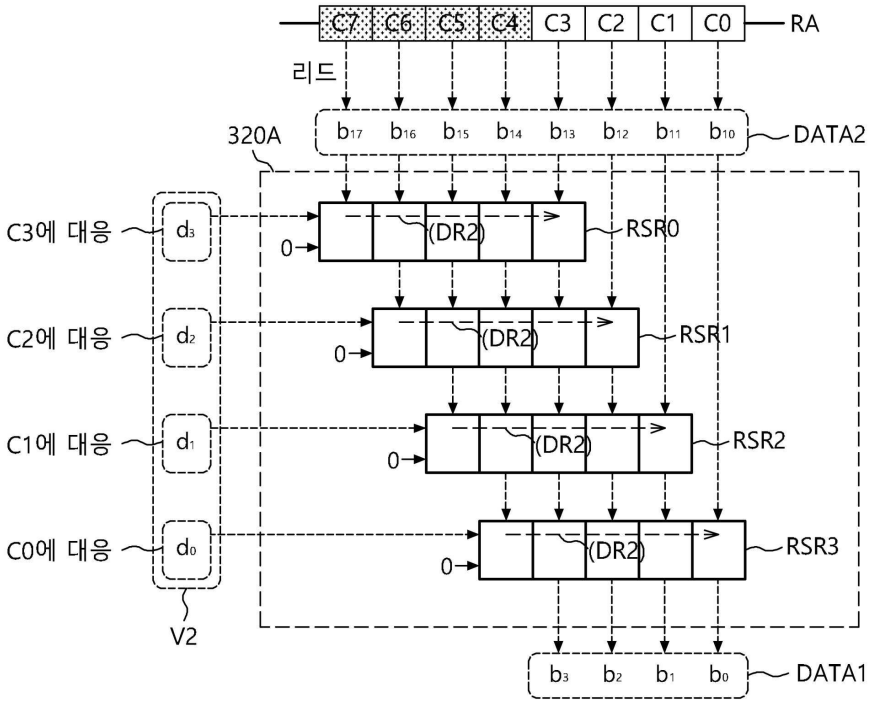
도면4d


DATA1
b3 b2 b1 b0
310A
LSR0
0 b3 b2 b1 b0
LSR1
0 b3 b2 b1 b0
LSR2
0 0 b3 b2 b1
LSR3
0 0 0 b3 b2
0
0
1
0
1
V1
DATA2
b1 b0 b0
RA0
C07 C06 C05 C04 C03 C02 C01 C00

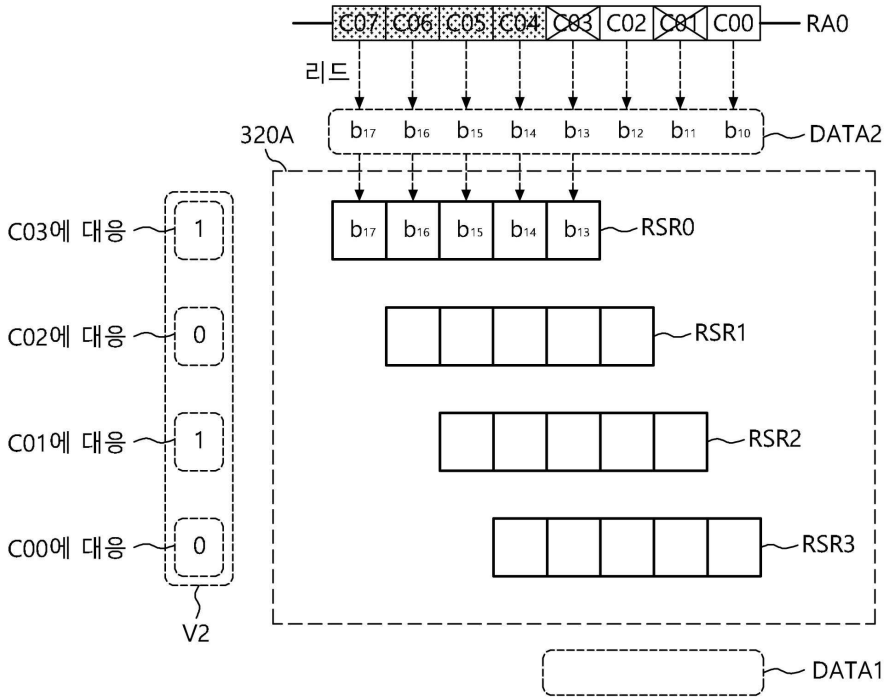
도면4e


DATA1
b3 b2 b1 b0
310A
LSR0
0 b3 b2 b1 b0
LSR1
0 b3 b2 b1 b0
LSR2
0 0 b3 b2 b1
LSR3
0 0 0 b3 b2
0 0 b3 b2 b1
0
1
0
1
V1
DATA2
0 0 b3 b2 b1 b1 b0 b0
라이트
RA0
C07 C06 C05 C04 C03 C02 C01 C00

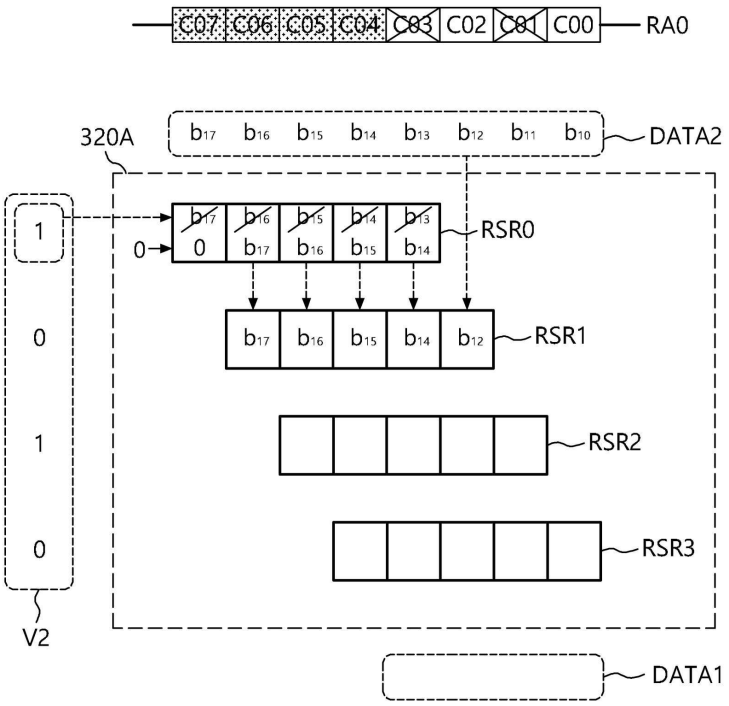
도면5


C7 C6 C5 C4 C3 C2 C1 C0
RA
리드
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
C3에 대응
C2에 대응
C1에 대응
C0에 대응
d3
d2
d1
d0
V2
0
(DR2)
RSR0
RSR1
RSR2
RSR3
b3 b2 b1 b0
DATA1

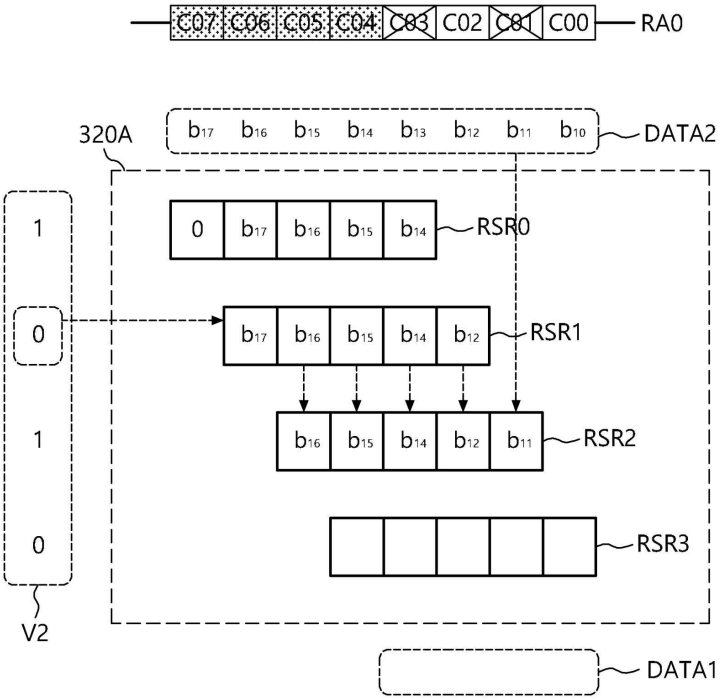
도면6a


C07 C06 C05 C04 C03 C02 C01 C00
RA0
리드
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
C03에 대응
C02에 대응
C01에 대응
C00에 대응
1
0
1
0
V2
RSR0
RSR1
RSR2
RSR3
DATA1

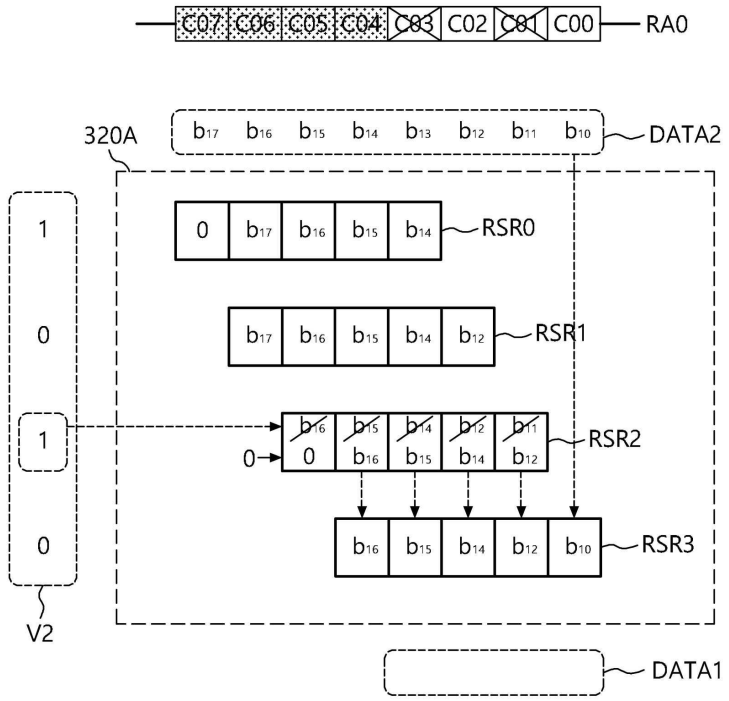
도면6b


C07 C06 C05 C04 C03 C02 C01 C00
RA0
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
1
0
RSR0
0
b17 b16 b15 b14 b13
b17 b16 b15 b14
b17 b16 b15 b14 b12
RSR1
RSR2
RSR3
1
0
V2
DATA1

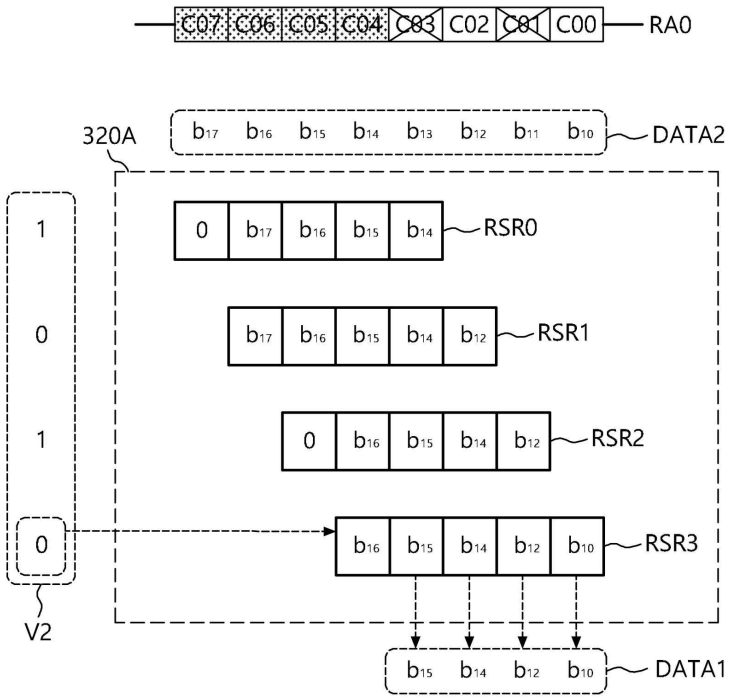
도면6c


C07 C06 C05 C04 C03 C02 C01 C00
RA0
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
1
0
1
0
V2
0 b17 b16 b15 b14
RSR0
b17 b16 b15 b14 b12
RSR1
b16 b15 b14 b12 b11
RSR2
RSR3
DATA1

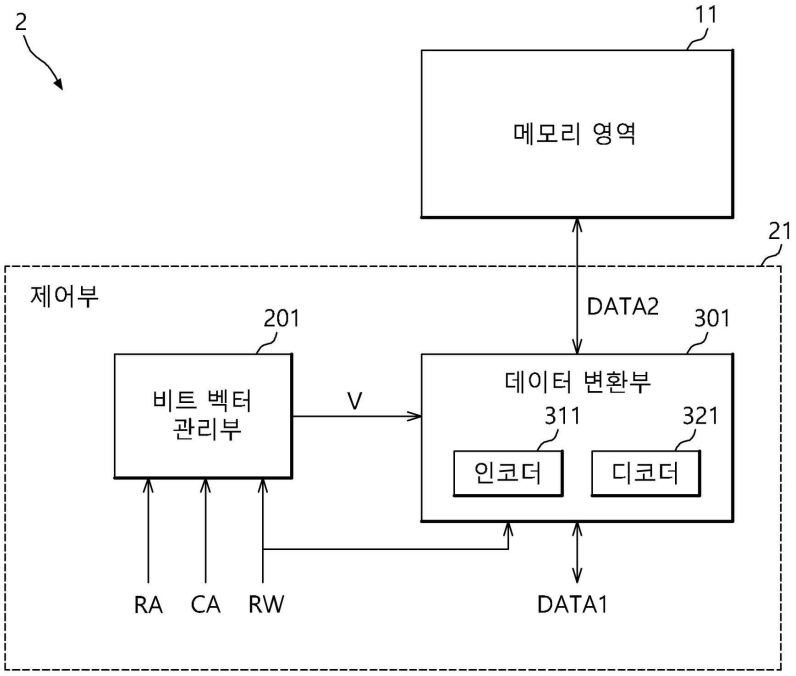
도면6d


C07 C06 C05 C04 C03 C02 C01 C00
RA0
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
1
0
1
0
V2
0 b17 b16 b15 b14
RSR0
b17 b16 b15 b14 b12
RSR1
0
RSR2
b16 b15 b14 b12 b10
RSR3
DATA1

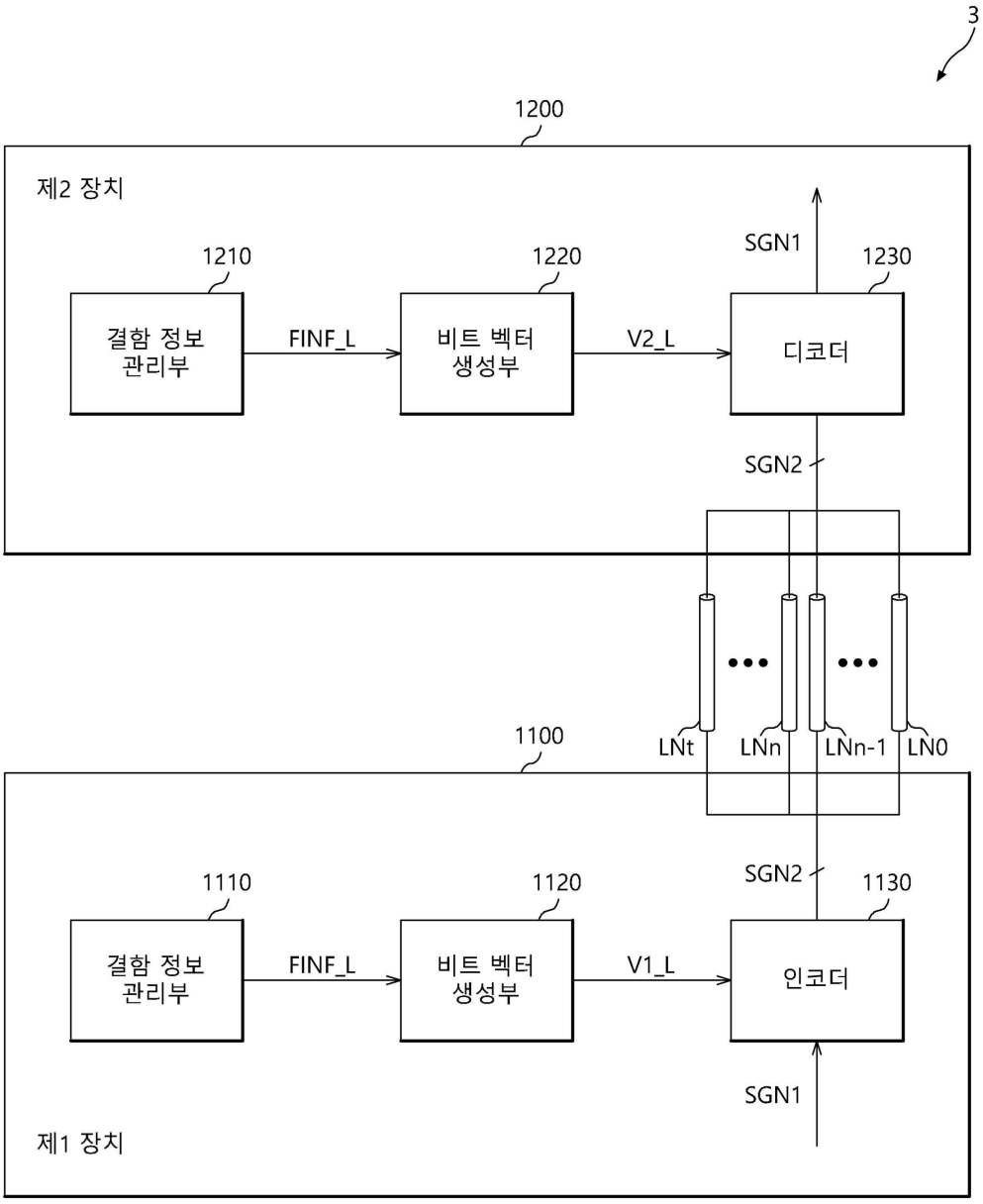
도면6e


C07 C06 C05 C04 C03 C02 C01 C00
RA0
320A
b17 b16 b15 b14 b13 b12 b11 b10
DATA2
1
0
1
0
V2
0 b17 b16 b15 b14
RSR0
b17 b16 b15 b14 b12
RSR1
0 b16 b15 b14 b12
RSR2
b16 b15 b14 b12 b10
RSR3
b15 b14 b12 b10
DATA1

도면7


2
11
메모리 영역
21
제어부
DATA2
201
301
비트 벡터
관리부
V
데이터 변환부
311
321
인코더
디코더
RA
CA
RW
DATA1

도면8


3
1200
제2 장치
1210
결함 정보
관리부
FINF_L
1220
비트 벡터
생성부
V2_L
SGN1
1230
디코더
SGN2
LNt
LNn
LNn-1
LN0
1100
1110
결함 정보
관리부
FINF_L
1120
비트 벡터
생성부
V1_L
SGN2
1130
인코더
SGN1
제1 장치