(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 3 日(03.12.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/181682 A1

(51) 国際特許分類:
H03M 1/38 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/IB2015/053703

(22) 国際出願日: 2015 年 5 月 20 日(20.05.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-109909 2014 年 5 月 28 日(28.05.2014) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 池田隆之(IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 黒川義元 (KUROKAWA, Yoshiyuki).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

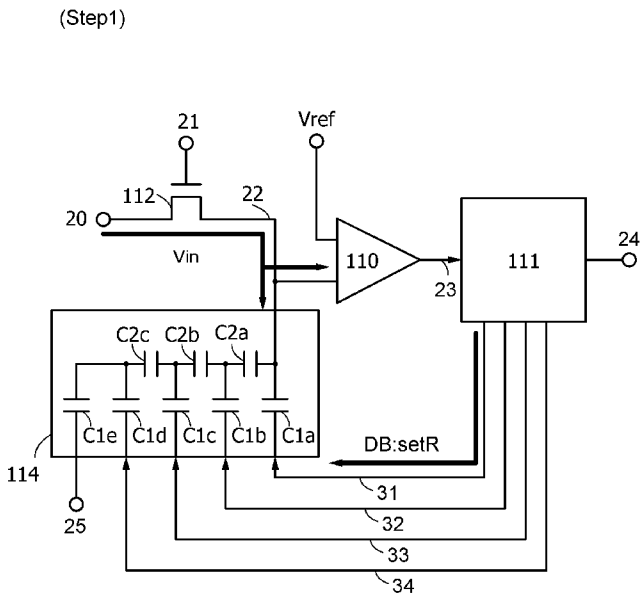
— 国際調査報告（条約第 21 条(3)）

WO 2015/181682 A1

(54) **Title**: ANALOG-DIGITAL CONVERSION CIRCUIT, SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称 : アナログ／デジタル変換回路、半導体装置、及び電子機器

[図06]



(57) **Abstract**: Provided is an analog-digital conversion circuit having a novel configuration with which the area occupied by capacitance elements can be reduced. The analog-digital conversion circuit has a transistor, a comparator circuit, a control circuit, a redistribution circuit, the redistribution circuit having a plurality of capacitance elements, a first input terminal of the comparator circuit being electrically connected to a reference potential, a second input terminal of the comparator circuit being electrically connected to first terminal of the transistor, an output terminal of the comparator circuit being electrically connected to the control circuit, an output terminal of the control circuit being electrically connected to an electrode of the plurality of capacitance elements via one of a plurality of wires, and the other electrode of the plurality of capacitance elements being electrically connected to the second input terminal of the comparator circuit. A semiconductor layer, which serves as the channel-forming region of the transistor, has an oxide semiconductor.

(57) 要約:

[続葉有]

容量素子が占める面積を縮小できる、新規な構成のアナログ／デジタル変換回路を提供すること。 トランジスタと、比較回路と、制御回路と、再分配回路と、を有するアナログ／デジタル変換回路であって、 再分配回路は、複数の容量素子を有し、比較回路の第１入力端子は、基準電位と電気的に接続され、比較 回路の第２入力端子は、トランジスタの第１端子と電気的に接続され、比較回路の出力端子は、制御回路と 電気的に接続され、制御回路の出力端子は、複数の配線のいずれか一を介して、複数の容量素子の電極 の一方と電気的に接続され、複数の容量素子の他方の電極は、比較回路の第２入力端子と電気的に接続 される。また、トランジスタのチャネル形成領域となる半導体層は、酸化物半導体を有する半導体層とする。

明細書

発明の名称

アナログ／デジタル変換回路、半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、アナログ／デジタル変換回路、及び該アナログ／デジタル変換回路を具備する半導体装置に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

比較的高速なアナログ／デジタル変換回路として逐次比較型のアナログ／デジタル変換回路が知られている（特許文献1参照）。また、逐次比較型のアナログ／デジタル変換回路であって、容量素子列を多段に設けることにより全容量値を低減したアナログ／デジタル変換回路が知られている（特許文献2参照）。

[先行技術文献]

[特許文献]

[0004]

[特許文献1]特開平6－177765号公報

[特許文献2]特開2002－314419号公報

発明の概要

発明が解決しようとする課題

[0005]

本発明の一態様は、新規な構成のアナログ／デジタル変換回路を提供することを課題の一とする。

[0006]

または、本発明の一態様は、容量素子が占める面積を縮小できる、新規な構成のアナログ／デジタル変換回路を提供することを課題の一とする。または、本発明の一態様は、高速駆動を可能とした、新規な構成のアナログ／デジタル変換回路を提供することを課題の一とする。または、本発明の一態様は、イメージセンサの読み出し回路に適した、新規な構成のアナログ／デジタル変換回路を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

[0007]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、上記以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、上記以外の課題を抽出することが可能である。

課題を解決するための手段

[0008]

本発明の一態様は、トランジスタと、比較回路と、制御回路と、再分配回路と、を有するアナログ／デジタル変換回路であって、再分配回路は、複数の容量素子を有し、比較回路の第１入力端子は、基準電位と電気的に接続され、比較回路の第２入力端子は、トランジスタの第１端子と電気的に接続され、比較回路の出力端子は、制御回路と電気的に接続され、制御回路の出力端子は、複数の配線のいずれか一を介して、複数の容量素子の電極の一方と電気的に接続され、複数の容量素子の少なくとも一の他方の電極は、比較回路の第２入力端子と電気的に接続される。トランジスタの半導体層は、酸化物半導体を有する。トランジスタの第２端子は、入力電位を与えるノードと電気的に接続される。

[0009]

上記において、制御回路の出力端子は、入力電位のアナログ信号を変換したデジタル信号を出力する機能を有する。

[0010]

上記において、アナログ／デジタル変換回路のデジタル信号のビット数がｎ（ｎは２以上の自然数）であるとき、再分配回路が有する複数の容量素子は、第１の容量値を有する容量素子を（ｎ＋１）個と、第２の容量値を有する容量素子を（ｎ－１）個と、を有する構成とすることができる。第１の容量値は、再分配回路が有する最小単位の容量値とすることができる。第２の容量値は、第１の容量値の概略２倍の容量値とすることができる。

[0011]

上記において、制御回路の出力端子は、スイッチを介さずに、再分配回路に接続される構成とすることができる。

発明の効果

[0012]

本発明の一態様により、新規な構成のアナログ／デジタル変換回路を提供することができる。

[0013]

または、本発明の一態様により、容量素子が占める面積を縮小できる、新規な構成のアナログ／デジタル変換回路を提供することができる。または、本発明の一態様では、高速駆動を可能とした、新規な構成のアナログ／デジタル変換回路を提供することができる。または、本発明の一態様では、イメージセンサの読み出し回路に適した、新規な構成のアナログ／デジタル変換回路を提供することができる。または、本発明の一態様では、該アナログ／デジタル変換回路を具備する半導体装置を提供することができる。または、本発明の一態様では、新規な半導体装置を提供することができる。

[0014]

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

図面の簡単な説明

[0015]

[図１]本発明の一形態に係る回路図。

[図２]トランジスタとのＶＤ－ＩＤ特性図。

[図３]トランジスタとのＶＤ－ＩＤ特性図。

[図4]トランジスタの温度特性を示すグラフ。

[図5]本発明の一形態に係る回路図。

[図6]本発明の一形態に係る回路図。

[図7]本発明の一形態に係る回路図。

[図8]本発明の一形態に係る回路図。

[図9]本発明の一形態に係る回路図。

[図10]本発明の一形態に係る4ビットコードを概念的に示した図。

[図11]本発明の一形態に係るブロック図。

[図12]トランジスタの断面図。

[図13]トランジスタの上面図及び断面図。

[図14]トランジスタの断面図。

[図15]トランジスタの断面図。

[図16]半導体装置の作製工程を示すフローチャート図及び斜視模式図。

[図17]半導体装置を用いた電子機器。

[図18]本発明の一形態に係る回路の動作を説明するタイミングチャート図。

[図19]本発明の一形態に係る回路の動作を説明するタイミングチャート図。

[図20]イメージセンサの画素の回路図。

[図21]イメージセンサの動作を説明するタイミングチャート図。

[図22]イメージセンサの画素の構成を示す図。

[図23]イメージセンサの画素の回路図。

[図24]イメージセンサの画素の動作を説明するタイミングチャート図。

[図25]メモリセルの回路図及びタイミングチャート図。

発明を実施するための形態

[0016]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

[0017]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0018]

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。

[0019]

ここで、ソースとドレインとは、トランジスタの構造または動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソースまたはドレインと呼ばず、ソースとドレインとの一方を第1端子と表記し、ソースとドレインとの他方を第2端子と表記する場合がある。

[0020]

また本明細書等において用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

[0021]

また本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、AとBとが電気的に接続されているとは、AとBとの間で、何らかの電気的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

[0022]

また本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0023]

また本明細書等において図面における各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう図面で示していても、実際の回路や領域では、同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路や領域では、一つの回路ブロックで行う処理を複数の回路ブロックで行うよう設けられている場合もある。

[0024]

また本明細書等において、電圧とは、ある電位と、基準電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。なお電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。

[0025]

また本明細書等において、「平行」とは、二つの直線が－10°以上10°以下の角度で配置されている状態をいう。従って、－5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

[0026]

また本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0027]

（実施の形態1）

本実施の形態では、アナログ／デジタル変換回路の回路構成、該アナログ／デジタル変換回路の動作、該アナログ／デジタル変換回路を具備する半導体装置、及び該半導体装置の動作について説明する。なおアナログ／デジタル変換回路は、半導体特性を利用するため、該アナログ／デジタル変換回を半導体装置

という場合がある。
[0028]
まず図1では本発明の一態様である、アナログ／デジタル変換回路の一例を示す回路図について示し、説明する。
[0029]
図1に示すアナログ／デジタル変換回路ADCは、比較回路110、制御回路111、トランジスタ112、再分配回路113を有する。再分配回路113は、複数の容量素子が配列した構成を有する。
[0030]
アナログ／デジタル変換回路ADCは、アナログ信号をデジタル信号に変換する機能を有する回路である。
[0031]
トランジスタ112の端子の一方は、入力電位Vinを与えるノード20に電気的に接続される。トランジスタ112のゲートは、トランジスタ112のオン、オフを制御する電位を与えるノード21に電気的に接続される。トランジスタ112の端子の他方は、ノード22に電気的に接続される。入力電位Vinはアナログ信号である。
[0032]
比較回路110の第1入力端子は、基準電位Vrefに電気的に接続され、比較回路110の第2入力端子は、ノード22に電気的に接続される。比較回路110の出力端子は、制御回路111に電気的に接続される。
[0033]
比較回路110は、ノード22の電位と、基準電位Vrefとを比較し、該比較した結果に応じた信号をノード23の信号として出力する機能を有する回路である。例えば、ノード22の電位が基準電位Vrefより大きければ、比較回路110はノード23に高電位側の電源電位（以下、本明細書等において、ハイの電位という。”High”、H電位、Hレベルの電位、Vddという場合もある。）を出力することができる。ノード23の信号は、デジタル信号である。
[0034]
例えば、比較回路110は、オペアンプ回路を用いて構成することができる。または、比較回路110は、インバータ回路を用いて構成することができる。インバータ回路を用いる場合、Vrefはインバータ回路の閾値電圧に相当する。プロセスばらつきにより、インバータの閾値電圧が異なる場合は、再分配回路の初期設定値を閾値電圧に合わせて変更し、再分配回路の出力範囲の中間の電位が閾値電圧に対応するように設定することで、広い範囲でA／D変換することができる。初期設定値はデジタルデータで与えることが出来るので、当該デジタルデータを記憶しておけば、調整のためにD／A変換を行う必要がない。比較回路110にインバータ回路を用いる場合、比較回路110にオペアンプ回路を用いる場合と比べて高速でA／D変換を行うことができ、消費電力を小さくすることができる。特に、イメージセンサやメモリの読み出し回路等のように、カラム毎に並列にアナログ／デジタル変換回路ADCを配置する場合に適している。各アナログ／デジタル変換回路ADCは変換したデジタルデータを保持するためのフリップフロップ回路の他に、初期設定値を保存するフリップフロップ回路または不揮発メモリを備えることができる。これにより各アナログ／デジタル変換回路ADCは独立した初期設定値を持つことができる。初期設定値は、アナログ／デジタル変換回路ADCの入力電位として種々の電位を与え、当該入力電位に対して所望のデジタル値が読み出されるかどうかを外部コンピュータなどによって自動的に判定することで決定することができる。また、初期設定値は、例えばJTAG回路によって、初期設定値を保存するフリップフロップ回路または不揮発性メモリに書き込むことが出来る。また、比較回路110をイメージセンサもしくはメモリの読み出し回路として用いる場合、画素もしくはメ

モリセルからのデータ読み出しは1度で済むため、繰り返しの読み出しの必要はなく、短時間で済むので、消費電力の低減に有効である。

[0035]

制御回路111の出力端子は、ノード24に電気的に接続される。制御回路111の出力端子は、入力電位Vinのアナログ信号を変換した、デジタル信号を出力する端子である。

[0036]

また、制御回路111の出力端子は、再分配回路113に電気的に接続される。制御回路111の出力信号は、デジタル信号のビット数に応じた複数の配線によって再分配回路113に与えられる。各配線は、ハイ又はローのいずれかの電位を再分配回路113に与える機能を有する。そのため、制御回路111の出力端子は、スイッチを介さずに該複数の配線だけを介して、再分配回路113に接続される構成とすることができる。

[0037]

制御回路111は、入力電位Vinのアナログ信号を変換した、デジタル信号を出力する機能を有する。制御回路111は、ノード23から入力される信号に応じて、デジタル信号（以下、デジタル信号D）の各ビットを決定し、該デジタル信号Dを一時的に保存する機能を有する。制御回路111は、該デジタル信号を反転した信号（以下、反転デジタル信号DB）を出力する機能を有する。制御回路111は、アナログ／デジタル変換に用いる反転デジタル信号DBを再分配回路113に出力する機能を有する。

[0038]

制御回路111は、フリップフロップ回路又は組み合わせ回路等、複数の論理回路を有する構成とすることができる。該フリップフロップ回路又は組み合わせ回路等の出力が、複数の配線を介して、再分配回路113に直接与えられる構成とすることができる。また、フリップフロップ回路は、スイッチトキャパシタ回路と、インバータ回路と、だけで構成してもよい。

[0039]

再分配回路113は、デジタル信号のビット数に応じた複数の容量素子を有する。複数の容量素子の電極の一方は、複数の配線のいずれか一を介して、制御回路111の出力端子に接続される。複数の容量素子の少なくとも一の電極の他方は、ノード22を介して、比較回路110の第2入力端子に接続される。

[0040]

デジタル信号のビット数がn（nは2以上の自然数）である場合において、再分配回路113は、容量値Cを有する容量素子C1を（n＋1）個と、容量値2Cを有する容量素子C2を（n－1）個と、を組み合わせた、複数の容量素子で構成する。これにより、再分配回路113の容量素子が占める面積を縮小することができる。なお、容量値2Cは、容量値Cの概略2倍の容量値である。ここで概略とは、10%の誤差を許容できるものとする。

[0041]

再分配回路113が有する（n＋1）個の容量素子C1のうち、n個の容量素子C1の一方の電極は、それぞれ、複数の配線のいずれか一を介して、制御回路111の出力端子に電気的に接続される。該n個の容量素子C1の一方の電極には、制御回路111で得られるデジタル信号Dを反転した反転デジタル信号DBが与えられる。図1のノード26乃至ノード28等に、反転デジタル信号DBが与えられる。また、ノード24に、デジタル信号Dが与えられる。

[0042]

図1に示す、本発明の一態様であるアナログ／デジタル変換回路ADCでは、トランジスタ112の半導体層

は、酸化物半導体を有する構成とする。本実施の一態様のトランジスタ112に酸化物半導体を有するトランジスタ（以下、OSトランジスタともいう）を用いることで、オフ時のリーク電流（以下、オフ電流ともいう）が極めて小さいトランジスタとすることができる。トランジスタ112はスイッチとしての機能を有する。トランジスタ112をOSトランジスタとする構成とすることで、オフ時のリーク電流が極めて小さいトランジスタをスイッチとして用いることができる。

[0043]

一方、MOS技術、及びLSI技術の分野において、スイッチとしてよく利用されているチャネル領域にシリコン（Si）を用いたトランジスタ（以下、Siトランジスタ）は、オフ時にリーク電流が発生することが知られている。

[0044]

サンプルモードで容量素子に充電された電荷は、トランジスタ112をオフにすることでノード22に保持される。ノード22に保持される電荷は、再分配モードで最終変換ステップが実行されるまで保持され続ける。

[0045]

本実施の一態様は、トランジスタ112にOSトランジスタを用いる構成とする。該構成とすることで、トランジスタ112にSiトランジスタを用いる場合と比べて、ノード22に保持される電荷の変動量を大幅に低減することができる。その結果、アナログ／デジタル変換回路ADCに用いる容量素子の最小単位の容量値を小さくすることができる。ここで最小単位の容量値は、ばらつきの影響や寄生容量を無視することができる最小の容量値を表す。もし仮に、トランジスタ112にSiトランジスタを用いる場合は、リーク電流が発生しても問題がないように、容量素子の最小単位の容量値を大きくしなければならない。

[0046]

なおサンプルモードは、複数の容量素子に入力電位Vinに応じた電位が充電されるモードである。ホールドモードは、充電によって複数の容量素子に蓄えられた電荷を保持するモードである。再分配モードは、複数の容量素子に蓄えられた電荷を再分配することで、電荷に基づく電位を昇降させ、基準電位との大小関係を基にしてデジタル信号への変換を行うモードである。

[0047]

本実施の一態様のアナログ／デジタル変換回路ADCは、再分配回路113が有する容量素子の容量値を足し合わせた全体の容量値を、小さくすることができる。そのため、再分配回路113の容量素子が占める面積を縮小することができる。その結果、レイアウトの自由度を増すことができる。

[0048]

また本実施の一態様のアナログ／デジタル変換回路ADCは、アナログ／デジタル変換回路ADCの大部分を占めていた、再分配回路113の容量素子が占める面積を小さくすることができる。そのため、アナログ／デジタル変換回路ADCを、前段の回路のカラム毎に並列に配置することが可能となる。またアナログ／デジタル変換回路ADCは、再分配回路113が有する容量素子の容量値を足し合わせた全体の容量値を小さくすることができるので、負荷が小さくなり、高速駆動が可能となる。

[0049]

ここで、オフ電流が小さいとは、室温においてチャネル幅1μmあたりの規格化されたオフ電流が10zA／μm以下であることをいう。オフ電流は小さいほど好ましいため、この規格化されたオフ電流値が1zA／μm以下、更に10yA／μm以下とし、更に1yA／μm以下であることが好ましい。なお、その場合のソースとドレイン間の電圧は、例えば、0．1V、5V、又は、10V程度である。

[0050]

またトランジスタ112はより確実にオフになるように、ゲートであるノード21の電位変化を大きくすることが好ましい。特に再分配モードでトランジスタ112のソース電位またはドレイン電位が昇降する際においてもトランジスタ112が確実にオフになるように、ゲートであるノード21の電位変化を大きくすることが好ましい。この場合、トランジスタ112では、ゲートとソース間、あるいはゲートとドレイン間で高い電圧が印加されることになるため、耐圧性に優れていることが求められる。

[0051]

上述したように、本実施の形態のトランジスタ112には、OSトランジスタを用いる。OSトランジスタは、Siトランジスタと比較し、バンドギャップが1乃至2eV程度高いため、アバランシェブレークダウンが起こりにくく、電界に対する電気的な耐圧性が高い。そのため、トランジスタ112をOSトランジスタとすることで、アナログ／デジタル変換回路ADCを耐圧性に優れたものとすることができる。

[0052]

具体例を挙げて説明するため、図2にSiトランジスタとOSトランジスタとのVD－ID特性図、図3(A)にゲート電圧を変化させた際の、OSトランジスタのVD－ID特性図、及び図3(B)にゲート電圧を変化させた際の、SiトランジスタのVD－ID特性図を示す。図2では、OSトランジスタのドレイン耐圧について説明するため、SiトランジスタとOSトランジスタとのVD－ID特性図について示す。図2では、SiトランジスタとOSトランジスタとについて同じ条件での高電圧に対する耐性を比較するために、共にチャネル長を0．9μmとし、チャネル幅を10μmとし、酸化シリコンを用いたゲート絶縁膜の膜厚を20nmとしている。なおゲート電圧は、2Vとしている。

[0053]

図3に示すようにSiトランジスタでは、ドレイン電圧の増加に対して4V程度でアバランシェブレークダウンが起こるのに対して、OSトランジスタでは、ドレイン電圧の増加に対して26V程度までアバランシェブレークダウンが起きずに定電流を流すことができるのがわかる。

[0054]

図3(A)では、ゲート電圧を変化させた際の、OSトランジスタのVD－ID特性図について示す。また図3(B)では、ゲート電圧を変化させた際の、SiトランジスタのVD－ID特性図について示す。図3(A)では、SiトランジスタとOSトランジスタとについて同じ条件での高電圧に対する耐性を比較するために、共にチャネル長を0．9μmとし、チャネル幅を10μmとし、酸化シリコンを用いたゲート絶縁膜の膜厚を20nmとしている。なおゲート電圧は、図3(A)のOSトランジスタでは0．1V、2．06V、4．02V、5．98V．7．94Vと変化させ、図3(B)のSiトランジスタでは0．1V、1．28V、2．46V、3．64V、4．82Vと変化させている。

[0055]

図3(A)、(B)に示すようにSiトランジスタでは、ドレイン電圧の増加に対して4乃至5V程度でアバランシェブレークダウンが起こるのに対して、OSトランジスタでは、ドレイン電圧の増加に対して9V程度ではアバランシェブレークダウンが起きずに定電流を流すことができるのがわかる。

[0056]

図2、図3(A)、(B)からもわかるようにOSトランジスタはSiトランジスタと比べて高電圧に対する耐性が高い。そのためOSトランジスタは絶縁破壊を起こしにくく、OSトランジスタを有するアナログ／デジタル変換回路ではトランジスタの不良を少なくすることができる。

[0057]

OSトランジスタはSiトランジスタと積層して設けることができるため、パストランジスタロジックPTLをさらなる

回路面積の小型化するのに好適である。またOSトランジスタ同士を積層して設けることもでき、パストランジスタロジックPTLをさらなる回路面積の小型化するのに好適である。

[0058]

また図1では、トランジスタ112をバックゲートを有さない構成として説明したが、バックゲートを有する構成とすることもできる。トランジスタ112がバックゲートを有する構成とすることにより、バックゲートに与える制御信号によって閾値電圧の制御を行うことができる。

[0059]

また、OSトランジスタは、Siトランジスタよりも高い温度で使用することができる。具体例を挙げて説明するため、図4(a)にOSトランジスタのゲート電圧V_G－ドレイン電流I_D特性、及びゲート電圧V_G－電界効果移動度μ_{FE}特性の温度依存性を、図4(b)にSiトランジスタのゲート電圧V_G－ドレイン電流I_D特性、及びゲート電圧V_G－電界効果移動度μ_{FE}特性の温度依存性を、示す。なお図4(a)、(b)においては、－25℃、50℃、150℃の温度での各電気的特性の測定結果を示している。なおドレイン電圧V_Dは1Vとしている。

[0060]

なお図4(a)に示すOSトランジスタの電気的特性は、チャネル長L＝0．45μm、チャネル幅W＝10μm、ゲート絶縁層の酸化膜の膜厚Tox＝20nmでのグラフである。また図4(b)に示すSiトランジスタの電気的特性は、L＝0．35μm、W＝10μm、ゲート絶縁層の酸化膜の膜厚Tox＝20nmでのグラフである。

[0061]

なおOSトランジスタの酸化物半導体層は、In－Ga－Zn系酸化物で作製し、Siトランジスタは、シリコンウエハから作製したものである。

[0062]

図4(a)及び(b)からは、OSトランジスタの立ち上がりゲート電圧の温度依存性は小さいことがわかる。また、OSトランジスタのオフ電流が温度によらず測定下限(I_0)以下であるが、Siトランジスタのオフ電流は、温度依存性が大きい。図4(b)の測定結果は、150℃では、Siトランジスタはオフ電流が上昇し、電流オン／オフ比が十分に大きくならないことを示している。

[0063]

図4(a)及び(b)のグラフから、OSトランジスタでアナログ／デジタル変換回路ADCを構成することで、150℃以上の温度下においても、動作させることができる。そのため、OSトランジスタで構成されるアナログ／デジタル変換回路ADCの耐熱性を優れたものとすることができる。

[0064]

次いで図5乃至図9では、アナログ／デジタル変換回路ADCのより具体的な回路構成、並びに該アナログ／デジタル変換回路の動作について説明する。図5乃至図9では、アナログ／デジタル変換回路ADCが4ビットのアナログ／デジタル変換回路の例を示す。

[0065]

ビット数がnの場合、最上位ビットは「bit(n－1)」と示し、次のビットは「bit(n－2)」と示す。最下位ビットは「bit0」と示す。4ビットの場合、最上位ビットは「bit3」と示し、次のビットは「bit2」と示し、その次のビットは「bit1」と示す。最下位ビットは「bit0」と示す。また、出力D又は反転出力DBは、2進数表記の4ビットコードで「bit3　bit2　bit1　bit0」と表す。例えば、4ビットコードで「1000」と表すことができる。

[0066]

図5は、図1に対し、再分配回路113及び該再分配回路113に電気的に接続される配線の構成を、より具

体的に再分配回路１１４及び該再分配回路１１４に電気的に接続される配線に変更したものである。それ以外の構成については、図1と同様である。そのため以下では、主に、再分配回路１１４及び該再分配回路１１４に電気的に接続される配線に関して、説明する。

[0067]

再分配回路１１４は、容量値Cを有する容量素子C1を（ｎ＋１）個、すなわち図5では5個と、容量値2Cを有する容量素子C2を（ｎ－１）個、すなわち図5では3個を組み合わせた構成を用いる。容量値Cは、再分配回路１１４が有する最小単位の容量値とする。再分配回路１１４は、容量値Cを有する容量素子C1a、容量素子C1b、容量素子C1c、容量素子C1d、及び容量素子C1eを有し、容量値2Cを有する容量素子C2a、容量素子C2b、及び容量素子C2cを有する。容量素子C2a、容量素子C2b、及び容量素子C2cを電気的に直列、容量素子C1a、容量素子C1b、容量素子C1c、容量素子C1d、及び容量素子C1eを電気的に並列になるように接続する。容量素子C1aの電極の他方は、ノード22を介して、比較回路１１０の第2入力端子に電気的に接続される。容量素子C1aの電極の他方と、容量素子C1bの電極の他方との間には容量素子C2aが電気的に接続され、容量素子C1bの電極の他方と、容量素子C1cの電極の他方との間には容量素子C2bが電気的に接続され、容量素子C1cの電極の他方と、容量素子C1dの電極の他方との間には容量素子C2cが電気的に接続される。容量素子C1dの電極の他方と、容量素子C1eの電極の他方とは電気的に接続される。容量素子C1aの下部電極は、ノード31が与えられる配線を介して、制御回路１１１の第2出力端子に電気的に接続される。容量素子C1bの下部電極は、ノード32が与えられる配線を介して、制御回路１１１の第2出力端子に電気的に接続される。容量素子C1cの下部電極は、ノード33が与えられる配線を介して、制御回路１１１の第2出力端子に電気的に接続される。容量素子C1dの下部電極は、ノード34が与えられる配線を介して、制御回路１１１の第2出力端子に電気的に接続される。容量素子C1eの下部電極は、ノード25に電気的に接続される。ノード25には、固定電位が与えられる。例えば、ノード25には、接地電位等の低電位側の電源電位（以下、本明細書等において、ローの電位という。”Low”、L電位、Lレベルの電位という場合もある。）が与えられる。このように容量素子列を多段に設ける構成により、複数の容量素子にバイナリー加重された容量値（C、C／2、C／4、（略）、$C/2^{n-1}$）を有する容量素子を用いる場合と比較して、全容量値を低減させることができる。

[0068]

次いで図6乃至図9では、4ビットのアナログ／デジタル変換回路ADCの動作について示し、説明する。また図6乃至図9では、説明のため、制御回路１１１から再分配回路１１３にデジタル信号を伝送する配線をビットごとに分けて示している。

[0069]

図6に第1のステップを示す。第1のステップでは、サンプルモードが行われる。第1のステップでは、トランジスタ１１２をオンにする電位が、トランジスタ１１２のゲートに電気的に接続されるノード21に与えられる。ノード20からトランジスタ１１２の端子の一方を介してトランジスタの端子の他方へ入力電位Vinが与えられ、トランジスタの端子の他方に電気的に接続されるノード22に入力電位Vinが与えられる。第1のステップでは、再分配回路１１３が有する複数の容量素子に入力電位Vinに応じた電位が充電される。第1のステップでは、制御回路１１１の出力端子から出力される反転デジタル信号DBを初期状態に設定する。初期状態への設定は、ノード23の信号以外の信号に従って行う。例えば、初期状態への設定は、比較回路１１０の基準電位Vrefに従って行う。初期状態に設定することにより、制御回路１１１から再分配回路１１３には、ノード31乃至ノード34等を介して、基準電位Vrefに従った反転デジタル信号DBが出力される。

[0070]

例えば、比較回路の基準電位Vrefが、高電位側の電源電位と低電位側の電源電位の中間電位である場合を説明する。この場合、比較回路の基準電位Vrefに従った反転デジタル信号「DB：setR」は、4ビットコードで「1000」となる。「1000」のデジタル信号に基づいて、ノード31にはハイの電位（Vddという場合もある。）が与えられ、ノード32、ノード33、及びノード34にはローの電位が与えられる。すなわち、最上位ビットに対応する容量素子C1aの電極の一方にハイの電位が与えられ、それ以外の容量素子C1b、容量素子C1c、容量素子C1d、の電極の一方にローの電位が与えられる。ローの電位として、例えば接地電位を用いることができる。

[0071]

次いで図7に第2のステップを示す。第2のステップでは、ホールドモードが行われる。第2のステップでは、トランジスタ112をオフにする電位が、トランジスタ112のゲートに電気的に接続されるノード21に与えられる。トランジスタ112の端子の他方に電気的に接続されるノード22には、第1のステップの充電によって複数の容量素子に蓄えられた電荷Qが保持される。例えば、再分配回路113が有する複数の容量素子の全容量値が「2C」である場合、ノード22には、電荷Q＝2CVin－CVddが保持される。

[0072]

次いで図8、図9に第3のステップを示す。第3のステップでは、再分配モードが行われる。第3のステップにおいて、トランジスタ112のゲートに電気的に接続されるノード21には、トランジスタ112をオフする電位が与えられる。トランジスタ112の端子の他方に電気的に接続されるノード22には、第2のステップで保持された電荷Qがそのまま保持される。

[0073]

図8に第3のステップ（1）を示す。第3のステップ（1）では、制御回路111の出力端子は、第1のセット信号に応じた反転デジタル信号DBを出力する機能を有する。図8では、第1のセット信号に応じた反転デジタル信号DBを「DB：set1」と示す。例えば、複数の容量素子のうち、最上位ビットに対応する容量素子の電極の一方にハイの電位が与えられ、それ以外の容量素子の電極の一方にローの電位が与えられる。例えば、「DB：set1」は、4ビットコードで「1000」と設定することができる。この「1000」のデジタル信号に基づいて、ノード31にはハイの電位が与えられ、ノード32、ノード33、及びノード34にはローの電位が与えられる。すなわち、最上位ビットに対応する容量素子C1aの電極の一方にハイの電位が与えられ、それ以外の容量素子C1b、容量素子C1c、容量素子C1d、の電極の一方にローの電位が与えられる。このとき、再分配回路113が有する容量素子の電極の他方に電気的に接続されるノード22の電位V22（set1）は、第1のセット信号、入力電位Vin、比較回路110の基準電位Vref等に基づいた電位V22（set1）となる。例えば、ノード22の電位V22（set1）は、「V22（set1）＝Vin」となる。ノード22の電位V22（set1）が比較回路110に入力され、比較回路110の基準電位Vrefと比較され、比較回路110の出力が決定される。比較回路110の出力に応じて、制御回路111において、最上位ビットbit（n－1）（本例ではbit3）が「1」又は「0」に決定される。図8では、この動作を「bit3＝[1／0]」と表す。V22（set1）が比較回路110の基準電位Vrefより大きければ、比較回路110の出力はハイとなり、最上位ビット（本例ではbit3）は[1]に決まる。図8では、この動作を「Vref＜V22 － bit3＝[1]」と表す。V22（set1）が比較回路110の基準電位Vrefより小さければ、比較回路110の出力はローとなり、最上位ビット（bit3）は[0]に決まる。図8では、この動作を「Vref＞V22 － bit3＝[0]」と表す。第3のステップ（1）で決定されたデジタル信号Dの最上位ビット（本例ではbit3）は、制御回路111が有するメモリ回路等に一時保存される。

[0074]

図9に第3のステップ(2)を示す。第3のステップ(2)では、制御回路111の出力端子は、第2のセット信号に応じた反転デジタル信号DBを出力する機能を有する。図9では、第2のセット信号に応じた反転デジタル信号DBを「DB:set2」と示す。第2のセット信号に応じた反転デジタル信号DBの最上位ビットbit(n－1)(本例ではbit3)は、第3のステップ(1)の結果に基づいて決定されている。例えば、第3のステップ(1)でデジタル信号Dの最上位ビット(本例ではbit3)が「1」に決まった場合は、それを反転した反転デジタル信号DBの最上位ビットは「0」となり、最上位ビットに対応する容量素子の電極の一方には、該反転デジタル信号DBの最上位ビット「0」に応じたローの電位が与えられる。逆に、第3のステップ(1)でデジタル信号Dの最上位ビット(本例ではbit3)が「0」に決まった場合は、それを反転した反転デジタル信号DBの最上位ビットは「1」となり、最上位ビットに対応する容量素子の電極の一方には、該反転デジタル信号DBの最上位ビット「1」に応じたハイの電位が与えられる。

[0075]

第3のステップ(2)では、例えば、複数の容量素子のうち、最上位ビットの次のビット(本例ではbit2)に対応する容量素子の電極の一方にハイの電位が与えられ、それより下位のビットに対応する容量素子の電極の他方にローの電位が与えられる。例えば、「DB:set2」は、4ビットコードで「1100」又は「0100」と設定することができる。例えば、第3のステップ(1)でデジタル信号Dの最上位ビット(本例ではbit3)が「1」に決まった場合は、「DB:set2」は、「0100」と設定することができる。この「0100」のデジタル信号に基づいて、ノード31にはローの電位が与えられ、ノード32にはハイの電位が与えられ、ノード33、及びノード34にはローの電位が与えられる。すなわち、容量素子C1aの電極の一方にローの電位が与えられ、容量素子C1bの電極の一方にハイの電位が与えられ、容量素子C1c、及び容量素子C1dの電極の一方にローの電位が与えられる。逆に、第3のステップ(1)でデジタル信号Dの最上位ビット(bit3)が「0」に決まった場合は、「DB:set2」は、「1100」と設定することができる。この「1100」のデジタル信号に基づいて、ノード31、及びノード32にはハイの電位が与えられ、ノード33、及びノード34にはローの電位が与えられる。すなわち、容量素子C1a、及び容量素子C1bの電極の一方にハイの電位が与えられ、容量素子C1c、及び容量素子C1dの電極の一方にローの電位が与えられる。このとき、再分配回路113が有する容量素子の電極の他方に電気的に接続されるノード22の電位は、第2のセット信号、入力電位Vin、比較回路110の基準電位Vref等に基づいた電位V22(set2)となる。例えば、「DB:set2＝1100」の場合、ノード22の電位V22(set2)は、「V22(set2)＝Vin＋Vdd／4」となる。例えば、「DB:set2＝0100」の場合、ノード22の電位V22(set2)は、「V22(set2)＝Vin－Vdd／4」となる。ノード22の電位V22(set2)が比較回路110に入力され、比較回路110の基準電位Vrefと比較され、比較回路110の出力が決定される。比較回路110の出力に応じて、制御回路111において、最上位ビットの次のビット(本例ではbit2)が「1」又は「0」に決定される。図9では、この動作を「bit2＝[1／0]」と表す。V22(set2)が比較回路110の基準電位Vrefより大きければ、比較回路110の出力はハイとなり、bit2は[1]に決まる。図9では、この動作を「Vref＜V22 － bit2＝[1]」と表す。V22(set2)が比較回路110の基準電位Vrefより小さければ、比較回路110の出力はローとなり、デジタル信号Dのbit2は[0]に決まる。図9では、この動作を「Vref＞V22 － bit2＝[0]」と表す。第3のステップ(2)で決定されたデジタル信号Dのbit2は、制御回路111が有するメモリ回路等に一時保存される。

[0076]

同様の方法で、制御回路111の出力端子から次のセット信号が出力され、ノード22の電位V22が比較回

路１１０の基準電位Vrefと比較され、比較回路１１０の出力が決定される。そして制御回路１１１において、デジタル信号Dの次のビット（本例ではbit1）が保存される。アナログ／デジタル変換の動作は、このような方法で最下位ビット（bit0）が決定されるまで継続される。デジタル信号Dの最下位ビット（bit0）が決定されると、デジタル信号Dの全てのビットが決定され、アナログ／デジタル変換の動作は終了する。

［0077］

図１０は、図5乃至図9で説明した動作を繰り返すことにより、最終的に得られる4ビットコードを概念的に示したものである。図１０に示す4ビットコードは、反転デジタル信号DBを示したものである。図１０に示すように、第1のセット信号に応じた反転デジタル信号「DB：set1」に基づいてbit3が決定され、次に第2のセット信号に応じた反転デジタル信号「DB：set2」に基づいてbit2が決定され、次に第3のセット信号に応じた反転デジタル信号「DB：set3」に基づいてbit1が決定され、次に第4のセット信号に応じた反転デジタル信号「DB：set4」に基づいてbit0が決定される。最終的に、図１０の１１５に示す4ビットコードのいずれか一が得られる。１１５に示す4ビットコードは反転デジタル信号DBである。この反転デジタル信号DBを反転した信号が、デジタル信号Dに対応する。

［0078］

このようにして、アナログ／デジタル変換回路ADCのデジタル信号Dが決定され、アナログ／デジタル変換データとして制御回路１１１の出力端子からノード２４へ出力される。

［0079］

図１８は、図5乃至図9で説明したアナログ／デジタル変換回路ADCの動作を示すタイミングチャートである。図１８には、ノード２１、ノード２３、ノード３１乃至ノード３４の電位変化の例を示す。

［0080］

期間T1は、上で説明したサンプルモード（第1のステップ）に対応する期間である。期間T2は、ホールドモード（第2のステップ）に対応する期間である。期間T3乃至期間T7は、再分配モード（第3のステップ）に対応する期間である。

［0081］

期間T3は、上で説明したデジタル信号Dのbit3が決定される期間であり、期間T4は、デジタル信号Dのbit2が決定される期間であり、期間T5は、デジタル信号Dのbit1が決定される期間であり、期間T6は、デジタル信号Dのbit0が決定される期間である。期間T7は、4ビットコードのデジタル信号Dが決定され、出力が行われる期間である。

［0082］

上述したとおり、期間T1において、トランジスタ１１２をオンにする電位がノード２１に与えられ、入力電位Vinに応じた電荷がアナログ／デジタル変換回路ADCに充電される。

［0083］

期間T2において、トランジスタ１１２をオフにする電位がノード２１に与えられ、入力電位Vinに応じた電荷が保存される。

［0084］

期間T3において、ノード３１乃至ノード３４に反転デジタル信号「DB：set1」に応じた電位（本例では「１０００」）が与えられ、それに応じて比較回路１１０の出力が決定され、デジタル信号Dのbit3が決定される。この期間T3における比較回路１１０の出力に応じて決定されるデジタル信号Dのbit3の反転信号（反転デジタル信号DBのbit3）に応じた電位が、ノード３１に、それ以降の期間T4乃至期間T7において与えられる。

[0085]

期間T4において、ノード31乃至ノード34に反転デジタル信号「DB：set2」に応じた電位が与えられ、デジタル信号Dのbit2が決定され、その反転信号（反転デジタル信号DBのbit2）に応じた電位が、ノード32に、それ以降の期間において与えられる。

[0086]

期間T5において、ノード31乃至ノード34に反転デジタル信号「DB：set3」に応じた電位が与えられ、デジタル信号Dのbit1が決定され、その反転信号（反転デジタル信号DBのbit1）に応じた電位が、ノード33に、それ以降の期間において与えられる。

[0087]

期間T6において、ノード31乃至ノード34に反転デジタル信号「DB：set4」に応じた電位が与えられ、デジタル信号Dのbit0が決定され、その反転信号（反転デジタル信号DBのbit0）に応じた電位が、ノード34に、それ以降の期間において与えられる。

[0088]

図19は、上述したタイミングチャートの具体例である。図19では、期間T3において比較回路の出力に対応するノード23の電位がハイと決定され、それに応じてそれ以降の期間において、ノード31にローの電位が与えられる。期間T4において比較回路の出力に対応するノード23の電位がローと決定され、それに応じてそれ以降の期間において、ノード32にハイの電位が与えられる。期間T5において比較回路の出力に対応するノード23の電位がローと決定され、それに応じてそれ以降の期間において、ノード33にハイの電位が与えられる。期間T5において比較回路の出力に対応するノード23の電位がハイと決定され、それに応じてそれ以降の期間において、ノード34にローの電位が与えられる。

[0089]

このようにして、アナログ／デジタル変換回路ADCのデジタル信号Dが決定され、期間T7において、アナログ／デジタル変換データとして出力される。

[0090]

また、図6に示す第1のステップにおいて、比較回路の基準電位Vrefが、高電位側の電源電位と低電位側の電源電位の中間電位にある場合を例に説明したが、本実施の形態で説明したアナログ／デジタル変換回路ADCの動作は、これに限定されない。例えば、比較回路の基準電位Vrefが、低電位側の電源電位にある場合は、比較回路の基準電位Vrefに応じたデジタル信号の反転出力「DB：setR」は、4ビットコードで「1111」となり、このデジタル信号に基づいて、ノード31、ノード32、ノード33、及びノード34にはハイの電位が与えられる。

[0091]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCを複数有する半導体装置について、以下に説明する。複数のアナログ／デジタル変換回路ADC有する半導体装置おいて、製造ばらつきの影響で複数のアナログ／デジタル変換回路ADC間の特性にばらつきが生じる場合がある。その場合、例えば、図6に示す第1のステップにおける「DB：setR」の値を別に設定し、複数のアナログ／デジタル変換回路ADC間の特性ばらつきを補正することができる。例えば、ビット数に応じた数のフリップフロップ回路を制御回路に追加することにより、「DB：setR」の値を別に設定し、補正することができる。この補正は、アナログ／デジタル変換回路ADCを1つ有する半導体装置においても行うことができる。

[0092]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCをイメージセンサの読み出し回路に用いる場合について、以下に説明する。

[0093]

図11に、本実施の形態で説明したアナログ／デジタル変換回路ADCを有するイメージセンサのブロック図を示す。イメージセンサは、画素部300と、回路301と、回路302と、回路303と、回路304と、を有する。回路301は、ロードライバとしての機能を有する。回路302は、電流原を含む回路である。回路303は、読み出し回路としての機能を有し、本実施の形態で説明したアナログ／デジタル変換回路ADCを用いることができる。回路304は、カラムドライバとしての機能を有する。

[0094]

画素部300は、複数の画素を有し、各画素には、選択トランジスタ、フォトダイオード、転送トランジスタ、増幅トランジスタ等が設けられている。回路301は、複数の画素の各行を選択する機能を有する。回路301で画素部300の各画素が選択され、各画素から照度に応じた大きさの電流が出力される。各画素から出力された電流が、回路302で電圧に変換され、本実施の形態で説明したアナログ／デジタル変換回路ADCに相当する回路303に入力される。回路304は、アナログ／デジタル変換回路ADCに相当する回路303の出力を選択し、外部又は後段の回路へ出力する機能を有する。

[0095]

上記において各画素から出力される電流の大きさは、各画素に設けられたフォトダイオード、及びトランジスタの大きさに応じて決定される。しかしながら、イメージセンサの画素の大きさには制限があるため、各画素に設けることができるフォトダイオード、トランジスタの大きさには制限がある。すなわち、各画素から出力される電流の大きさには制限がある。したがって、アナログ／デジタル変換回路ADCの入力に必要とされる入力電位の大きさは小さい方が好ましい。

[0096]

本実施の形態で説明したアナログ／デジタル変換回路ADCは、入力電位Vinが入力される複数の容量素子の全体の容量値を小さくすることができる。よって、出力電流の大きさを大きくできないイメージセンサの読み出し回路に適したものとすることができる。

[0097]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、入力電位Vinが入力される複数の容量素子の全体の容量値を小さくすることができる。よって、出力電流の大きさを大きくできないイメージセンサの読み出し回路に適したものとすることができる。

[0098]

以上、本実施の形態で説明したアナログ／デジタル変換回路ADCは、スイッチとしての機能を有するトランジスタにOSトランジスタを用いることで、複数の容量素子の全体の容量値を小さくすることができる。よって、アナログ／デジタル変換回路ADCが占める面積を縮小することができると共に、アナログ／デジタル変換回路ADCの高速駆動を可能とすることができる。また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、耐熱性及び耐圧性に優れ、低消費電力化に優れたものとすることができる。また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、レイアウトの自由度を増したものとすることができる。

[0099]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、入力電位Vinが入力される複数の容

量素子の全体の容量値を小さくすることができる。よって、出力電流を大きくできないイメージセンサの読み出し回路に適したものとすることができる。

[0100]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、複数の容量素子に、容量値Cを有する容量素子C1を（n＋1）個と、容量値2Cを有する容量素子C2を（n－1）個と、を用いることで、さらに容量素子が占める面積を縮小することができる。

[0101]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、サンプルモード及びホールドモードにおいて用いる容量素子と、再分配モードにおいて用いる容量素子とが兼用されている構成とすることができる。これにより、容量素子が兼用されていない場合と比較して、アナログ／デジタル変換回路ADCに設ける容量素子の全容量値を小さくすることができる。

[0102]

また、本実施の形態で説明したアナログ／デジタル変換回路ADCは、スイッチを介さずに、制御回路の出力端子が、再分配回路に接続される構成とすることができる。スイッチを介した場合、スイッチに接続される高電位を与える電源または低電位を与える電源が別途必要となることがある。本実施の形態で説明した構成では、スイッチを介さずに、制御回路の出力端子が再分配回路に接続されるため、スイッチに接続される電源を不要とすることができる。

[0103]

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0104]

（実施の形態2）

本実施の形態では、上記実施の形態で説明したトランジスタの半導体層に用いる酸化物半導体層について説明する。

[0105]

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）及びアルミニウム（Al）の少なくともいずれかを有すればよい。

[0106]

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジム（Pr）、ネオジム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を有してもよい。

[0107]

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In－Zn系酸化物、Sn－Zn系酸化物、Al－Zn系酸化物、Zn－Mg系酸化物、Sn－Mg系酸化物、In－Mg系酸化物、In－Ga系酸化物、In－Ga－Zn系酸化物（IGZOとも表記する）、In－Al－Zn系酸化物、In－Sn－Zn系酸化物、Sn－Ga－Zn系酸化物、Al－Ga－Zn系酸化物、Sn－Al－Zn系酸化物、In－Hf－Zn系酸化物、In－Zr－Zn系酸化物、In－Ti－Zn系酸化物、In－Sc－Zn系酸化物、In－Y－Zn系酸化

物、In－La－Zn系酸化物、In－Ce－Zn系酸化物、In－Pr－Zn系酸化物、In－Nd－Zn系酸化物、In－Sm－Zn系酸化物、In－Eu－Zn系酸化物、In－Gd－Zn系酸化物、In－Tb－Zn系酸化物、In－Dy－Zn系酸化物、In－Ho－Zn系酸化物、In－Er－Zn系酸化物、In－Tm－Zn系酸化物、In－Yb－Zn系酸化物、In－Lu－Zn系酸化物、In－Sn－Ga－Zn系酸化物、In－Hf－Ga－Zn系酸化物、In－Al－Ga－Zn系酸化物、In－Sn－Al－Zn系酸化物、In－Sn－Hf－Zn系酸化物、In－Hf－Al－Zn系酸化物等がある。

[0108]

例えば、In:Ga:Zn＝1:1:1、In:Ga:Zn＝3:1:2、あるいはIn:Ga:Zn＝2:1:3の原子数比のIn－Ga－Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

[0109]

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化のための熱処理を行い酸化物半導体膜から、水素、または水分を除去して不純物が極力含まれないように高純度化することが好ましい。

[0110]

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体に加えることが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

[0111]

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が1×10^{17}／cm^3以下、1×10^{16}／cm^3以下、1×10^{15}／cm^3以下、1×10^{14}／cm^3以下、1×10^{13}／cm^3以下であることをいう。

[0112]

また、このように、i型または実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25℃程度）にて1×10^{-18}A以下、好ましくは1×10^{-21}A以下、更に好ましくは1×10^{-24}A以下、または85℃にて1×10^{-15}A以下、好ましくは1×10^{-18}A以下、更に好ましくは1×10^{-21}A以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1V以上、2V以上または3V以上小さければ、トランジスタはオフ状態となる。

[0113]

次いで酸化物半導体の構造について説明する。

[0114]

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物

半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC－OS（C Axis Aligned Crystalline Oxide Semiconductor）膜などをいう。

[0115]

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

[0116]

微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

[0117]

CAAC－OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC－OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC－OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC－OS膜について詳細な説明を行う。

[0118]

CAAC－OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC－OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0119]

CAAC－OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC－OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC－OS膜の被形成面または上面と平行に配列する。

[0120]

一方、CAAC－OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

[0121]

断面TEM観察および平面TEM観察より、CAAC－OS膜の結晶部は配向性を有していることがわかる。

[0122]

CAAC－OS膜に対し、X線回折（XRD：X－Ray Diffraction）装置を用いて構造解析を行うと、例えば$InGaZnO_4$の結晶を有するCAAC－OS膜のout－of－plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（009）面に帰属されることから、CAAC－OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

[0123]

一方、CAAC－OS膜に対し、c軸に概略垂直な方向からX線を入射させるin－plane法による解析では、2

θが56°近傍にピークが現れる場合がある。このピークは、$InGaZnO_4$の結晶の（110）面に帰属される。$InGaZnO_4$の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC－OS膜の場合は、2θを56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

[0124]

以上のことから、CAAC－OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

[0125]

なお、結晶部は、CAAC－OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC－OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC－OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC－OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

[0126]

また、CAAC－OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC－OS膜の結晶部が、CAAC－OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC－OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

[0127]

なお、$InGaZnO_4$の結晶を有するCAAC－OS膜のout－of－plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC－OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC－OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

[0128]

CAAC－OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

[0129]

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC－OS膜のうち、二種以上を有する積層膜であってもよい。

[0130]

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

[0131]

（実施の形態3）

本実施の形態では、開示する発明の一態様に係るアナログ／デジタル変換回路、及び該アナログ／デジタル変換回路を具備する半導体装置が有するトランジスタの断面の構造について、図面を参照して説明する。

[0132]

なお、半導体装置とは、半導体素子を有する装置のことをいう。なお、半導体装置は、半導体素子を含む回路を駆動させる駆動回路等を含む。なお、半導体装置は、半導体装置とは別の基板上に配置された駆動回路、電源回路等を含む場合がある。

[0133]

図12乃至図15に、発明の一態様に係るアナログ／デジタル変換回路、及び該アナログ／デジタル変換回路を具備する半導体装置が有するトランジスタの断面構造の一部を、一例として示す。なお本実施の形態では、トランジスタとして、酸化物半導体を半導体層に用いたトランジスタを基板上に形成する場合を例示している。

[0134]

なお、酸化物半導体を用いるトランジスタの場合、シリコンを用いるトランジスタと比べて、アナログ／デジタル変換回路ADCが占める面積を縮小できると共に、アナログ／デジタル変換回路ADCの高速駆動を可能とし、かつ、耐熱性及び耐圧性に優れたアナログ／デジタル変換回路ADC、及び該アナログ／デジタル変換回路を具備する半導体装置とすることができる。

[0135]

図12(a)では、基板820にnチャネル型のトランジスタ800が形成されている。図12(a)では、一例として、コプレナー(coplanar)型のトランジスタ構造について示している。

[0136]

トランジスタ800は、基板820上に、酸化物半導体を含む半導体膜830と、半導体膜830上の、ソース電極またはドレイン電極として機能する導電膜832及び導電膜833と、半導体膜830、導電膜832及び導電膜833上のゲート絶縁膜831と、ゲート絶縁膜831上に位置し、導電膜832と導電膜833の間において半導体膜830と重なっているゲート電極として機能する導電膜834と、を有する。

[0137]

基板820は、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板、SOI基板などを用いることができる。

[0138]

導電膜832及び導電膜833、並びに導電膜834は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて形成することができる。導電膜832及び導電膜833、並びに導電膜834は、単層構造としてもよいし、積層構造としてもよい。

[0139]

ゲート絶縁膜831には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜831は上記材料の積層であってもよい。

[0140]

なお図12(a)では、コプレナー型のトランジスタ構造について示したが、図12(b)に示すトランジスタ801のように、スタガ(staggered)型のトランジスタ構造とすることもできる。

[0141]

図12（b）においてトランジスタ801は、基板820上に、ソース電極またはドレイン電極として機能する導電膜832及び導電膜833と、導電膜832及び導電膜833上の、酸化物半導体を含む半導体膜830と、半導体膜830、導電膜832及び導電膜833上のゲート絶縁膜831と、ゲート絶縁膜831上に位置し、導電膜832と導電膜833の間において半導体膜830と重なっているゲート電極として機能する導電膜834と、を有する。

[0142]

なお上記実施の形態で説明したバックゲート電極を設けるトランジスタの場合には、図12（a）及び図12（b）に示す構造に対して各々図12（c）及び図12（d）に示す構造とすればよい。具体的には、酸化物半導体を含む半導体膜830に重畳する位置における基板820側に、絶縁膜891を介してバックゲート電極として機能する導電膜892を設け、導電膜834とは別の電位を印加する構成とすればよい。

[0143]

なお図12（a）のトランジスタ構造をFIN型のトランジスタ構造とする場合には、図13（a）及び図13（b）に示す上面図及び断面図に示す構造とすればよい。図13（b）は、図13（a）における一点鎖線L1－L2、及び一点鎖線W1－W2での断面図である。

[0144]

図13（a）及び図13（b）に示すトランジスタ800FINは、基板820上に、酸化物半導体を含む半導体膜830と、酸化物半導体を含む半導体膜830上のソース電極またはドレイン電極として機能する導電膜832及び導電膜833と、半導体膜830、導電膜832及び導電膜833上のゲート絶縁膜831と、ゲート絶縁膜831上に位置し、導電膜832と導電膜833の間において半導体膜830と重なっているゲート電極として機能する導電膜834と、を有する。

[0145]

なお絶縁膜891については、ゲート絶縁膜831で列挙した材料を選択して用いればよい。また導電膜892については、導電膜832及び導電膜833、並びに導電膜834で列挙した材料を選択して用いればよい。

[0146]

また、半導体膜830は、単膜の酸化物半導体で構成されているとは限らず、積層された複数の酸化物半導体で構成されていても良い。例えば半導体膜830が、3層に積層されて構成されている場合のトランジスタ800の構成例を、図14（a）、（b）に示す。

[0147]

図14（a）に示すトランジスタ802は、基板820の上に設けられた半導体膜830と、半導体膜830と電気的に接続されている導電膜832、及び導電膜833と、ゲート絶縁膜831と、ゲート絶縁膜831上に半導体膜830と重畳するように設けられたゲート電極として機能する導電膜834と、を有する。

[0148]

そして、トランジスタ802では、半導体膜830として、酸化物半導体膜830a乃至酸化物半導体膜830cが、基板820側から順に積層されている。

[0149]

そして、酸化物半導体膜830a及び酸化物半導体膜830cは、酸化物半導体膜830bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜830bよりも0．05eV以上、0．07eV以上、0．1eV以上または0．15eV以上、かつ2eV以下、1eV以下、0．5eV以下または0．4eV以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜830bは、少なくともインジウム

を含むと、キャリア移動度が高くなるため好ましい。

[0150]

なお酸化物半導体膜830cは、図14(b)に示すトランジスタ803のように、導電膜832及び導電膜833の上層でゲート絶縁膜831と重畳させて設ける構成としてもよい。

[0151]

また、基板820上に設けるトランジスタの構造としては、図12(a)、(b)に示すトップゲート構造に限らず、ボトムゲート構造のトランジスタとすることもできる。図15(a)では、一例として、逆コプレナー(inverted coplanar)型のトランジスタ構造について示している。

[0152]

トランジスタ804は、基板820上に、ゲート電極として機能する導電膜834と、導電膜834上のゲート絶縁膜831と、ゲート絶縁膜831上の、ソース電極またはドレイン電極として機能する導電膜832及び導電膜833と、導電膜832及び導電膜833上の半導体膜830と、を有する。

[0153]

なお図15(a)では、逆コプレナー型のトランジスタ構造について示したが、図15(b)に示すトランジスタ805のように、逆スタガ(inverted staggered)型のトランジスタ構造とすることもできる。

[0154]

トランジスタ805は、基板820上に、ゲート電極として機能する導電膜834と、導電膜834上のゲート絶縁膜831と、ゲート絶縁膜831上の、半導体膜830と、半導体膜830上の、ソース電極またはドレイン電極として機能する導電膜832及び導電膜833と、を有する。

[0155]

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

[0156]

(実施の形態4)

本実施の形態では、実施の形態1で説明したアナログ/デジタル変換回路ADCを具備する半導体装置がイメージセンサである構成において、イメージセンサが有する各画素の回路構成及びその動作について、説明する。図20(A)、(B)に、各画素の回路構成を示す。

[0157]

図20(A)に示す回路は、フォトダイオード60、トランジスタ52、トランジスタ54、トランジスタ55およびトランジスタ56を含んだ構成となっている。

[0158]

フォトダイオード60のアノードは配線1316に接続され、カソードはトランジスタ52のソースまたはドレインの一方と接続される。トランジスタ52のソースまたはドレインの他方は電荷蓄積部(FD)と接続され、ゲートは配線1312(TX)と接続される。トランジスタ54のソースまたはドレインの一方は配線1314(GND)と接続され、ソースまたはドレインの他方はトランジスタ56のソースまたはドレインの一方と接続され、ゲートは電荷蓄積部(FD)と接続される。トランジスタ55のソースまたはドレインの一方は電荷蓄積部(FD)と接続され、ソースまたはドレインの他方は配線1317と接続され、ゲートは配線1311(RS)と接続される。トランジスタ56のソースまたはドレインの他方は配線1315(OUT)と接続され、ゲートは配線1313(SE)に接続される。なお、上記接続は全て電気的な接続とする。

[0159]

なお、配線1314には、GND、VSS、VDDなどの電位が供給されていてもよい。ここで、電位や電圧は相対的なものである。そのため、GNDの電位の大きさは、必ずしも、0ボルトであるとは限らないものとする。

[0160]

フォトダイオード60は受光素子であり、画素回路に入射した光に応じた電流を生成する機能を有することができる。トランジスタ52は、フォトダイオード60による電荷蓄積部(FD)への電荷蓄積を制御する機能を有することができる。トランジスタ54は、電荷蓄積部(FD)の電位に応じた信号を出力する動作を行う機能を有することができる。トランジスタ56は、電荷蓄積部(FD)の電位のリセットする動作を行う機能を有することができる。トランジスタ56は、読み出し時に画素回路の選択を制御する動作を行う機能を有することができる。

[0161]

なお、電荷蓄積部(FD)は、電荷保持ノードであり、フォトダイオード60が受ける光の量に応じて変化する電荷を保持する。

[0162]

なお、トランジスタ54とトランジスタ55とは、配線1315と配線1314との間で、直列接続されていればよい。したがって、配線1314、トランジスタ54、トランジスタ55、配線1315の順で並んでもよいし、配線1314、トランジスタ55、トランジスタ54、配線1315の順で並んでもよい。

[0163]

配線1311(RS)は、トランジスタ55を制御するための信号線としての機能を有することができる。配線1312(TX)は、トランジスタ52を制御するための信号線としての機能を有することができる。配線1313(SE)は、トランジスタ56を制御するための信号線としての機能を有することができる。配線1314(GND)は、基準電位(例えばGND)を設定する信号線としての機能を有することができる。配線1315(OUT)は、トランジスタ54から出力される信号を読み出すための信号線としての機能を有することができる。配線1316はフォトダイオード60を介して電荷蓄積部(FD)に電荷を供給するための信号線としての機能を有することができ、図20(A)の回路においては低電位線である。また、配線1317は電荷蓄積部(FD)の電位をリセットするための信号線としての機能を有することができ、図20(A)の回路においては高電位線である。

[0164]

また、各画素の回路構成は、図20(B)に示す構成であってもよい。図20(B)に示す回路は、図20(A)に示す回路と構成要素は同じであるが、フォトダイオード60のアノードがトランジスタ52のソースまたはドレインの一方と電気的に接続され、フォトダイオード60のカソードが配線1316と電気的に接続される点で異なる。この場合、配線1316はフォトダイオード60を介して電荷蓄積部(FD)に電荷を供給するための信号線としての機能を有し、図20(B)の回路においては高電位線となる。また、配線1317は低電位線となる。

[0165]

次に、図20(A)、(B)に示す各素子の構成について説明する。

[0166]

フォトダイオード60には、シリコン基板においてpn型やpin型の接合が形成された素子を用いることができる。

[0167]

トランジスタ52、トランジスタ54、トランジスタ55、およびトランジスタ56は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、酸化物半

導体を用いたトランジスタで形成することが好ましい。酸化物半導体でチャネル形成領域を形成したトランジスタは、極めてオフ電流が低い特性を示す特徴を有している。

[0168]

特に、電荷蓄積部(FD)と接続されているトランジスタ52およびトランジスタ55のリーク電流が大きいと、電荷蓄積部(FD)に蓄積された電荷が保持できる時間が十分でなくなる。したがって、少なくとも当該二つのトランジスタに酸化物半導体を用いたトランジスタを使用することで、電荷蓄積部(FD)からの不要な電荷の流出を防止することができる。

[0169]

また、トランジスタ54およびトランジスタ56においても、リーク電流が大きいと、配線1314または配線1315に不必要な電荷の出力が起こるため、これらのトランジスタとして、酸化物半導体でチャネル形成領域を形成したトランジスタを用いることが好ましい。

[0170]

図20(A)の回路の動作の一例について図21(A)に示すタイミングチャートを用いて説明する。

[0171]

図21(A)では簡易に説明するため、各配線の電位は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。なお、図に示す信号1701は配線1311(RS)の電位、信号1702は配線1312(TX)の電位、信号1703は配線1313(SE)の電位、信号1704は電荷蓄積部(FD)の電位、信号1705は配線1315(OUT)の電位に相当する。なお、配線1316の電位は常時"Low"、配線1317の電位は常時"High"とする。

[0172]

時刻Aにおいて、配線1311の電位(信号1701)を"High"、配線1312の電位(信号1702)を"High"とすると、電荷蓄積部(FD)の電位(信号1704)は配線1317の電位("High")に初期化され、リセット動作が開始される。なお、配線1315の電位(信号1705)は、"High"にプリチャージしておく。

[0173]

時刻Bにおいて、配線1311の電位(信号1701)を"Low"とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード60には逆方向バイアスが印加されるため、逆方向電流により、配電荷蓄積部(FD)(信号1704)が低下し始める。フォトダイオード60は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて電荷蓄積部(FD)の電位(信号1704)の低下速度は変化する。すなわち、フォトダイオード60に照射する光の量に応じて、トランジスタ54のソースとドレイン間のチャネル抵抗が変化する。

[0174]

時刻Cにおいて、配線1312の電位(信号1702)を"Low"とすると蓄積動作が終了し、電荷蓄積部(FD)の電位(信号1704)は一定となる。ここで、当該電位は、蓄積動作中にフォトダイオード60が生成した電荷量により決まる。すなわち、フォトダイオード60に照射されていた光の量に応じて変化する。また、トランジスタ52およびトランジスタ55は、酸化膜半導体層でチャネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作(読み出し動作)を行うまで、電荷蓄積部(FD)の電位を一定に保つことが可能である。

[0175]

なお、配線1312の電位(信号1702)を"Low"とする際に、配線1312と電荷蓄積部(FD)との間における

寄生容量により、電荷蓄積部（FD）の電位に変化が生じることがある。当該電位の変化量が大きい場合は、蓄積動作中にフォトダイオード60が生成した電荷量を正確に取得できないことになる。当該電位の変化量を低減するには、トランジスタ52のゲート－ソース（もしくはゲート－ドレイン）間容量を低減する、トランジスタ54のゲート容量を増大する、電荷蓄積部（FD）に保持容量を設ける、などの対策が有効である。なお、本実施の形態では、これらの対策により当該電位の変化を無視できるものとしている。

[0176]

時刻Dに、配線1313の電位（信号1703）を"High"にすると、トランジスタ56が導通して選択動作が開始され、配線1314と配線1315が、トランジスタ54とトランジスタ55とを介して導通する。そして、配線1315の電位（信号1705）は、低下していく。なお、配線1315のプリチャージは、時刻D以前に終了しておけばよい。ここで、配線1315の電位（信号1705）が低下する速さは、トランジスタ54のソースとドレイン間の電流に依存する。すなわち、蓄積動作中にフォトダイオード60に照射されている光の量に応じて変化する。

[0177]

時刻Eにおいて、配線1313の電位（信号1703）を"Low"にすると、トランジスタ56が遮断されて選択動作は終了し、配線1315の電位（信号1705）は、一定値となる。ここで、一定値となる値は、フォトダイオード60に照射されていた光の量に応じて変化する。したがって、配線1315の電位を取得することで、蓄積動作中にフォトダイオード60に照射されていた光の量を知ることができる。

[0178]

より具体的には、フォトダイオード60に照射されている光が強いと、電荷蓄積部（FD）の電位、すなわちトランジスタ54のゲート電圧は低下する。そのため、トランジスタ54のソース－ドレイン間に流れる電流は小さくなり、配線1315の電位（信号1705）はゆっくりと低下する。したがって、配線1315からは比較的高い電位を読み出すことができる。

[0179]

逆に、フォトダイオード60に照射されている光が弱いと、電荷蓄積部（FD）の電位、すなわち、トランジスタ54のゲート電圧は高くなる。そのため、トランジスタ54のソース－ドレイン間に流れる電流は大きくなり、配線1315の電位（信号1705）は速く低下する。したがって、配線1315からは比較的低い電位を読み出すことができる。

[0180]

次に、図20（B）の回路の動作の例について図21（B）に示すタイミングチャートを用いて説明する。なお、配線1316の電位は常時"High"、配線1317の電位は常時"Low"とする。

[0181]

時刻Aにおいて、配線1311の電位（信号1701）を"High"、配線1312の電位（信号1702）を"High"とすると、電荷蓄積部（FD）の電位（信号1704）は配線1317の電位（"Low"）に初期化され、リセット動作が開始される。なお、配線1315の電位（信号1705）は、"High"にプリチャージしておく。

[0182]

時刻Bにおいて、配線1311の電位（信号1701）を"Low"とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード60には逆方向バイアスが印加されるため、逆方向電流により、電荷蓄積部（FD）の電位（信号1704）が上昇し始める。

[0183]

時刻C以降の動作は、図21（A）のタイミングチャートの説明を参照することができ、時刻Eにおいて、配線1

315の電位を取得することで、蓄積動作中にフォトダイオード60に照射されていた光の量を知ることができる。

[0184]

本実施の形態で示したイメージセンサの読み出し回路として、先の実施の形態で説明したアナログ／デジタル変換回路ADCを用いることができる。本実施の形態において、配線1313（SE）の電位に対応する信号1703が"High"の間に、先の実施の形態で説明した一連のアナログ／デジタル変換回路ADCの動作を行うことができる。

[0185]

本実施の形態の構成により、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れたイメージセンサが実現される。

[0186]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[0187]

（実施の形態5）

本実施の形態では、実施の形態1で説明したアナログ／デジタル変換回路ADCを具備する半導体装置がイメージセンサである構成において、イメージセンサが有する各画素の回路構成、及びその動作について説明する。

[0188]

本実施の形態では、イメージセンサが有する1つの画素1111を複数の副画素1112で構成し、それぞれの副画素1112に特定の波長帯域の光を透過するフィルタ（カラーフィルタ）を組み合わせることで、カラー画像表示を実現するための情報を取得することができる構成について、説明する。

[0189]

[画素1111の構成例]

図22（A）は、カラー画像を取得するための画素1111の一例を示す平面図である。図22（A）に示す画素1111は、赤（R）の波長帯域を透過するカラーフィルタが設けられた副画素1112（以下、「副画素1112R」ともいう）、緑（G）の波長帯域を透過するカラーフィルタが設けられた副画素1112（以下、「副画素1112G」ともいう）及び青（B）の波長帯域を透過するカラーフィルタが設けられた副画素1112（以下、「副画素1112B」ともいう）を有する。副画素1112は、フォトセンサとして機能できる。

[0190]

副画素1112（副画素1112R、副画素1112G、及び副画素1112B）は、配線131、配線141、配線144、配線146、配線135と電気的に接続される。また、副画素1112R、副画素1112G、及び副画素1112Bは、それぞれが独立した配線137に接続している。また、本明細書等において、例えばn行目の画素1111に接続された配線144及び配線146を、それぞれ配線144[n]及び配線146[n]と記載する。また、例えばm列目の画素1111に接続された配線137を、配線137[m]と記載する。なお、図22（A）において、m列目の画素1111が有する副画素1112Rに接続する配線137を[m]R、副画素1112Gに接続する配線137を配線137[m]G、及び副画素1112Bに接続する配線137を配線137[m]Bと記載している。副画素1112は、上記配線を介して周辺回路と電気的に接続される。

[0191]

また、本実施の形態に示すイメージセンサは、隣接する画素1111の、同じ波長帯域を透過するカラーフィ

ルタが設けられた副画素1112がスイッチを介して接続する構成を有する。図22(B)に、n行(nは1以上p以下の自然数)m列(mは1以上q以下の自然数)に配置された画素1111が有する副画素1112と、該画素に隣接するn+1行m列に配置された画素1111が有する副画素1112の接続例を示す。図22(B)において、n行m列に配置された副画素1112Rと、n+1行m列に配置された副画素1112Rがスイッチ201を介して接続されている。また、n行m列に配置された副画素1112Gと、n+1行m列に配置された副画素1112Gがスイッチ202を介して接続されている。また、n行m列に配置された副画素1112Bと、n+1行m列に配置された副画素1112Bがスイッチ203を介して接続されている。

[0192]

なお、副画素1112に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)及びマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素1111に3種類の異なる波長帯域の光を検出する副画素1112を設けることで、フルカラー画像を取得することができる。

[0193]

また、例えば、図22(A)において、赤の波長帯域を検出する副画素1112、緑の波長帯域を検出する副画素1112、および青の波長帯域を検出する副画素1112の画素数比(または受光面積比)は、必ずしも1:1:1である必要は無い。画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。また、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

[0194]

なお、画素1111に設ける副画素1112は1つでもよいが、2つ以上が好ましい。例えば、同じ波長帯域を検出する副画素1112を2つ以上設けることで、冗長性を高め、イメージセンサの信頼性を高めることができる。

[0195]

また、フィルタとして可視光の波長以下の波長を有する光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出するイメージセンサを実現することができる。また、フィルタとして可視光の波長以上の波長を有する光を吸収または反射して、紫外光を透過するUV(UV:Ultra Violet)フィルタを用いることで、紫外光を検出するイメージセンサを実現することができる。また、フィルタとして、放射線を紫外光や可視光に変換するシンチレータを用いることで、イメージセンサをX線やγ線などを検出する放射線検出器として機能させることもできる。

[0196]

また、フィルタ602としてND(ND:Neutral Density)フィルター(減光フィルター)を用いると、光電変換素子(受光素子)に多大な光量の光が入射した時に生じる、出力が飽和する現象(以下、「出力飽和」ともいう。)を防ぐことができる。減光量の異なるNDフィルタを組み合わせて用いることで、撮像装置のダイナミックレンジを大きくすることができる。

[0197]

[副画素1112の回路構成例]

次に、図23の回路図を用いて、副画素1112の具体的な回路構成例について説明する。図23に、n行目の画素1111が有する副画素1112[n]と、n+1行目の画素1111が有する副画素1112[n+1]が、トランジスタ129を介して電気的に接続する回路構成例を示す。トランジスタ129は、スイッチ201、スイッチ202、またはスイッチ203として機能できる。

[0198]

具体的には、n行目の画素1111が有する副画素1112[n]は、フォトダイオードPD[n](光電変換素子)、トランジスタ121、トランジスタ123、およびトランジスタ124を含んで構成される。また、n+1行目の画素1111が有する副画素1112[n+1]は、フォトダイオードPD[n+1]、トランジスタ125、トランジスタ127、およびトランジスタ128を含んで構成される。

[0199]

本実施の形態では、トランジスタ121乃至トランジスタ129としてnチャネル型のトランジスタを用いる場合を例示する。よって、トランジスタ121乃至トランジスタ129では、ゲートに供給される信号がH電位の時にソースとドレインとの間が導通状態(オン状態)となり、L電位の時に非導通状態(オフ状態)となる。

[0200]

ただし、本発明の一態様はこれに限定されず、トランジスタ121乃至トランジスタ129としてpチャネル型のトランジスタを用いることもできる。また、nチャネル型のトランジスタとpチャネル型のトランジスタを適宜組み合わせて用いることもできる。

[0201]

図23の回路図において、フォトダイオードPD[n]のアノードまたはカソードの一方は、電位VPを供給可能な配線131と電気的に接続される。また、フォトダイオードPD[n]のアノードまたはカソードの他方と、トランジスタ121のソースまたはドレインの一方と、トランジスタ122のソースまたはドレインの一方は、ノードND[n]に電気的に接続される。また、トランジスタ122のソースまたはドレインの他方は、電位VRを供給可能な配線133と電気的に接続され、トランジスタ122のゲートは電位PRを供給可能な配線141と電気的に接続される。また、トランジスタ121のソースまたはドレインの他方とトランジスタ123のゲートは、ノードFD[n]に電気的に接続され、トランジスタ121のゲートは電位TXを供給可能な配線144[n]と電気的に接続される。また、トランジスタ123のソースまたはドレインの一方は、電位VOを供給可能な配線135に電気的に接続され、トランジスタ123のソースまたはドレインの他方は、トランジスタ124のソースまたはドレインの一方と電気的に接続される。また、トランジスタ124のソースまたはドレインの他方は、配線137[m]と電気的に接続され、トランジスタ124のゲートは電位SELを供給可能な配線146[n]と電気的に接続される。また、トランジスタ129のソースまたはドレインの一方は、ノードND[n]に電気的に接続され、トランジスタ129のゲートは電位PAを供給可能な配線142と電気的に接続される。

[0202]

また、フォトダイオードPD[n+1]のアノードまたはカソードの一方は、電位VPを供給可能な配線131と電気的に接続される。また、フォトダイオードPD[n+1]のアノードまたはカソードの他方と、トランジスタ125のソースまたはドレインの一方と、トランジスタ126のソースまたはドレインの一方は、ノードND[n+1]に電気的に接続される。また、トランジスタ126のソースまたはドレインの他方は、電位VRを供給可能な配線133と電気的に接続され、トランジスタ126のゲートは電位PRを供給可能な配線137[m]と電気的に接続される。また、トランジスタ125のソースまたはドレインの他方とトランジスタ127のゲートは、ノードFD[n+1]に電気的に接続され、トランジスタ125のゲートは電位TXを供給可能な配線144[n+1]と電気的に接続される。また、トランジスタ127のソースまたはドレインの一方は、電位VOを供給可能な配線136に電気的に接続され、トランジスタ127のソースまたはドレインの他方は、トランジスタ128のソースまたはドレインの一方と電気的に接続される。また、トランジスタ128のソースまたはドレインの他方は、配線137[m]と電気的に接続され、トランジスタ128のゲートは電位SELを供給可能な配線146[n+1]と電気的に接続される。また、トランジスタ129のソースまたはドレインの他方は、ノードND[n+1]に電気的に接続される。

[0203]

また、図23では配線131及び配線132を分けて記載しているが、1本の共通配線としてもよい。また、図23では配線141及び配線143を分けて記載しているが、1本の共通配線としてもよい。また、図23では配線135及び配線136を分けて記載しているが、1本の共通配線としてもよい。

[0204]

＜動作例＞

次に、図24を用いて、イメージセンサをグローバルシャッタ方式で行う撮像動作の一例を説明する。全ての副画素1112において、リセット動作及び蓄積動作を一括で行い、読み出し動作を順次行うことで、グローバルシャッタ方式による撮像を行うことができる。ここでは、副画素1112の動作例を、副画素1112[n]及び副画素1112[n＋1]を用いて説明する。

[0205]

図24は副画素1112の動作を説明するタイミングチャートである。なお、本実施の形態に示すタイミングチャートでは、駆動方法を分かりやすく説明するため、前述した配線およびノードには、特に明示する場合を除いてH電位またはL電位が与えられるものとする。

[0206]

グローバルシャッタ方式を用いることで、全ての画素1111の蓄積動作を同一期間内に行うことができる。したがって、ローリングシャッタ方式を用いた場合のように、蓄積動作を行う期間が異なることによる撮像画像の歪みが生じない。なお、グローバルシャッタ方式を用いた場合のフレーム間隔を期間2301として図24に示す。期間2301は、リセット動作、蓄積動作、全行の画素の読み出し動作に要する時間の和となる。

[0207]

本動作例では、電位PAをL電位として、トランジスタ129をオフ状態とした場合の撮像動作について説明する。電位PAをL電位とすることで、副画素1112[n]及び副画素1112[n＋1]をそれぞれ独立して動作させることができる。また、電位VRをH電位とし、電位VPおよび電位VOをL電位とする。また、電位SEL[n]および電位SEL[n＋1]をL電位とする。

[0208]

[リセット動作]

まず、時刻S1において、電位PR、および電位TXの電位をH電位とする。すると、トランジスタ121、トランジスタ122がオン状態となり、ノードND[n]、およびノードFD[n]がH電位となる。また、トランジスタ125、トランジスタ126がオン状態となり、ノードND[n＋1]、およびノードFD[n＋1]がH電位となる。この動作により、ノードFD[n]およびノードFD[n＋1]に保持されている電荷量がリセットされる。時刻S1乃至時刻S2までの期間を「リセット期間」ともいう。また、リセット期間中の動作を「リセット動作」ともいう。

[0209]

なお、図示していないが、リセット期間においてイメージセンサが有する全てのノードFD[n]およびノードFD[n＋1]がリセットされる。

[0210]

[蓄積動作]

次いで、時刻S2において、電位PRをL電位とする。電位TXはH電位のままとする。また、時刻S2において、フォトダイオードPD[n]およびフォトダイオードPD[n＋1]には、逆方向バイアスが印加されている。フォトダイオードPD[n]およびフォトダイオードPD[n＋1]に逆方向バイアスが印加されている状態で、フォトダイオ

ードPD[n]およびフォトダイオードPD[n＋1]に光が入射すると、フォトダイオードPD[n]およびフォトダイオードPD[n＋1]が有する電極の他方から一方に向かって電流が流れる。この時の電流量は光の強度に従って変化する。すなわち、フォトダイオードPD[n]およびフォトダイオードPD[n＋1]に入射する光の強度が高いほど上記電流量は多くなり、ノードFD[n]およびノードFD[n＋1]からの電荷の流出も多くなる。逆に、フォトダイオードPD[n]およびフォトダイオードPD[n＋1]に入射する光の強度が低いほど上記電流量は少なくなり、フォトダイオードPD[n]およびフォトダイオードPD[n＋1]からの電荷の流出も少なくなる。よって、ノードFD[n]およびノードFD[n＋1]の電位は、光の強度が高いほど変化が大きく、光の強度が低いほど変化が小さい。

[0211]

次いで、時刻S3において、電位TXをL電位とする。すると、トランジスタ121及びトランジスタ125はオフ状態となる。トランジスタ121及びトランジスタ125をオフ状態とすることで、ノードFD[n]およびノードFD[n＋1]からフォトダイオード207への電荷の移動が止まり、ノードFD[n]およびノードFD[n＋1]の電位が決定される。時刻S2乃至時刻S3までの期間を「露光期間」ともいう。本動作例における露光期間を期間2311として図24に示す。また、露光期間中の動作を「蓄積動作」ともいう。

[0212]

[読み出し動作]

次いで、時刻S4において、配線146[n]に供給する電位SELをH電位とする。ここでは、nが1の場合（1行目の場合）について説明する。なお、配線146[n]にH電位を供給する直前に、配線137[m]の電位がH電位になるようにプリチャージしておく。配線146[n]に供給する電位SELをH電位とすると、トランジスタ124がオン状態となり、ノードFD[n]の電位に応じた速度で配線137[m]の電位が低下する。時刻S5において配線146[n]に供給する電位SELをL電位とすると、トランジスタ124がオフ状態となり、配線137[m]の電位が決定される。この時の配線137[m]の電位を測定することで、副画素1112[n]の受光量を算出することができる。

[0213]

次に、時刻S5において、配線146[n＋1]（ここでは、2行目の配線146）に供給する電位SELをH電位とする。なお、配線146[n＋1]に供給する電位をH電位とする直前に、配線137[m]の電位がH電位になるようにプリチャージしておく。配線146[n＋1]に供給する電位SELをH電位とすると、トランジスタ128がオン状態となり、ノードFD[n＋1]の電位に応じた速度で配線137[m]の電位が低下する。時刻S6において配線146[n＋1]に供給する電位SELをL電位とすると、トランジスタ128がオフ状態となり、配線137[m]の電位が決定される。この時の配線137[m]の電位を測定することで、副画素1112[n＋1]の受光量を算出することができる。

[0214]

このようにして、時刻S6の後も、3行目から順に配線137[m]の電位を測定することで、n行目及びn＋1行目の配線137[m]の電位を取得することができる。1行目乃至p行目の配線137[m]の電位を測定することによって、イメージセンサが有する画素1111それぞれの受光量を取得することができる。すなわち、イメージセンサにより撮像された被写体の画像データを取得することができる。例えば、時刻S4乃至時刻S5までの期間など、各行毎に受光量を取得する期間を「読み出し期間」ともいう。また、読み出し期間中の動作を「読み出し動作」ともいう。なお、読み出し動作を行うタイミングは適宜決めることができる。なお、n行目に接続された、1列目からq列目の配線137の電位の測定は、1列目から順に行ってもよいし、1列目からq

列目までを同時に行ってもよいし、複数列単位で行ってもよい。

[0215]

本実施の形態で示したイメージセンサの読み出し回路として、先の実施の形態で説明したアナログ／デジタル変換回路ADCを用いることができる。本実施の形態において、配線146[n]又は配線146[n＋1]に供給する電位SELがH電位の間に、先の実施の形態で説明した一連のアナログ／デジタル変換回路ADCの動作を行うことができる。

[0216]

なお、グローバルシャッタ方式では、リセット動作及び蓄積動作を全画素で一斉に行うため、全ての列の画素において、一斉に電位TX及び電位PRの電位を変化させればよい。

[0217]

蓄積動作が終了してから読み出し動作が開始されるまでの期間は、各行の画素のノードFDに電荷が保持されるため、当該期間を電荷保持期間ともいう。グローバルシャッタ方式では、リセット動作と蓄積動作を全画素で一斉に行うため、露光期間が終了するタイミングは全画素で同じとなる。しかし、各行の画素について順次読み出し動作を行うため、電荷保持期間が各行の画素によって異なる。例えば、1行目の画素の電荷保持期間は、時刻S3からS4までの期間であるが、2行目の画素の電荷保持期間は、時刻S3から時刻S5までの期間である。このように、読み出し動作は各行毎に行うため、読み出し期間が開始されるタイミングは各行毎に異なる。よって、最終行の画素における電荷保持期間が最長となる。

[0218]

階調数が画一的な画像を撮像すると、理想的には全ての画素において同じ高さの電位を有する出力信号が得られる。しかし、電荷保持期間の長さが行毎に異なる場合、各行の画素のノードFDに蓄積されている電荷が時間の経過と共にリークしてしまうと、画素の出力信号の電位が行毎に異なってしまい、行毎にその階調数が変化した画像データが得られてしまう。

[0219]

そこで、トランジスタ121及びトランジスタ125にオフ電流が著しく低いトランジスタを用いることが好ましい。トランジスタ121及びトランジスタ125にオフ電流が著しく低いトランジスタを用いることで、グローバルシャッタ方式を用いて撮像を行っても、電荷保持期間が異なることに起因するノードFD[n]及びノードFD[n＋1]の電位変化を小さく抑えることができる。すなわち、グローバルシャッタ方式を用いて撮像を行っても、電荷保持期間が異なることに起因する画像データの階調の変化を小さく抑え、撮像された画像の品質を向上させることができる。

[0220]

図23に示した回路構成を用いて、グローバルシャッタ方式を用いて撮像動作を行う場合、n行目の画像データと、n＋1行目の画像データが混合する可能性がある。よって、トランジスタ129にオフ電流が著しく低いトランジスタを用いることが好ましい。トランジスタ129にオフ電流が著しく低いトランジスタを用いることによって、当該画像データの混合を抑制できる。

[0221]

本発明の一態様によれば、撮像された画像の品質を向上することができる。

[0222]

本実施の形態の構成により、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れたイメージセンサが実現される。

[0223]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[0224]

(実施の形態6)

本実施の形態では、実施の形態1で説明したアナログ／デジタル変換回路ADCを具備する半導体装置がメモリセルを有する構成において、メモリセルの回路構成及びその動作について、図25を参照して説明する。

[0225]

なお、半導体装置とは、半導体素子を有する装置のことをいう。なお、半導体装置は、半導体素子を含む回路を駆動させる駆動回路等を含む。なお、半導体装置は、メモリセルの他、別の基板上に配置された駆動回路、電源回路等を含む場合がある。

[0226]

図25(a)は、メモリセル3100の一例を示す回路図である。

[0227]

図25(a)に示すメモリセル3100では、トランジスタ3111と、トランジスタ3112と、容量素子3114と、を示している。なおメモリセル3100は、図25(a)では、図示を省略しているが、実際にはマトリクス状に複数設けられている。

[0228]

トランジスタ3111は、ゲートに、書き込みワード線WWLが接続される。また、トランジスタ3111は、ソース及びドレインの一方に、ビット線BLが接続される。また、トランジスタ3111は、ソース及びドレインの他方に、フローティングノードFNが接続される。

[0229]

トランジスタ3112は、ゲートに、フローティングノードFNが接続される。また、トランジスタ3112は、ソース及びドレインの一方に、ビット線BLが接続される。また、トランジスタ3112は、ソース及びドレインの他方に、電源線SLが接続される。

[0230]

容量素子3114は、一方の電極に、フローティングノードFNが接続される。また、容量素子3114は、他方の電極に、読み出しワード線RWLが接続される。

[0231]

書き込みワード線WWLには、ワード信号が与えられる。

[0232]

ワード信号は、ビット線BLの電圧をフローティングノードFNに与えるために、トランジスタ3111を導通状態とする信号である。

[0233]

なお本明細書において、書き込みワード線WWLに与えられるワード信号を制御することで、フローティングノードFNの電位が、ビット線BLの電圧に応じた電位となることを、メモリセルにデータを書き込む、という。また、読み出しワード線RWLに与えられる読み出し信号を制御することで、ビット線BLの電圧が、フローティングノードFNの電位に応じた電圧となることを、メモリセルからのデータを読み出す、という。

[0234]

ビット線BLには、多値のデータが与えられる。またビット線BLには、データを読み出すための、プリチャージ電圧$V_{precharge}$及び初期化電圧$V_{initial}$が与えられる。

[0235]

多値のデータは、kビット（kは2以上の自然数）のデータである。具体的には、2ビットのデータであれば4値のデータであり、4段階の電圧のいずれか一を有する信号である。

[0236]

プリチャージ電圧$V_{precharge}$は、データを読み出すために、ビット線BLに与えられる電圧である。また、プリチャージ電圧$V_{precharge}$が与えられた後、ビット線BLは電気的に浮遊状態となる。

[0237]

なお本明細書において電気的に浮遊状態とは、信号を与える配線、あるいは電位を与える配線と電気的に接続しておらず、絶縁している状態のことである。

[0238]

初期化電圧$V_{initial}$は、ビット線BLの電圧を初期化するために、与えられる電圧である。

[0239]

読み出しワード線RWLには、読み出し信号が与えられる。

[0240]

読み出し信号は、メモリセルからデータを選択的に読み出すために、容量素子3114の他方の電極に与えられる信号である。

[0241]

フローティングノードFNは、容量素子3114の一方の電極、トランジスタ3111のソース及びドレインの他方の電極、及びトランジスタ3112のゲートを接続する配線上のいずれかのノードに相当する。

[0242]

なお本明細書において、ノードとは、素子間を電気的に接続するために設けられる配線上のいずれかの箇所のことである。

[0243]

なおフローティングノードFNの電位は、ビット線BLに与えられる、多値のデータに基づく電位である。また、フローティングノードFNは、トランジスタ3111を非導通状態とすることで、電気的に浮遊状態である。そのため、読み出しワード線RWLに与えられる読み出し信号の電圧を変化させた場合、フローティングノードFNの電位は、元の電位に読み出し信号の電圧の変化分が加わった電位となる。この電位の変化は、読み出しワード線RWLに与えられる読み出し信号が変化することで生じる、容量素子3114の容量結合によるものである。

[0244]

電源線SLには、ビット線BLに与えられるプリチャージ電圧$V_{precharge}$よりも低いディスチャージ電圧$V_{discharge}$が与えられる。

[0245]

電源線SLに与えられるディスチャージ電圧$V_{discharge}$は、ビット線BLに与えられるプリチャージ電圧$V_{precharge}$を、トランジスタ3112を介した放電により変化させる電圧である。

[0246]

トランジスタ3111は、導通状態と非導通状態とを切り換えることで、データの書き込みを制御するスイッチ

としての機能を有する。また、非導通状態を保持することで、書き込んだデータに基づく電位を保持する機能を有する。なおトランジスタ3111は、第1のトランジスタともいう。また、トランジスタ3111は、nチャネル型のトランジスタとして、説明を行うものとする。

[0247]

なおトランジスタ3111は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を10Vとし、チャネル幅1μmあたりの規格化されたオフ電流が10zA以下であることをいう。このようにオフ電流が少ないトランジスタとしては、半導体層に酸化物半導体を有するトランジスタが挙げられる。

[0248]

図25（a）に示すメモリセル3100の構成では、非導通状態を保持することで、書き込んだデータに基づく電位を保持している。そのため、フローティングノードFNでの電荷の移動を伴った電位の変動を抑えるスイッチとして、オフ電流が少ないトランジスタが用いられることが特に好ましい。

[0249]

トランジスタ3111は、オフ電流が少ないトランジスタとし、非導通状態を保持することで、メモリセル3100を不揮発性のメモリとすることができる。よって、一旦、メモリセル3100に書き込まれたデータは、再度、トランジスタ3111を導通状態とするまで、フローティングノードFNに保持し続けることができる。

[0250]

トランジスタ3112は、フローティングノードFNの電位に従って、ソースとドレインとの間に電流Idを流す機能を有する。なお、図25（a）に示すメモリセル3100の構成で、トランジスタ3112のソースとドレインとの間に流れる電流Idは、ビット線BLと電源線SLとの間に流れる電流である。なおトランジスタ3112は、第2のトランジスタともいう。また、トランジスタ3112は、pチャネル型のトランジスタとして、説明を行うものとする。

[0251]

なおトランジスタ3112には、閾値電圧のばらつきの小さいトランジスタが用いられることが好ましい。ここで、閾値電圧のばらつきが小さいトランジスタとは、トランジスタが同一プロセスで作製される際に、許容される閾値電圧の差が20mV以内で形成されうるトランジスタのことをいう。具体的には、チャネルが単結晶シリコンで形成されているトランジスタが挙げられる。言うまでもなく、閾値電圧のばらつきは小さければ小さいほど好ましいが、前述したチャネルが単結晶シリコンで形成されているトランジスタであっても、閾値電圧の差が20mV程度残りうる。

[0252]

次いで、図25（a）に示すメモリセル3100の動作を説明し、本実施の形態の構成とすることによる作用及び効果について説明する。

[0253]

図25（b）に示すタイミングチャート図は、図25（a）で示した書き込みワード線WWL、読み出しワード線RWL、フローティングノードFN、ビット線BL、及び電源線SLに与えられる各信号の変化について示すものである。

[0254]

図25（b）に示すタイミングチャート図では、初期状態である期間R0、ビット線BLの電位をプリチャージする期間R1、データを読み出すためにビット線BLの放電を行う期間R2、を示している。

[0255]

図25(b)に示す期間R0では、まずビット線BLの電位の初期化を行う。このとき、書き込みワード線WWLは、Lレベルの電位が与えられる。また、読み出しワード線RWLは、Hレベルの電位が与えられる。また、フローティングノードFNは、多値のデータに対応する電位が保持される。またビット線BLは、初期化電圧$V_{initial}$が与えられる。また、電源線SLは、ディスチャージ電圧$V_{discharge}$が与えられる。

[0256]

なお図25(b)では、多値のデータの一例として、2ビットのデータ、すなわち4値のデータを示している。具体的に図25(b)では、4値のデータ(V_{00}、V_{01}、V_{10}、V_{11})を示しており、4段階の電位で表すことができる。

[0257]

次いで図25(b)に示す期間R1では、ビット線BLの電位をプリチャージする。このとき、書き込みワード線WWLは、前の期間に引き続き、Lレベルの電位が与えられる。また、読み出しワード線RWLは、前の期間に引き続き、Hレベルの電位が与えられる。また、フローティングノードFNは、前の期間に引き続き、多値のデータに対応する電位が保持される。またビット線BLは、プリチャージ電圧$V_{precharge}$が与えられる。また、電源線SLは、前の期間に引き続き、プリチャージ電圧$V_{precharge}$よりも低い、Lレベルの電位が与えられる。

[0258]

このとき、ビット線BLは、プリチャージ電圧$V_{precharge}$が与えられた後、電気的に浮遊状態となる。すなわち、ビット線BLは、電荷の充電又は放電により電位の変動が生じる状態となる。この浮遊状態は、ビット線BLに電位を与えるスイッチをオフにすることで実現することができる。

[0259]

次いで図25(b)に示す期間R2では、データを読み出すためにビット線BLの放電を行う。このとき、書き込みワード線WWLは、前の期間に引き続き、Lレベルの電位が与えられる。また、読み出しワード線RWLは、Lレベルの電位が与えられる。また、フローティングノードFNは、多値のデータに対応する電位がそれぞれ低下する。またビット線BLは、プリチャージ電圧$V_{precharge}$がフローティングノードFNの電位に従って低下する。また、電源線SLは、前の期間に引き続き、ディスチャージ電圧$V_{discharge}$が与えられる。

[0260]

読み出しワード線RWLの電位の変化に従って、フローティングノードFNの電位は、低下する。この電位の低下は、フローティングノードFNが電気的に浮遊状態であるためであり、フローティングノードFNに接続された容量素子3114による容量結合により、生じるものである。

[0261]

フローティングノードFNの電位の低下は、トランジスタ3112のゲートの電位の低下でもある。トランジスタ3112は、pチャネル型のトランジスタであり、ゲートの電位の低下に従って、ゲートとソースとの間の電圧(ゲートソース間電圧:Vgs)の絶対値が大きくなる。このVgsの上昇に従ってトランジスタ3112では、ソースとドレインとの間に電流Idが流れる。

[0262]

トランジスタ3112に電流Idが流れることで、ビット線BLの電荷が電源線SLに放電される。トランジスタ3112のソースにあたるビット線BLの電位は、放電により低下する。ビット線BLの電位が低下することで、トランジスタ3112のVgsが徐々に小さくなる。

[0263]

期間R2で流れる電流Idは、Vgsがトランジスタ3112の閾値電圧となる値で流れなくなる。そのため、ビット

線BLは、電位の低下が進行し、トランジスタ3112のVgsが閾値電圧となった時点で放電が完了し、定電位となる。このときのビット線BLの電位は、概ねフローティングノードFNの電位から閾値電圧をひいた値として得られる。

[0264]

つまり放電により変化するビット線BLの電位は、フローティングノードFNの電位の高低を反映した形で得ることができる。この電位の違いaを多値のデータの判定に用いることで、メモリセル3100に書き込まれた多値のデータを読み出すことができる。

[0265]

本実施の形態で示したメモリセルの読み出し回路として、先の実施の形態で説明したアナログ／デジタル変換回路ADCを用いることができる。本実施の形態において、配線RWLに供給する電位がL電位の間（期間R2）に、先の実施の形態で説明した一連のアナログ／デジタル変換回路ADCの動作を行うことができる。

[0266]

本実施の形態の構成によると、データを読み出すための信号を多値のデータの数に応じて切り換えることなく、メモリセルからの多値のデータの読み出しを行うことができる。

[0267]

本実施の形態の構成により、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れた半導体装置が実現される。また、メモリの読み出し回路として用いる場合、メモリセルからのデータ読み出しは1度で済むため、繰り返しの読み出しの必要はなく、短時間で済むので、消費電力の低減に有効である。

[0268]

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0269]

（実施の形態7）

本実施の形態では、上述の実施の形態で説明したアナログ／デジタル変換回路を具備する半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図16、図17を用いて説明する。

[0270]

図16（a）では上述の実施の形態で説明したアナログ／デジタル変換回路を具備する半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、またはIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

[0271]

上記実施の形態3の図12乃至図15に示すようなトランジスタで構成されるアナログ／デジタル変換回路を具備する半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

[0272]

後工程については、図16（a）に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップS1）した後、基板の裏面を研削する（ステップS2）。この段階で基板を薄

膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

[0273]

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

[0274]

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電気的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0275]

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減させることができ、また水分や埃による特性の劣化を低減することができる。

[0276]

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップS6)。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

[0277]

次いでパッケージの表面に印字処理(マーキング)を施す(ステップS7)。そして最終的な検査工程(ステップS8)を経て電子部品が完成する(ステップS9)。

[0278]

以上説明した電子部品は、上述の実施の形態で説明したアナログ/デジタル変換回路を具備する半導体装置を含む構成とすることができる。そのため、アナログ/デジタル変換回路ADCが占める面積を縮小できると共に、アナログ/デジタル変換回路ADCの高速駆動を可能とし、高電圧を印加した際の耐圧性に優れ、且つ高温環境下における電気特性に優れた該半導体装置を有する電子部品を実現することができる。言い換えれば該電子部品は、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れた電子部品である。

[0279]

また、完成した電子部品の斜視模式図を図16(b)に示す。図16(b)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図16(b)に示す電子部品700は、リード701及び半導体装置703を示している。図16(b)に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わされて、それぞれがプリント基板702上で電気的に接続されることで電子部品が実装された基板(実装基板704)が完成する。完成した実装基板704は、電子機器等の内部に設けられる。

[0280]

次いで、コンピュータ、携帯情報端末(携帯電話、携帯型ゲーム機、音響再生装置なども含む)、電子ペー

パー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

[0281]

図17（a）は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、上述の半導体装置を有する電子部品が設けられている。そのため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れた携帯型の情報端末が実現される。また、第1の表示部903a、第2の表示部903bは、先の実施の形態に示したイメージセンサを有する構成とすることができる。例えばタッチセンサとして、先の実施の形態に示したイメージセンサを用いることができる。

[0282]

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図17（a）の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図17（a）の右図のように第1の表示部903aにはキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

[0283]

また、図17（a）に示す携帯型の情報端末は、図17（a）の右図のように、第1の表示部903a及び第2の表示部903bのうち、一方を取り外すことができる。第2の表示部903bもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体902を持ち、他方の手で操作することができるため便利である。

[0284]

図17（a）は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。

[0285]

また、図17（a）に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

[0286]

更に、図17（a）に示す筐体902にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

[0287]

図17（b）は、電子ペーパーを実装した電子書籍端末であり、筐体911と筐体912の2つの筐体で構成されている。筐体911及び筐体912には、それぞれ表示部913及び表示部914が設けられている。筐体911と筐体912は、軸部915により接続されており、該軸部915を軸として開閉動作を行うことができる。また、筐体911は、電源916、操作キー917、スピーカー918などを備えている。筐体911、筐体912の少なくとも一には、上述の半導体装置を有する電子部品が設けられている。そのため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れた電子書籍端末が実現される。ま

た、表示部913、表示部914は、先の実施の形態に示したイメージセンサを有する構成とすることができる。例えばタッチセンサとして、先の実施の形態に示したイメージセンサを用いることができる。

[0288]

図17(c)は、テレビジョン装置であり、筐体921、表示部922、スタンド923などで構成されている。テレビジョン装置の操作は、筐体921が備えるスイッチや、リモコン操作機924により行うことができる。筐体921及びリモコン操作機924には、上述の半導体装置を有する電子部品が搭載されている。そのため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れたテレビジョン装置が実現される。また、表示部922は、先の実施の形態に示したイメージセンサを有する構成とすることができる。例えばタッチセンサとして、先の実施の形態に示したイメージセンサを用いることができる。

[0289]

図17(d)は、スマートフォンであり、本体930には、表示部931と、スピーカー932と、マイク933と、操作ボタン934等が設けられている。本体930内には、上述の半導体装置を有する電子部品が設けられている。そのため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れたスマートフォンが実現される。また、表示部931は、先の実施の形態に示したイメージセンサを有する構成とすることができる。例えばタッチセンサとして、先の実施の形態に示したイメージセンサを用いることができる。

[0290]

図17(e)は、デジタルカメラであり、本体941、表示部942、操作スイッチ943などによって構成されている。本体941内には、上述の半導体装置を有する電子部品が設けられている。そのため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れたデジタルカメラが実現される。また、表示部942は、先の実施の形態に示したイメージセンサを有する構成とすることができる。例えばタッチセンサとして、先の実施の形態に示したイメージセンサを用いることができる。

[0291]

以上のように、本実施の形態に示す電子機器には、本実施の形態に係る半導体装置を有する実装基板が搭載されている。このため、サイズを縮小できると共に、高速駆動を可能とし、電気的な耐圧性に優れ、高温での電気特性に優れた電子機器が実現される。

[符号の説明]

[0292]

20 ノード
21 ノード
22 ノード
23 ノード
24 ノード
25 ノード
26 ノード
28 ノード
31 ノード
32 ノード
33 ノード

34　ノード
52　トランジスタ
54　トランジスタ
55　トランジスタ
56　トランジスタ
60　フォトダイオード
110　比較回路
111　制御回路
112　トランジスタ
113　再分配回路
114　再分配回路
121　トランジスタ
122　トランジスタ
123　トランジスタ
124　トランジスタ
125　トランジスタ
126　トランジスタ
127　トランジスタ
128　トランジスタ
129　トランジスタ
131　配線
132　配線
133　配線
135　配線
136　配線
137　配線
141　配線
142　配線
143　配線
144　配線
146　配線
201　スイッチ
202　スイッチ
203　スイッチ
207　フォトダイオード
300　画素部
301　回路
302　回路
303　回路

304　回路
602　フィルタ
700　電子部品
701　リード
702　プリント基板
703　半導体装置
704　実装基板
800　トランジスタ
801　トランジスタ
802　トランジスタ
803　トランジスタ
804　トランジスタ
805　トランジスタ
820　基板
830　半導体膜
830a　酸化物半導体膜
830b　酸化物半導体膜
830c　酸化物半導体膜
831　ゲート絶縁膜
832　導電膜
833　導電膜
834　導電膜
891　絶縁膜
892　導電膜
901　筐体
902　筐体
903a　表示部
903b　表示部
904　選択ボタン
905　キーボード
911　筐体
912　筐体
913　表示部
914　表示部
915　軸部
916　電源
917　操作キー
918　スピーカー
921　筐体

922　表示部
923　スタンド
924　リモコン操作機
930　本体
931　表示部
932　スピーカー
933　マイク
934　操作ボタン
941　本体
942　表示部
943　操作スイッチ
1111　画素
1112　副画素
1112B　副画素
1112G　副画素
1112R　副画素
1311　配線
1312　配線
1313　配線
1314　配線
1315　配線
1316　配線
1317　配線
1701　信号
1702　信号
1703　信号
1704　信号
1705　信号
2301　期間
2311　期間
3100　メモリセル
3111　トランジスタ
3112　トランジスタ
3114　容量素子
ADC　アナログ／デジタル変換回路

特許請求の範囲

[請求項1]

トランジスタと、

比較回路と、

制御回路と、

再分配回路と、

を有するアナログ／デジタル変換回路であって、

前記再分配回路は、複数の容量素子を有し、

前記比較回路の第１入力端子は、基準電位と電気的に接続され、

前記比較回路の第２入力端子は、前記トランジスタの第１端子と電気的に接続され、

前記比較回路の出力端子は、前記制御回路と電気的に接続され、

前記制御回路の出力端子は、複数の配線のいずれか一を介して、前記複数の容量素子の電極の一方と電気的に接続され、

前記複数の容量素子の少なくとも一つの他方の電極は、前記比較回路の第２入力端子と電気的に接続され、

前記トランジスタの半導体層は、酸化物半導体を有することを特徴とするアナログ／デジタル変換回路。

[請求項2]

請求項1において、

前記制御回路の出力端子は、スイッチを介さずに、前記再分配回路と電気的に接続されることを特徴とするアナログ／デジタル変換回路。

[請求項3]

請求項1において、

デジタル信号のビット数はn（nは2以上の自然数）であり、

前記複数の容量素子は、

第１の容量値を有する容量素子を（ｎ＋１）個と、

第２の容量値を有する容量素子を（ｎ－１）個と、

を有し、

前記第２の容量値は、前記第１の容量値の概略2倍の容量値であることを特徴とするアナログ／デジタル変換回路。

[請求項4]

請求項3において、

前記制御回路の出力端子は、スイッチを介さずに、前記再分配回路と電気的に接続されることを特徴とするアナログ／デジタル変換回路。

[請求項5]

請求項1において、

前記トランジスタの第２端子は、入力電位を与えるノードと電気的に接続されることを特徴とするアナログ／デジタル変換回路。

[請求項6]

請求項１乃至請求項5のいずれか一において、

前記制御回路の出力端子は、入力電位のアナログ信号を変換したデジタル信号を出力する機能を有することを特徴とするアナログ／デジタル変換回路。

［請求項7］

請求項1乃至請求項5のいずれか一に記載のアナログ／デジタル変換回路と、フォトダイオードを有する画素と、を具備することを特徴とする半導体装置。

［請求項8］

請求項1乃至請求項5のいずれか一に記載のアナログ／デジタル変換回路と、メモリセルと、を具備することを特徴とする半導体装置。

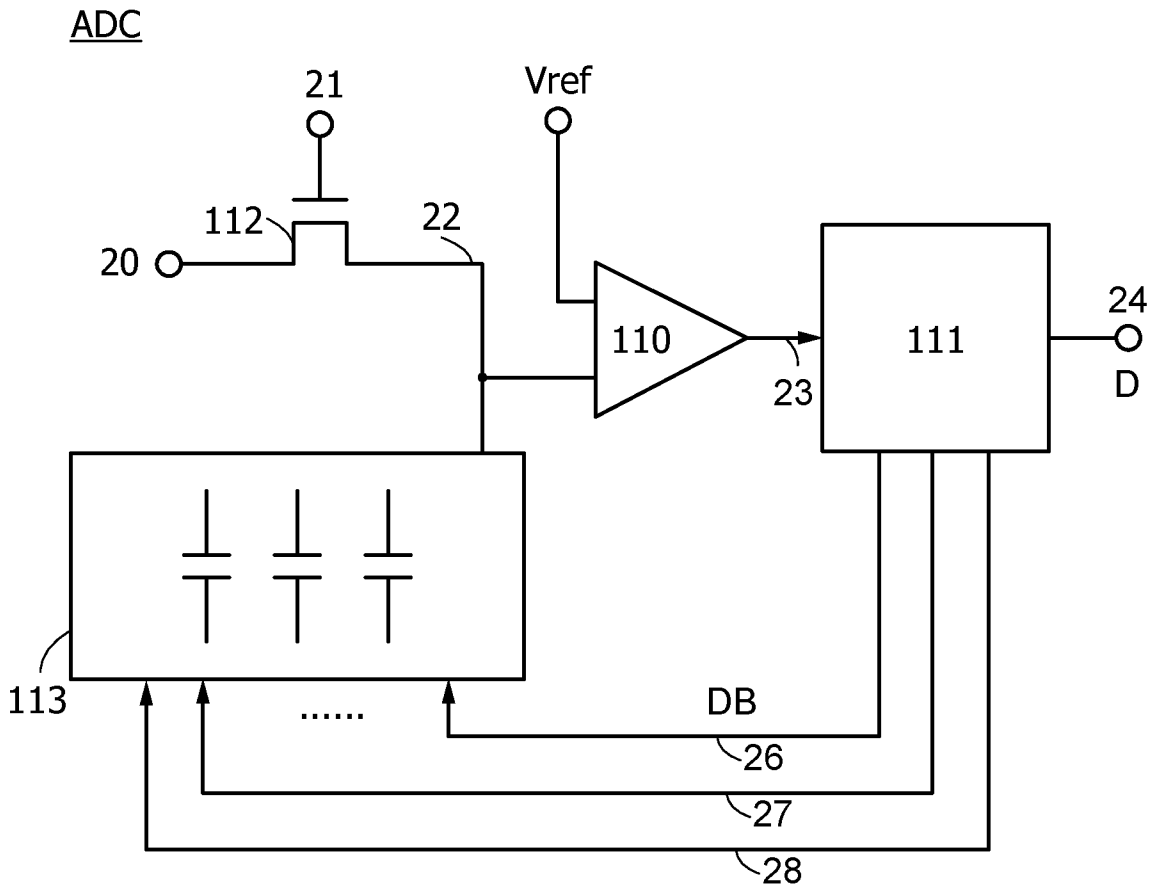
［請求項9］

請求項7に記載の半導体装置と、表示部と、を具備することを特徴とする電子機器。

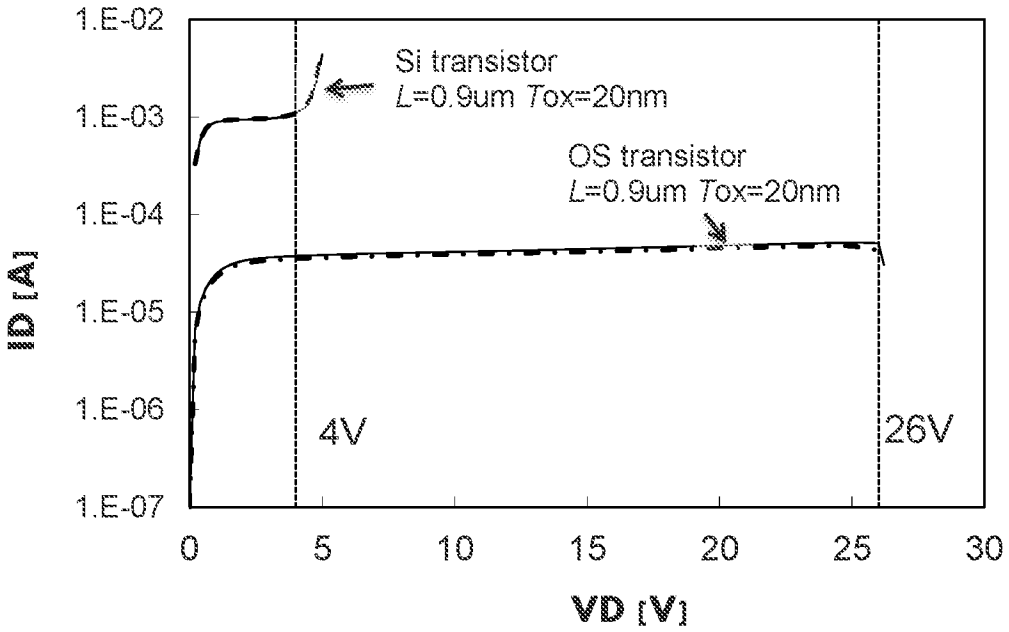
［請求項10］

請求項8に記載の半導体装置と、表示部と、を具備することを特徴とする電子機器。

[図01]

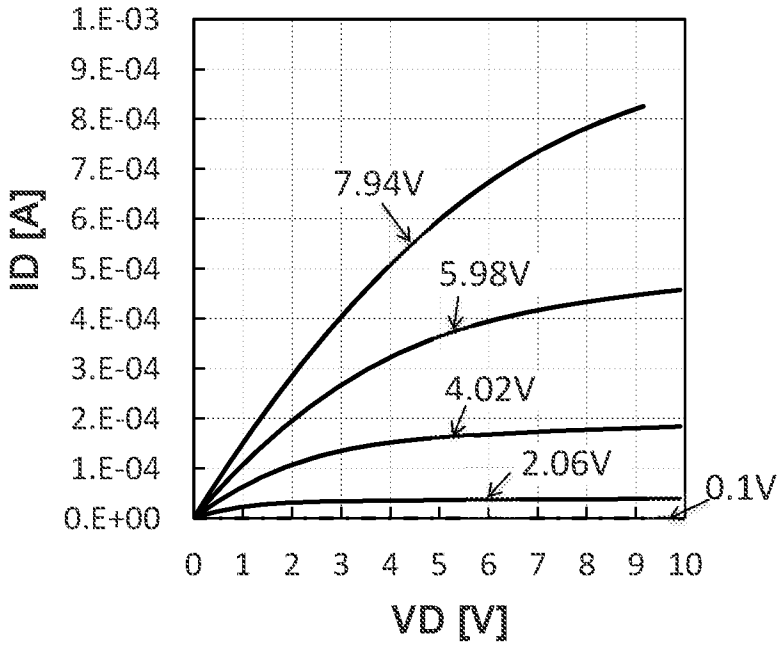


[図02]

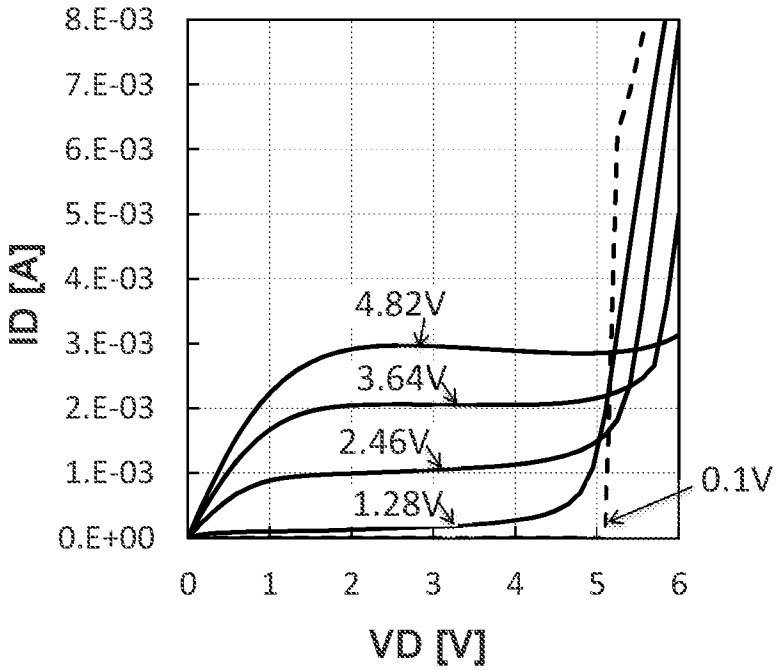

1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
ID [A]
Si transistor
L=0.9um Tox=20nm
OS transistor
L=0.9um Tox=20nm
4V
26V
0
5
10
15
20
25
30
VD [V]

[図03]

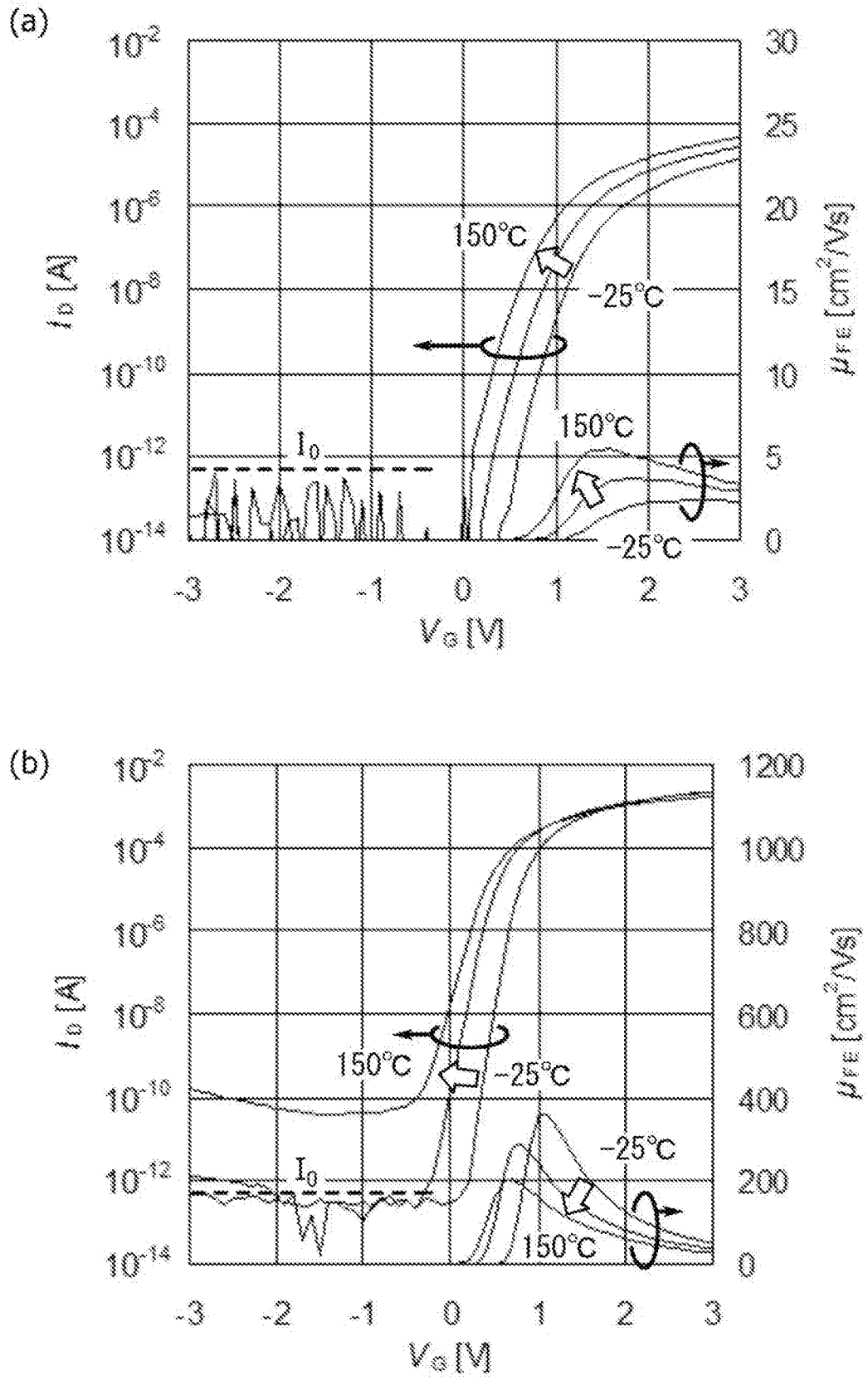
(A)


1.E-03
9.E-04
8.E-04
7.E-04
6.E-04
5.E-04
4.E-04
3.E-04
2.E-04
1.E-04
0.E+00
ID [A]
7.94V
5.98V
4.02V
2.06V
0.1V
0 1 2 3 4 5 6 7 8 9 10
VD [V]

(B)

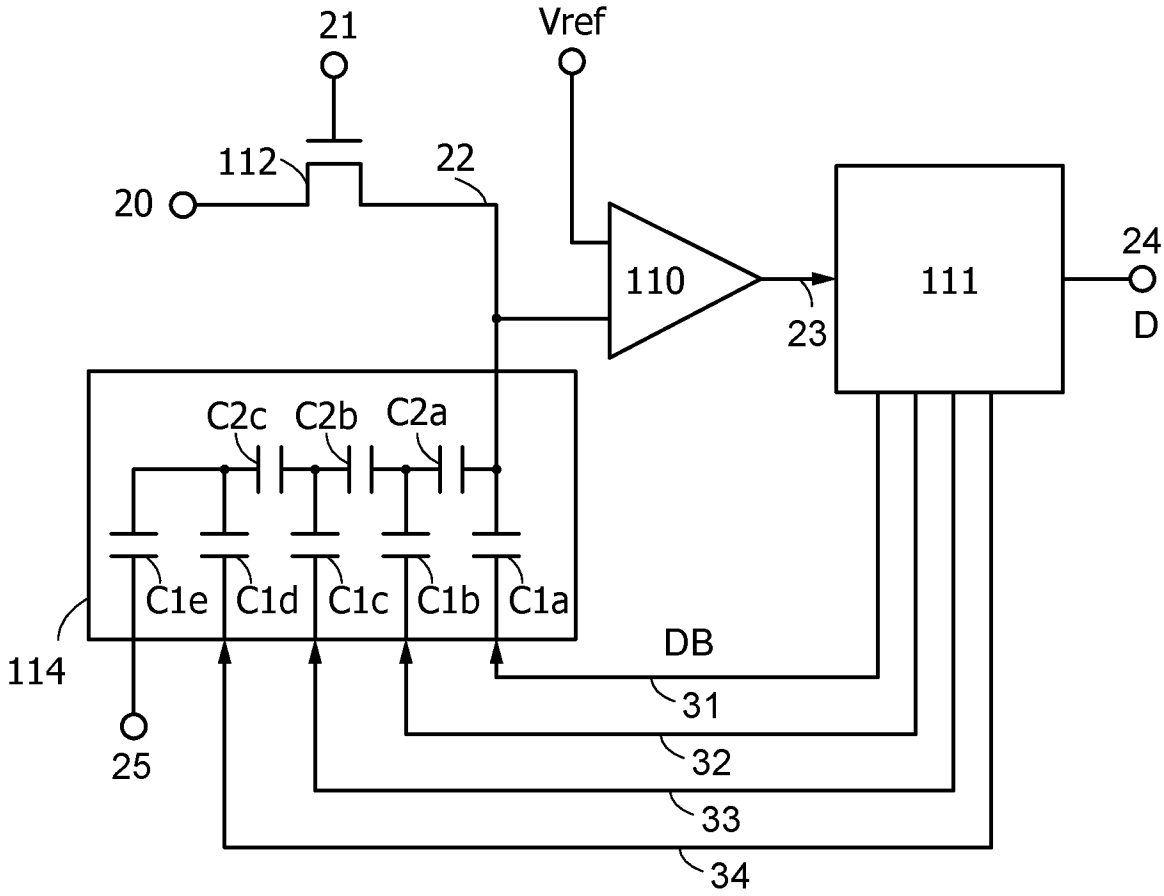

8.E-03
7.E-03
6.E-03
5.E-03
4.E-03
3.E-03
2.E-03
1.E-03
0.E+00
ID [A]
4.82V
3.64V
2.46V
1.28V
0.1V
0 1 2 3 4 5 6
VD [V]

[図04]


(a)
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
I_D [A]
30
25
20
15
10
5
0
μ_{FE} [cm^2/Vs]
150°C
-25°C
150°C
-25°C
I_0
-3
-2
-1
0
1
2
3
V_G [V]
(b)
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
I_D [A]
1200
1000
800
600
400
200
0
μ_{FE} [cm^2/Vs]
150°C
-25°C
-25°C
150°C
I_0
-3
-2
-1
0
1
2
3
V_G [V]

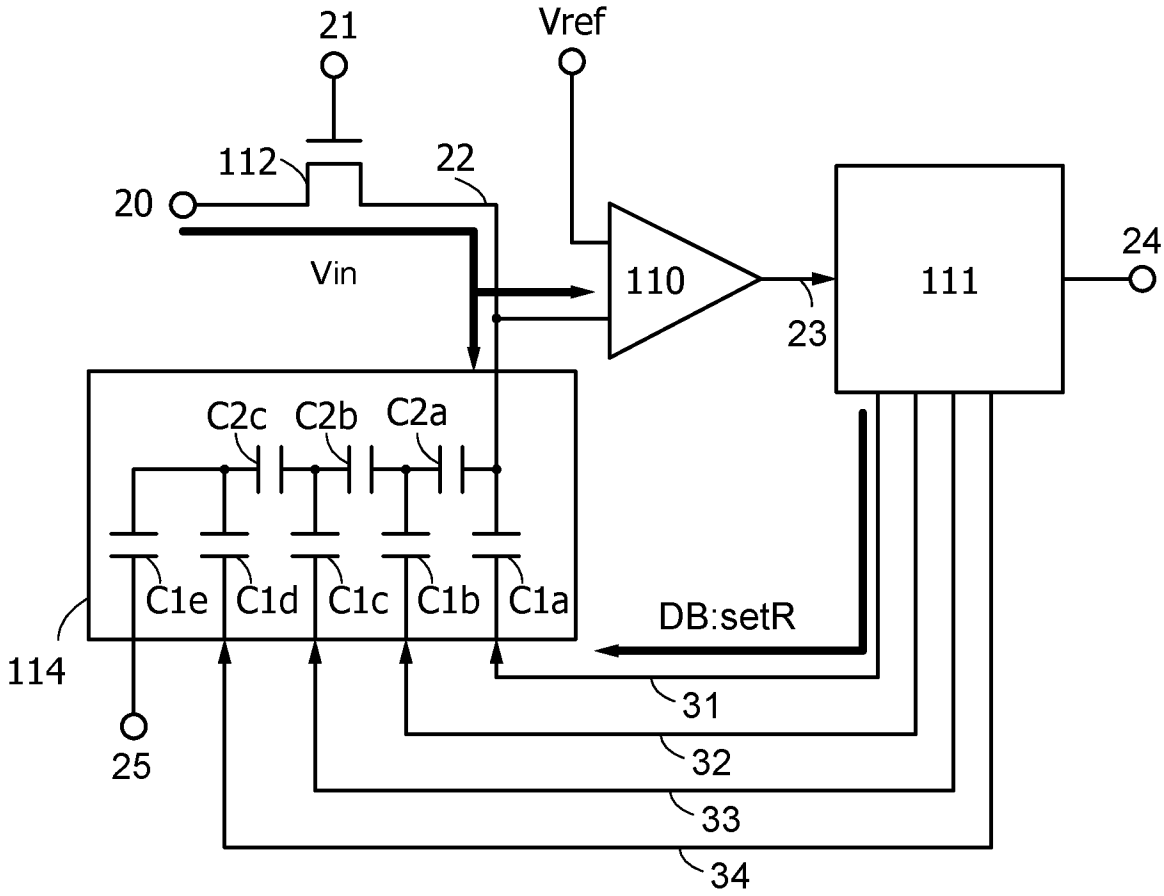
[図05]

ADC (4bit)


21
Vref
112
22
20
110
111
24
D
23
C2c
C2b
C2a
C1e
C1d
C1c
C1b
C1a
114
DB
31
25
32
33
34

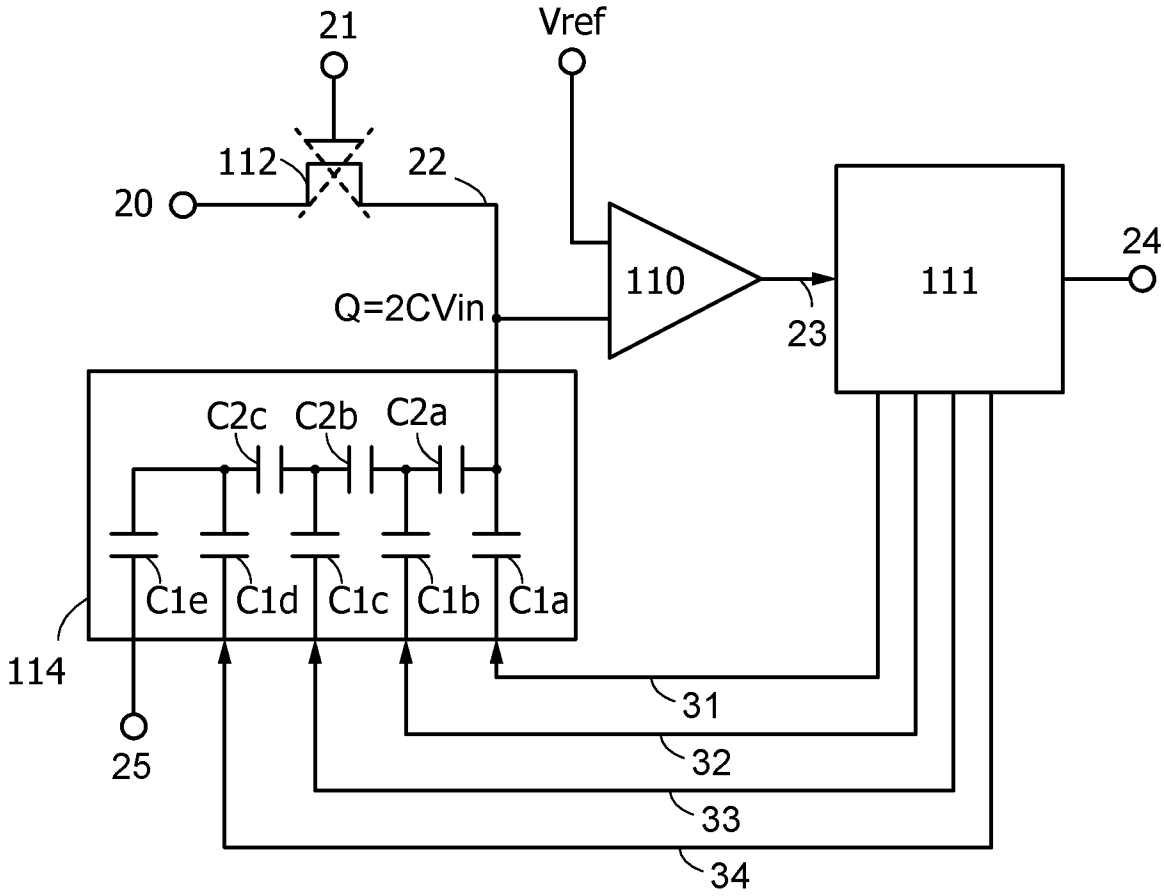
[図06]

(Step1)


21
Vref
112
22
20
Vin
110
111
24
23
C2c
C2b
C2a
C1e
C1d
C1c
C1b
C1a
DB:setR
114
25
31
32
33
34

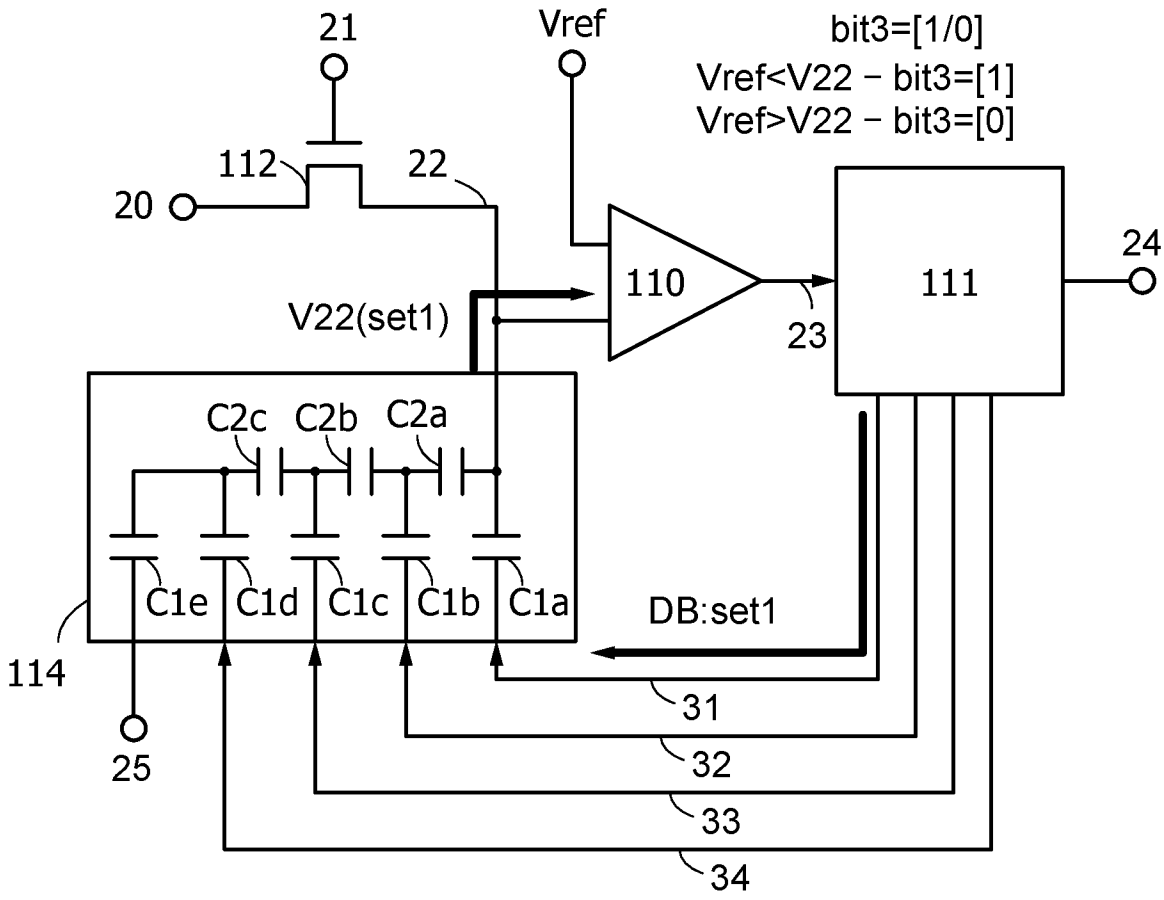
[図07]

(Step2)


21
Vref
112
22
20
24
110
111
Q=2CVin
23
C2c
C2b
C2a
C1e
C1d
C1c
C1b
C1a
114
31
25
32
33
34

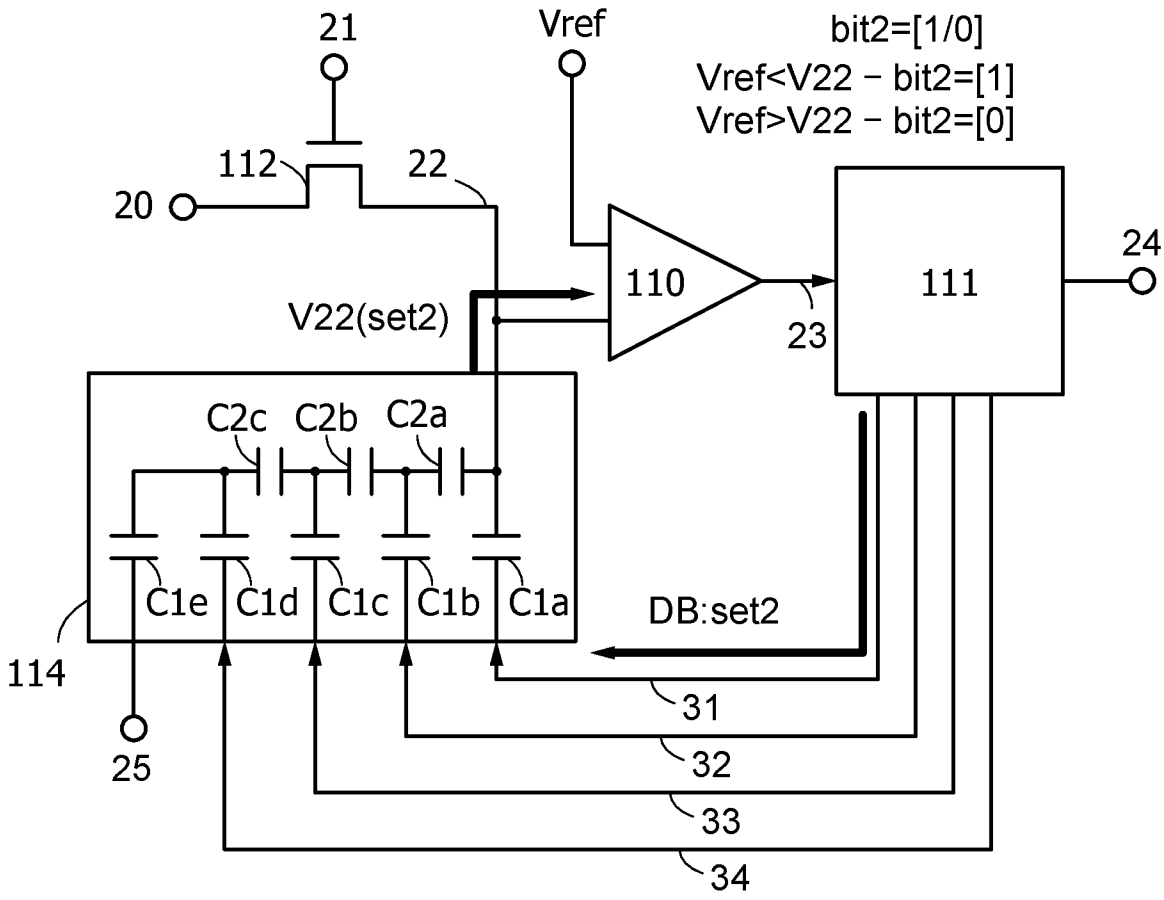
[図08]

(Step3(1))

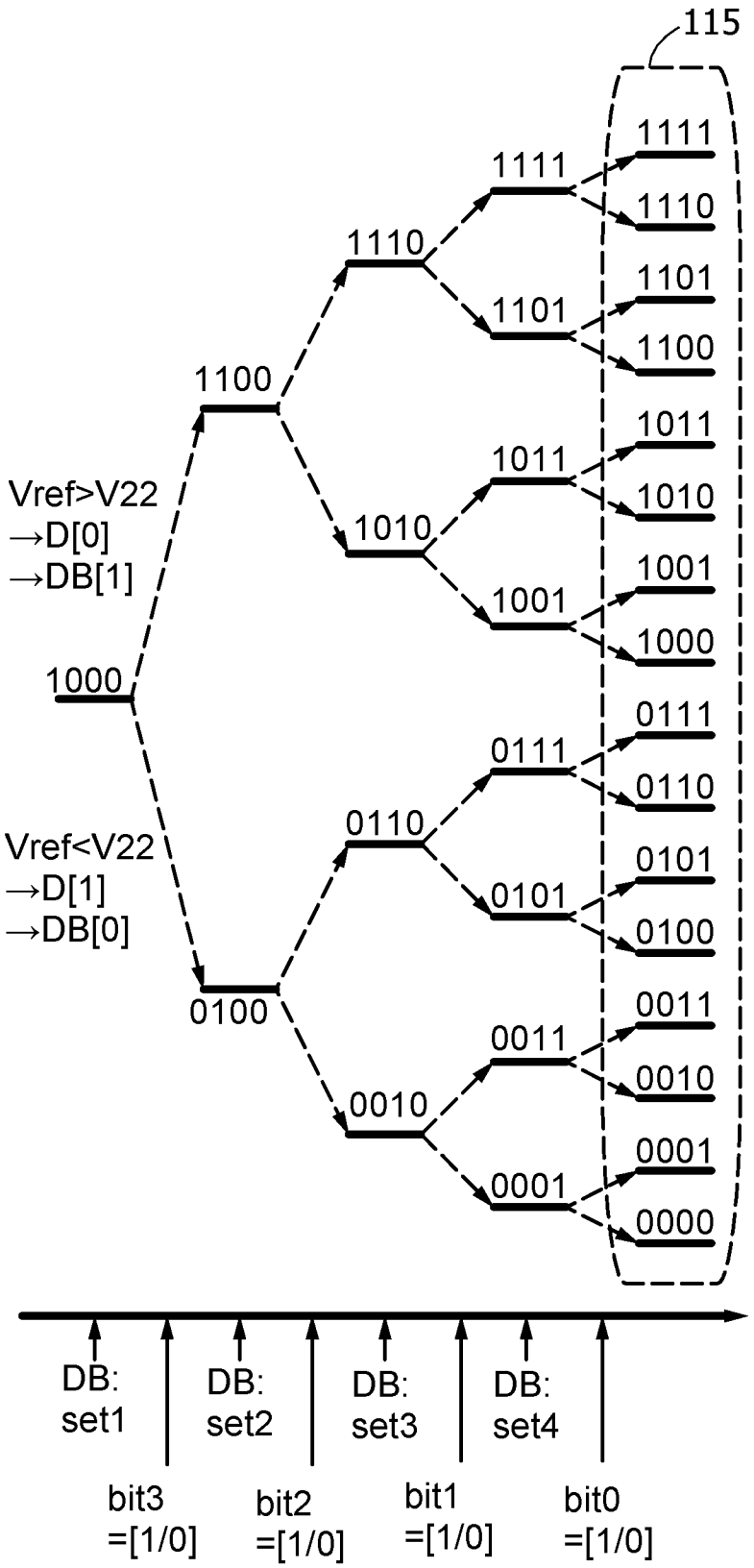

21
Vref
bit3=[1/0]
Vref<V22 − bit3=[1]
Vref>V22 − bit3=[0]
112
22
20
24
110
111
V22(set1)
23
C2c
C2b
C2a
C1e
C1d
C1c
C1b
C1a
DB:set1
114
31
25
32
33
34

[図09]

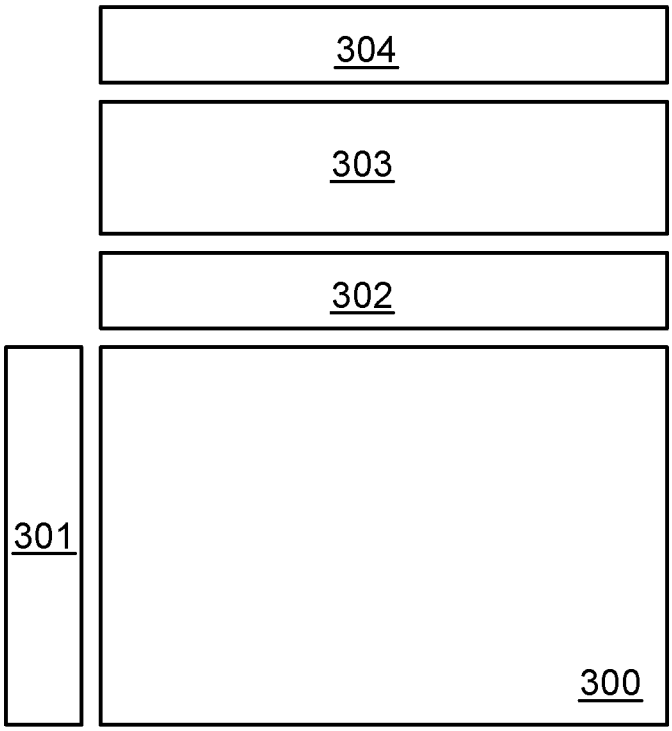
(Step3(2))


21
Vref
bit2=[1/0]
Vref<V22 − bit2=[1]
Vref>V22 − bit2=[0]
112
22
20
24
110
111
V22(set2)
23
C2c
C2b
C2a
C1e
C1d
C1c
C1b
C1a
DB:set2
114
31
25
32
33
34

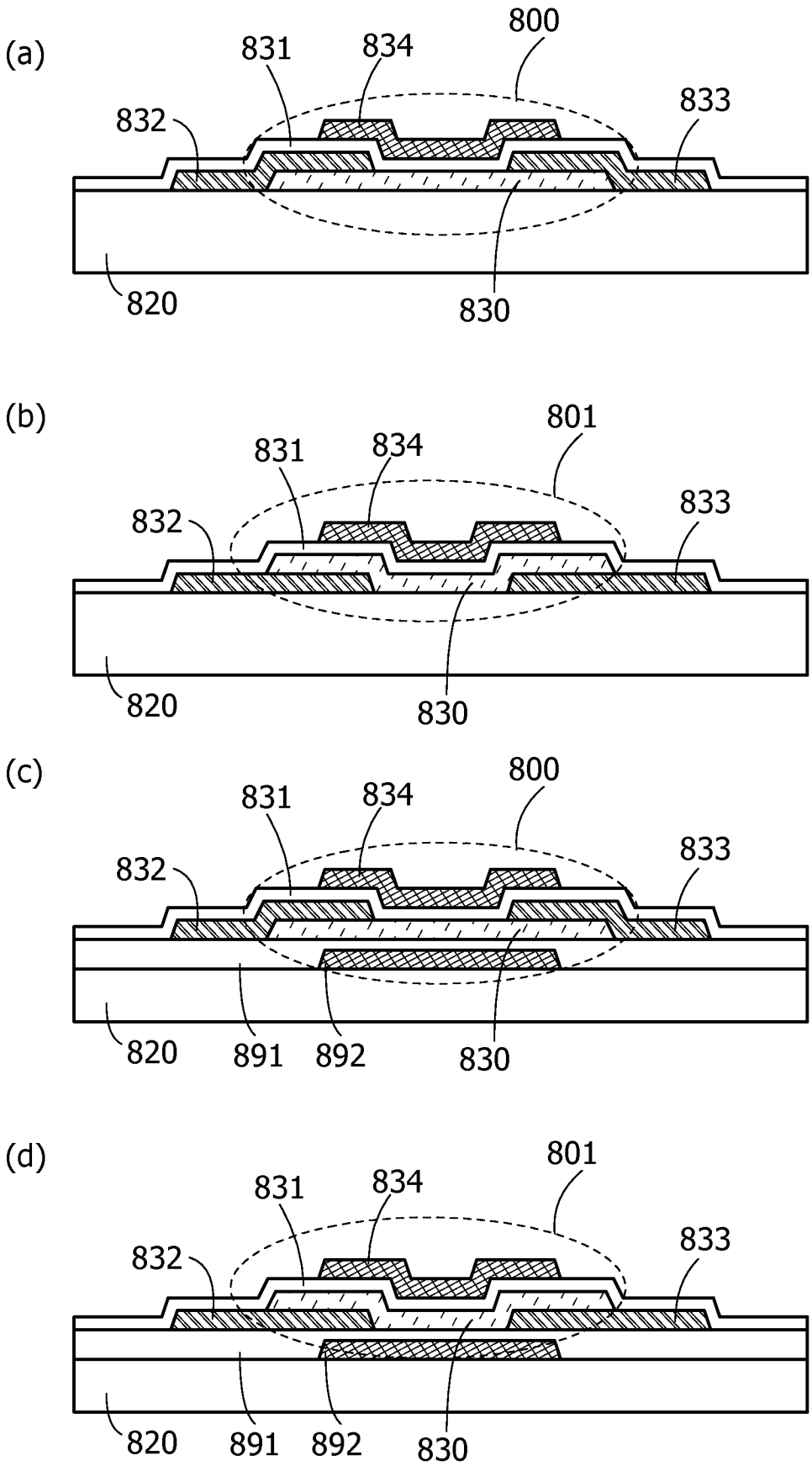
[図10]


115
1111
1110
1101
1100
1011
1010
1001
1000
0111
0110
0101
0100
0011
0010
0001
0000
Vref>V22
→D[0]
→DB[1]
Vref<V22
→D[1]
→DB[0]
DB:
set1
DB:
set2
DB:
set3
DB:
set4
bit3
=[1/0]
bit2
=[1/0]
bit1
=[1/0]
bit0
=[1/0]

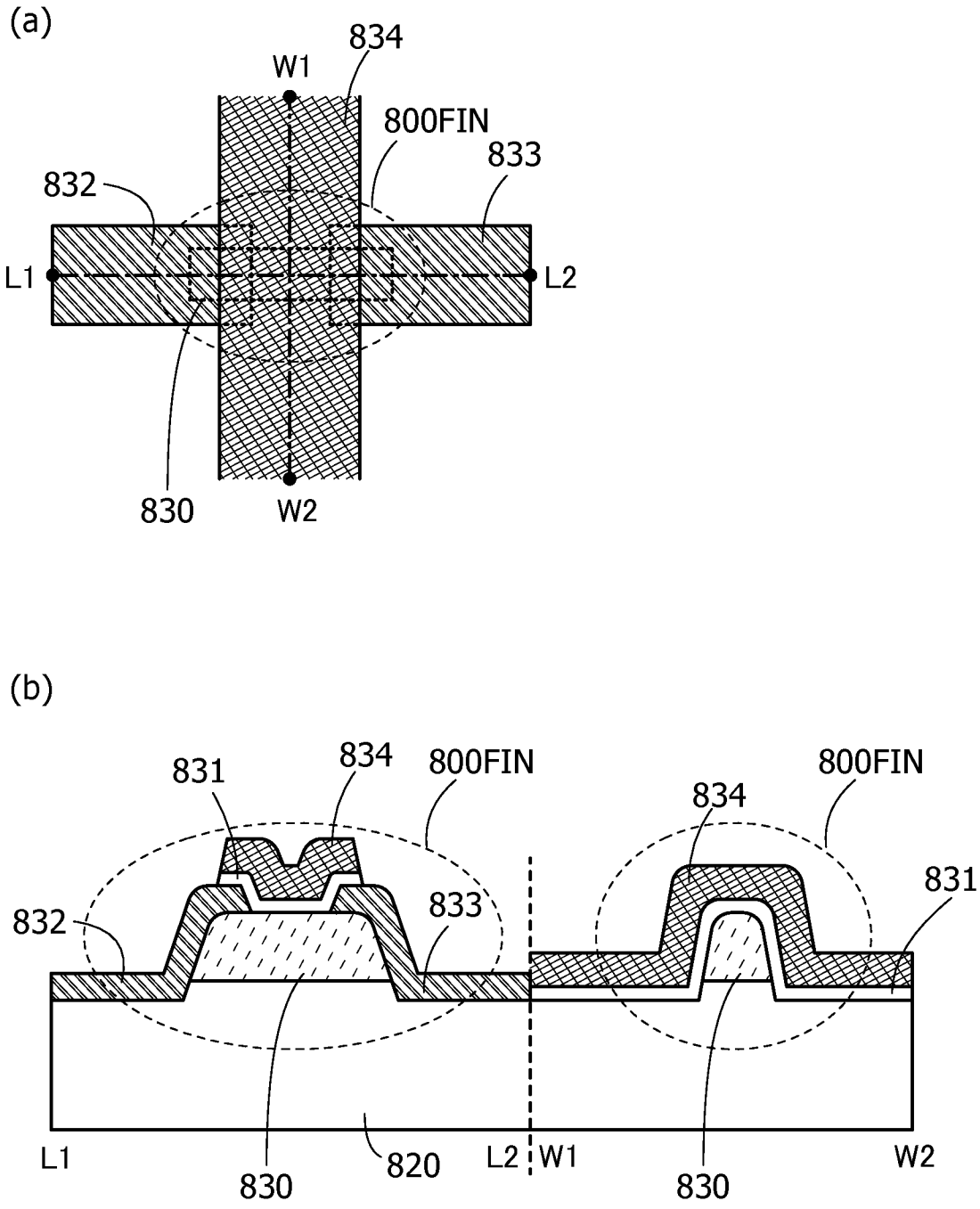
[図11]



[図12]

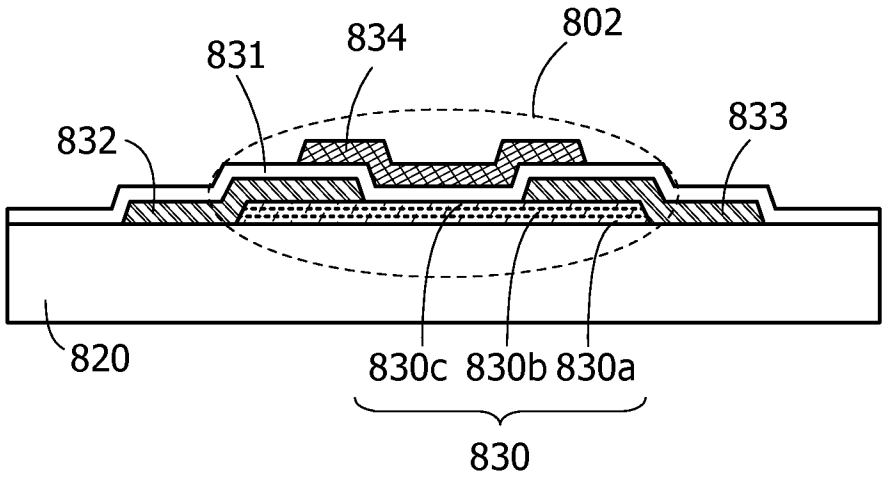

(a)
800
831
834
833
832
820
830
(b)
801
831
834
833
832
820
830
(c)
800
831
834
833
832
820
891
892
830
(d)
801
831
834
833
832
820
891
892
830

[図13]

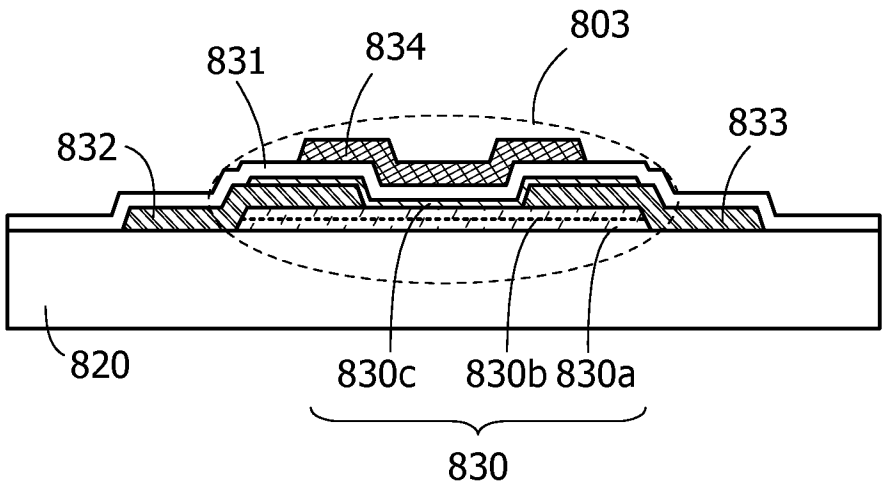

(a)
834
W1
800FIN
833
832
L1
L2
830
W2
(b)
831
834
800FIN
800FIN
834
831
832
833
L1
830
820
L2
W1
830
W2

[図14]

(a)

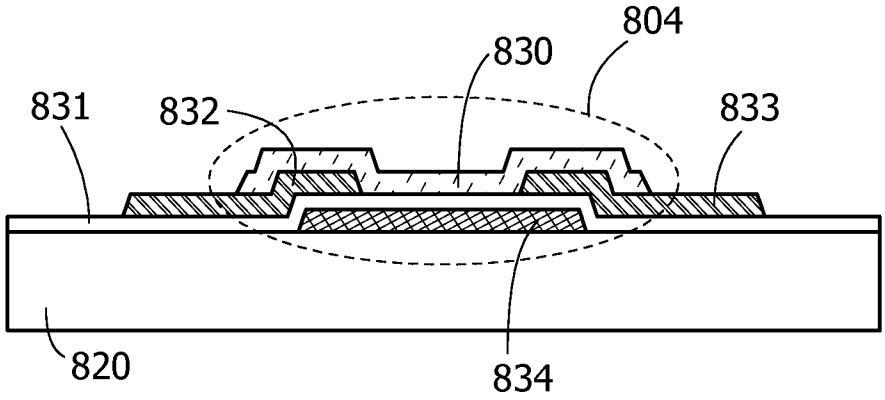

831
834
802
832
833
820
830c
830b
830a
830

(b)

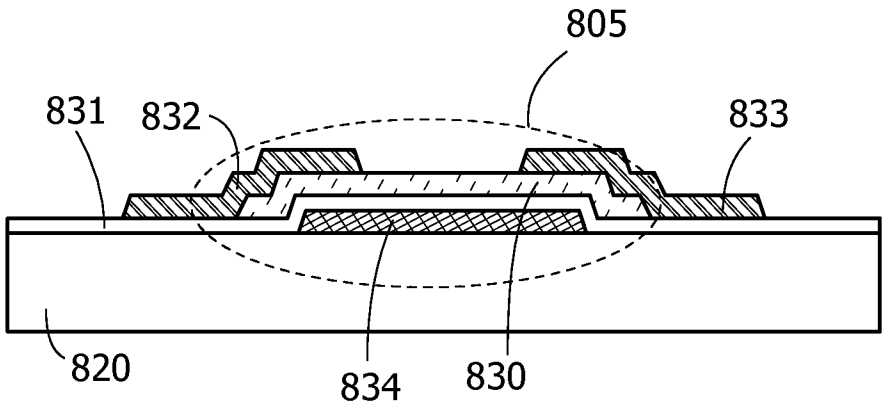

831
834
803
832
833
820
830c
830b
830a
830

[図15]

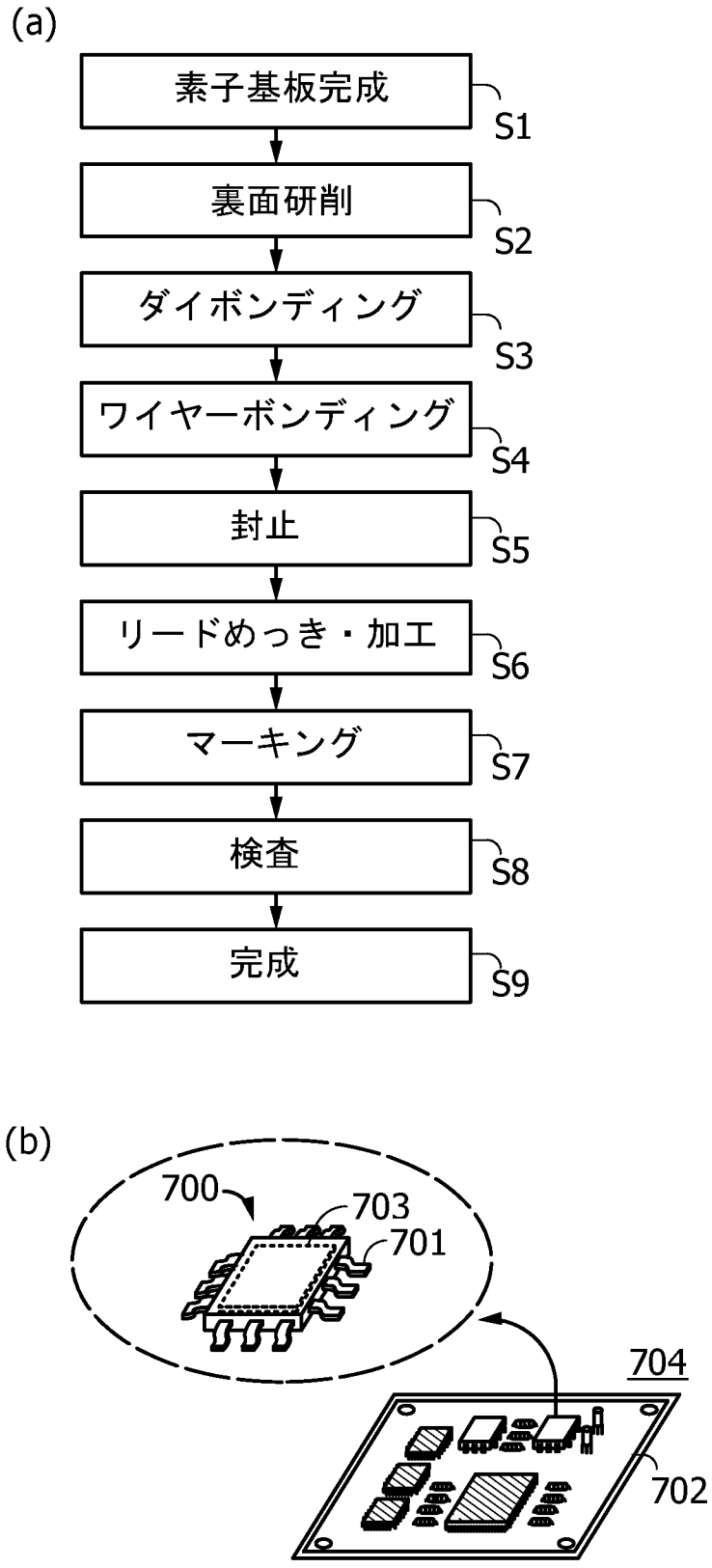
(a)



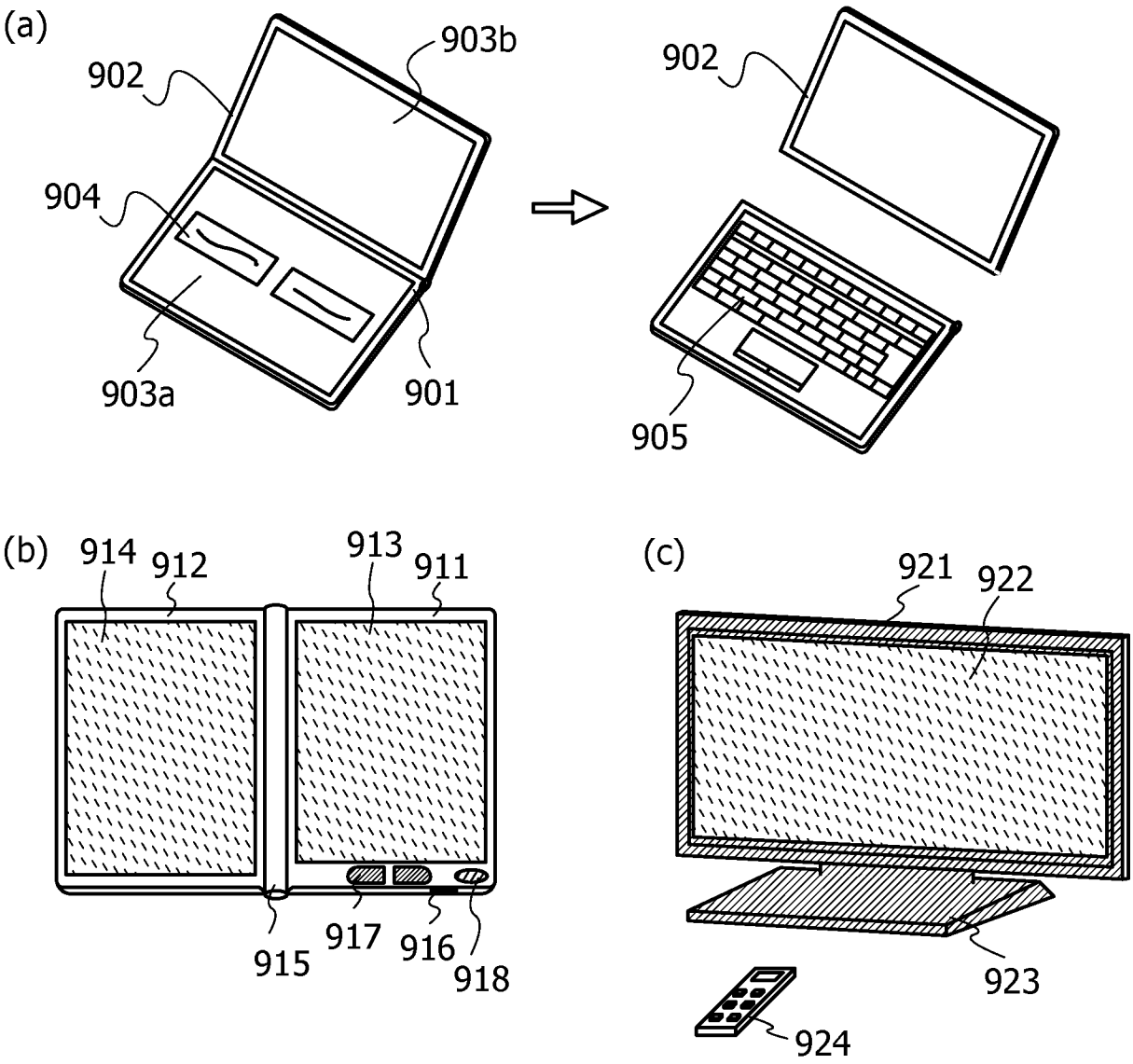
(b)



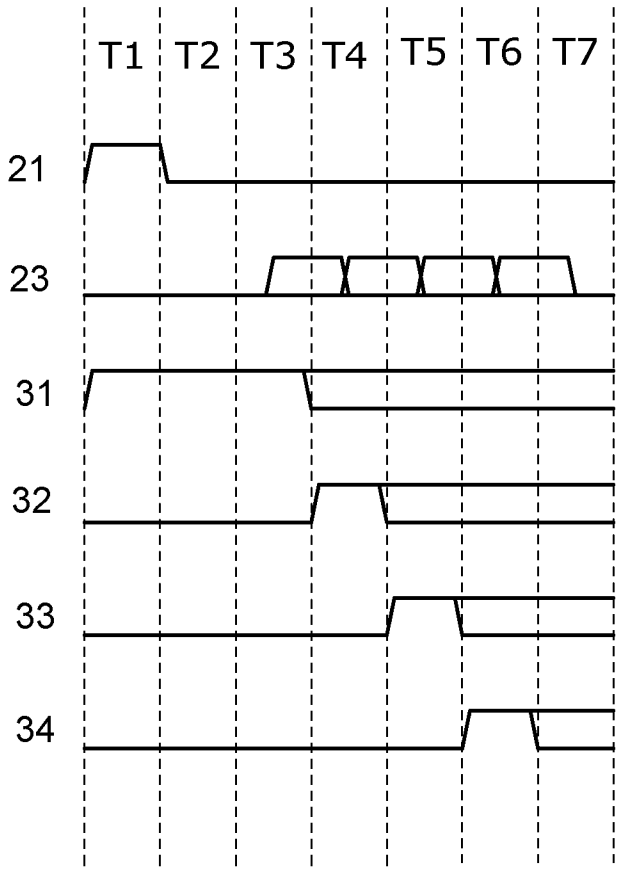
[図16]


(a)
素子基板完成
S1
裏面研削
S2
ダイボンディング
S3
ワイヤーボンディング
S4
封止
S5
リードめっき・加工
S6
マーキング
S7
検査
S8
完成
S9
(b)
700
703
701
704
702

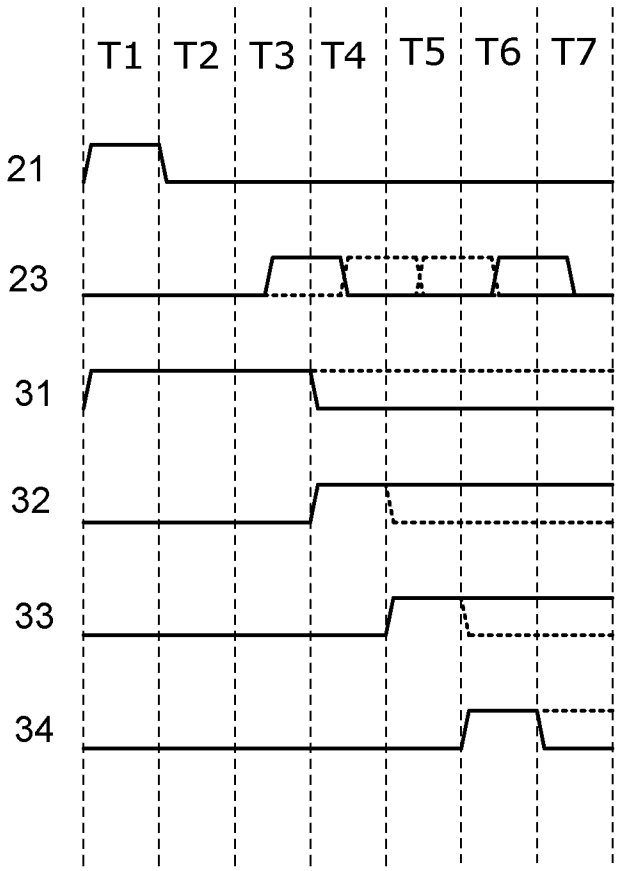
[図17]


(a)
902
903b
904
903a
901
902
905
(b)
914
912
913
911
915
917
916
918
(c)
921
922
923
924
(d)
932
930
931
934
933
(e)
943
941
942

[図18]

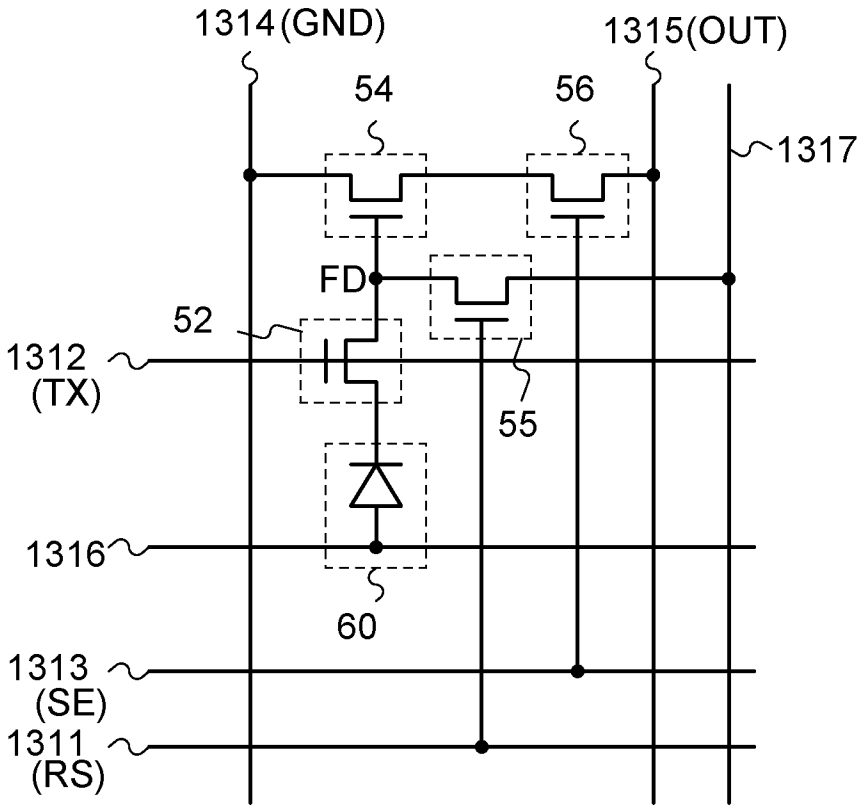


[図19]

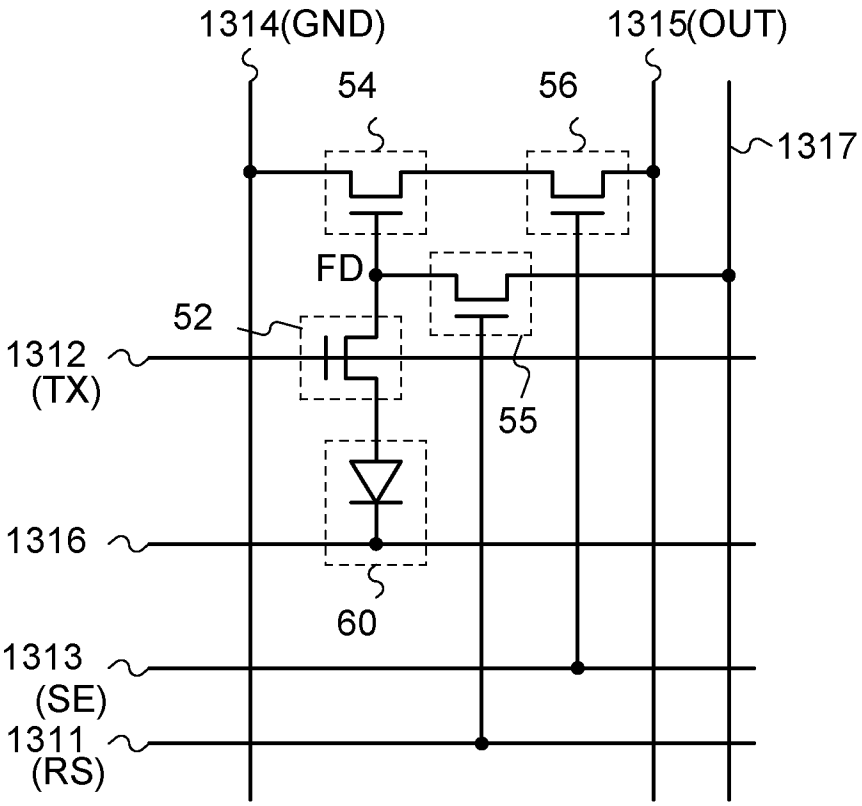


[図20]

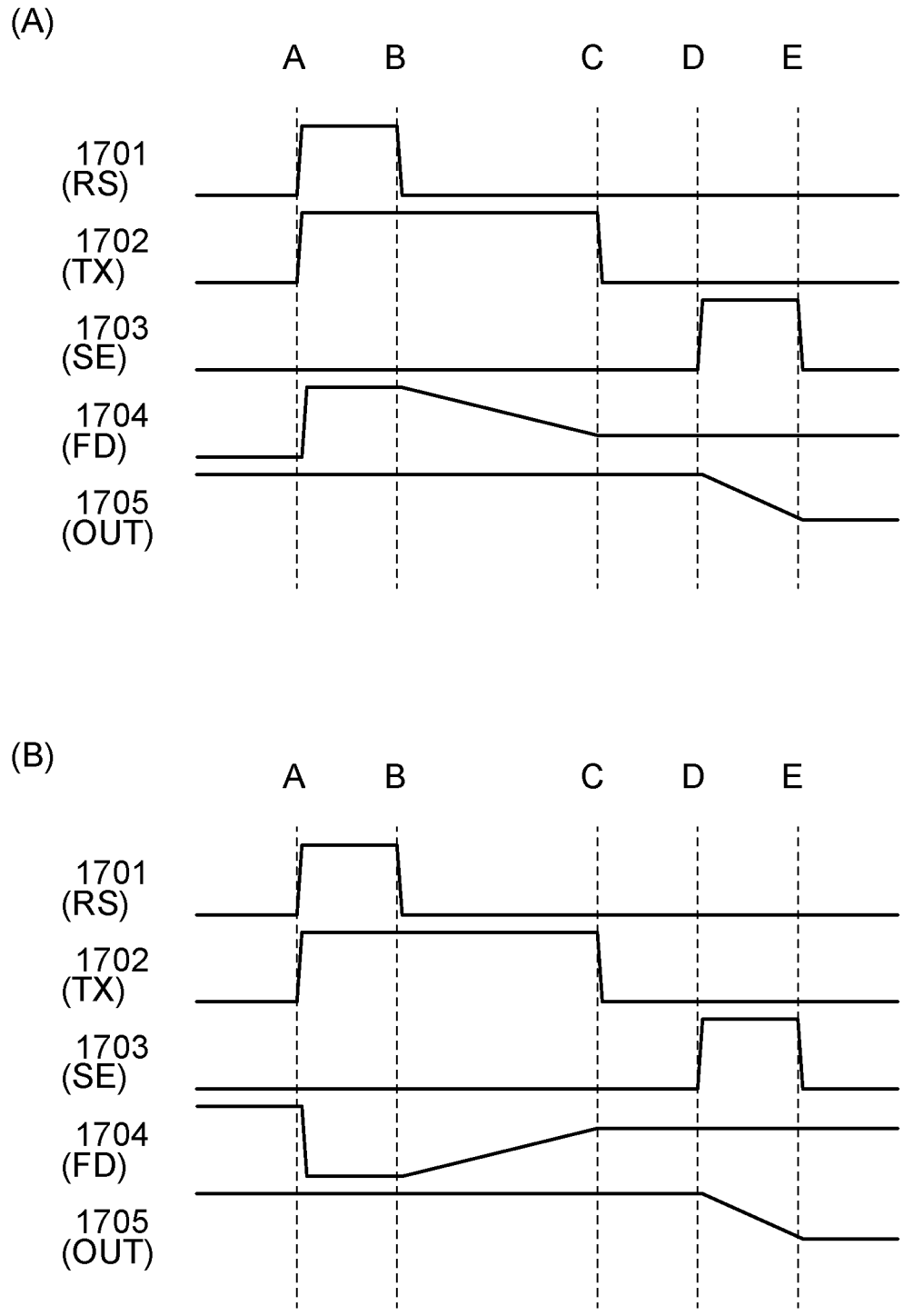
(A)


1314(GND)
1315(OUT)
54
56
1317
FD
52
1312
(TX)
55
1316
60
1313
(SE)
1311
(RS)

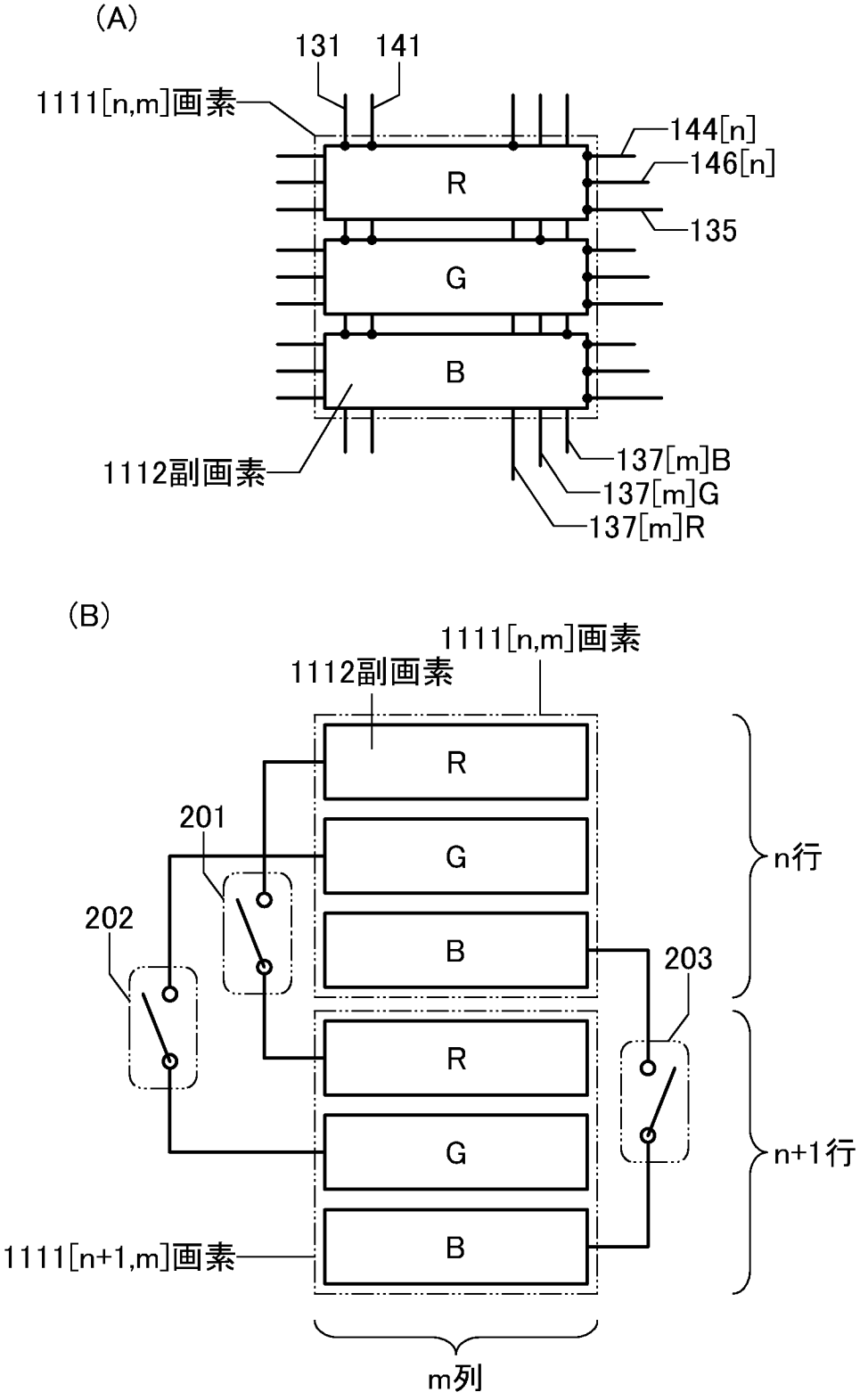
(B)


1314(GND)
1315(OUT)
54
56
1317
FD
52
1312
(TX)
55
1316
60
1313
(SE)
1311
(RS)

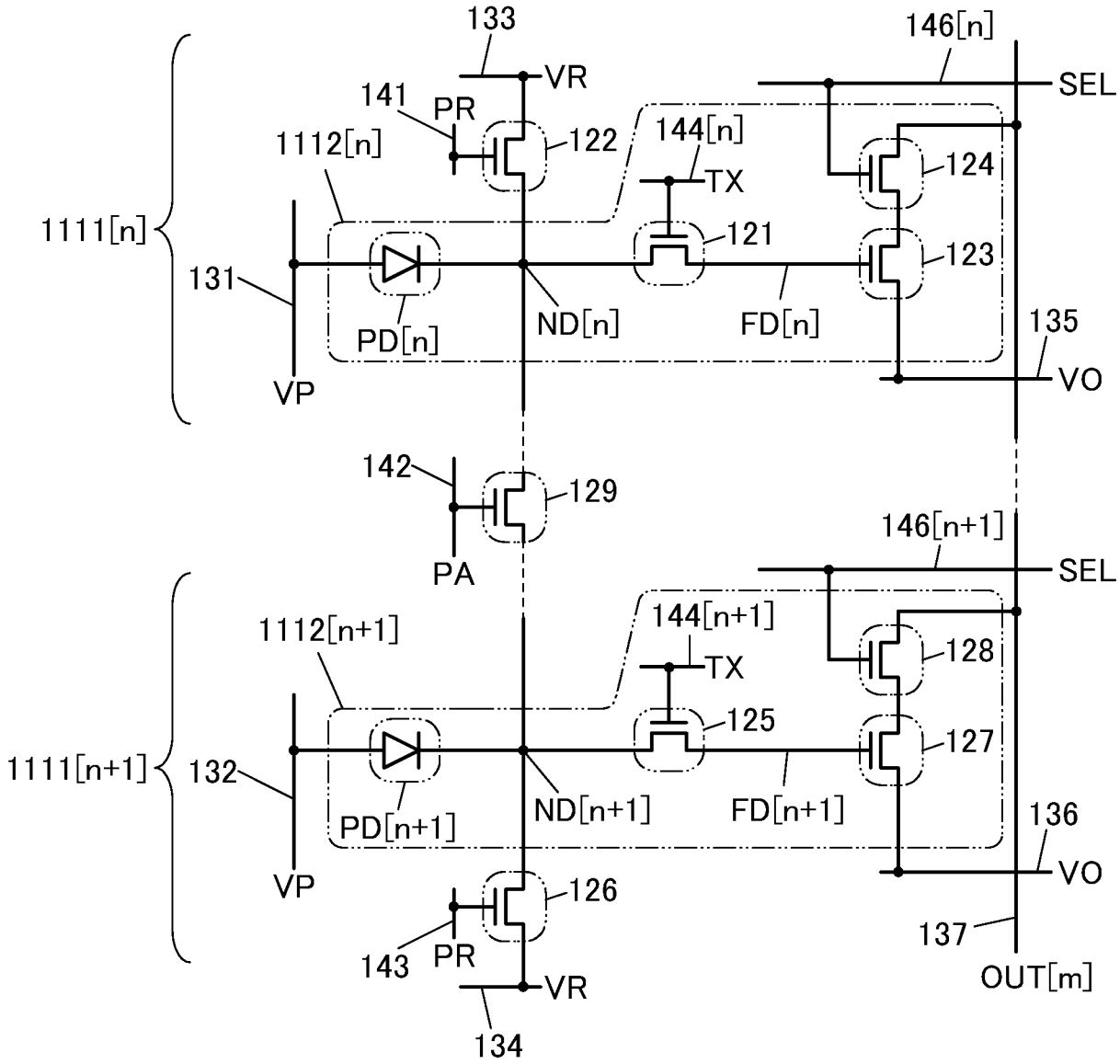
[図21]


(A)
A
B
C
D
E
1701
(RS)
1702
(TX)
1703
(SE)
1704
(FD)
1705
(OUT)
(B)
A
B
C
D
E
1701
(RS)
1702
(TX)
1703
(SE)
1704
(FD)
1705
(OUT)

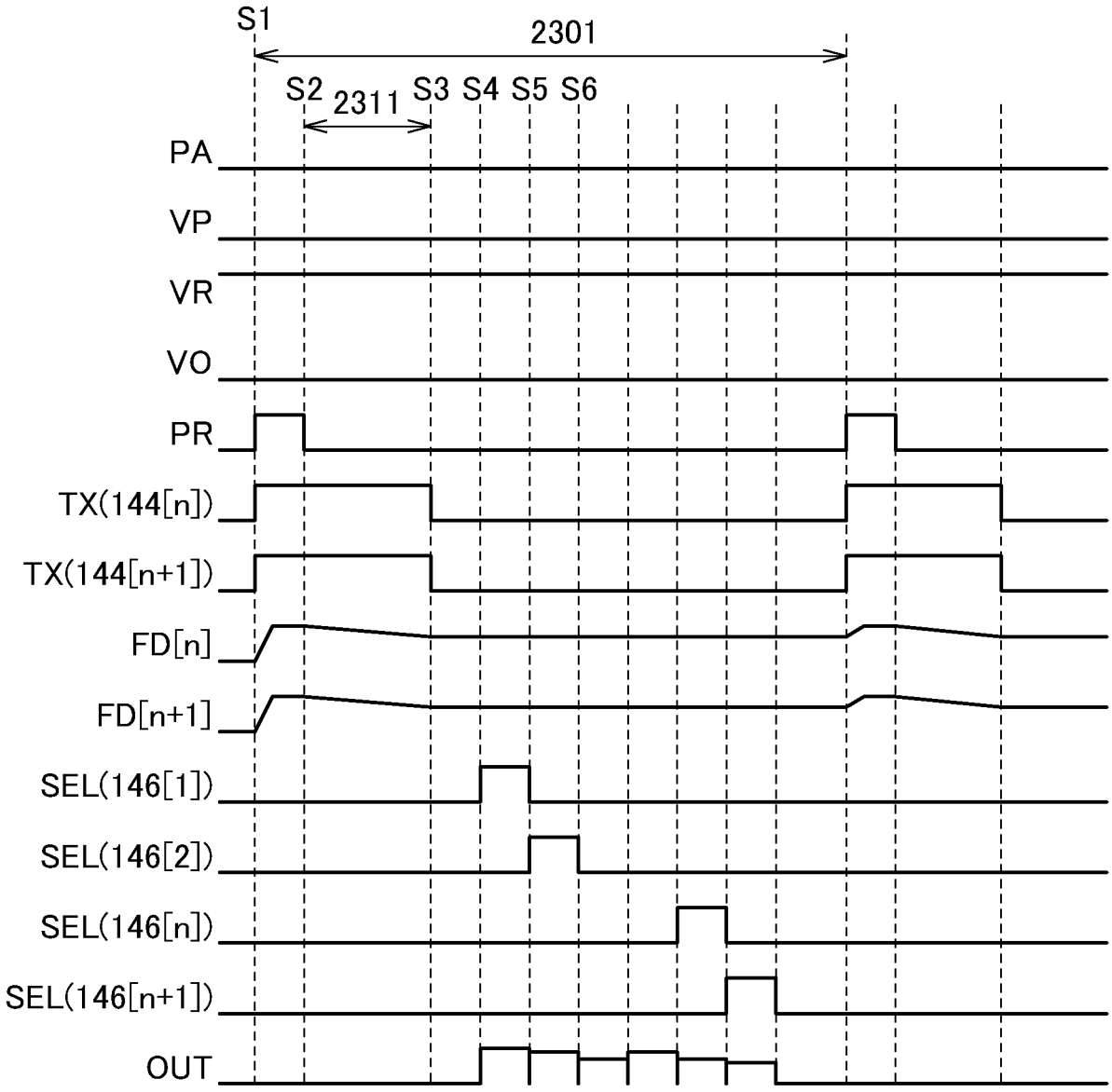
[図22]


(A)
131
141
1111[n,m]画素
144[n]
146[n]
135
R
G
B
1112副画素
137[m]B
137[m]G
137[m]R
(B)
1111[n,m]画素
1112副画素
R
G
B
201
202
203
n行
R
G
B
n+1行
1111[n+1,m]画素
m列

[図23]

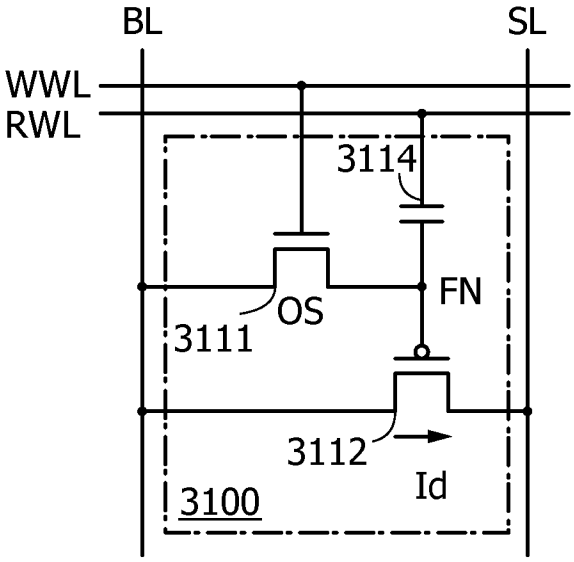

133
VR
141
PR
122
1112[n]
144[n]
TX
121
146[n]
SEL
124
123
1111[n]
131
PD[n]
ND[n]
FD[n]
135
VO
VP
142
129
PA
146[n+1]
SEL
144[n+1]
TX
128
1112[n+1]
125
127
1111[n+1]
132
PD[n+1]
ND[n+1]
FD[n+1]
136
VO
VP
126
137
143
PR
VR
OUT[m]
134

[図24]

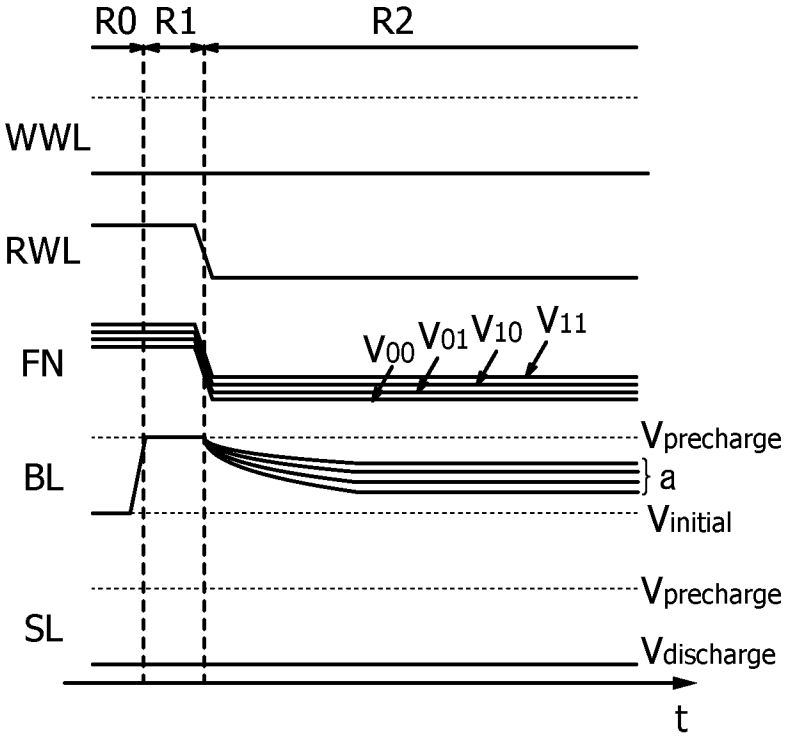

S1
2301
S2
2311
S3
S4
S5
S6
PA
VP
VR
VO
PR
TX(144[n])
TX(144[n+1])
FD[n]
FD[n+1]
SEL(146[1])
SEL(146[2])
SEL(146[n])
SEL(146[n+1])
OUT

[図25]

(a)


BL
SL
WWL
RWL
3114
FN
OS
3111
3112
Id
3100

(b)


R0
R1
R2
WWL
RWL
FN
V00
V01
V10
V11
BL
Vprecharge
a
Vinitial
SL
Vprecharge
Vdischarge
t

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2015/053703

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/38(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/38, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/111127 A1 (Panasonic Corp.), 15 September 2011 (15.09.2011), paragraph [0003]; fig. 14 & JP 2011-188240 A & US 2012/0319880 A1 & CN 102792594 A	1-10
Y	JP 2013-168926 A (Semiconductor Energy Laboratory Co., Ltd.), 29 August 2013 (29.08.2013), claim 1; paragraphs [0105] to [0109]; fig. 1, 12 & US 2013/0181854 A1	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 July 2015 (15.07.15)	28 July 2015 (28.07.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2015/053703

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-60221 A (Toshiba Corp.), 22 March 2012 (22.03.2012), paragraphs [0036] to [0037], [0049] to [0064]; fig. 4, 8 & US 2012/0056770 A1	3-4
A	JP 2009-118488 A (Advantest Corp. et al.), 28 May 2009 (28.05.2009), paragraph [0055]; fig. 3 & US 2009/0121907 A1	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１５／０５３７０３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/38(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/38, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2011/111127 A1（パナソニック株式会社）2011.09.15, ［０００３］, 図１４ & JP 2011-188240 A & US 2012/0319880 A1 & CN 102792594 A	１－１０
Y	JP 2013-168926 A（株式会社半導体エネルギー研究所）2013.08.29, 【請求項１】, 【０１０５】－【０１０９】, 図１, 図１２ & US 2013/0181854 A1	１－１０
Y	JP 2012-60221 A（株式会社東芝）2012.03.22, 【００３６】－【００３７】, 【００４９】－【００６４】, 図４, 図８ & US 2012/0056770 A1	３－４

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．０７．２０１５	２８．０７．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　３９８７
栗栖　正和
電話番号　０３－３５８１－１１０１　内線　３５９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2009-118488 A（株式会社アドバンテスト（外１名））2009.05.28, 【００５５】, 図３ & US 2009/0121907 A1	１－１０