

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5543383号
(P5543383)

(45) 発行日 平成26年7月9日 (2014.7.9)

(24) 登録日 平成26年5月16日 (2014.5.16)

(51) Int.Cl.

F I

HO 1 L 21/8242 (2006.01)

HO 1 L 27/108 (2006.01)

HO 1 L 29/786 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 29/73 (2006.01)

HO 1 L 27/10 3 2 1

HO 1 L 29/78 6 1 3 B

HO 1 L 29/78 6 1 6 A

HO 1 L 29/78 6 2 6 C

HO 1 L 29/72 Z

請求項の数 14 外国語出願 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2011-4142 (P2011-4142)	(73) 特許権者	507088071
(22) 出願日	平成23年1月12日 (2011.1.12)		ソイテック
(65) 公開番号	特開2011-155259 (P2011-155259A)		フランス 3 8 1 9 0 ベルナン パルク
(43) 公開日	平成23年8月11日 (2011.8.11)		テクノロジー デ フォンティエヌ
審査請求日	平成23年3月14日 (2011.3.14)		シュマン デ フランク (番地なし)
(31) 優先権主張番号	1050244	(74) 代理人	110001243
(32) 優先日	平成22年1月14日 (2010.1.14)		特許業務法人 谷・阿部特許事務所
(33) 優先権主張国	フランス (FR)	(72) 発明者	カルロス マズレ
			フランス 3 8 1 9 0 ベルナン シュマ
			ン デュ バス ベルナン 1 4 3 レジ
			デンス シデックス 6 4 エー
		(72) 発明者	リチャード フェラン
			フランス 2 9 7 7 0 エスキピアン ヴ
			イレッジ デ シュグエンソウ (番地なし)
			最終頁に続く

(54) 【発明の名称】 埋め込み絶縁層を貫いて半導体層間に接触を有するデバイス、およびこのデバイスの製造プロセス

(57) 【特許請求の範囲】

【請求項 1】

半導体材料の薄い層と、
ベース基板と、
前記薄い層と前記ベース基板とを隔離する埋め込み絶縁層と、
を含み、前記薄い層は電界効果トランジスタのソース領域及びチャネル領域を含み、前記ベース基板は埋め込み注入ラインを含む、SeOI (Semiconductor-On-Insulator) 基板上に作製された半導体デバイスであって、前記半導体デバイスは、
前記薄い層内の第1の伝導領域と、
前記ベース基板内の第2の伝導領域であって、前記第2の伝導領域は前記埋め込み注入ラインに含まれる、第2の伝導領域と、
前記埋め込み絶縁層を貫通して前記第1の伝導領域と前記第2の伝導領域とを接続する接触部と、を含む、
前記第1の伝導領域は、バイポーラトランジスタのエミッター、前記電界効果トランジスタの前記ソース領域によって形成される前記バイポーラトランジスタのベースおよび前記電界効果トランジスタの前記チャネル領域によって形成される前記バイポーラトランジスタのコレクタを構成することを特徴とする半導体デバイス。

【請求項 2】

前記第2の伝導領域はバックコントロールゲート領域であり、前記第1の伝導領域はバ

ックコントロールゲートドライブラインに属することを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】

前記接触部はドーパされた半導体内部接続材料によって形成されることを特徴とする請求項 1 または 2 に記載の半導体デバイス。

【請求項 4】

前記接触部は、前記第 1 の伝導領域と同じ型の導電性である下部領域と、逆の型の導電性である上部領域とを有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体デバイス。

【請求項 5】

前記上部領域と前記下部領域との境界は前記埋め込み絶縁層と同じ水平面上に位置することを特徴とする請求項 4 に記載の半導体デバイス。

【請求項 6】

前記上部領域と前記下部領域との境界は前記第 1 の伝導領域上の前記薄い層と同じ水平面上に位置することを特徴とする請求項 4 に記載の半導体デバイス。

【請求項 7】

半導体材料の薄い層と、

ベース基板と、

前記薄い層と前記ベース基板との間に埋め込まれ、前記薄い層と前記ベース基板とを隔離する埋め込み絶縁層と、

を含み、前記薄い層は電界効果トランジスタのソース領域及びチャンネル領域を含み、前記ベース基板は埋め込み注入ラインを含む、SeOI (Semiconductor-On-Insulator) 基板上に作製された半導体デバイスを製作するプロセスであって、前記半導体デバイスは、

前記薄い層内の第 1 の伝導領域と、

前記ベース基板内の第 2 の伝導領域であって、前記第 2 の伝導領域は前記埋め込み注入ライン内に含まれる、第 2 の伝導領域と、を含み、

前記第 1 の伝導領域は、バイポーラトランジスタのエミッター、前記電界効果トランジスタの前記ソース領域によって形成される前記バイポーラトランジスタのベースおよび前記電界効果トランジスタの前記チャンネル領域によって形成される前記バイポーラトランジスタのコレクタを構成し、

前記プロセスは、前記埋め込み絶縁層を貫通して前記第 1 の伝導領域と前記第 2 の伝導領域を接続する接触部を形成するステップを含むことを特徴とするプロセス。

【請求項 8】

前記接触部を形成するために、

前記半導体基板内に、前記埋め込み絶縁層を越えて、前記第 1 の伝導領域を貫通し、前記第 2 の伝導領域に到達するまで延びている溝 (6) を形成するために前記半導体基板をエッチングするステップと、

内部接続材料によって前記溝を充填するステップと

が実行されることを特徴とする請求項 7 に記載のプロセス。

【請求項 9】

前記内部接続材料は事前にドーパされた半導体材料であることを特徴とする請求項 8 に記載のプロセス。

【請求項 10】

前記内部接続材料は半導体材料であり、前記溝内の前記半導体材料にドーピングするステップを更に含むことを特徴とする請求項 9 に記載のプロセス。

【請求項 11】

前記溝内の前記半導体材料にドーピングするステップは、前記溝内にドーパントを拡散させるアニーリング工程によって実行されることを特徴とする請求項 10 に記載のプロセス。

10

20

30

40

50

【請求項 1 2】

前記溝の上部領域（８）と下部領域（９）が逆の型の導電性を有することを特徴とする請求項 9 乃至 1 1 のいずれか 1 項に記載のプロセス。

【請求項 1 3】

前記上部領域と前記下部領域との境界は前記埋め込み絶縁層と同じ水平面上に位置することを特徴とする請求項 1 2 に記載のプロセス。

【請求項 1 4】

前記上部領域と前記下部領域との境界は前記第 1 の伝導領域上の前記薄い層と同じ水平面上に位置することを特徴とする請求項 1 2 に記載のプロセス。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

本発明の分野は、S e O I（S e m i c o n d u c t o r - O n - I n s u l a t o r）上に作製された半導体デバイスに関する。

【背景技術】

【0 0 0 2】

S e O I 基板は、埋め込み絶縁層によってベース基板から離された半導体材料の薄い層を含む。

【0 0 0 3】

このような基板上に作製された半導体デバイスは、概して、たとえば F E T トランジスタのチャンネルを帯電させるための、F E T トランジスタのドレイン領域またはソース領域、あるいは F E T トランジスタに関連したバイポーラトランジスタのエミッター領域といった、絶縁層上の薄い層内に作製された伝導領域を有する。

20

【0 0 0 4】

S e O I 基板上の半導体デバイスはまた、たとえば F E T トランジスタのチャンネルに面した埋め込みバックコントロールゲート（b u r i e d b a c k c o n t r o l g a t e）領域といった、絶縁層の真下のベース基板内に作製された伝導領域を有する。

【0 0 0 5】

接触（c o n t a c t）は、これら様々なタイプの伝導領域を供給するためになされる必要がある。概して、これら接触は、半導体基板の前面表面側上に作製される。よって、典型的には、F E T トランジスタに対して、前面表面側上に作製された金属接続によって、フロントコントロールゲート（f r o n t c o n t r o l g a t e）領域、ドレイン領域およびソース領域にそれぞれ接続されたワードライン（W o r d L i n e、W L）、ビットライン（B i t L i n e、B L）およびソースライン（S o u r c e L i n e、S L）がある。

30

【0 0 0 6】

概して、半導体デバイス、特にリソグラフィ工程に関して、製造を簡潔化するために、金属接続の数を制限することが望ましい。

【0 0 0 7】

その上、概して半導体デバイスのフットプリント（すなわち、後者によって占有された領域）を制限することが望ましい。前面表面を介した接続の作成は、必然的にフットプリントを増加させる。

40

【0 0 0 8】

さらに一般的には、これら接続の作製を可能な限り簡潔化することが望ましい。

【発明の概要】

【0 0 0 9】

本発明の目的は、これらの要求を満たし、この目的のために本発明の第 1 の側面は、埋め込み絶縁層によってベース基板から離された半導体材料の薄い層を含む S e O I 基板上に作製された半導体デバイスであって、デバイスは薄い層内に第 1 の伝導領域を、ベース基板内に第 2 の伝導領域を含み、埋め込み絶縁層を貫いて第 1 の領域を第 2 の領域に接続

50

している接触により特徴付けられる。

【0010】

このデバイスのある望ましくはあるが限定ではない特徴は以下の通りである：

- －第1の領域、第2の領域および接触は同じタイプの導電性を有する；
- －第1の領域はトランジスタのドレイン領域で、第2の領域は埋め込みビットラインに属する；
- －第1の領域はトランジスタのソース領域で、第2の領域は埋め込みソースラインに属する；
- －第1の領域はバイポーラトランジスタのエミッターから成り、第2の領域は埋め込み注入ラインに属する；
- －第2の領域はトランジスタのバックコントロールゲート領域であり、第1の領域はバックコントロールゲートドライブラインに属する；
- －接触は金属相互接続材料により形成される；
- －第1の領域および第2の領域は逆のタイプの導電性を有し、接触は、導電性が第1の領域と同じタイプの導電性である上部領域および導電性が第2の領域と同じタイプの導電性である下部領域を有する。

10

【0011】

他の側面によると、本発明は、絶縁層によってベース基板から離された半導体材料の薄い層を含むSeOI基板上に半導体デバイスを作製するプロセスに関し、デバイスは薄い層内に第1の伝導領域を、ベース基板に第2の伝導領域を含み、プロセスは絶縁層を貫いて第1の領域を第2の領域に接続する接触の構造によって特徴付けられる。

20

【0012】

SeOI基板上への半導体デバイスの作製のプロセスは絶縁層によってベース基板（2）から離された半導体材料の薄い層を含み、デバイスは薄い層内に第1の伝導領域を、ベース基板内に第2の伝導領域を含み、プロセスは絶縁層を貫いて第1の領域を第2の領域に接続する接触の構造によって特徴付けられる。

【0013】

このプロセスのある望ましくはあるが限定ではない特徴は以下の通りである：

- －接触を形成するために、以下のステップが実行される：
 - ・埋め込み絶縁層を超えて、第1の領域を貫通し、第2の領域に到達するまで延びた溝を内部に形成するための半導体基板のエッチング；および
 - ・溝の内部接続材料による充填；
- －内部接続材料は半導体材料である；
- －内部接続材料は予めドーピングされている；
- －溝内に半導体材料をドーピングするステップを更に含む；
- －溝の上部領域および下部領域は正負逆にドーピングされている；
- －上部領域と下部領域との境界は絶縁層と水平に位置している；
- －上部領域と下部領域との境界は第1の領域上の薄い層と水平に位置している；
- －内部接続材料は金属である。

30

【0014】

本発明のほかの特徴、目的および利点は、以下の、限定されない例を添付の図を参照しながら望ましい実施形態の詳しい記述を読むことにより、さらに明確になるであろう。

40

【図面の簡単な説明】

【0015】

【図1】絶縁層の直下にある、絶縁層を貫通して接続によってFETトランジスタのドレイン領域に接続されている埋め込みビットラインの1つの可能な実施形態を示す図である。

【図2】絶縁層の直下にある、絶縁層を貫通して接続によってソース領域SLに接続されている埋め込みソースラインの1つの可能な実施形態を示す図である。

【図3】絶縁層の直下にある、絶縁層を貫通して接続によってバイポーラトランジスタの

50

エミッター領域に接続されている埋め込み注入ラインの1つの可能な実施形態を示す図である。

【図4】半導体デバイスの2つの伝導領域を示し、第1の領域は薄い層内に位置し、第2の領域はベース基板内に位置することを示す図である。

【図5】埋め込み絶縁層を超えて、第1の領域を貫通し、第2の領域に到達するまで延びた溝の作製を示す図である。

【図6】溝の内部接続材料での充填を示す図である。

【図7a】リソグラフィーマスクを用いて実行された、内部接続材料のエッチングのほかの方法を示す図である。

【図7b】リソグラフィーマスクを用いず実行された、内部接続材料のエッチングのほかの方法を示す図である。

【図8】第1の伝導領域がS e O Iの全面表面に接触していない実施形態を示す図である。

【図9】第1の領域および第2の領域が逆のタイプの導電性を有する実施形態を示す図である。

【発明を実施するための形態】

【0016】

本発明の対象は、簡潔な方法で、S e O I基板上の半導体デバイスの半導体領域に接続するラインを提供することである。

【0017】

特に、本発明の目的は、デバイスのフットプリントを制限し、金属接続の使用を制限することである。

【0018】

このために、本発明は、半導体領域を、S e O I基板内の絶縁層からは反対の側に位置している他の半導体領域に、絶縁層を貫通して接続を使用して接続することを提案する。

【0019】

よって、S e O I基板上の薄い層内に位置する第1の半導体領域を考慮する場合、この第1の領域は、絶縁層を貫通する接続によって、埋め込み絶縁層の真下のベース基板内の第2の半導体領域によって形成されるアクセスラインに接続される。

【0020】

反対に、ベース基板内に位置する第1の半導体領域を考慮する場合、この第1の領域は、絶縁層を貫通する接続によって、埋め込み絶縁層の上の薄い層内の第2の半導体領域によって形成されるアクセスラインに接続される。

【0021】

第1の状況は、たとえば、F E Tトランジスタのドレイン領域またはソース領域タイプの薄い層内の第1の領域に関する。よって本発明は、絶縁層の真下のベース基板内にビットラインB LまたはソースラインS Lを埋め込むことを可能にする。

【0022】

第1の状況はまた、F E Tトランジスタのチャンネルに電荷を注入するためにF E Tトランジスタに関係するバイポーラトランジスタのエミッター領域タイプの薄い層内の第1の領域に関する。よって本発明は、絶縁層の真下のベース基板内のエミッター領域に注入ラインI Lを埋め込むことを可能にする。

【0023】

第2の状況は、たとえば、F E Tトランジスタのチャンネルに面する絶縁層の真下に位置するバックコントロールゲート領域タイプのベース基板内の第1の領域に関する。よって本発明は、バックコントロールゲートドライラインによってS e O I基板の全面表面を介してこの埋め込みバックコントロールゲートにアクセスすることを可能にする。

【0024】

本発明の文面では、表現「半導体領域の間の接続」は、同じタイプの導電性を有する半導体領域間のオーミック接合と、反対のタイプの導電性を有する半導体領域間のp n接合

10

20

30

40

50

との両方を意味する。

【0025】

図1から3は、埋め込み絶縁層によってベース基板から離された半導体材料の薄い層を含むSeOI (Semiconductor-On-Insulator) 基板上、望ましくはSOI (Silicon-On-Insulator) 基板上に作製される本発明の第1の側面の1つの可能な実施形態に従う半導体デバイスの断面図を示す。

【0026】

絶縁層はたとえばBOX (buried oxide) 層、典型的にはSiO₂ 層である。

【0027】

ここでは半導体デバイスはDRAMメモリセル (DRAMはダイナミックランダムアクセスメモリを表す) である。メモリセルは、ソースS、ドレインD1、フローティングチャネルC1を有するFETトランジスタを含む。ゲート誘電層およびコントロールゲート電極は順番にフローティングチャネルC1上に堆積する。

【0028】

ドレインD1およびソースSは、FETトランジスタが十分枯渇するように、埋め込み酸化層BOXと接していることが望ましい。

【0029】

よってソースSは2つの隣接したメモリセルの間を占有することがある (よってこれはドレインD2およびチャネルC2を有するFETトランジスタのソース領域としての機能を果たす)。この占有は、メモリセルのフットプリントが減少することを可能にする。

【0030】

ドレインD1はビットラインBLに、ソースSはソースラインSLに、コントロールゲートはワードラインWL1に接続される。

【0031】

図1に示す実施形態の文面内では、薄い層内ではドレインD1は第1の半導体領域 (たとえばnpn-FETトランジスタの場合、n+ドープ) を構成し、ドレインD1は、絶縁層BOXを貫通した接触I1によって、絶縁層BOXの真下のベース基板内に埋め込まれたビットラインBLに接続される。ビットラインBLは従って、ベース基板内に第2の半導体層を形成する。

【0032】

図1に示されるように、ビットラインBLは特に、ドレイン領域のそれぞれから提供される絶縁層を貫いてドレイン領域D1、D2がメモリアレイの1行上に沿うように接続するように位置されることがある。

【0033】

図2に示される実施形態の文面において、ソースSは薄い層内に第1の半導体領域 (たとえばnpn-FETトランジスタの場合、n+ドープ) を構成し、ソースSは、絶縁層BOXを貫通した接触I_Nによって、絶縁層BOXの真下のベース基板内に埋め込まれたソースラインSLに接続される。ソースラインSLは従って、ベース基板内に第2の半導体層を形成する。

【0034】

ソースラインSLは特に、ソース領域のそれぞれから提供される絶縁層を貫いてソース領域がメモリアレイの1行上に沿うように接続するように位置されることがある。埋め込みソースラインSLはよってワードラインWL1、WL2に平行である。

【0035】

図3に示される実施形態の文面において、ベースはFETトランジスタのソースSによって形成され、コレクタはトランジスタのチャネルC1によって形成される、バイポーラトランジスタは、チャネルC1に電荷を注入するためにFETトランジスタに関連付けられる。バイポーラトランジスタは薄い層内に第1の半導体領域 (たとえばnpn-FETトランジスタの場合、p+ドープ) を構成するエミッターEを有する。エミッターEは絶

10

20

30

40

50

縁層BOXを貫通した接触 I_p によって、絶縁層BOXの真下のベース基板内に埋め込まれた注入ラインILに接続される。注入ラインILは従って、ベース基板内に第2の半導体層を形成する。

【0036】

図1から3に示された例において、薄い層内の第1の領域および第2の領域は同じタイプ（図1、2では $n+$ 、図3では $p+$ ）の導電性を有し、よって内部接続 I_1 、 I_2 、 I_N 、 I_p は同じタイプの導電性を有する半導体材料によって提供される。

【0037】

ドーピングされた半導体材料を用いたアクセスラインを提供することは、金属接続の使用を避けることが理解される。

10

【0038】

さらに、これらラインを埋め込むことは全面表面上の表面を自由にする。この構造は、埋め込みアクセスラインが複数のメモリセルの真下に延びることができる限り、比較的柔軟性があり、単一の接続はラインによって複数のセルに対応する必要がある。

【0039】

埋め込みライン（図1ではビットライン、図2ではソースライン、図3では注入ライン）は、ダイオードを生成するために、外側の強調された孤立としての役割を果たすため、逆の導電性の井戸Wによってベース基板から孤立しているのが望ましい。

【0040】

しかし、本発明は、第1の領域と第2の領域とが逆の導電性である場合にも拡張する。この場合、接触は $p-n$ 接合を提供できる。

20

【0041】

接触は第1の領域と同じ導電性の上部領域と、第2の領域と同じ導電性の下部領域とを有する。

【0042】

ほかの実施形態において、接触は金属の性質の材料、とくにシリサイド（たとえば $WSiO_2$ ）によって提供されても良い。

【0043】

メモリトランジスタは図1、2、3に示されていたとしても、本発明はロジックMOSトランジスタの間の接続のすべてのタイプに適応できることは明らかであることに注目されたい。

30

【0044】

本発明の第1の側面に関する半導体デバイスの様々な実施形態は、図4から9を参照しながら、以下に記述される。

【0045】

図4は、埋め込み絶縁層3によってベース基板2から隔離された薄い層1を含むSeOI基板を示す。薄い層1は概して、デバイスが十分枯渇させられたか部分的に枯渇させられたかに依存して、数nmから数10nmの間の厚さを有する。絶縁層3は1nmから数10nmの間の厚さを有する。

【0046】

第1の半導体領域4は絶縁層上の薄い層1内に位置し、第2の半導体領域5は絶縁層下のベース基板内に位置する。

40

【0047】

第1および第2の領域4、5は以下に示す内部接続形成前に提供される必要はなく、この形成の間、または内部接続が形成されてから提供されても良い。

【0048】

図5を参照すると、半導体基板は埋め込み絶縁層を超えて、第1の領域4を貫通し、第2の領域5に到達するまで延びた溝6を内部に形成するためにエッチングされる。

【0049】

図6に示すように、溝6は内部接続材料7によって充填されている。

50

【0050】

内部接続材料は金属（たとえばシリサイド： $WSiO_2$ ）であってよい。よって、オーミック接続が絶縁層を貫通して第1の層4と第2の層5との間に形成される。

【0051】

内部接続材料は半導体材料であることが望ましく、典型的にはSeOI基板の薄い層と同じ材料である。

【0052】

SeOI基板においてたとえば、溝を埋めるためにSeOI基板の表面上にアモルファスまたは多結晶シリコンを堆積させる。

【0053】

代わりに、シリコンの原子層をALD (atomic layer deposition) によって堆積させても良い。

【0054】

次に、リソグラフィーマスクがSeOI基板の表面上に位置し、マスクは保持することを望まれる領域を覆う。領域に覆われていない堆積した材料はエッチングされる（図7a）。

【0055】

変形型として（図7b）、リソグラフィーマスクは使用されず、RIE (reactive ion etching) 型の局所エッチング工程が施され、基板の表面のすべての堆積された材料が取り除かれている。

【0056】

堆積される材料はドーピングされるのが望ましい。よって、接続される領域がどちらもn+型導電性（図1、2）またはどちらもp+型導電性（図3）である場合、堆積される材料はそれぞれn+またはp+型導電性である。

【0057】

よって方法は2つの経路を要求することに注意されたい：一つはある溝をn+Siで充填し、もう1つは他の溝をp+Siで充填することである。よって短絡の危険を回避するためにリソグラフィーマスクを使用することが望ましい。

【0058】

この点で、金属内部接続の作製は1つの充填されたパスのみを要求することに注意されたい。

【0059】

変形型として、材料を順番にドーピングしても良い。接続する2つの領域が同じ導電性のタイプを有する場合、第1の領域、絶縁層および第2の領域に位置する溝の領域は同じタイプのドーピングをなされる。

【0060】

第1の領域4がSeOI基板の全面表面に接続されていない、図8に示す場合、溝の上部領域8および下部領域9は逆の導電性を有し、上部領域と下部領域の境界は第1の領域4上の薄い層1と同じレベルに位置する。よって接続する領域がp+型の場合、溝の下部領域はp+型であり、第1の領域4上の上部領域はn+型であり、接点は薄い単結晶層内に作られる。逆の型のこれら導電性は、示された例においては、上部領域にn+型ドーピングを、下部領域にp+型ドーピングを、注入またはエピタキシによって得ることができる。

【0061】

本発明はまた、pn接合型の、逆の型の導電性を有する、接続する第1および第2の領域の図9に示す場合に拡張する。詳細は述べたように、溝内に、逆の導電性型の上部領域8と下部領域9を形成する（上部領域は第1の領域と同じ型、たとえばn+型の導電性を有し、下部領域は第2の領域と同じ型、たとえばp+型の導電性を有する）。溝の上部領域と下部領域の境界はpn接合の位置を定める。この接合は絶縁層と同じレベルになるよう選択されるのが望ましい。

10

20

30

40

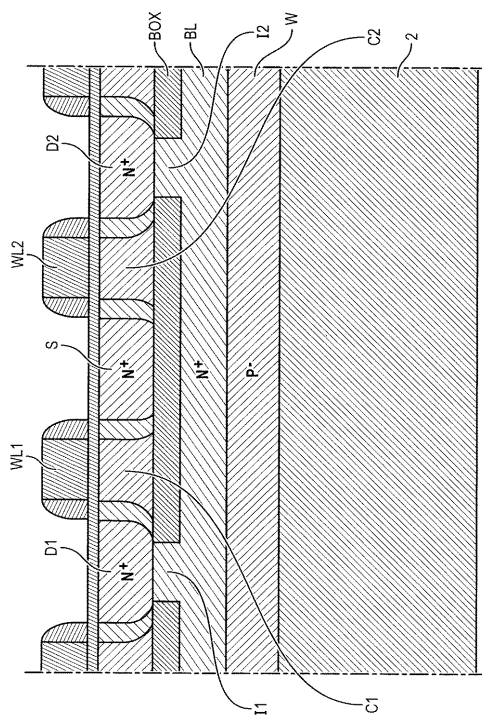
50

【0062】

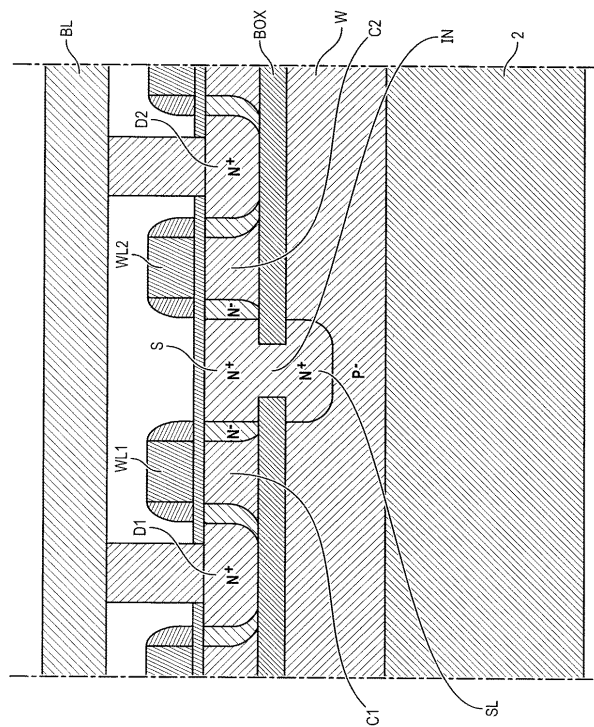
溝がドーピングされていない半導体材料で充填された場合、第1の領域4および第2の領域5から接触にドーパントが拡散するため、アニーリング工程を施すことができることに注意されたい。第1の領域4および第2の領域5のドーピングのレベルは、接触に向かってドーピングのレベルの希釈を考慮するために、最初は非常に高くなければならない（ 10^{20} のオーダー）。領域4および5が同じ極性の場合、オーミックコンタクトが生成される。逆に、領域4および5が逆にドーピングされていると、ダイオードが生成される。こうして生成されたダイオードは特に、注入のための4番目のドライブ電極を形成することによってメモリセルのバイポーラトランジスタに関連付けることができ（図3）、よってメモリセルを書き込み、消去のためにより低い電圧で操作することができる。

10

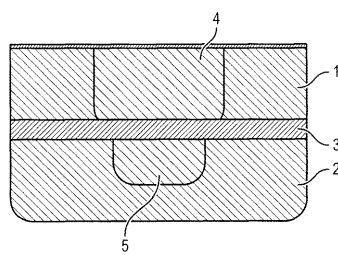
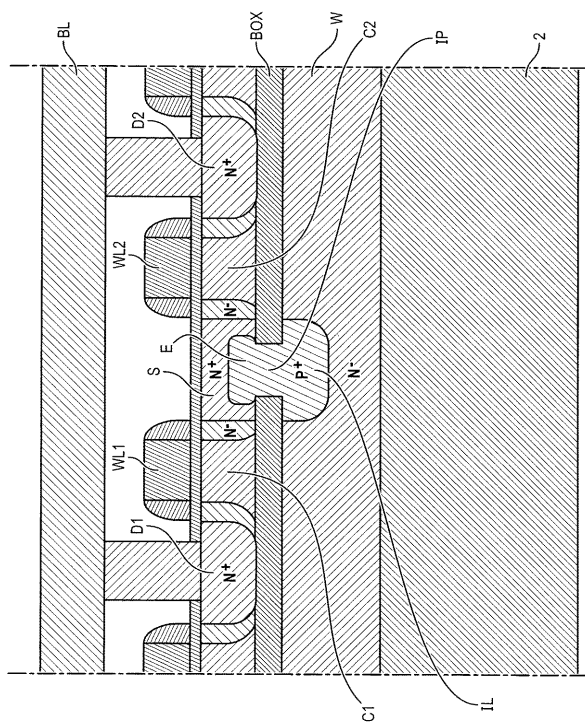
【図1】



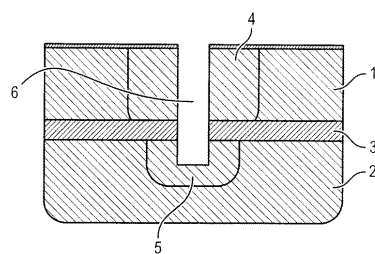
【図2】



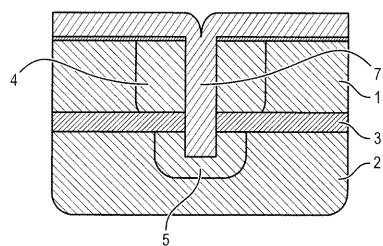
【図 4】



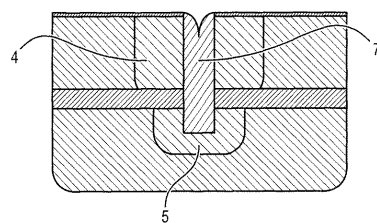
【図 5】



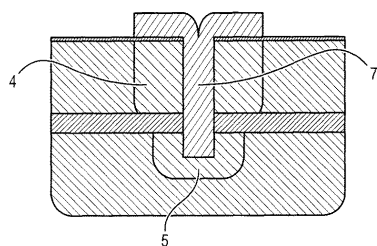
【图 6】



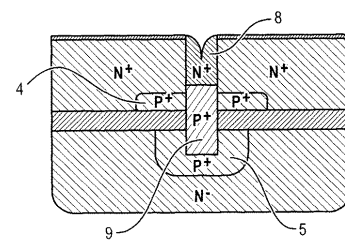
【図 7 b】



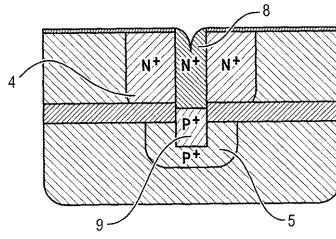
【図 7 a】



【图 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I

H01L 21/331 (2006.01)

審査官 溝本 安展

(56)参考文献 特開2011-146685 (JP, A)

特開平04-280469 (JP, A)

特開平04-225276 (JP, A)

特開平09-232537 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 21/331

H01L 21/336

H01L 27/108

H01L 29/73

H01L 29/786