

双面影印

公告本

申請日期	P1.2.25
案號	P1103342
類別	G11C110

A4
C4

550565

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中文	特定應用積體電路用嵌入式記憶體存取方法及系統
	英文	EMBEDDED MEMORY ACCESS METHOD AND SYSTEM FOR APPLICATION SPECIFIC INTEGRATED CIRCUITS
二、發明人	姓名	(1)羅拉 E. 塞門斯 Laura Elisabeth Simmons (2)章塞洛·亞契 Chancellor Archie
	國籍	美國 USA
	住、居所	(1)美國俄勒岡州柯瓦里斯·西北第16街419號 419 NW 16 TH , Corvallis, OR, U.S.A (2)美國俄勒岡州波特蘭·東北薩拉托加2434號 2434 NE Saratoga, Portland, OR, U.S.A
三、申請人	姓名 (名稱)	美商·安捷倫科技公司 Agilent Technologies Inc.
	國籍	美國 USA
	住、居所 (事務所)	美國加州帕羅亞托·佩吉密爾路395號 395 Page Mill Road, Palo Alto, CA, USA
	代表人姓名	瑪利 O. 休柏 Marie Oh Huber

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
美 2001,5,29 09/867,957

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係關於特定應用積體電路(ASIC)，且更特別關於特定應用積體電路(ASIC)用之嵌入式記憶體存取方法和系統。

發明背景

過去，記憶體典型上只在分立組包(如一分立DRAM)中被發現。分立DRAM提供由另一積體電路(IC)使用來存取該DRAM的資料、控制和位址埠。近年來，隨著特定應用積體電路(ASIC)之普及，關注於把具有ASIC的DRAM(參照為嵌入式DRAM架構)整合到相同組包中、來改善DRAM存取速率。一嵌入式DRAM架構因不再有組包延遲和寬幅延遲、而提供較快的存取速率。

第1圖說明具有需要對一分立DRAM 6來做存取的功能性方塊(如 block0和block1)之系統1。系統1使用一習知技術DRAM控制器7，來提供對分立DRAM 6之讀取和寫入存取。請注意，一晶片邊界5把分立DRAM 6和控制器7分開。DRAM控制器7包括用來接收來自功能性方塊的要求、且選擇性地把對DRAM 6之存取給予功能性方塊中之一個的一判定器9。一資料和控制駕馭單元8被設置來接收來自各個功能性方塊的成組之資料、控制和位址信號，及來自判定器9的一選擇信號。根據這些輸入，資料和控制駕馭單元8產生成組之信號之一個、或把它提供至分立DRAM 6。以此方式，資料和控制寄駕馭單元8於任一時間、把對DRAM 6之存取提供至功能性方塊中之一個。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

不幸地，此目前架構限制存取分立DRAM的資料匯流排之寬度。典型上，至分立DRAM之資料匯流排係4至16位元。在此例子中，匯流排寬度為8位元。如可銘感地，不管內部資料匯流排之寬度地，DRAM匯流排引起資料流動之頻帶寬的限制。

換言之，在ASIC外部的資料匯流排寬度和ASIC內部的資料匯流排寬度上有一誤匹配。此誤匹配從頻帶寬觀點上、使系統實施一次佳工作。

在此情況中，DRAM控制器典型地接收較大資料字組、且使用多個DRAM存取來實施一操作。DRAM控制器在做多重存取時、需要一些資料緩衝器來儲存資料。

在其中具有寬資料匯流排的一嵌入式DRAM與ASIC來整合之情況中，DRAM控制器因內部資料匯流排寬度小於DRAM資料匯流排、而需要來緩衝要寫入至DRAM之內部資料。同樣地，自DRAM讀取的資料需被緩衝、和劃分成較小單元，且然後提供至ASIC中的功能性方塊。

一方法係重新設計內部ASIC資料路徑，以獲取寬資料匯流排之優點。然而，此方法不只涉及明顯成本和設計人力，也限制此一ASIC針對嵌入式記憶體應用(即專用於嵌入式記憶體)的使用。如可銘感地，期望有一機構、可獲取由嵌入式DRAM架構所提供寬資料匯流排之優點，且具彈性、足以支援分立DRAM應用。

根據前述者，需要一種嵌入式記憶體用之記憶體存取方法和系統，來克服前述缺點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

發明之概要

根據本發明之一實施例，一種記憶體存取用之特定應用積體電路(ASIC)架構被提供。第一功能性方塊提供與第一記憶體存取相關聯之一第一位址、一第一行位址選通信號、及一第一讀取/寫入信號。第二功能性方塊提供與第二記憶體存取相關聯之一第二位址、一第二行位址選通信號、及一第二讀取/寫入信號。

該ASIC架構包括耦合於第一功能性方塊和第二功能性方塊的一嵌入式記憶體介面。此嵌入式記憶體介面同時地(在此參照為同時存取)、或不同時地(在此參照為連續或不同時存取)來提供對一嵌入式記憶體之第一功能性方塊和第二功能性方塊存取。當預定情況被符合時，嵌入式記憶體介面對嵌入式記憶體、提供第一功能性方塊和第二功能性方塊同時存取。當預定情況不符合時，嵌入式記憶體介面對嵌入式記憶體、提供連續存取。

在一實施例中，該ASIC架構也包括耦合於第一功能性方塊和第二功能性方塊的一分立記憶體介面。此分立記憶體介面不同時地(在此參照為連續存取或不同時存取)來提供對一分立記憶體之第一功能性方塊和第二功能性方塊存取。較佳地，該分立記憶體介面和嵌入式記憶體介面都由一暫存器傳送語言來規定。在合成期間，分立記憶體介面或嵌入式記憶體介面依賴於應用是否具有一分立記憶體或一嵌入式記憶體、而被合成。

圖式之簡單描述

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明（4）

在附圖之圖式中和其中相同參考標號參照於類似元件，藉由舉例、而非藉由限定，來說明本發明。

第1圖說明一習知技術DRAM控制器；

第2圖說明根據本發明之一實施例的ASIC架構；

第3圖更詳細說明根據本發明之一實施例的第2圖之嵌入式記憶體介面；

第4圖更詳細說明根據本發明之一實施例的第3圖之同時存取機構(SAM)；

第5圖更詳細說明根據本發明之一實施例的嵌入式記憶體介面；

第6圖係說明由依據本發明之一實施例的第2圖之嵌入式記憶體介面所實施的處理步驟之流程圖；及

第7圖說明可由本發明之嵌入式記憶體來利用的例示記憶體組態。

較佳實施例之詳細描述

一種嵌入式記憶體用之存取方法和系統被描述。在下列描述中，為了解說，多數特定細節被設置，來提供本發明之全然瞭解。然而，對熟知該技術者將為明顯、本發明可沒有這些特定細節地被實施。在其他例子中，熟知結構和裝置被顯示於方塊圖形式，來避免不必要地模糊本發明。

[ASIC架構200]

第2圖說明根據本發明之一實施例的ASIC架構200。ASIC架構200包括可例如為一嵌入式記憶體之記憶體240。如稍後進一步詳述地，記憶體240在分立記憶體介面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

(I/F)被使用時，可為分立記憶體。

ASIC架構200包括多個功能性方塊，諸如需要記憶體存取的一第一功能性方塊(FB0)210、一第二功能性方塊(FB2)220、...、及一第N功能性方塊(FBN)230。各功能性方塊可實施一或更多功能。功能性方塊之例子可為例如、但不限於一直接記憶體存取(DMA)功能性方塊、一處理器、一視訊處理器、一佇列控制器、解壓縮方塊、和資料路徑方塊。

ASIC架構200也可包括一嵌入式記憶體240(如一嵌入式動態隨機存取記憶體(DRAM))。如此後更詳述地，記憶體240在分立記憶體介面(I/F)被使用時，可為分立記憶體。

ASIC架構200也可包括用來與一分立記憶體介接的一分立記憶體I/F 250，和用來與一嵌入式記憶體240介接的一嵌入式記憶體I/F 260。分立記憶體I/F 250被耦合於各功能性方塊、來接收記憶體存取信號(如控制信號、位址信號、和資料信號)，且根據這些輸入來產生控制分立記憶體之信號。嵌入式記憶體I/F 260被耦合於各功能性方塊、來接收記憶體存取信號(如控制信號、位址信號、和資料信號)，且根據這些輸入來產生控制嵌入式記憶體之經修正記憶體存取信號。嵌入式記憶體I/F 260之操作參考於第3圖而更詳述於後。

將瞭解到，在合成期間、分立記憶體I/F 250或嵌入式記憶體I/F 260可依賴應用來實施(即不管應用具有一嵌入式記憶體、或利用一分立記憶體)。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

[嵌入式記憶體介面 260]

第3圖更詳細說明根據本發明之一實施例的第2圖之嵌入式記憶體介面260。嵌入式記憶體介面260包括用來接收來自多個功能性方塊之信號的一存取型判定單元310。在此實施例中，位址信號(如B0_addr、B1_addr、...、BN_addr)和控制信號(如B0_RW、B1_RW、...、BN_RW)被接收。

存取型判定單元310包括用來接收來自多個功能性方塊之位址的一位址匹配設備320，來判定存取是否係針對相同記憶體位置。存取型判定單元310包括用來接收來自多個功能性方塊之控制信號(如RW信號)的一控制信號匹配設備330，來判定控制信號是否相同。請注意，控制信號匹配設備330在記憶體240能夠同時讀取和寫入相同列中的不同行時，可被省略。

當存取係針對相同記憶體位置、且特定記憶體操作係相同(即都為寫入操作、或讀取操作)時，一同時存取機構(SAM)340被使用、來存取記憶體240。當存取係不針對相同記憶體位置(即功能性方塊中之至少一個需要不同記憶體位置之記憶體存取)、或所需操作為不同時(如在一功能性方塊需要一讀取存取、且其他功能性方塊需要寫入存取時)，一連續存取機構(CAM)350被使用來存取記憶體240。

[同時存取機構(SAM)340]

第4圖更詳細說明根據本發明之一實施例的第3圖之同時存取機構(SAM)340。同時存取機構(SAM)340包括一多方塊資料I/F管理員410、一位址駕馭設備420、一多方塊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

行位址選通(CAS)管理員430、及可取捨的一同時讀取和寫入管理員440。

多方塊資料I/F管理員410接收來自至少兩不同功能性方塊之資料。在一例中，多方塊資料I/F管理員410接收來自十六個功能性方塊的八位元資料。多方塊資料I/F管理員410然後把來自不同功能性方塊的資料信號組合或串連，且產生具有來自不同功能性方塊的128資料信號之一組合資料信號。此組合資料信號然後提供到耦合於記憶體240的一寬資料匯流排(如128位元)上。

請注意，藉由利用SAM 340、十六個方塊之資料可在單一週期中被存取。如可銘感地，本發明之SAM 340因習知技術中、相同資料需要其中各週期取回八位元資料的多個存取(如十六個背對背週期)，而提供明顯時間節省。

位址駕馭設備420接收供記憶體存取用之位址，且把位址提供到耦合於記憶體240的位址匯流排上。

多方塊行位址選通(CAS)管理員430接收來自至少兩不同功能性方塊的行位址選通(CAS)信號。在一例子中，多方塊CAS管理員430接收來自各功能性方塊之一CAS信號。多方塊CAS管理員430然後把一CAS信號(如CAS_B0、CAS_B1、...、CAS_BN)提供給各功能性方塊，允許各功能性方塊來獨立地控制對記憶體240中的一特定行之存取。使用來自不同功能性方塊的CAS信號、利用資料匯流排之增加寬度的優點，且允許各功能性方塊對記憶體中之一行的個別存取。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

替換地，各功能性方塊可控制多於一個CAS信號。例如，在具有使用一24位元資料匯流排的第一功能性方塊、和各有一8位元資料匯流排的其他功能性方塊之應用中，第一功能性方塊可一次控制三個CAS信號。

同時讀取和寫入管理員440在記憶體240被特別組配來允許單一系列中的不同行之同時讀取和寫入操作時，可取捨地來設置。

關於允許單一系列中的不同行之同時讀取和寫入操作的一記憶體之特定實施例的進一步細節，可在2001年5月29日與其同時申請、由發明人Laura Elisabeth Simmons、名為“用來支援不同型式之同時存取的記憶體架構”的共同審查專利申請案中可找到，其在此被合併參考。

同時讀取和寫入管理員440接收來自各功能性方塊的一讀取/寫入(R/W)控制信號，且把控制信號提供給記憶體240。此此方式，相同列中的不同行可針對不同記憶體操作來存取。例如，一行可針對一讀取存取、由第一功能性方塊來存取，且相同列中的另一行可針對一寫入存取、由第二功能性方塊來存取。

第5圖更詳細說明根據本發明之一實施例的嵌入式記憶體介面。在此實施例中，一位址/控制產生和裁決設備510被設置、來接收來自功能性方塊(如block0和block1)的控制信號(如讀取/寫入信號)，且產生一單一位址和單一控制信號。

位址/控制產生和裁決設備510判定所接收位址是否匹

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

配，且控制信號是否規定一共同記憶體操作。當這些情況都符合時，位址/控制產生和裁決設備510提供共同位址和共同控制信號。各功能性方塊提出其個別行位址選通信號(如CAS0和CAS1)。各功能性方塊也接收一部份資料匯流排(如block0接收資料[7:0]、且block1接收資料[15:8])。

當上述情況沒有一個可符合時，對嵌入式記憶體的連續或順序存取被提供至功能性方塊。例如，位址/控制產生和裁決設備510根據一預定裁決設計、來判定於不同時間對功能性方塊之記憶體520控制。在此實施例中，一要求信號和對應允諾信號可提供由各功能性方塊來使用，以自位址/控制產生和裁決設備510來要求和接收對記憶體520之存取。

列位址選通信號可由各功能性方塊來個別地提供，或由位址/控制產生和裁決設備510來產生。

[處理流程]

第6圖係說明由依據本發明之一實施例的第2圖之嵌入式記憶體介面所實施的處理步驟之流程圖。在步驟610，從第一功能性方塊來接收一第一記憶體存取要求。第一記憶體存取要求可包括規定記憶體中用於與存取相關聯之存取和控制信號(如列位址選通信號、行位址選通信號、讀取/寫入信號)的位置之一第一位址。在步驟620，從第二功能性方塊來接收一第二記憶體存取要求。第二記憶體存取要求可包括規定記憶體中用於與存取相關聯之存取和控制信號(如列位址選通信號、行位址選通信號、讀取/寫入信號)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

的位置之一第二位址。

在步驟630，第一位址與第二位址做比較、來判定該等位址是否匹配。當沒有匹配時，在步驟670，本發明之嵌入式記憶體介面允許各功能性方塊、於不同時間來存取記憶體(如以一順序或連續方式)。連續存取可藉使用一預定裁決設計來實施。預定裁決設計係為熟知該技術者所熟知，且可例如為一圓鳥設計、由狀態機器實施的一優先度式裁決設計、或一可程式硬體組件。

當有匹配時，在判定方塊640，來判定第一存取要求之型式與第二存取要求之型式是否相同(如兩存取是否都為讀取操作、或兩存取都為寫入操作)。做此判定的一方法係比較各存取之讀取/寫入控制信號，來判定該等信號是否相同。對於那些不支援對相同列中的不同行之同時讀取和寫入操作的記憶體240，此檢查是需要的。換言之，當記憶體只支援針對一系列中的所有行之所有讀取操作或所有寫入操作時，此檢查可確定來自不同功能性方塊的讀取和寫入控制信號為一致。

然而，此判定方塊在記憶體240支援相同列中的不同行之同時讀取和寫入操作時，可被放鬆。

當第一存取之型式和第二存取之型式係相同時，則在步驟660，對記憶體之同時存取被提供給第一功能性方塊和第二功能性方塊兩者。例如，第一功能性方塊可存取第一行(如column0)中的每一位元組，且第二功能性方塊可存取第二行(如column1)中的每個位元組，等等。在此方面，各

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

功能性方塊具有佔用一高大列空間的資料，但該資料不展佈於其他行。處理然後繼續於處理步驟610。當第一存取之型式和第二存取之型式不相同時，則處理進行至步驟660，其中對記憶體之連續存取被提供給功能性方塊。其後，處理繼續於處理步驟610。

[例示記憶體組態]

第7圖說明可由本發明之嵌入式記憶體來利用的例示記憶體組態。請注意，各功能性方塊被配置有包括一行記憶體之記憶體空間。各行可藉由利用一相關聯行位址選通(CAS)信號來個別地存取。在此例子中，各行可為八位元寬，且有十六個功能性方塊、導致128位元寬的一資料匯流排。各功能性方塊控制總共N個CAS信號之一或更多CAS線(如其中N等於十六)。

請參考第2圖，分立記憶體I/F 250和嵌入式記憶體I/F 260被設計於ASIC中的一記憶體控制方塊中(如規定於暫存器傳送語言(RTL)上的)。依賴於應用(如嵌入式記憶體或分立記憶體)，在合成步驟期間，分立記憶體I/F 250或嵌入式記憶體I/F 260被合成。以此方式，本發明之ASIC設計提供可彈性地適於分立記憶體產品和嵌入式記憶體兩者的一記憶體控制架構。結果，由本發明提供的ASIC架構不限定對分立記憶體、或目前/傳統ASIC架構的架構相容度，來獲得由嵌入式記憶體所提供的寬幅資料匯流排之優點。本發明之ASIC架構在縮短記憶體存取時間、節省成本、和上市時間之縮減上，會提供更佳性質，因為分立記憶體I/F 和

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明（ 12 ）

嵌入式記憶體 I/F 都合併在設計內、且不需要 ASIC 資料路徑之重新設計。

在前述說明中，已參考特定實施例來描述本發明。然而明顯地，可對其做各種修正和改變、不致偏離發明之寬幅範疇。說明書和圖式據此被視為說明性、而非限制性。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (13)

元件標號對照

1...系統	260...嵌入式記憶體I/F
5...晶片邊界	310...存取型判定單元
6...分立DRAM	320...位址匹配設備
7...習知技術DRAM控制器	330...控制信號匹配設備
8...資料和控制駕馭單元	340...同時存取機構(SAM)
9...裁決器	350...連續存取機構(CAM)
200...特定應用積體電路 (ASIC)架構	410...多方塊資料I/F管理員
210...第一功能性方塊	420...位址駕馭設備
220...第一功能性方塊	430...多方塊行位址選通 (CAS)管理員
230...第N功能性方塊	440...同時讀取和寫入管理員
240、520...記憶體	510...位址/控制產生和裁決設備
250...分立記憶體介面(I/F)	610-670...步驟

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱： 特定應用積體電路用嵌入式記憶體存取方法及系統)

一種供記憶體存取用之特定應用積體電路(ASIC)架構。第一功能性方塊提供與第一記憶體存取相關聯之一第一位址、一第一行位址選通信號、及一第一讀取/寫入信號。第二功能性方塊提供與第二記憶體存取相關聯之一第二位址、一第二行位址選通信號、及一第二讀取/寫入信號。該ASIC架構包括耦合於第一功能性方塊和第二功能性方塊之一嵌入式記憶體介面。此嵌入式記憶體介面同時地(在此參照為同時存取)、或不同時地(在此參照為連續或不同時存取)來提供第一功能性方塊和第二功能性方塊對一嵌入式記憶體之存取。當預定情況被符合時，嵌入式記憶體介面對嵌入式記憶體、提供第一功能性方塊和第二功能性方塊同時存取。當預定情況不符合時，嵌入式記憶體介面對嵌入式記憶體、提供連續存取。

英文發明摘要(發明之名稱： EMBEDDED MEMORY ACCESS METHOD AND SYSTEM)
FOR APPLICATION SPECIFIC INTEGRATED
CIRCUITS

An application specific integrated circuit (ASIC) architecture for memory access. A first functional block provides a first address, a first column address strobe signal, and a first read/write signal associated with a first memory access. A second functional block provides a second address, a second column address strobe signal, and a second read/write signal associated with a second memory access. The ASIC architecture includes an embedded memory interface that is coupled to the first functional block and the second functional block. The embedded memory interface provides the first functional block and the second functional block access to an embedded memory either at the same time (referred to herein as concurrent access or simultaneous access) or at different times (referred to herein as consecutive or non-concurrent access). When predetermined conditions are met, the embedded memory interface provides the first functional block and the second functional block concurrent access to the embedded memory. When the predetermined conditions are not met, the embedded memory interface provides consecutive access to the embedded memory.

六、申請專利範圍

1. 一種特定應用積體電路，包含有：

a)一第一功能性方塊，用來提供一第一位址、一第一個行位址選通信號、及一第一讀取/寫入信號；

b)一第二功能性方塊，用來提供一第二位址、一第二個行位址選通信號、及一第二讀取/寫入信號；及

c)一嵌入式記憶體介面，耦合於該第一功能性方塊和該第二功能性方塊，該嵌入式記憶體介面用來在預定情況被符合時同時來提供該第一功能性方塊和該第二功能性方塊對一嵌入式記憶體之存取、且在該預定情況不符合時以不同時間來提供該第一功能性方塊和該第二功能性方塊對該嵌入式記憶體之存取。

2. 依據申請專利範圍第1項之電路，其中該嵌入式記憶體介面包括：

一存取型判定單元，用來判定一存取之型式：

一同時存取機構，耦合於該存取型判定單元、用來處理對該記憶體之同時存取；及

一連續存取機構，耦合於該存取型判定單元、用來處理對該記憶體之連續存取。

3. 依據申請專利範圍第1項之電路，其中該連續存取機構包括：

一裁決器，用來裁決在該等第一和第二功能性方塊間的該記憶體之控制；及

一資料和控制駕馭設備，耦合於該裁決器、用來選擇性地提供來自該第一功能性方塊的一第一組集之資

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

料和控制信號和來自該第二功能性方塊的一第二組集之資料和控制信號中的一個。

4. 依據申請專利範圍第3項之電路，其中該裁決器實施一優先度式裁決設計和一圖鳥裁決設計中的一個。
5. 依據申請專利範圍第1項之電路，其中該同時存取機構包括：

一多方塊資料介面管理員，用來接收來自該等第一和第二功能性方塊之資料信號、把該等資料信號串連成一組合資料信號、且把該等資料信號提供至一寬幅記憶體資料匯流排；及

一多方塊行位址選通管理員，用來接收來自該等第一和第二功能性方塊之行位址選通信號、且提供該等行位址選通信號來允許該記憶體中不同行之個別存取。

6. 依據申請專利範圍第5項之電路，其中該同時存取機構更包含：

一位址駕馭設備，用來接收來自該等第一和第二功能性方塊的位址、且把該位址提供至該記憶體；及

一讀取/寫入控制信號駕馭設備，用來接收分別來自該等第一和第二功能性方塊的第一和第二讀取/寫入控制信號、且把該等第一和第二讀取/寫入控制信號提供至該記憶體。

7. 依據申請專利範圍第5項之電路，其中該同時存取機構更包含：

一共同控制信號產生器，用來接收一個列位址選通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

信號和一讀取/寫入控制信號、且把該列位址選通信號和該讀取/寫入控制信號提供至該記憶體。

8. 依據申請專利範圍第2項之電路，其中用來判定一存取之型式的該存取型判定單元更包含：

一位址匹配單元，用來接收來自該第一功能性方塊的一第一位址和來自該第二功能性方塊的一第二位址、比較該等第一和第二位址、且判定該等位址是否匹配，當該等位址不匹配時、該嵌入式記憶體使用該連續存取機構來處理該記憶體存取；及

一讀取/寫入控制信號匹配單元，用來接收來自該第一功能性方塊的一第一讀取/寫入控制信號和來自該第二功能性方塊的一第二讀取/寫入控制信號、比較該等第一和第二讀取/寫入控制信號、且判定該等讀取/寫入控制信號是否匹配，當該等讀取/寫入控制信號係相同時、該嵌入式記憶體使用該同時存取機構來處理該記憶體存取。

9. 依據申請專利範圍第1項之電路，其更包含：

d) 一分立記憶體介面，耦合至該第一功能性方塊和該第二功能性方塊、以不同時間來提供該第一功能性方塊和該第二功能性方塊對一分立記憶體之存取；及

其中該等分立記憶體介面和嵌入式記憶體介面都由一暫存器傳送語言來規定；且其中該等分立記憶體介面和嵌入式記憶體介面中之一個係依賴應用是具有一分立記憶體或一嵌入式記憶體、而被合成。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

10. 依據申請專利範圍第1項之電路，其更包含：

一嵌入式記憶體，耦合於該嵌入式記憶體介面、用來儲存資料。

11. 依據申請專利範圍第10項之電路，其中該嵌入式記憶體係一嵌入式動態隨機存取記憶體(DRAM)。

12. 一種對嵌入式記憶體來提供至少兩功能性方塊存取之方法，該方法包含下列步驟：

a)接收來自一第一功能性方塊的一第一位址和第一讀取/寫入信號；

b)接收來自一第二功能性方塊的一第二位址和第二讀取/寫入信號；

c)把該第一位址與該第二位址作比較，且判定是否有一匹配；

d)當沒有匹配時，允許該第一功能性方塊和該第二功能性方塊於不同時間對該記憶體之存取；

e)當有一匹配時，判定該第一讀取/寫入信號和該第二讀取/寫入信號是否規定一相同記憶體操作；

f)當不同記憶體操作被規定時，允許該第一功能性方塊和該第二功能性方塊於不同時間對該記憶體之存取；

g)當相同記憶體操作被規定時，允許該第一功能性方塊和該第二功能性方塊於相同時間來存取該記憶體。

13. 依據申請專利範圍第12項之方法，其更包含：

a)接收來自該第一功能性方塊的一第一個行位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

選通信號；

b)接收來自該第二功能性方塊的一第二個行位址選通信號；及

c)使用該第一個行位址選通信號和該第二個行位址選通信號，來個別地存取與該第一功能性方塊和該第二功能性方塊相關聯之不同行。

14. 依據申請專利範圍第12項之方法，其中當沒有匹配時，允許於不同時間對該記憶體之該第一功能性方塊和該第二功能性方塊存取的該步驟包括下面步驟：

使用一預定裁決設計來判定該第一功能性方塊何時可具有對該記憶體之存取、和該第二功能性方塊何時可具有對該記憶體之存取。

15. 依據申請專利範圍第12項之方法，其中該嵌入式記憶體係一嵌入式動態隨機存取記憶體(DRAM)。

16. 一種對嵌入式記憶體來提供至少兩功能性方塊存取之方法，該嵌入式記憶體支援在相同列之不同行上的同時讀取操作和寫入操作，該方法包含下列步驟：

a)接收來自一第一功能性方塊的一第一位址和一第一讀取/寫入信號；

b)接收來自一第二功能性方塊的一第二位址和一第二讀取/寫入信號；

c)把該第一位址與該第二位址作比較，且判定是否有一匹配；

d)當沒有匹配時，允許該第一功能性方塊和該第二

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

功能性方塊於不同時間對該記憶體之存取；

e)當有一匹配時，允許該第一功能性方塊和該第二功能性方塊於相同時間來存取該記憶體。

17. 一種特定應用積體電路，包含有：

a)一第一功能性方塊，用來提供一第一位址、一第一個行位址選通信號、及一第一讀取/寫入信號；

b)一第二功能性方塊，用來提供一第二位址、一第二個行位址選通信號、及一第二讀取/寫入信號；及

c)一嵌入式記憶體介面，耦合於該第一功能性方塊和該第二功能性方塊，該嵌入式記憶體介面用來提供對由該第一位址規定於該第一功能性方塊的一嵌入式記憶體之一位置的存取、和用來提供對由該第二位址規定於該第二功能性方塊的一嵌入式記憶體之一位置的存取；

其中該嵌入式記憶體介面在該第一位址與該第二位址匹配時，允許該第一功能性方塊和該第二功能性方塊於相同時間來存取該記憶體；

其中該嵌入式記憶體介面在該第一位址與該第二位址不匹配時，允許該第一功能性方塊和該第二功能性方塊於不同時間來對該嵌入式記憶體作存取。

18. 依據申請專利範圍第17項之電路，其更包含：

d)一分立記憶體介面，耦合至該第一功能性方塊和該第二功能性方塊、用來提供該第一功能性方塊和該第二功能性方塊以不同時間對一分立記憶體之存取；其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

中該等分立記憶體介面和嵌入式記憶體介面都由一暫存器傳送語言來規定；

其中該等分立記憶體介面和嵌入式記憶體介面中之一個係依賴應用是具有一分立記憶體或一嵌入式記憶體、而被合成。

19. 依據申請專利範圍第17項之電路，其中該嵌入式記憶體介面更包含：

同時讀取寫入管理員，用來管理對該嵌入式記憶體之同時讀取存取和寫入存取。

20. 依據申請專利範圍第17項之電路，其更包含：

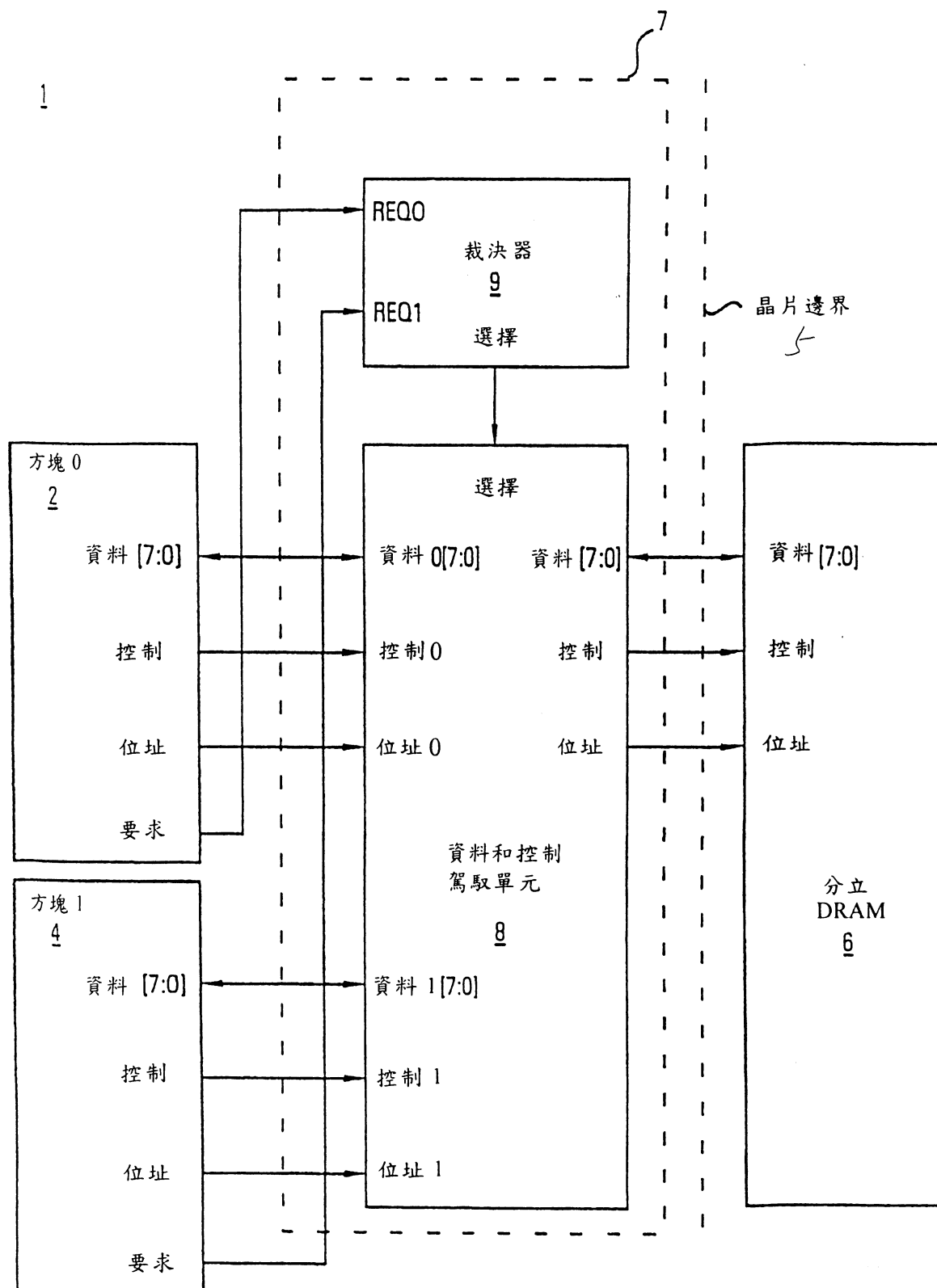
一嵌入式記憶體，耦合於該嵌入式記憶體介面、用來儲存資料；

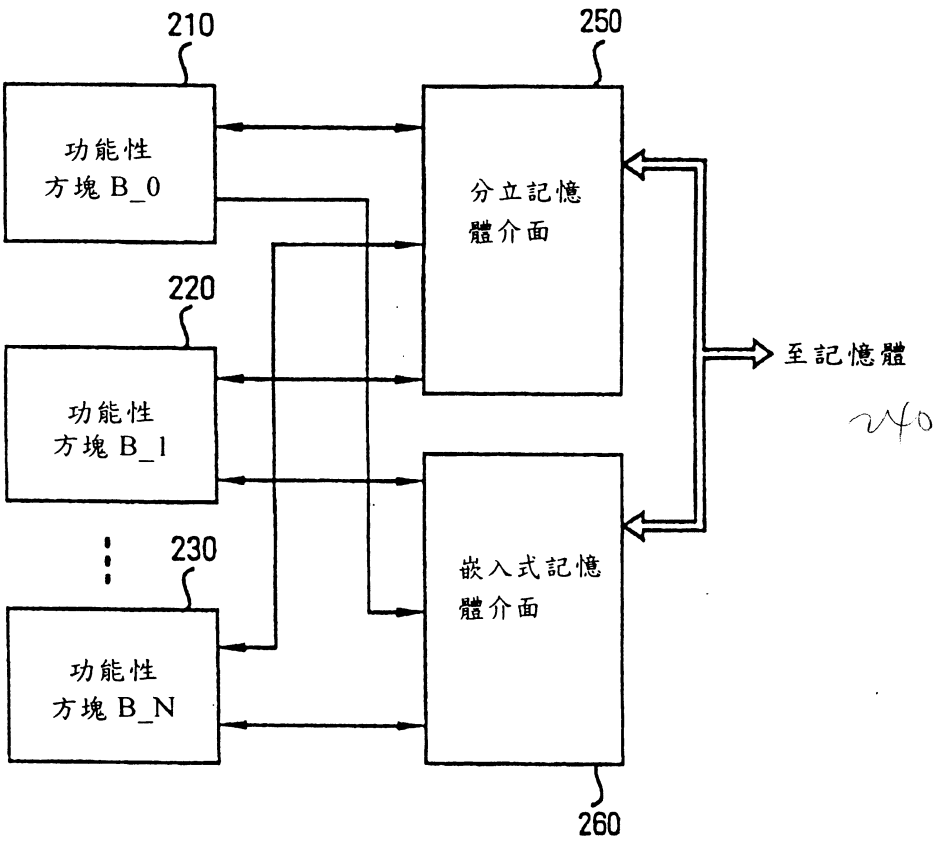
其中該嵌入式記憶體支援同時讀取存取和寫入存取。

21. 依據申請專利範圍第17項之電路，其中該嵌入式記憶體係一嵌入式動態隨機存取記憶體(DRAM)。

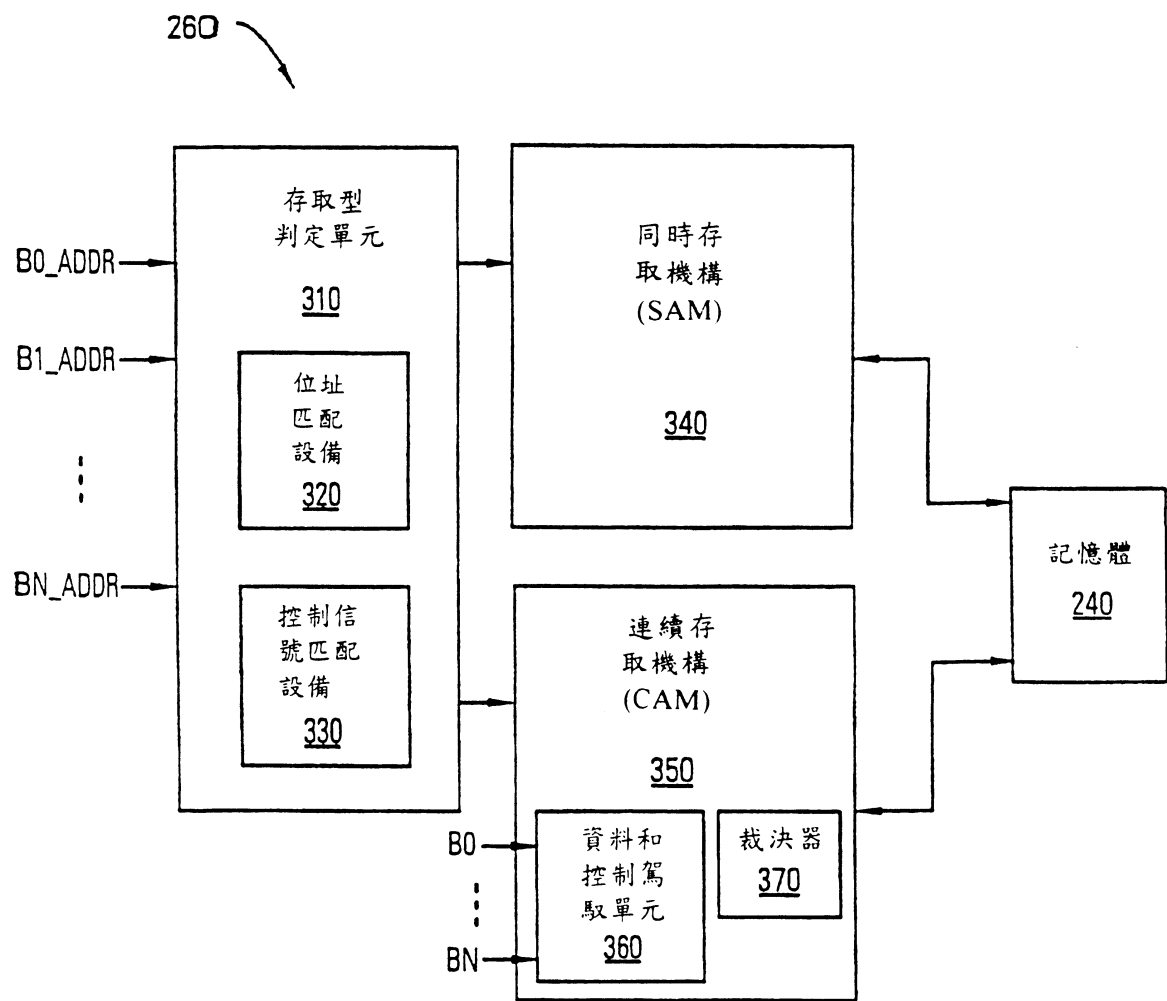
(請先閱讀背面之注意事項再填寫本頁)

訂

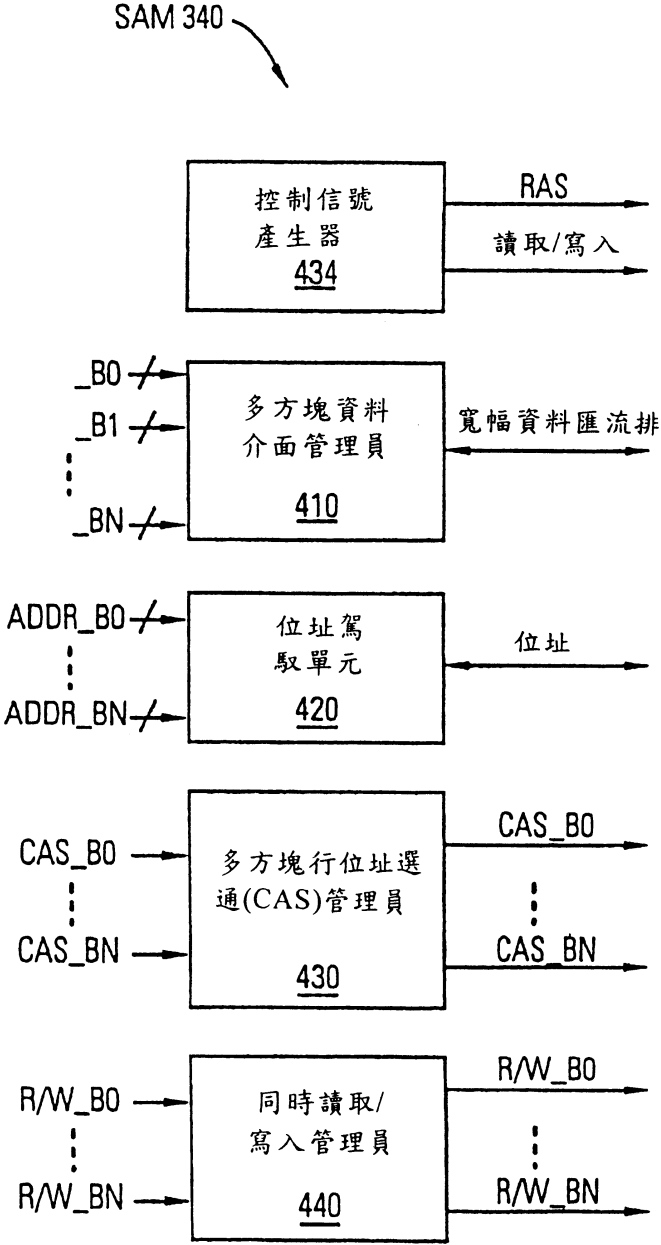




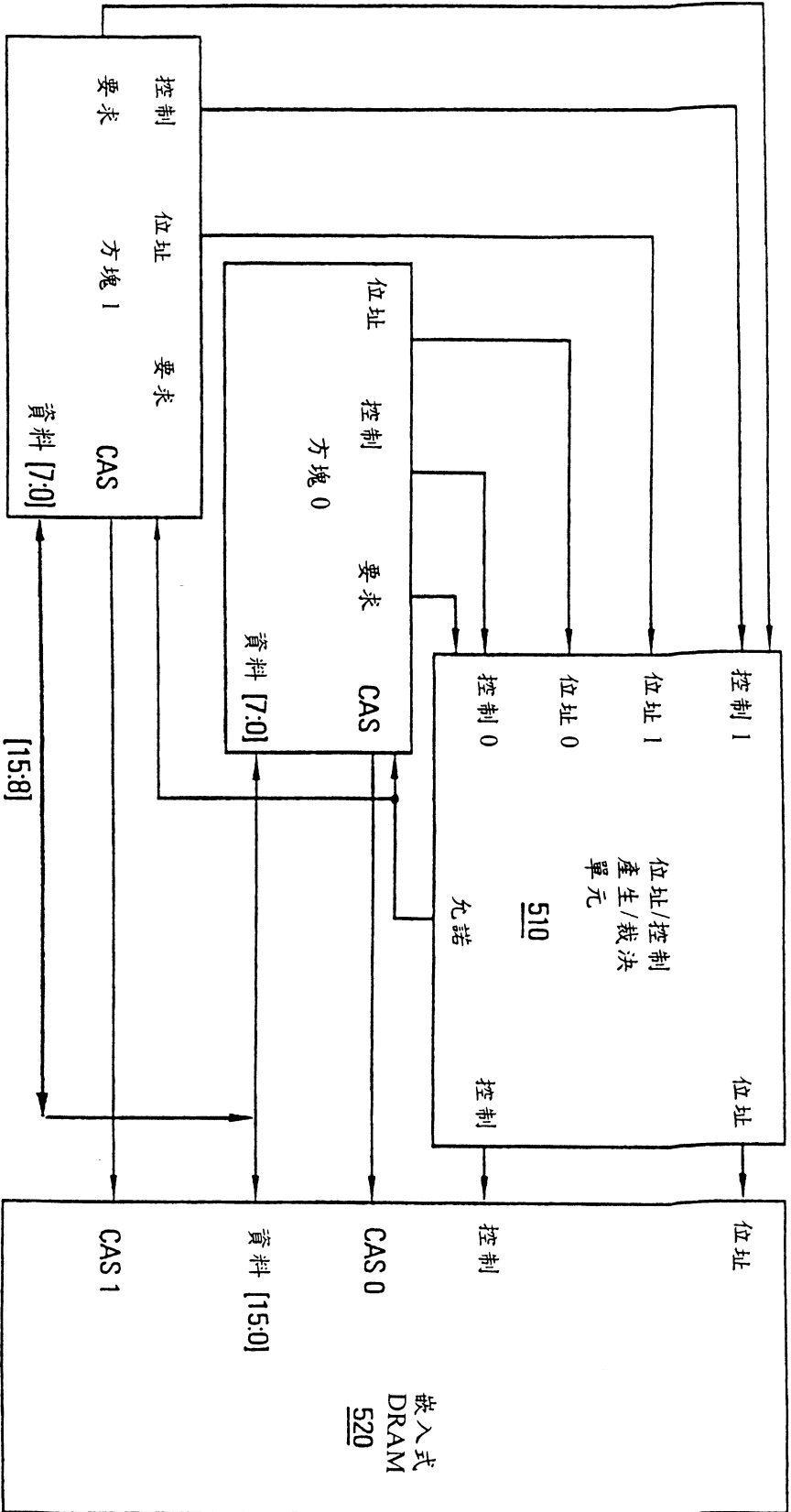
第 2 圖



第 3 圖

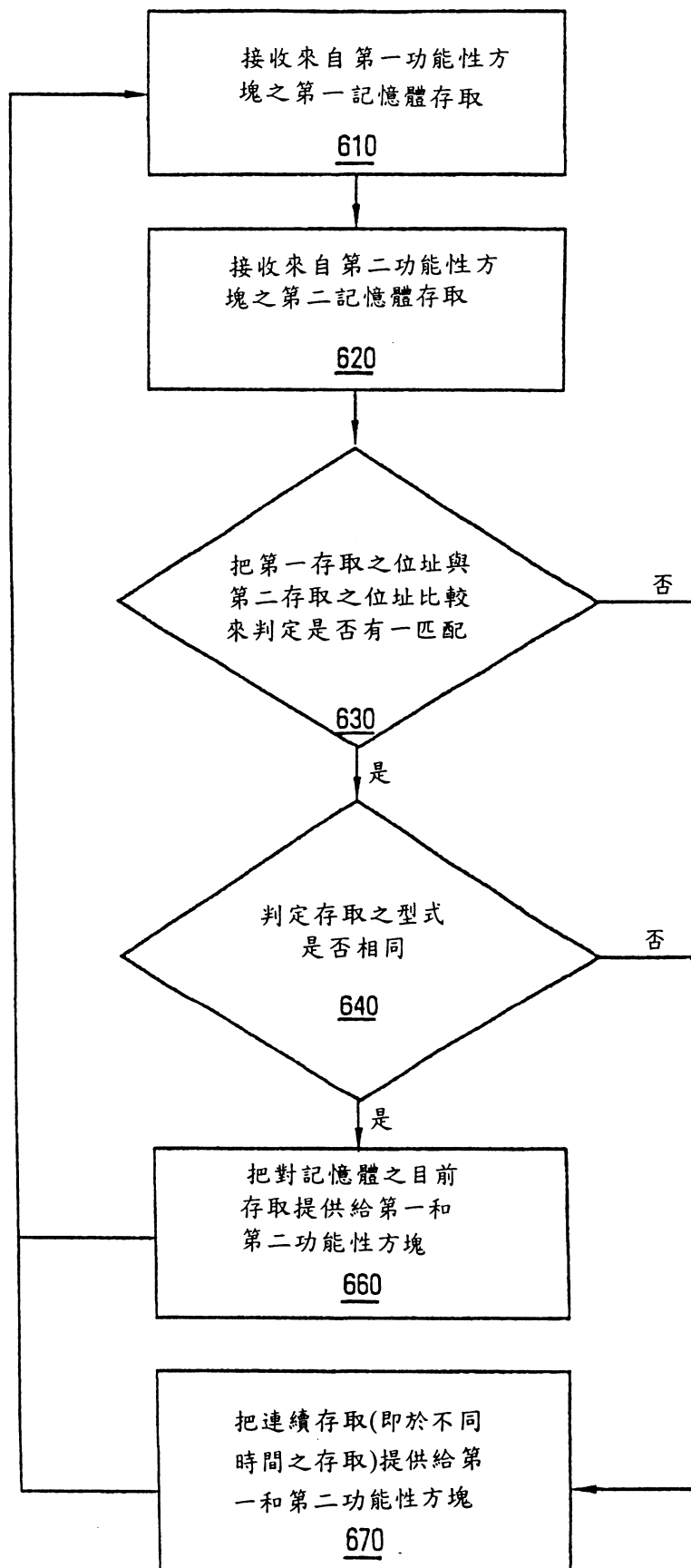


第 4 圖

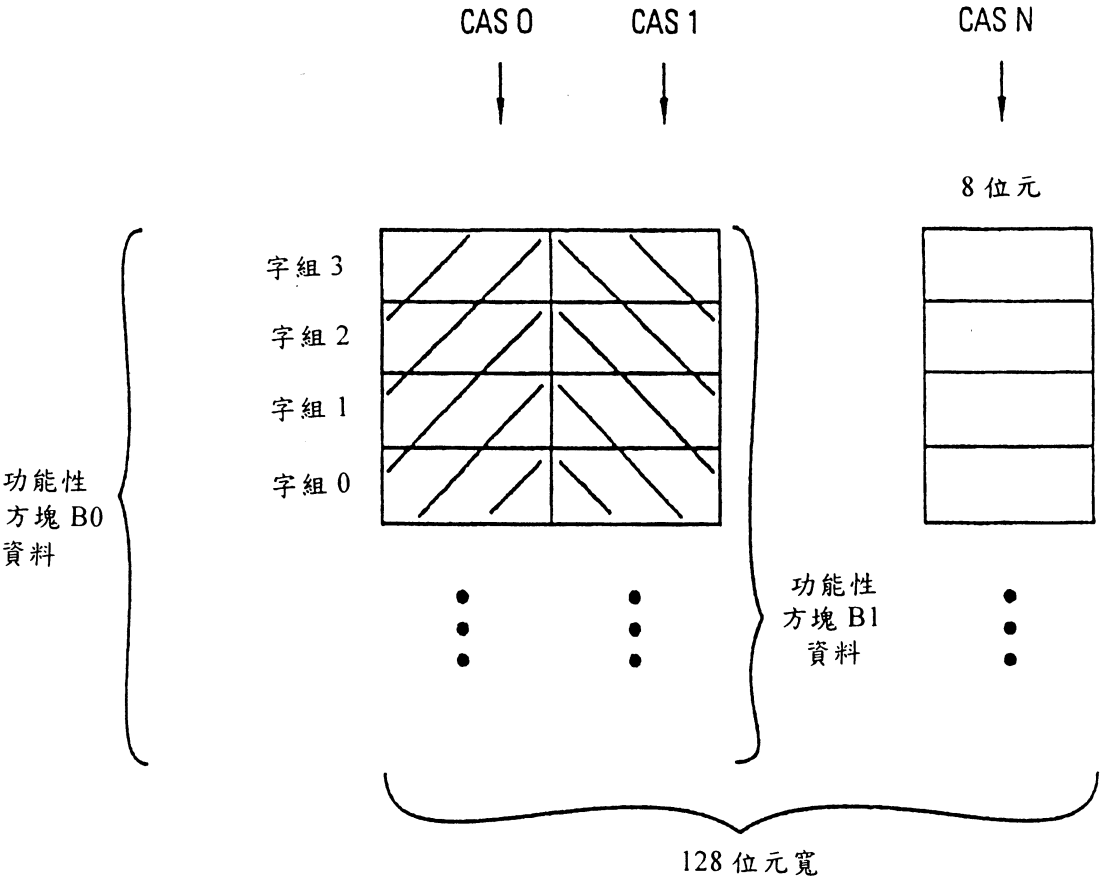


第 5 圖

6/7



第 6 圖



第 7 圖