

P 93 00263

KÖZZÉTÉTEL
PÉLDÁNY

104 10

BIT TÁROLÓ CELLA

CARLSTEDT ELEKTRONIK AB, Göteborg, SE

63710

A nemzetközi bejelentés napja: 1991. 08. 01.

Elsőbbsége: 1990. 08. 02. (9002558-6) SE

A nemzetközi bejelentés száma: PCT/SE91/00512

KIVONAT

A találmány memória bit cella VLSI technológiához.

A találmány lényege, hogy tartalmaz egy cella áramkört (T1, T2, I1, I2, D1, D2), amelyben bit értékek tárolhatók, amely bit értékek vagy "igazak" vagy "~~fevesek~~", tartalmaz továbbá egy első vezetéket (Vcc), amely állandóan a tápfeszültségre van csatlakoztatva, tartalmaz továbbá második, harmadik és negyedik vezetéket (acc, d, d*), amelyek mindegyike különböző állapotokba vezérelhető; a cella áramkör úgy van kialakítva, hogy a második, harmadik és negyedik vezetéken (acc, d, d*) lévő vezérlő állapotok bármelyik kombinációja beállítható a memória bit cellában, mint egyedi érték a funkciós állapotok készletéből.

(2. ábra)



PG300263

**KÖZZÉTÉTELI
PÉLDÁNY**

18418

63710

Képviselő:

DANUBIA SZABADALMI ÉS VÉDJEGY IRODA KFT.

Budapest

(A)

118205 : G 11C 15/04
11/40

BIT TÁROLÓ CELLA

CARLSTEDT ELEKTRONIK AB, Göteborg, SE

Feltaláló:

CARLSTEDT Lars Gunnar, Partille, SE

A nemzetközi bejelentés napja: 1991. 08. 01.

Elsőbbsége: 1990. 08. 02. (9002558-6) SE

A nemzetközi bejelentés száma: PCT/SE91/00512

A nemzetközi közzététel száma: WO 92/02933

A találmány tárgya olyan bit tároló cella, amely memóriában alkalmazható.

Az önmagában ismert asszociatív memóriáknak olyan tárolócellái vannak, amelyek két részre vannak osztva, nevezetesen az asszociatív területre és a tároló területre. Ha az asszociatív memóriában információt tárolunk, címet nem kell megadni, mert a tartalom szerint címezhető a tár. Maga a tároló cella általában léptető regiszterként van kiképezve.

A számítógépek fejlesztése az 1940-es években kezdődött. Azóta robbanásszerű gyorsasággal fejlődött a számítógépipar. Ennek ellenére mind a mai napig a számítógépeknek szinte ugyanaz az architektúrájuk, mint az elsőké volt.

A legtöbb fejlesztést a hardware részben végezték. A VLSI (nagyon nagy fokú integráltságú) technológia bevezetése, valamint a nyomdatechnika fejlődése lehetővé tette, hogy kb. öt évvel ezelőtt olyan számítógépeket lehessen létrehozni, ahol a processzor egyetlen chipen van. Ezeket a számítógépeket szuper számítógépeknek nevezték. A számítógépek méretei exponenciálisan zsugorodtak, és ma egy-egy ilyen chip mérete kisebb, mint $1\ \mu\text{m}$. Az óraütem, valamint az aktív tranzisztorok száma nagyságrendekkel megnövekedett egy-egy ilyen számítógépben. A chipek fizikális korlátai valószínűleg a $0.2\ \mu\text{m}$ vonalvastagságnál fognak megállapodni.

A találmánnyal célul tűztük ki egy olyan bit tároló cella kialakítását, amely elsősorban asszociatív memóriákban alkalmazható, és amely a számítógép aktív részeként tud

működni, azaz nemcsak tárolja az információt, hanem részt vesz a logikai műveletekben is.

A találmány tárgya továbbá egy olyan bit tároló cella kialakítása, amelynél igen nagy az elemsűrűség.

Ugyancsak tárgya a találmánynak egy olyan bit tároló cella kialakítása, amely a VLSI-technológia alkalmazásával készült.

További tárgya még a találmánynak, hogy a találmány szerint kialakított bit tároló cella a nagysebességű műveletekhez is optimalizálható legyen.

Azok a bit tároló cellák, amelyeket asszociatív memóriákban alkalmaznak, kialakíthatók úgy, ahogy például az US 3 634 833 sz. leírásban is ismertetve van. Ez a tárolócella tartalmaz egy két többemitteres tranzisztorból álló flip-flop-ot. Maga a cella összehasonlító műveletek elvégzésére is alkalmas. A vezérlés és a kijelzés csak a többszörös emitternél végezhető el, és ez az egész elrendezést a külső interferencia mezőkre és zavarokra érzékennyé teszi.

Bázisban vezérelt tranzisztorokból álló flip-flop-ot tartalmazó bit tároló cella van a JP-60-273712 sz. leírásban ismertetve. Ez a tároló cella olyan adatok írására és olvasására alkalmazható, amely adatok a memóriába beírhatók vagy onnan kiolvashatók, nem alkalmas azonban asszociatív memóriaként való felhasználásra, és nem is rendelkezik összehasonlító képességgel. Az írás és az olvasás vezérlése úgy történik, hogy különböző potenciálok vannak a távvezetőkre és a földvezetőkre csatlakoztatva, attól függően,

hogy olvasási vagy írási műveletet végzünk. Az olvasás és az írás két csatlakozón jelenik meg, amelyek egymáshoz képest különböző szintű feszültségeken vannak. Ez tehát azt jelenti, hogy a tároló cellához csatlakozó mind a négy vezeték ill. csatlakozás vezérelve és/vagy figyelve kell legyen.

Az FR-A-2 091 964 sz. leírásban olyan memóriacella van ismertetve, amely szintén csak írásra és olvasásra alkalmas, nem alkalmas tehát asszociatív típusú memóriaként. Maga a cella bonyolult felépítésű flip-flop-ot tartalmaz, amely két tranzisztorból és számos ellenállásból áll. Négy kivezetése van, az egyik kivezetésre konstans értékű tápfeszültség van csatlakoztatva, egyik kivezetése a szó-vonal által van vezérelve egy szó-választó áramkörrel. A két áramkör úgy van egymáshoz csatlakoztatva, hogy a két megmaradó csatlakozás közül az egyik a cellába történő beírásra van elhasználva, a másik pedig a cellából történő kiolvasásra, és az, hogy milyen műveletet hajt végre, azt a szóvezetéken továbbított információval lehet vezérelni.

A találmánnyal célul tűztük ki egy olyan bit tároló cella kialakítását, amely asszociatív memóriaként alkalmazható, és amelyben a V-tároló érték tárolható, akkoris, ha az érték "valós" vagy "hamis", a cella felépítése olyan, hogy több különböző funkcionális állapot állítható be, és van egy első csatlakozója, amely folyamatosan van ellátva a tápfeszültséggel, továbbá van legalább egy második, harmadik és negyedik csatlakozója, amelyek mindegyike legalább három különböző vezérelt állapotra állítható be,

és a második, harmadik és negyedik kivezetésen beállított jelek kombinációja állítható be a tároló cellába, mint egyedi funkcionális jellemző.

A találmány szerinti memória a VLSI-technológia alkalmazásával is kialakítható, a memória bit cella tartalmaz: első, második, harmadik és negyedik csatlakozót; flip-flop-ot, amely keresztcsatolású tranzisztorpárból van kialakítva, mindegyik tranzisztornak van egy emittere vagy nyelőelektródja és ehhez csatlakoztatott terhelés, továbbá a tápfeszültség az első és második kivezetés közé van csatlakoztatva, és a flip-flop vezérelhető a harmadik és negyedik kivezetésekről, továbbá van első és második csomópontja, amely különböző feszültségszintekre állítható, az egyik feszültség szint kombináció lesz jellemző arra, ha a tárolt bit érték "igaz", egy másik kombináció pedig ha a tárolt bit érték "téves", tartozik még az elrendezéshez egy első leválasztó egyenirányító, amely a harmadik kivezetés és az első csomópont közé van csatlakoztatva, és egy második leválasztó egyenirányító, amely a negyedik kivezetés és a második csomópont közé van csatlakoztatva; a memória tartalmaz továbbá a harmadik és negyedik csatlakozóhoz csatlakoztatott első elemet, a második csatlakozóhoz csatlakoztatott második elemet, az első csatlakozó folyamatosan rá van csatlakoztatva a tápfeszültségre, a második, harmadik és negyedik csatlakozók az első és a második elemek segítségével különböző állapotokra állíthatók be, maga a cella különböző funkciós állapotokat tud felvenni a funkcionális állapotkészletből, mindegyik állapot egy hozzá-

rendelt, a második, harmadik és negyedik csatlakozóra csatlakoztatott állapot kombinációjából adódik, ahhoz, hogy a cella állapotát egy bemenő adatjellel össze lehessen hasonlítani, az első elem egy pár komplementer bemenő jelet továbbít a harmadik és negyedik csatlakozókra, míg a második elem tartalmaz egy olyan harmadik elemet, amely a második kivezetést egy referencia feszültségszintre tölti fel, és egy negyedik elemet, amely a második kivezetésen lévő feszültség változását jelzi.

Maga a memóriaelem olyan, ahol a második, harmadik és negyedik csatlakozókon beállított állapotok lehetnek, magasszintű, alacsony szintű, nincs árambevezetés a cellába, árambevezetés a harmadik és a negyedik csatlakozókra, külső árambevezetés a második cellára. A magas és az alacsony szint arra vonatkozik, hogy a feszültség pozitív vagy negatív, illetve hogy a feszültség az első csatlakozón pozitív vagy negatív a földhöz képest.

A második csatlakozó egy hozzáférési csatlakozó (acc), a harmadik és a negyedik csatlakozók (d, d*) úgy vannak kialakítva, hogy rajtuk egymáshoz képest invertált feszültségszintek vannak, ha a cellába írunk, vagy a cellából olvasunk.

Az elrendezés egy vezérlőciklussal van vezérelve. A vezérlőciklusnak két fázisa van, az első a feltöltési fázis, amikor a második, harmadik és negyedik csatlakozókat az első csatlakozó és a föld közötti külső feszültségre kötjük, a második műveleti fázis pedig a beállítási fázis, amikor az előre megadott funkciós állapotot állítjuk be,

tehát a magas és alacsony szinteket a külső feszültséghez képest, a magas és az alacsony szint mindig úgy van viszonyítva, hogy a külső feszültséghez képest pozitív vagy negatív.

A bit tároló memória a találmány szerint sok feladat megvalósítására képes, jóllehet csak négy csatlakozója van, amelyekből három vezérelhető. Nagyon kevés elemből van felépítve, és lehetőséget biztosít arra, hogy egy kompakt tárolóeszközt készítsünk belőle, amely számos bit cellát tartalmaz.

Az asszociatív memória segítségével a számítógépek mérete csökkenthető. Egy olyan számítógép, amely alkalmazható a találmány szerinti bit tároló cellához van a WO 92/02932 közzétételi iratban ismertetve.

A találmányt a továbbiakban példakénti kiviteli alakjai segítségével a mellékelt ábrákon ismertetjük részletekben, aholis az

1. ábrán a találmány szerinti bit tároló cella egyik példakénti kiviteli alakja látható, a

2. ábrán pedig a bit tároló cella egy olyan kiviteli alakja látható tároló cellában, amelyhez vezérlő és érzékelő áramkörök is csatlakoztatva vannak.

A bit tároló cella, amely a találmány értelmében van kialakítva, (röviden csak bit cellaként jelöljük a továbbiakban) azt a célt szolgálja, hogy egy tároló mezőben egy bit cellát képezzen, és a tároló cellában számos bit cella legyen elhelyezhető, amely külső digitális információs jellel vezérelhető, amely információs jelek minden egyes

bit cellához továbbíthatók egy adatbuszon keresztül, amely adatbusz a meghajtó és érzékelő áramkörhöz van csatlakoztatva. A külső csatlakozón lévő információs jel a cellákba beírásra jelöl, és az az információs jel, amely a cellákban van, a cellákból külső csatlakozóra kiolvasható.

Mindegyik bit cella minden egyes tároló mezőben a tároló mező fejrészéről vezérelhető úgy, hogy a bit cellák a következő műveletek közül egyet egy adott időben el tud végezni:

nyugalmi állapot - ebben az esetben a bit cella a benne tárolt bitet megtartja,

olvasás - ebben a lépésben a bit cellában lévő tárolt érték kiolvasásra kerül,

írás - ebben a lépésben a bit cellába beírás történik,

összehasonlítás - ebben a lépésben a bit cellákban tárolt bit értékekből összeállított szó adatai vannak egy másik szó adataival összehasonlítva.

A vezérlés a logikai állapotoktól függ. Maga a vezérlés nem képezi részét a találmány szerinti megoldásnak, így ezt részletesebben nem is ismertetjük.

A bit cella egy példakénti kiviteli alakja látható az 1. ábrán. Az 1. ábrán látható kiviteli alaknál d és d^* vezetékek vannak egy külső vezérlőelembe csatlakoztatva. Az acc vezetékek van az ábrán nem látható fejléchez csatlakoztatva, amely az adott tároló cellában lévő összes bit cellát összekapcsolja, amely tárolócella adott esetben például 38 bit cellát tartalmaz. Mindegyik bit cella az adott tároló cellában az acc vezetéken jelével van vezérel-

ve. A d és d^* vezetékek a további tároló cellákban lévő bit cellákhoz vannak csatlakoztatva, amely tároló cellák egy memóriában vannak, és amely memória számos tároló cellát tartalmaz.

Az egész memória VLSI-technológiával készült. Mind-egyik bit cella úgy van kialakítva, hogy alkalmas legyen a VLSI-technológiával történő elkészítéshez, és optimalizálva van a nagy anyagsűrűségű kialakításhoz, azaz számos bit cella helyezhető el kis helyen. Az 1. ábrán látható, hogy magának a bit cellának összesen négy kivezetése van, a d , d^* , acc és V_{CC} vezetékek. Az első csatlakozót a V_{CC} vezeték képezi, amely a V_{CC} tápfeszültségre van kötve, a második, harmadik és negyedik csatlakozókat az acc , d , d^* vezetékek képezik, amelyek mindegyike legalább három különböző jelszintre csatlakoztatható.

Az 1. ábrán látható kiviteli alaknál a cellát négy CMOS-tranzisztor képezi. A tranzisztorok n -típusú tranzisztorok a példakénti kiviteli alaknál. A bit cella elemei természetesen másféle alkatrészek is lehetnek, olyanok amelyek funkciójukban megegyeznek, de kiviteli alakjukban különböznek az 1. ábrán bemutatott elrendezéstől. A négy CMOS-tranzisztorból álló cella statikus cella, és rezisztív terhelése van. A cella olyan flip-flop-ot képez, amely minden oldalról vezérelhető. Az acc vezeték és a tápfeszültséget bevezető V_{CC} vezeték között két soros áramkör van, az egyik egy MOS FET T1 tranzisztor, amelyre sorosan L1 elem van kötve, a másik soros áramkör pedig egy szintén MOS FET T2 tranzisztor, amely sorosan egy L2 elem van

kötve, úgy hogy a nyelő elektródja a T1 tranzisztornak a T2 tranzisztor vezérlő elektródjához van csatlakoztatva, míg a T2 tranzisztor nyelő elektródja a T1 tranzisztor vezérlő elektródjához van csatlakoztatva. A d vezeték és a T1 tranzisztor és L1 elem, amely a terhelés közös pontja egy első n1 csomópontot képez, ezen első n1 csomópont és a d vezeték közé egy D1 dióda van csatlakoztatva, a T2 tranzisztor és az L2 elem, amely ennek a körnek a terhelése, közös pontja egy második n2 csomópontot képez, ezen n2 csomópont és a d* vezeték közé pedig egy D2 dióda van csatlakoztatva. Mindkét D1 és D2 dióda olyan MOS FET elemből van kialakítva, ahol a nyelő elektród és a vezérlő elektród egymáshoz van csatlakoztatva, és így vannak a d, d* vezetékhez kötve.

Az áramkör működése lehetővé teszi azáltal, hogy a D1 és D2 diódákat beépítettük, hogy az áram a d, illetve d* vezeték felé csak egy irányba folyjon, és mivel T1 és T2 tranzisztorok aktív elemek, így biztosítható az, hogy a vezérlő elektródájukra csatlakoztatott feszültségtől függően folyjon a T1 ill. T2 tranzisztorok L1 ill. L2 terhelésén az áram. Az első n1 és a második n2 csomópontok olyan csatolópontok, amelyen az 1 bit információhoz tartozó potenciálérték tárolható. Az L1 és L2 elemek ellenállások.

Az 1. ábrán látható kiviteli alaknál a V_{CC} feszültség magas szinten van, a D1 és D2 diódákon tehát a d vagy d* vezeték felől az első n1 vagy második n2 csomópont felé folyik az áram. A T1 vagy T2 tranzisztor - mivel aktív elem - ellenállása csökken, ha a vezérlő elektródjára növekvő feszültséget kapcsolunk. Ily módon az első n1 és a második

n2 csomópont nyelő elektródjánál a feszültség csökken. Természetesen más feszültségek és áramok is választhatók, amelyeknek egymáshoz képest ellentétes az irányuk, mint amilyeneket az 1. ábránál bemutatunk.

Az 1. ábrán bemutatott áramkör elemei igen sokféle módon választhatók meg. A D1 és D2 diódák a következő elemekből alakíthatók ki:

- (1) n-csatornás MOS FET, ahol a nyelő elektród és a vezérlő elektród egymással össze van kapcsolva (pozitív feszültségek).
 - (2) p-csatornás MOS FET, ahol a nyelő elektród és a vezérlőelektród egymással össze van kapcsolva (negatív feszültségek)
 - (3) pn-dióda (pozitív feszültségekhez vagy, ha a dióda fordított irányban van negatív feszültségekhez)
 - (4) Schottky-dióda (pozitív feszültségekhez, illetőleg negatív feszültségekhez, ha a dióda fordítva van bekötve.
- T1 és T2 tranzisztorként, mint aktív elemként a következő alkatrészek használhatók:

- (1) n-csatornás MOS FET (pozitív feszültségek),
- (2) p-csatornás MOS FET (negatív feszültségek),
- (3) npn-tranzisztor (pozitív feszültségek),
- (4) pnp-tranzisztor (negatív feszültségek).

Az L1 és L2 elemként, azaz terhelésként a következő elemek használhatók:

- (1) ellenállás,
- (2) n-csatornás növesztett típusú MOS FET, amelynek nyelő elektródja és a vezérlő elektródja össze van kapcsolva

- (pozitív feszültségek),
- (3) p-csatornás növesztett típusú MOS FET, amelynek nyelő elektródja és a vezérlő elektródja össze van kapcsolva (negatív feszültségek),
- (4) n-csatornás merítéses típusú MOS FET, amelynek nyelő elektródja és a vezérlő elektródja össze van kapcsolva (negatív feszültségek),
- (5) p-csatornás merítéses típusú MOS FET, amelynek nyelő elektródja (kollektor) és a vezérlő elektródja (gate) össze van kapcsolva (negatív feszültségek),
- (6) n-csatornás MOS FET, amelynek a vezérlő elektródája szolgál vezérlő elektródként, és a forrás elektródja és a nyelő elektródja van a meghajtóelemre csatlakoztatva (pozitív feszültségek),
- (7) p-csatornás MOS FET, amelynek a vezérlő elektródája vezérlő bemenetként működik, és meghajtó kivezetései pedig a forrás elektród és a nyelő elektród (negatív feszültségek),
- (8) npn-tranzisztor, amelynek bázisa a vezérlő elektródja, emittere és kollektora pedig a meghajtó kivezetések (pozitív feszültségek),
- (9) pnp-tranzisztor, amelynek bázisa a vezérlő elektród, emittere és kollektora pedig a meghajtó kivezetések (negatív feszültségek).

Pozitív és negatív feszültség alatt azt értjük, hogy a V_{CC} pozitív vagy negatív a földhöz képest. Az alacsony és a magas feszültségek alatt pedig azt értjük, hogy ha a feszültségek egy adott bit cellában pozitívak vagy negatí-

- 13 -

vak, illetőleg viszonyuk a V_{CC} feszültséghez, ha a V_{CC} feszültség az első kivezetésen pozitív vagy negatív a földhöz képest.

A 2. ábrán a találmány szerinti bit cella áramköri elrendezésének egy további kiviteli alakja a d, d* and acc vezetékekkel, amelyek a meghajtó kivezetések. Az 1. ábrán bemutatott kiviteli alakhoz tartozó elemek ugyanazzal a hivatkozási jellel vannak itt is jelölve. Az egyetlen 7' bit cella az ábrán szaggatott vonallal van jelölve. A terhelés, a forrás és nyelő vonal a MOS FET I1 és I2 tranzisztoroknál úgy van megállapítva, hogy ezek p-típusú tranzisztorok, míg a T1 és T2 tranzisztorok n-típusú tranzisztorok ennél a kiviteli alaknál. Az I1 tranzisztor vezérlő elektrodja az n2 csomópontához, az I2 tranzisztor vezérlő elektrodja pedig az n1 csomópontához van csatlakoztatva.

Az 1. és 2. ábrán látható bit cella kiviteli alakok mindegyike olyan, hogy a bit cella tud tárolni egy $V_{tárolt}$ értéket, az érték lehet "igaz" vagy "téves", a bit cella felépítése olyan, hogy különböző és több eltérő funkciós állapot állítható be az acc, d és d* vezetékeken különböző potenciál beállításával.

A vezérlő állapotok lehetnek magas szintűek, alacsony szintűek, történhet úgy, hogy az áramot az összes huzalon keresztül bevezetjük a cellába, de történhet úgy is, hogy az acc vezetéken az áramot elvezetjük. Az acc vezeték egy hozzáférési vezeték, amely 8 fejrészből van elvezetve, és mindegyik 7' bit cellához hozzá van csatolva a tároló cellán belül. A harmadik és negyedik kivezetést a d és d*

vezetékek képezik, amelyek ellentétes előjelűek, és a cella beírására és olvasására vannak kiképezve. Az acc vezeték pedig alacsony szintű ekkor.

A meghajtó és mérő erősítő a 8 fejrészben van kialakítva, amelyet szintén szaggatott vonallal vettünk körül a 2. ábrán. Az acc vezeték vezérlése a 8 fejrészben van megvalósítva, amely egy külső vezérlőjelről van vezérelve, ez lehet egy számítógép, lehet egy olyan feszültségforrás, amely V_r és V_3 feszültségeket hoz létre, vagy lehet az előtöltő jel (prech). Az első T_3 tranzisztor ennél a kiviteli alaknál n-típusú és forráselektrodja van a V_r feszültséghez csatlakoztatva, forrás elektrodja van az acc vezetékhez vezetve. Ez minden egyes bit cellában így van az adott tároló cellán belül, vezérlő elektrodja pedig az előtöltő jelhez van csatlakoztatva, amelyet órajelként is lehet használni. A második T_4 tranzisztor ennél a kiviteli alaknál n-típusú, a forrás elektrodja 0V feszültséghez van csatlakoztatva, nyelő elektrodja pedig az acc vezetékhez, és ez is minden egyes 7' cellában hasonló módon van bekötve, a vezérlő elektrodjának a vezérlőjele egy külső vezérlőelemhez van csatlakoztatva, amely a V_3 feszültséget állítja be, amely magas kell legyen akkor, ha az acc vezetéken 0 volt van beállítva. Ahogyan erre már korábban is utaltunk, az acc vezeték minden egyes, az adott tároló cellában lévő bit cellához hozzá van kapcsolva, egy tároló cella adott esetben harmincnyolc bit cellát tartalmaz, és mindegyik bit cellához ugyanaz a vezérlőjel van az acc vezetéken vezetve. Az acc vezeték vezérlésére egy előtöltés

- 15 -

van biztosítva az első fázisban, a T3 tranzisztor számára egy olyan vezérlőjel van biztosítva, amely azt vezető állapotba billenti, és így az acc vezetéken a feszültséget V_r értékre állítja. A következő fázisban a V3 feszültség akár magas értékű, akár alacsony, attól függően, hogy milyen szabályozást valósítunk meg, alacsony vagy magas feszültséget állít az acc vezetéken és ez a V3 feszültség van elvezetve a T4 tranzisztorhoz. Az acc vezeték feszültség-szintjét az AMP erősítő erősíti fel, és további külső áramkörökhöz továbbítja a jelet kimenetén át további feldolgozáshoz. A vezérlő jelnek a 8 fejrészhez történő továbbítása, valamint a vezérlő jelnek a 9 meghajtó áramkörhöz való továbbítása, továbbá a bemeneti és kimeneti jelek felhasználása nem képezik a találmány részét, így ezt a továbbiakban nem is részletezzük.

A 9 meghajtó és érzékelő áramkör, amely a d és d* vezetékekhez van csatlakoztatva, szintén egy szaggatott vonallal körülhatároltan van a 2. ábrán jelölve. Ez a 9 meghajtó és érzékelő áramkör egy kiviteli alakot érzékeltet csak a d és d* vezetékek vezérlésére.

A d vezetékhez a beíró áramkör tartalmaz első pár T5 és T6 tranzisztorokból álló tranzisztor-párt, az első n-típusú, a második p-típusú ennél a példakénti kiviteli alaknál, és nyelő elektródjaik a d vezetékhez vannak csatlakoztatva, és ott egy feszültségosztót képeznek. A T5 tranzisztor forrás elektródja V_r feszültségre, míg vezérlő elektródja az előtöltő jelre van csatlakoztatva. A másik T6 tranzisztor nyelő elektródja V_{cc} feszültségre van csatla-

koztatva, vezérlő elektródjára pedig V4 feszültségű vezérlőjel van csatlakoztatva, amely alacsony értékű lesz akkor, ha a Vcc feszültséget a d vezetékre csatlakoztatjuk. Ennek a működését az alábbiakban még részletezzük. A beíró áramkörü rész, amely a d vezetékhöz tartozik, tartalmaz két sorosan kapcsolt T9 és T10 tranzisztort, ahol a T9 tranzisztor p-típusú tranzisztor, a T10 tranzisztor pedig n-típusú tranzisztor, és a soros áramkör egyik része, nevezetesen a T9 tranzisztor forrás elektródja van a Vcc feszültséghez csatlakoztatva, míg a T10 tranzisztor nyelő elektródja egy n-típusú T11 tranzisztor nyelő elektródján keresztül van a földre csatlakoztatva, a vezérlő elektródja pedig a T11 tranzisztornak egy külső vezérlő jelre csatlakoztatott, és a beírást vezérlő elemre van csatlakoztatva. A T9 tranzisztor és a T10 tranzisztor nyelő össze elektródái vannak kapcsolva, és egy T6 tranzisztornak a vezérlő elektródájára vannak elvezetve, amelyen a feszültség V4 értékű. A T9 tranzisztor vezérlő elektródja az invertált előtöltő jellel van összekapcsolva, amely a T6 tranzisztor elektródáját kapcsolja a Vcc feszültségforráshoz akkor, ha az előtöltési fázisban a T9 tranzisztor vezető állapotban van.

A beíró áramkör, amely a d* vezetéken van csatlakoztatva, egy második pár sorosan kapcsolt tranzisztort tartalmaz, nevezetesen a T7 és T8 tranzisztorokat, a T7 tranzisztor n-típusú, a T8 tranzisztor p-típusú ennél a példakénti kiviteli alaknál és nyelő elektródjaik a d* vezetékhöz vannak csatlakoztatva, és két T7 és T8 tranzisztor lé-

nyegében egy feszültségosztót képez. A T7 tranzisztor forrás elektródja V_r feszültségre, vezérlő elektródja pedig az előtöltő jelre van csatlakoztatva. A másik T8 tranzisztor nyelő elektródja van a V_{cc} feszültségre, vezérlő elektródja pedig a V5 vezérlő jelre van csatlakoztatva, amely alacsony értékűvé válik akkor, ha a d^* vezetékre a V_{cc} feszültséget csatlakoztatjuk.

A d^* vezetékhez a beíró áramkör tartalmaz még egy p-típusú T12 és egy n-típusú T13 tranzisztorból álló soros áramkört, amelyek a V_{cc} feszültség és a T11 tranzisztor nyelője közé vannak csatlakoztatva. A T12 és T13 tranzisztorok nyelői egymással összekapcsolva vannak egy T8 tranzisztor vezérlő elektródájára kapcsolva, amelynek feszültsége V5 értékű. A T12 tranzisztor vezérlő elektródja invertált előtöltő jellel van táplálva, és a T8 tranzisztor vezérlő elektródját kapcsolja a V_{cc} forrásfeszültséghez, ha a T12 tranzisztor az előtöltési fázisban vezető állapotban van.

Egy külső IN/OUT vezeték van a két háromállapotú inverter be- és kimenetére csatlakoztatva. A háromállapotú inverterek egyikének kimenete van az IN/OUT vezetékre csatlakoztatva, és ez az inverter T14 és T15 tranzisztorok soros kapcsolásából áll, ahol a T14 és T15 tranzisztorok n-típusúak, míg a T16 és T17 tranzisztorok p-típusúak. A T16 tranzisztor vezérlő elektródja külső vezérlő vezetékhez van csatlakoztatva, amely a bitin jelet szolgáltatja, míg a T15 tranzisztor vezérlő elektródja egy bitin* jelre van csatlakoztatva, amely a bitin jelnek az invertált jele. A

háromállapotú inverterek közül a másodiknak a bemenete az IN/OUT vezetékre van csatlakoztatva, és tartalmaz két sorosan kapcsolt n-típusú T18 és T19 és szintén sorosan csatlakoztatott p-típusú T20 és T21 tranzisztort. A T19 tranzisztor vezérlő elektródja egy külső vezérlő vezetékhöz van csatlakoztatva, amely szintén a bitin-jelet adja, míg a T20 tranzisztor vezérlő elektródjára a bitin* jel van csatlakoztatva. A második háromállapotú inverter kimenete T13 tranzisztor vezérlő elektródjához, és egy INV inverteren keresztül a T10 tranzisztor vezérlő elektródjához van csatlakoztatva.

Az olvasó erősítő n-típusú T22 tranzisztort tartalmaz, amelynek forrás elektródja a földre van csatlakoztatva, vezérlő elektródjára konstans értékű előfeszítő V_{bias} feszültség van csatlakoztatva, amely a T22 tranzisztort állandóan vezető állapotban tartja, és a T22 tranzisztor mint egy áramgenerátor működik, a nyelő elektródja két párhuzamos ágra van csatlakoztatva, amelyek mindegyike egy-egy n-típusú és p-típusú tranzisztor soros kapcsolásából áll, az egyik ágon egy n-típusú T23 és egy p-típusú T24 tranzisztor van sorbakötve, míg a másik ágon egy n-típusú T25 tranzisztorban egy p-típusú T26 tranzisztorral van összekötve. A p-típusú T24 és T26 tranzisztorok vezérlő elektródjai egymással össze vannak kapcsolva, és rá vannak csatlakoztatva a T23 és T24 tranzisztorok egymással összekapcsolt nyelő elektródjára. A T23 tranzisztor vezérlő elektródja a 7' bit cella d vezetékére van csatlakoztatva, míg a T25 tranzisztor vezérlő elektródja a 7' bit cella d*

vezetékére van csatlakoztatva.

Minden egyes órajel periódus, a prech és prech^* jelek, előtöltő fázisra, amelyben a prech jel magas, és egy munkafázisra, ahol a prech jel alacsony, van osztva. Az egyéb vezérlő jelek, amelyek egy külső vezérlőelemről érkeznek, határozzák meg azt, hogy a működés milyen legyen. Ily módon tehát egy előtöltő fázisban a d , d^* és az acc vezeték V_r feszültségre vannak feltöltve a T_5 , T_7 és T_3 tranzisztoron keresztül.

A bitin és bitin^* jelek vezérlőjelek, amelyek akkor működnek, ha a 7' bit cellába adatjelet továbbítunk vagy onnan adatjelet vezetünk el. Ha a bitin jel alacsony és a bitin^* jel magas, akkor az adatot a 7' bit cellából az IN/OUT vezetékre továbbítjuk az első háromállapotú inverteren keresztül. Ha a bitin szignáljel magas, úgy a bitin^* jel alacsony, és az adatokat a 7' bit cellába vezetjük az IN/OUT vezetékről a második háromállapotú inverter segítségével.

Az olvasási műveletben, a kettes fázisban, a d , d^* és acc vezetékeknek a V_r feszültségre való feltöltését követően a d és d^* vezetékek lebegnek, az acc vezeték 0V értékre van állítva a V_3 feszültség segítségével, amely a T_4 tranzisztort jelenti vezető állapotban. Ennek hatására annak a csomópontnak a potenciája, amelyik a legalacsonyabb potenciálon van, pl. az n_1 csomóponté, egy a V_r és a 0 volt közötti potenciálra fog csökkenni. Ennek következménye az lesz, hogy a d vezetéktől az acc vezetéken az n_1 csomóponthoz áram fog folyni. Ez az áram átfolyik a d vezetéken,

azaz a feszültség a d vezetéken csökkenni fog. Ezt a feszültségcsökkenést a T22-T26 tranzisztorokból álló olvasó erősítő méri. A kiolvasás eredménye a T25 és T26 tranzisztoroknak az összekapcsolt nyelői között érzékelhető, ahonnan azután a jel a T14-T17 tranzisztorokból álló első háromállapotú inverter bemenetére van vezetve. A bitin jel alacsony, a bitin* jel pedig magas, ami azt jelenti, hogy a kiolvasott jel továbbítódik, és a bit érték az IN/OUT vezetéken felerősítve jelenik meg. Lényeges az, hogy a d és d^* vezetékek nem aktív módon vannak a második fázisban meghajtva, és így ezen vezetékek egyikén sem tapasztalható feszültségcsökkenés.

Az olvasáskor mind a d , mind pedig a d^* vezeték kezdetben V_r potenciálon van. Mind a d , mind pedig a d^* vezeték lényegében ezen a V_r potenciálon marad, jóllehet az egyik valamit csökken a be irányú áram hatására, amikor is az áram a cellán befelé folyik, ez ugyanis vagy a d vagy a d^* vezeték közül az egyiket bizonyos mértékig kisüti. Mivel a V_r feszültség itt, mint alacsony szintű feszültség lett definiálva, a valódi alacsony feszültség kisebb lesz, mint ez az alacsony jel. A d és a d^* vezetéken lévő jel adja a kiolvasott értékeket. Ha a d vezetéken lévő jel alacsonyabb, mint a d^* vezetéken lévő jel, akkor ez "téves" értéknek felel meg, ha a d vezetéken lévő jel magasabb, mint a d^* vezetéken lévő jel, ez a "igaz" értéknek felel meg. A d és a d^* vezetéken lévő potenciálok a "ne írd be, írd téves értéket, írd az igaz értéket, ne írd be és ne kompenzálj" műveletekre nem ad információt.

A beírás művelete során a második fázisban, azután tehát, hogy a d , d^* és az acc vezetékek V_r feszültségre lettek feltöltve, az acc vezetéken lévő feszültséget 0 volt értékre visszük azáltal, hogy a T4 tranzisztort a vezérlő bemenetére adott V3 feszültséggel vezető állapotba visszük. A tárolandó érték az IN/OUT vezetékre van elvezetve. Ha a bitin jel magas és a bitin* alacsony, úgy a T18-T21 tranzistorokból álló második háromállapotú inverter aktiválódik, és az IN/OUT vezetéken ennek az egységnek a kimenetére továbbítja az értéket. Ha a T11 tranzisztor vezérlő bemenetén lévő írás bemeneten a bemenőjel magas, ennek hatására a T10 és T13 tranzisztorok forrás elektródja 0 voltra lesz kapcsolva.

A T18-T21 tranzisztorokból álló második háromállapotú inverterről elvezetett magas szintű jel, azaz ha 0 vagy "téves" adatot kell beírni, vezérli a T13 tranzisztort vezető állapotba, a V5 feszültséget alacsony szintre állítja be, és a T18 tranzisztort vezetőállapotba vezérli, a d^* vezetéket a V_{CC} feszültségre, azaz magas szintre állítja. Ekkor a T10 tranzisztor vezérlő elektródájára a második háromállapotú invertertől csatlakoztatott invertált jel alacsony, ez a T10 tranzisztort nem-vezető állapotban tartja, a V4 feszültséget pedig a V_{CC} feszültségforráshoz csatlakoztatja az előtöltési fázisban, és ezen az értéken is tartja. A T6 tranzisztor nem-vezető állapotban van tartva, és a V_r feszültség, amely a T5 tranzisztoron keresztül az előtöltési fázisban d vezetékre lett csatlakoztatva, itt is marad.

A T18-T21 tranzisztorokból álló második háromállapotú inverterről elvezetett alacsony szintű jel, azaz egy logikai 1 jel vagy egy "igaz" jel vezérli a T5, T6, T9, T10 tranzisztorból álló beíró áramkört, úgy, hogy a d vezeték az INV invertárló áramkörön keresztül nagy értékű Vcc értékre állítja, miközben a T7, T8, T12, T13 tranzisztorokból álló író áramkör a d* vezeték a Vr értéken tartja, amely az előtöltési fázisba lett beállítva ezen a vezetéken.

A példákból látható, hogy a 2. ábrán bemutatott példakénti kiviteli alaknál a tárolóhoz tartozó n1 és n2 csomópontok a működés során a következőképpen vannak felhasználva. Egyik n1 illetőleg n2 csomópont vagy mindkettő a működési ciklus második fázisa alatt fel van töltve vagy ki van sütvé attól függően, hogy V3, V4 és V5 vezérlőjelek közül melyiket használjuk, azaz attól függően, hogy az acc vezeték 0 voltra van állítva, vagy egy vagy mindkettő d illetőleg d* vezeték Vcc feszültségre van állítva.

Ahogy erre már a korábbiakban is utaltunk, mind-egyik működési ciklus egy előtöltő periódusból (prech) és egy végrehajtó periódusból áll. Ha tehát az acc vezeték magas értékre van beállítva, azt jelenti, hogy a V3 jel nem vezérli a T4 tranzisztort úgy, hogy beállítsa a végrehajtási periódusban az acc vezetéken a 0 volt értéket. Hasonló módon, ha a d vagy a d* vezetékek alacsony szintű jelre vannak állítva azt jelenti, hogy a V4 vagy a V5 vezérlő jel a T6 vagy T8 tranzisztort nem vezérli úgy, hogy olyan állapotba kerüljön, hogy a Vcc feszültségen

keresztül, amely nagyobb, mint a V_r feszültség, d vagy d^* vezetékhez csatlakozzon a végrehajtó periódusban. Ha azonban a d vagy d^* vezeték magas szintre van állítva, a T6 vagy T8 tranzisztorok olyan állapotba vezérlődnek, hogy a V_{cc} feszültségen keresztül a vezetékre kapcsolódjanak.

A tároló cella területe meglehetősen kiterjedt, adott esetben 256 bit cellát foglalhat magába, ami azt jelenti, hogy minden T5, T6 és T7, T8 tranzisztor-pár olyan vezetékhez van csatlakoztatva, amely mindegyik tároló cellában egy bit cellát szolgál ki, például 256 bit cellát. A tranzisztor méretét tehát annak megfelelően kell kialakítani, hogy az illeszkedjen a teljes busz kapacitáshoz és a kívánt adatátviteli sebességhez.

A V_r feszültség egy megrövidített inverterből állítható elő, annak érdekében, hogy a V_r feszültség és a meghajtó erősítő inverterek közötti jel viszonyt tartani tudjuk. A 8 fejrészben lévő vevő áramkörök a bit cellákat vezérlik, továbbá a bit cellákból érkező információt fogadják.

A vezérlő állapotok segítségével a következő funkciós állapotok állíthatók be:

- | | |
|-------------------|--|
| nyugalmi | - ebben az esetben a cella a V tároló értéket egyszerűen tárolja, |
| olvasd "tévesnek" | - ebben az esetben a $V_{\text{tároló}} = \text{téves}$ körül beolvasásra, |
| olvasd "igaznak" | - ebben az esetben a $V_{\text{tároló}} = \text{igaz}$ körül kiolvasásra, |

- 24 -

- ne olvasd ki - ebben az esetben a cella a $V_{\text{tároló}}$ értéket csak egyszerűen tárolja,
- írd "tévesnek" - ebben az esetben a $V_{\text{tárolt}}$ érték tévesnek van beállítva,
- írd "igaznak" - ebben az esetben a $V_{\text{tárolt}}$ értéke igaznak van beállítva,
- ne írd be - ebben a lépésben a $V_{\text{tároló}}$ érték egyszerűen csak tárolásra kerül,
- összehasonlítás
téves értékkel - a tárolt $V_{\text{tároló}}$ értéket egy téves értékkel hasonlítja össze, a
- hasonlítsd össze
igaz értékkel - ebben az esetben a tárolt $V_{\text{tároló}}$ érték a igaz jellel van összehasonlítva,
- ne hasonlíts
össze - ebben az esetben a $V_{\text{tároló}}$ érték egyszerűen csak tárolásra kerül.

A bit cellával megvalósítható különféle műveleteknél az alábbi jelek vannak beállítva:

<u>működési üzemmód</u>	<u>acc vezeték</u>	<u>d vezeték</u>	<u>d* vezeték</u>
nyugalmi állapot	magas	alacsony	alacsony
olvasd tévesnek	alacsony	áram -be	alacsony
olvasd igaznak	alacsony	alacsony	áram -be
ne olvasd ki	magas	tetszőleges	tetszőleges
írd tévesnek	alacsony	alacsony	magas
írd igaznak	alacsony	magas	alacsony
ne írd be	magas	tetszőleges	tetszőleges
összehasonlítás téves értékkel	tetszőleges	alacsony	magas
összehasonlítás igaz értékkel	tetszőleges	magas	alacsony

ne hasonlíts össze tetszőleges alacsony alacsony

Az "összehasonlítás téves értékkel" és az "összehasonlítás igaz értékkel" műveletek során az acc vezetéken az állapotáram akkor folyik, ha az összehasonlítás eredményez az, hogy "eltérő".

Az "összehasonlítás téves értékkel" vagy az "összehasonlítás igaz értékkel" műveletek során az acc vezetéken lényegében egy összehasonlítás végeredménye jelenik meg, az acc vezeték előzetes feltöltés során Vr feszültségre van beállítva, a bemenő adatjelek a d vezetékre vannak továbbítva, ezeknek az inverz értéke pedig a d* vezetéken van továbbítva. Ha az az érték, amelyet a bit cellában tárolni kívánunk eltér a bemeneti adatjeltől, az acc vezetéket a D1 vagy D2 diódákon és a megfelelő T1 vagy T2 tranzisztoron, amely n-tipusú tranzisztor, keresztül feltöltjük. Ha az összehasonlítás eredményeként "FIT" történik kijelzésre, úgy az acc vezeték továbbra is a Vr potenciálon lesz. Az áram-be- illetve az áram-ki kifejezések azt jelentik, hogy a töltések az adott idő intervallum sorozatban a vezetéken be vagy ki irányba folynak. Ezt úgy valósítjuk meg, hogy a nyugalmi üzemmódban a vezetékre magas vagy alacsony jelet adunk, és amikor üzemmódot váltunk, megváltoztatjuk ezt az állapotot. Ettől függően fog az áram a készülékbe be- vagy kifelé folyni. Ha nincsen áram, úgy nincs töltés, ami továbbítható lenne. Ezért azután ebben az esetben ezen időtartományban feszültségváltozás sem lép fel.

A találmány szerinti megoldást példakénti kiviteli alakjával írtuk le, természetesen egyéb kiviteli alakok is

- 26 -

megvalósíthatók, ahol más elemek kerülnek felhasználásra,
de a találmány lényegét nem érintik.

SZABADALMI IGÉNYPONTOK

1. Memória bit cella VLSI technológiához, *azzal jellemezve*, hogy tartalmaz egy cella áramkört (T1, T2, L1, L2, D1, D2; T1, T2, I1, I2, D1, D2), amelyben bit értékek tárolhatók, amely bit értékek vagy "igazak" vagy "tévesek", tartalmaz továbbá egy első vezeték (Vcc), amely állandóan a tápfeszültségre van csatlakoztatva, tartalmaz továbbá második, harmadik és negyedik vezeték (acc, d, d*), amelyek mindegyike különböző állapotokba vezérelhető; a cella áramkör úgy van kialakítva, hogy a második, harmadik és negyedik vezetéken (acc, d, d*) lévő vezérlő állapotok bármelyik kombinációja beállítható a memória bit cellában, mint egyedi érték a funkciós állapotok készletéből.

2. Az 1. igénypont szerinti memória bit cella, *azzal jellemezve*, hogy a cella áramkör vezérlő állapotjelei - magas szintű, alacsony szintű, áram nem folyik a cellába, áram folyik a cellába - lehet mind a második, harmadik vagy negyedik csatlakozókon, és legalább az egyik vezetéken (acc) cellából kifelé folyó áram is lehet, továbbá a magas és az alacsony szintek arra vonatkoznak, hogy a feszültségek pozitívak vagy negatívak, illetőleg attól függő, hogy a Vcc feszültség az első csatlakozón pozitív vagy negatív a földhöz képest.

3. A 2. igénypont szerinti memória bit cella, *azzal jellemezve*, hogy a második csatlakozó egy hozzáférési vezeték (acc) a harmadik és a negyedik vezeték (d, d*) pedig egymáshoz képest invertált szintre vannak állítva,

amikor írnak a cellába, illetve kiolvasás történik a cellából.

4. Az 1-3. igénypontok bármelyike szerinti memória bit cella, azzal jellemezve, hogy a vezérlő ciklus két fázisból áll, az első az előtöltő fázis, amelynek során a második, harmadik és negyedik vezetékre (acc, d, d*) külső feszültség (V_r) van csatlakoztatva, amely az első csatlakozón lévő feszültség (V_{cc}) és a föld közé esőre van megválasztva, a második működési fázisban pedig az előre megadott funkciós állapotok, tehát a magas szint, alacsony szint a külső feszültséghez (V_r) képest, kerülnek beállításra, ahol a magas és az alacsony szintet mindig a pozitív vagy negatív vonatkozásban értjük.

5. Az 1-4. igénypontok bármelyike szerinti memória bit cella, azzal jellemezve, hogy a cella áramkör az alábbi funkciók szerint állítható be a második, harmadik és negyedik vezetéken lévő állapotjelek kombinációjából:

nyugalmi	- ebben az esetben a cella a V tároló értéket egyszerűen tárolja,
olvasd "tévesnek"	- ebben az esetben a $V_{\text{tároló}} = \text{téves}$ kerül beolvasásra,
olvasd "igaznak"	- ebben az esetben a $V_{\text{tároló}} = \text{igaz}$ kerül kiolvasásra,
ne olvasd ki	- ebben az esetben a cella a $V_{\text{tároló}}$ értéket csak egyszerűen tárolja,
írd "tévesnek"	- ebben az esetben a $V_{\text{tárolt}}$ érték tévesnek van beállítva,

- 29 -

- írd "igaznak" - ebben az esetben a $V_{\text{tárolt}}$ értéke igaznak van beállítva,
- ne írd be - ebben a lépésben a $V_{\text{tároló}}$ érték egyszerűen csak tárolásra kerül,
- összehasonlítás téves értékkel - a tárolt $V_{\text{tároló}}$ értéket egy téves értékkel hasonlítja össze, a
- hasonlítsd össze igaz értékkel - ebben az esetben a tárolt $V_{\text{tároló}}$ érték a igaz jellel van összehasonlítva,
- ne hasonlíts össze - ebben az esetben a $V_{\text{tároló}}$ érték egyszerűen csak tárolásra kerül.

6. Az 1-5. igénypontok bármelyike szerinti memória bit cella, *azzal jellemezve*, hogy a cella áramkör tartalmaz legalább egy flip-flop-ot (T_1 , T_2 , L_1 , L_2 , D_1 , D_2 ; T_1 , T_2 , I_1 , I_2 , D_1 , D_2), amely minden oldalról vezérelhető a harmadik és a negyedik vezetéken (d , d^*) keresztül, a flip-flop-nak első és második különböző szintű feszültségekre beállítható csomópontja (n_1 , n_2) van, és a flip-flop tápfeszültségen mindig az első csatlakozó (V_{CC}) és a második vezeték (acc) közé van csatlakoztatva, és ez a második vezeték (acc) különböző feszültség szintekre állítható be.

7. A 6. igénypont szerinti memória bit cella, *azzal jellemezve*, hogy a második vezeték (acc) és az első vezeték (V_{CC}) között első és második soros kapcsolás van egymással párhuzamosan csatlakoztatva, mindegyik tartalmaz egy, egymással sorosan kapcsolt tranzisztorból és terhelésből (T_1 , L_1 és T_2 , L_2) álló kapcsolást, ahol az első soros

áramkörben lévő tranzisztor és terhelés közös pontja képezi az első csomópontot (n_1) és ez a második áramkörben lévő tranzisztor vezérlő elektródjához van csatlakoztatva, és a második soros áramkörben lévő tranzisztor és terhelés közös pontja képezi a második csomópontot (n_2), amely az első soros áramkörben levő tranzisztor vezérlő elektródjához van csatlakoztatva, továbbá első egyenirányító elem (D_1) van a harmadik csatlakozó (d) és az első csomópont (n_1) közé csak egyirányú áramlást lehetővé téve csatlakoztatva, és egy második egyenirányító elem (D_2) van a negyedik kivezetés (d^*) és a második csomópont (n_2) közé, így biztosítva, hogy az áram csak a negyedik vezeték (d^*) irányába tudjon folyni.

8. A 7. igénypont szerinti memória bit cella, azzal jellemezve, hogy egyenirányító elemként (D_1 és D_2) a következő elemek választhatók:

(1) n-csatornás MOS FET, ahol a nyelő elektród és a vezérlő elektród egymással össze van kapcsolva (pozitív feszültségek).

(2) p-csatornás MOS FET, ahol a nyelő elektród és a vezérlőelektród egymással össze van kapcsolva (negatív feszültségek)

(3) pn-dióda (pozitív feszültségekhez vagy, ha a dióda fordított irányban van negatív feszültségekhez)

(4) Schottky-dióda (pozitív feszültségekhez, illetőleg negatív feszültségekhez, ha a dióda fordítva van bekötve.

9. A 7. igénypont szerinti memória bit cella, azzal jellemezve, hogy tranzisztorként (T_1 és T_2) az alábbi al-

alkatrészek választhatók:

- (1) n-csatornás MOS FET (pozitív feszültségek),
- (2) p-csatornás MOS FET (negatív feszültségek),
- (3) npn-tranzisztor (pozitív feszültségek),
- (4) pnp-tranzisztor (negatív feszültségek).

10. A 7. igénypont szerinti memória bit cella, az-
zal jellemezve, hogy terhelésként (L1 és L2) az alábbi
alkatrészek választhatók:

- (1) ellenállás,
- (2) n-csatornás növesztett típusú MOS FET, amelynek nyelő
elektródja és a vezérlő elektródja össze van kapcsolva
(pozitív feszültségek),
- (3) p-csatornás növesztett típusú MOS FET, amelynek nyelő
elektródja és a vezérlő elektródja össze van kapcsolva
(negatív feszültségek),
- (4) n-csatornás merítéses típusú MOS FET, amelynek nyelő
elektródja és a vezérlő elektródja össze van kapcsolva
(negatív feszültségek),
- (5) p-csatornás merítéses típusú MOS FET, amelynek nyelő
elektródja (kollektor) és a vezérlő elektródja (gate)
össze van kapcsolva (negatív feszültségek),
- (6) n-csatornás MOS FET, amelynek a vezérlő elektródája
szolgál vezérlő elektródaként, és a forrás elektródja
és a nyelő elektródja van a meghajtóelemre csatla-
csatlakoztatva (pozitív feszültségek),
- (7) p-csatornás MOS FET, amelynek a vezérlő elektródája
vezérlő bemenetként működik, és meghajtó kivezetései
pedig a forrás elektród és a nyelő elektród (negatív

feszültségek),

- (8) npn-tranzisztor, amelynek bázisa a vezérlő elektródja, emittere és kollektora pedig a meghajtó kivezetések (pozitív feszültségek),
- (9) pnp-tranzisztor, amelynek bázisa a vezérlő elektród, emittere és kollektora pedig a meghajtó kivezetések (negatív feszültségek).

11. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, *azzal jellemezve*, hogy a "nyugalmi" üzemmódban az acc vezetéken, a d vezetéken és a d* vezetéken az alábbi jelek vannak: magas, alacsony, alacsony.

12. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, *azzal jellemezve*, hogy az "olvasd tévesnek" működési üzemmódban az acc, d, d* vezetéken a következő jelek vannak: alacsony, áram-be, alacsony.

13. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy

negatív, azzal jellemezve, hogy "olvasd igaznak" üzemmódban az acc, d, d* vezetéken alacsony, alacsony és áram-be jelek kombinációját állítjuk be.

14. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, azzal jellemezve, hogy a "ne olvass" üzemmódban az acc, d és d* vezetéken magas, tetszőleges, tetszőleges jeleket állítunk be.

15. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, azzal jellemezve, hogy az "írd tévesnek" üzemmódban az acc, d, d* vezetéken alacsony, alacsony, illetőleg magas jelszintet állítunk be.

16. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, azzal jellemezve, hogy az "írd igaznak" üzemmódban az acc, d, d* vezetéken alacsony, magas és alacsony jeleket állítunk be.

17. Az 5. és 6-10. igénypontok bármelyike szerinti

memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, *azzal jellemezve*, hogy a "ne írb be" üzemmódban az acc, d és d* vezetéken magas, arbitraris, arbitraris jeleket állítunk be.

18. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, *azzal jellemezve*, hogy az "összehasonlítás téves érdekl" üzemmódban az acc, d és d* vezetéken arbitraris, alacsony és magas jelet állítunk be.

19. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy negatív, *azzal jellemezve*, hogy az "összehasonlítás igaz adattal" üzemmódban az acc, d és d* vezetéken az tetszőleges, magas és alacsony kombinációt állítjuk be.

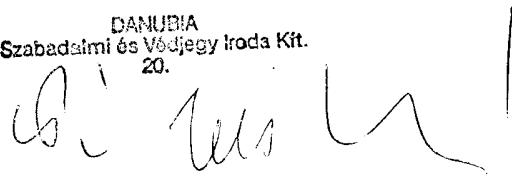
20. Az 5. és 6-10. igénypontok bármelyike szerinti memória bit cella, ahol az alacsony és magas feszültségek a bit cellában pozitív vagy negatív feszültségekként vannak, illetőleg az első csatlakozón lévő Vcc feszültséghez viszonyítjuk, nevezetesen, hogy az a földhöz képest pozitív vagy

- 35 -

negatív, azzal jellemezve, hogy a "ne végezz összehasonlítást" üzemmódban az acc, d és d* vezetéken a tetszőleges, alacsony és alacsony kombinációt állítjuk be.

A meghatalmazott:

DANUBIA
Szabadalmi és Védjegy Iroda Kft.
20.



1 rept, 2 ábra

