



(12)发明专利

(10)授权公告号 CN 103579089 B

(45)授权公告日 2016.09.28

(21)申请号 201210270426.X

(22)申请日 2012.07.31

(65)同一申请的已公布的文献号
申请公布号 CN 103579089 A

(43)申请公布日 2014.02.12

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 周鸣

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51)Int.Cl.

H01L 21/768(2006.01)

H01L 23/522(2006.01)

(56)对比文件

US 6297162 B1,2001.10.02,
JP 特开2000-183059 A,2000.06.30,
JP 特开平11-145278 A,1999.05.28,
US 4740483 ,1988.04.26,

审查员 金政

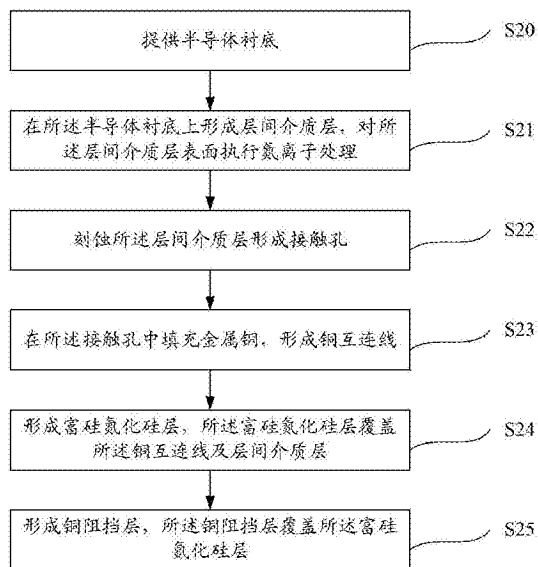
权利要求书2页 说明书5页 附图6页

(54)发明名称

半导体结构及其形成方法

(57)摘要

本发明提供了一种半导体结构及其形成方法,其中,所述方法包括:提供半导体衬底;在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理;刻蚀所述层间介质层形成接触孔;在所述接触孔中填充金属铜,形成铜互连线;形成富硅氮化硅层,所述富硅氮化硅层覆盖所述铜互连线及层间介质层;形成铜阻挡层,所述铜阻挡层覆盖所述富硅氮化硅层。通过对所述层间介质层表面执行氮离子处理,从而提高了层间介质层与富硅氮化硅层的粘附性,进而提高了层间介质层与铜阻挡层之间的粘附性,避免了剥离问题的产生,提高了集成电路的可靠性。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供半导体衬底;
在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理;
刻蚀所述层间介质层形成接触孔;
在所述接触孔中填充金属铜,形成铜互连线;
形成富硅氮化硅层,所述富硅氮化硅层覆盖所述铜互连线及层间介质层;其中,所述富硅氮化硅层形成于氮离子处理表面上;
形成铜阻挡层,所述铜阻挡层覆盖所述富硅氮化硅层;
其中,通过对所述层间介质层表面执行氮离子处理使得所述层间介质层与所述富硅氮化硅层性能接近,提高所述层间介质层与所述富硅氮化硅层之间的粘附性。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理的工艺步骤执行n次,其中,n为大于或等于2的自然数。
3. 如权利要求2所述的半导体结构的形成方法,其特征在于,第1次形成的层间介质层的厚度是n次形成的层间介质层的总厚度的50%~95%。
4. 如权利要求3所述的半导体结构的形成方法,其特征在于,当n为大于2的自然数时,自第2次开始,每一次形成的层间介质层的厚度均相同。
5. 如权利要求1至4中的任一项所述的半导体结构的形成方法,其特征在于,利用氮气或者氨气对所述层间介质层表面执行氮离子处理。
6. 如权利要求5所述的半导体结构的形成方法,其特征在于,利用原位等离子工艺对所述层间介质层表面执行氮离子处理。
7. 如权利要求6所述的半导体结构的形成方法,其特征在于,利用原位等离子工艺对所述层间介质层表面执行氮离子处理的工艺条件为:
压力:2torr~7torr;
流量:500sccm~2000sccm;
功率:50w~1500w。
8. 如权利要求2至4中的任一项所述的半导体结构的形成方法,其特征在于,利用化学气相沉积工艺形成层间介质层。
9. 如权利要求8所述的半导体结构的形成方法,其特征在于,自第2次开始,每一次形成层间介质层的工艺条件为:
压力:2torr~7torr;
OMCTS流量:500sccm~2000sccm;
功率:50w~1500w。
10. 如权利要求1至4中的任一项所述的半导体结构的形成方法,其特征在于,在所述接触孔中填充金属铜,形成铜互连线的工艺包括如下步骤:
形成铜金属层,所述铜金属层覆盖所述层间介质层并填满所述接触孔;
对所述铜金属层执行CMP工艺,形成铜互连线。
11. 如权利要求1至10中的任一项所述的半导体结构的形成方法所形成的半导体结构,其特征在于,包括:

半导体衬底；
形成于所述半导体衬底上的层间介质层，所述层间介质层表面经过氮离子处理；
形成于所述层间介质层中的铜互连线；
富硅氮化硅层，所述富硅氮化硅层覆盖所述铜互连线及层间介质层；
铜阻挡层，所述铜阻挡层覆盖所述富硅氮化硅层。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及集成电路制造领域,特别涉及一种半导体结构及其形成方法。

背景技术

[0002] 在集成电路工艺中,有着热稳定性、抗湿性的二氧化硅一直是金属互连线之间使用的主要绝缘材料,金属铝则是连接器件以形成电路的金属互连线的主要材料。然而,相对于元件的微型化及集成度的增加,电路中金属互连线数目的不断增多,使得金属互连线架构中的电阻(R)及电容(C)产生了显著的寄生效应,造成了严重的传输延迟(RC Delay)及串音(Cross Talk),在90纳米及更先进的技术中成为电路中讯号传输速度受限的主要因素。

[0003] 因此,在降低金属互连线电阻方面,由于金属铜具有高熔点、低电阻系数及高抗电子迁移的能力,已被广泛地应用于金属互连线架构中来取代金属铝作为金属互连线的材料。

[0004] 同时,在降低寄生电容方面,由于工艺上和金属互连线电阻的限制,难以通过几何上的改变来降低寄生电容值。因此,现有工艺中便使用低介电常数(low K)的材料来形成层间介质层(Inter-Layer Dielectric,ILD)以替代二氧化硅。常用的低介电常数材料包括SiOCH薄膜、氟硅玻璃(FSG)、碳掺杂的氧化硅(Black Diamond)等。

[0005] 虽然现有工艺很好地解决了传输延迟及串音的问题,但随着金属铜被用来作为金属互连线的材料,也引来了其他问题。由于铜在硅及其氧化物以及大部分介质中扩散相当快,且铜一旦进入器件结构中即形成深能级杂质,对器件中的载流子具有很强的陷阱效应,使器件性能退化甚至失效。因此,现有技术中在形成铜互连线(即金属互连线的材料为铜)之后,必须形成一铜阻挡层,用以阻挡金属铜的扩散,该铜阻挡层覆盖铜互连线及铜互连线之间的层间介质层。现有工艺中通常用SiCN(氮掺杂的碳化硅,NDC)作为铜阻挡层的材料,该铜阻挡层能够很好地防止铜扩散,但是,其与铜互连线以及层间介质层之间的粘附性不高,易于发生剥离(peeling)等不良后果。

[0006] 为此,现有技术中在形成SiCN层之前,先形成一富硅氮化硅层(以Rich-SiSiN为材料、具有较好粘附性能的膜层),以期通过该富硅氮化硅层改善铜阻挡层与铜互连线以及层间介质层之间的粘附性,进而避免剥离现象的发生。然而,所述富硅氮化硅层与铜互连线之间具有很好的粘附性,但是其与层间介质层之间的粘附性较差,因此即使使用了该富硅氮化硅层,产生的整体粘附效果仍并不理想,从而仍旧容易发生剥离的不良后果。

[0007] 具体如图1所示,半导体结构包括铜互连线10、铜互连线10之间的层间介质层11、覆盖铜互连线10及层间介质层11的富硅氮化硅层12、以及覆盖富硅氮化硅层12的铜阻挡层13。在该半导体结构中,仍旧易于发生铜互连线与铜阻挡层之间的剥离,特别的,在后续的互连线接合过程中,由于施加到铜互连线10及层间介质层11上的应力不同,将导致铜互连线10与其上层的富硅氮化硅层12及铜阻挡层13之间的剥离问题更严重。

发明内容

[0008] 本发明的目的在于提供一种半导体结构及其形成方法,以解决现有技术中,铜互连线与铜阻挡层之间的粘附性较差,易于产生剥离的问题。

[0009] 为解决上述技术问题,本发明提供一种半导体结构的形成方法,包括:

[0010] 提供半导体衬底;

[0011] 在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理;

[0012] 刻蚀所述层间介质层形成接触孔;

[0013] 在所述接触孔中填充金属铜,形成铜互连线;

[0014] 形成富硅氮化硅层,所述富硅氮化硅层覆盖所述铜互连线及层间介质层;

[0015] 形成铜阻挡层,所述铜阻挡层覆盖所述富硅氮化硅层。

[0016] 可选的,在所述的半导体结构的形成方法中,在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理的工艺步骤执行n次,其中,n为大于或等于2的自然数。

[0017] 可选的,在所述的半导体结构的形成方法中,第1次形成的层间介质层的厚度是n次形成的层间介质层的总厚度的50%~95%。

[0018] 可选的,在所述的半导体结构的形成方法中,当n为大于2的自然数时,自第2次开始,每一次形成的层间介质层的厚度均相同。

[0019] 可选的,在所述的半导体结构的形成方法中,利用氮气或者氨气对所述层间介质层表面执行氮离子处理。

[0020] 可选的,在所述的半导体结构的形成方法中,利用原位等离子工艺对所述层间介质层表面执行氮离子处理。

[0021] 可选的,在所述的半导体结构的形成方法中,利用原位等离子工艺对所述层间介质层表面执行氮离子处理的工艺条件为:

[0022] 压力:2torr~7torr;

[0023] 流量:500sccm~2000sccm;

[0024] 功率:50w~1500w。

[0025] 可选的,在所述的半导体结构的形成方法中,利用化学气相沉积工艺形成层间介质层。

[0026] 可选的,在所述的半导体结构的形成方法中,自第2次开始,每一次形成层间介质层的工艺条件为:

[0027] 压力:2torr~7torr;

[0028] OMCTS流量:500sccm~2000sccm;

[0029] 功率:50w~1500w。

[0030] 可选的,在所述的半导体结构的形成方法中,在所述接触孔中填充金属铜,形成铜互连线的工艺包括如下步骤:

[0031] 形成铜金属层,所述铜金属层覆盖所述层间介质层并填满所述接触孔;

[0032] 对所述铜金属层执行CMP工艺,形成铜互连线。

[0033] 本发明还提供了一种上述半导体结构的形成方法所形成的半导体结构,包括:

[0034] 半导体衬底;

[0035] 形成于所述半导体衬底上的层间介质层,所述层间介质层表面经过氮离子处理;

- [0036] 形成于所述层间介质层中的铜互连线；
- [0037] 富硅氮化硅层,所述富硅氮化硅层覆盖所述铜互连线及层间介质层；
- [0038] 铜阻挡层,所述铜阻挡层覆盖所述富硅氮化硅层。
- [0039] 在本发明提供的半导体结构及其形成方法中,通过对所述层间介质层表面执行氮离子处理,从而提高了层间介质层与富硅氮化硅层的粘附性,进而提高了层间介质层与铜阻挡层之间的粘附性,避免了剥离问题的产生。

附图说明

- [0040] 图1是现有的包括铜互连线的半导体结构的结构示意图；
- [0041] 图2是本发明实施例的半导体结构的形成方法的流程示意图；
- [0042] 图3~图7是本发明实施例的半导体结构的形成方法所形成的器件的剖面示意图。

具体实施方式

[0043] 以下结合附图和具体实施例对本发明提出的半导体结构及其形成方法作进一步详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0044] 请参考图2,其为本发明实施例的半导体结构的形成方法的流程示意图。如图2所示,所述半导体结构的形成方法包括如下步骤:

- [0045] S20:提供半导体衬底；
- [0046] S21:在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理；
- [0047] S22:刻蚀所述层间介质层形成接触孔；
- [0048] S23:在所述接触孔中填充金属铜,形成铜互连线；
- [0049] S24:形成富硅氮化硅层,所述富硅氮化硅层覆盖所述铜互连线及层间介质层；
- [0050] S25:形成铜阻挡层,所述铜阻挡层覆盖所述富硅氮化硅层。
- [0051] 具体的,请参考图3~图7,其为本发明实施例的半导体结构的形成方法所形成的器件的剖面示意图。

[0052] 如图3a所示,提供半导体衬底30,具体的,所述半导体衬底30包括基底31及形成于所述基底31上的阻挡层32。进一步的,所述基底31可以包括硅基底、锗硅基底、SOI基底中的一种,还可以包括形成于上述硅基底、锗硅基底或者SOI基底上的功能器件以及连接各功能器件的金属互连线(或者说下层金属互连线,通常为铜材料)。所述阻挡层32可以是防止金属互连线(特别是材料为铜的金属互连线)扩散的SiCN材料。

[0053] 请继续参考图3a,在所述半导体衬底30上形成第一层间介质层331,在本实施例中,将通过多步工艺步骤形成多层层间介质层,为了区分不同步骤形成的前后不同的层间介质层,在此,第一次形成的层间介质层称为第一层间介质层331,后续依此类推。

[0054] 接着,对所述第一层间介质层331的表面执行氮离子处理,如图3b所示,本实施例中,将所述第一层间介质层331未经第一次氮离子处理的部分(邻近所述阻挡层32的部分)称为未处理膜层3311,将经过第一次氮离子处理的部分(远离所述阻挡层32的部分)称为第

一处理膜层3310,此外,为了图示方便,在剖视图中将未处理膜层3311和第一处理膜层3310的交界面表示为水平线,本领域的技术人员应当理解,实际的交界面并不一定是平面。

[0055] 对层间介质层进行氮离子处理工艺后,将使得层间介质层与后续形成的富硅氮化硅层性能更接近,从而更易于粘附,即使得后续形成的富硅氮化硅层与层间介质层的粘附性更好,从而最终提高了层间介质层与铜阻挡层之间的粘附性,避免了剥离问题的产生。

[0056] 优选的,对于步骤S21(在所述半导体衬底上形成层间介质层,对所述层间介质层表面执行氮离子处理,当然,从第2次开始,后续形成的层间介质层位于前一层层间介质层之上,同时其均是位于半导体衬底之上的。)可执行n次,其中,n为大于2的自然数(即可以多次执行步骤S21)。在此,多次执行步骤S21可为后续的化学机械研磨工艺形成较大的工艺窗口。

[0057] 在本实施例中,一共执行3次层间介质层沉积工艺及对层间介质层表面执行氮离子处理的工艺。具体的,请参考图3c,在第一层间介质层331上形成第二层间介质层332,并对第二层间介质层332的表面执行氮离子处理工艺,形成第二处理膜层3320;接着,在第二层间介质层332上形成第三层间介质层333,并对第三层间介质层333的表面执行氮离子处理工艺,形成第三处理膜层3330。

[0058] 优选的,第1次形成的层间介质层(即第一层间介质层331)的厚度是n次(在此为3次)形成的层间介质层的总厚度的50%~95%。由于在后续的化学机械研磨工艺中,所去除的层间介质层的量非常小,也就是说CMP工艺所涉及的层间介质层非常薄,即处理膜层(包括第一处理膜层3310、第二处理膜层3320及第三处理膜层3330)可以出现在整个层间介质层较后段(或者说远离半导体衬底30的部分),由此,第一层间介质层331的厚度可较大。形成较厚的第一层间介质层331不仅可以加快工艺步骤,同时,较厚的膜层在工艺上易于控制,从而也就简化了工艺步骤。

[0059] 在本实施例中,当n为大于2的自然数时,自第2次开始,每一次形成的层间介质层(即第二层间介质层332及第三层间介质层333)的厚度均相同。后续层间介质层的厚度相同可以简化工艺,例如可不改变工艺条件的设定。

[0060] 优选的,通过原位等离子工艺,利用氮气或者氨气对所述层间介质层表面执行氮离子处理。优选的,工艺条件为:压力:2torr~7torr;流量:500sccm~2000sccm;功率:50w~1500w。通过上述反应气体及工艺条件的选择,能够在层间介质层表面形成一层质量可靠、膜层致密的处理膜层,提高了后续富硅氮化硅层与层间介质层之间的粘附性。

[0061] 在本实施例中,利用化学气相沉积工艺形成层间介质层,优选的,自第2次开始,每一次形成层间介质层(即第二层间介质层332及第三层间介质层333)的工艺条件为:压力:2torr~7torr;OMCTS(八甲基环四硅氧烷)流量:500sccm~2000sccm;功率:50w~1500w。通过上述反应气体及工艺条件的选择,能够形成膜层厚度可控、膜层质量可靠的层间介质层,从而提高最终所形成的半导体结构的可靠性。

[0062] 接着,如图4所示,刻蚀所述层间介质层(在此包括第一层间介质层331、第二层间介质层332及第三层间介质层333)形成接触孔34,在本实施例中,同时刻蚀所述阻挡层32,即所述接触孔34贯穿所述第一层间介质层331、第二层间介质层332、第三层间介质层333及阻挡层32,停止于所述基底31表面。具体的,可首先在所述第三层间介质层333上形成硬掩膜层,所述硬掩膜层可以为正硅酸乙酯(TEOS)形成的二氧化硅层;接着,通过光刻工艺形成

图案化的硬掩膜层;以所述图案化的硬掩膜层为掩膜,通过干法或者湿法刻蚀工艺形成所述接触孔34。

[0063] 接着,如图5所示,形成铜金属层35,所述铜金属层35覆盖所述层间介质层并填满所述接触孔34。在此,可通过化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺等半导体工艺形成所述铜金属层35。

[0064] 如图6所示,对所述铜金属层35执行CMP工艺,形成铜互连线36。在本实施例中,由于执行了三次步骤S21,因此留给CMP工艺的工艺窗口较大。即在CMP工艺中,既可以停留在第三处理膜层3330表面,也可以停留在第二处理膜层3320或者第一处理膜层3310表面,在本实施例中,通过CMP工艺不仅去除了第三层间介质层333表面的铜金属层35,同时去除了第三层间介质层333,停留在第二处理膜层3320表面。在本实施例中,对于CMP工艺的工艺条件(即研磨速率等)并不做限定,其可以根据所形成的层间介质层的厚度、研磨时间等做不同的调整,在本发明公开的基础上,本领域技术人员可很容易地得到相应的操作参数。

[0065] 接着,如图7所示,形成富硅氮化硅层37,所述富硅氮化硅层37覆盖所述铜互连线36及层间介质层(在此为第三层间介质层333);形成铜阻挡层38,所述铜阻挡层38覆盖所述富硅氮化硅层37。优选的,所述铜阻挡层38的材料为SiCN。

[0066] 通过上述工艺形成了半导体结构3,所述半导体结构3包括:

[0067] 半导体衬底30;

[0068] 形成于所述半导体衬底30上的层间介质层,所述层间介质层表面经过氮离子处理;

[0069] 形成于所述层间介质层中的铜互连线36;

[0070] 富硅氮化硅层37,所述富硅氮化硅层37覆盖所述铜互连线36及层间介质层;

[0071] 铜阻挡层38,所述铜阻挡层38覆盖所述富硅氮化硅层37。

[0072] 在本实施例提供的半导体结构及其形成方法中,通过对所述层间介质层表面执行氮离子处理,从而提高了层间介质层与富硅氮化硅层的粘附性,进而提高了层间介质层与铜阻挡层之间的粘附性,避免了剥离问题的产生,提高了集成电路的可靠性。

[0073] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

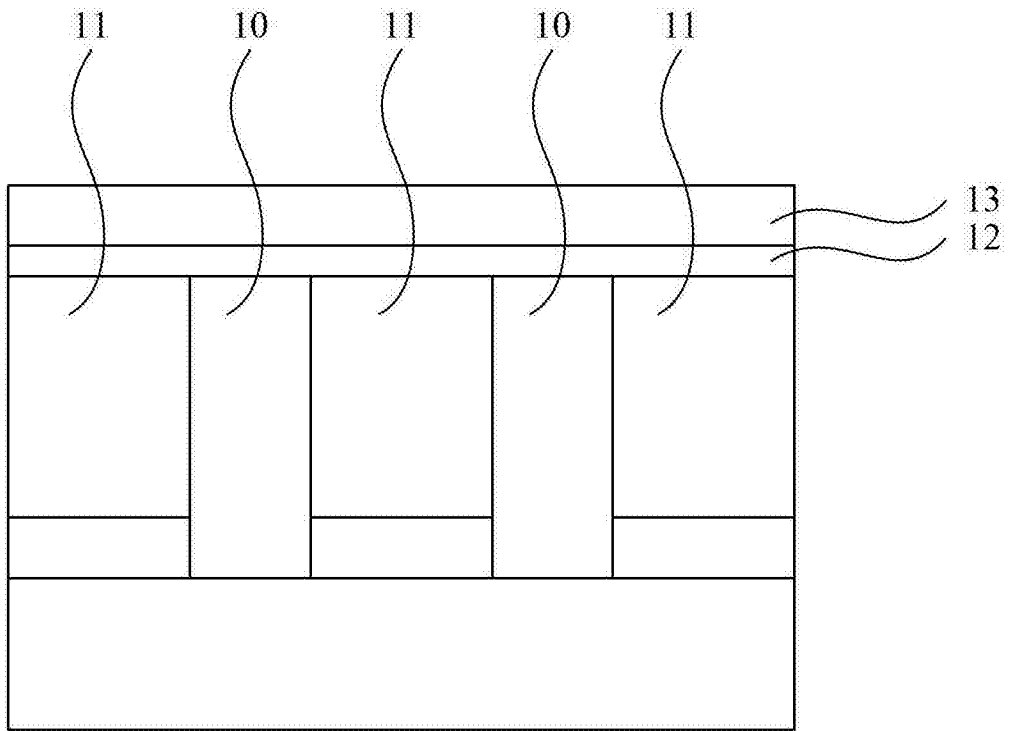


图1

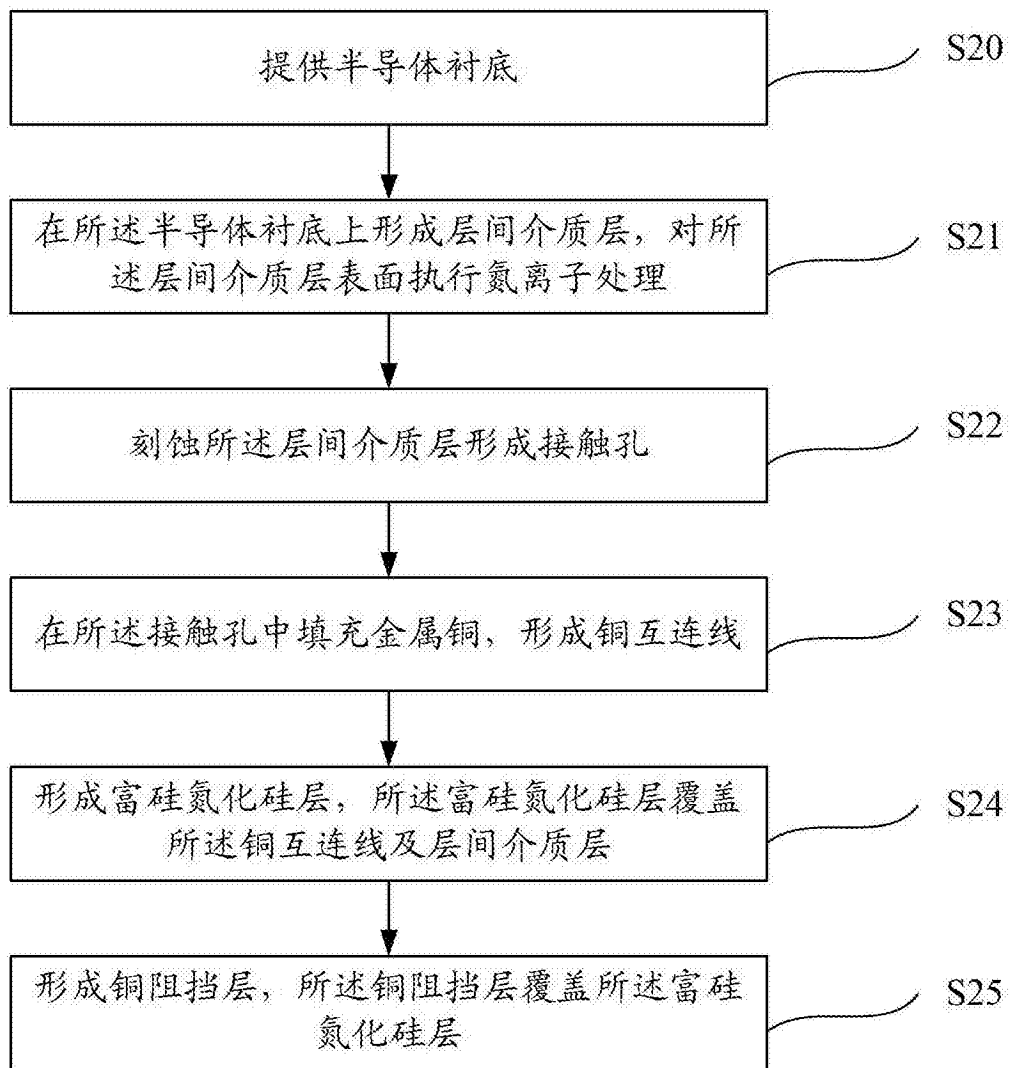


图2

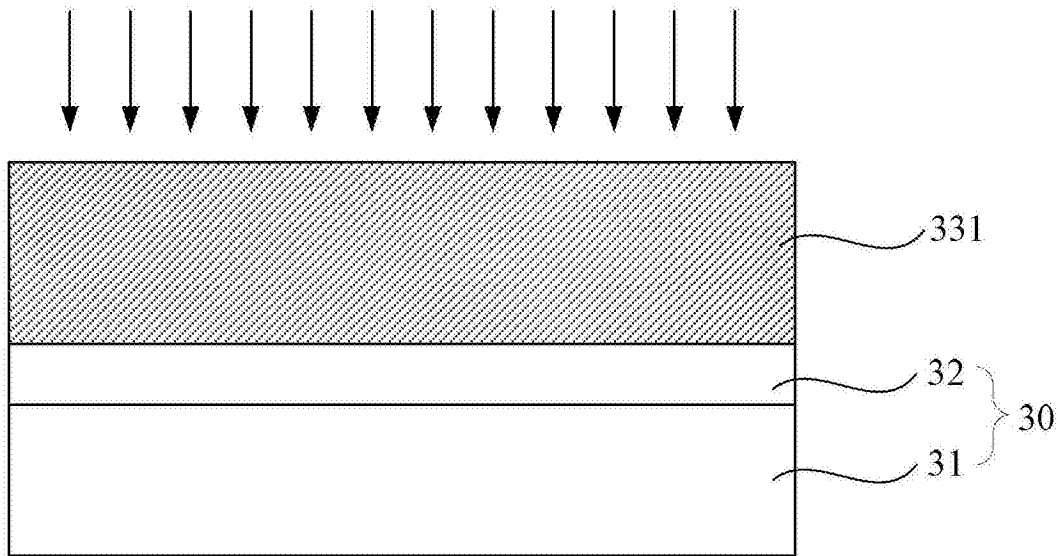


图3a

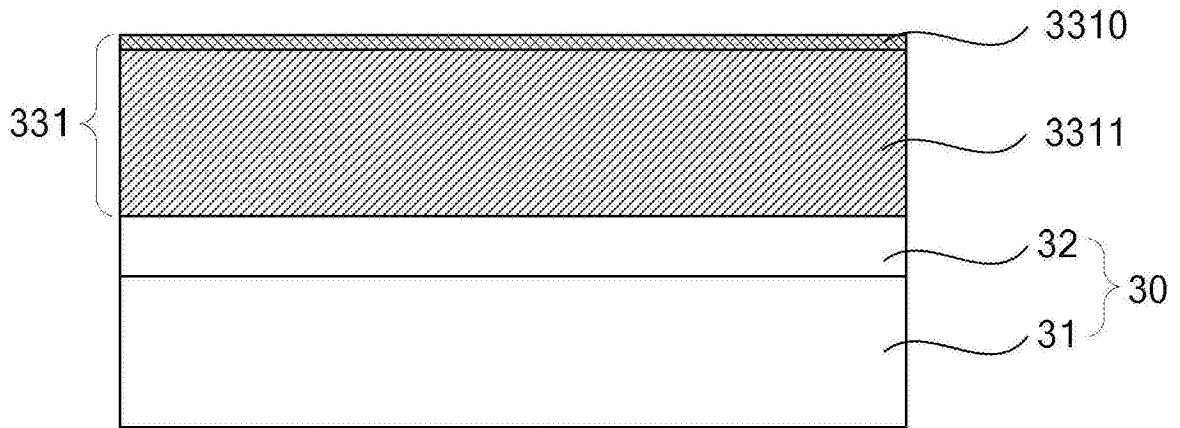


图3b

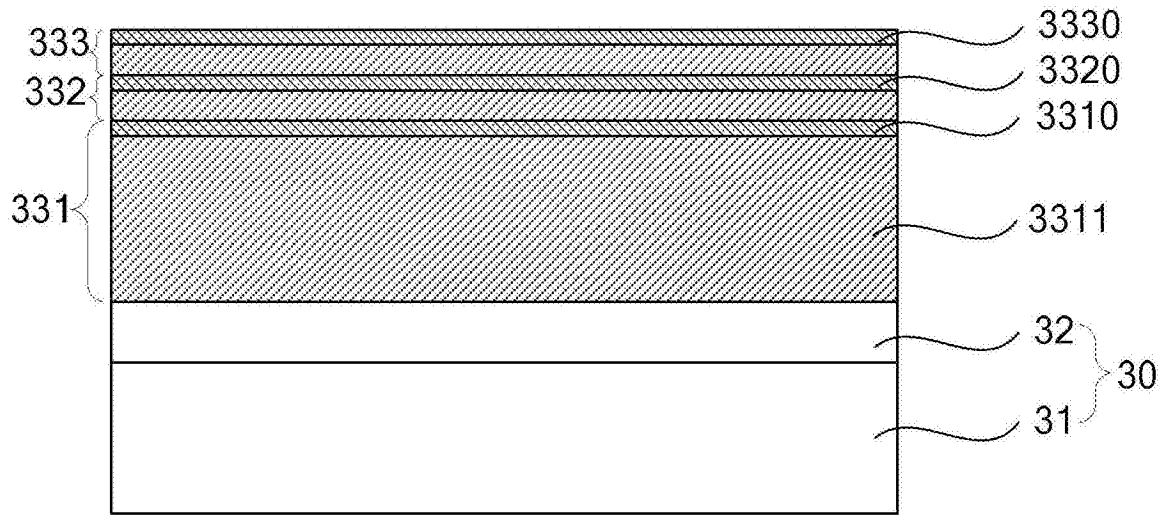


图3c

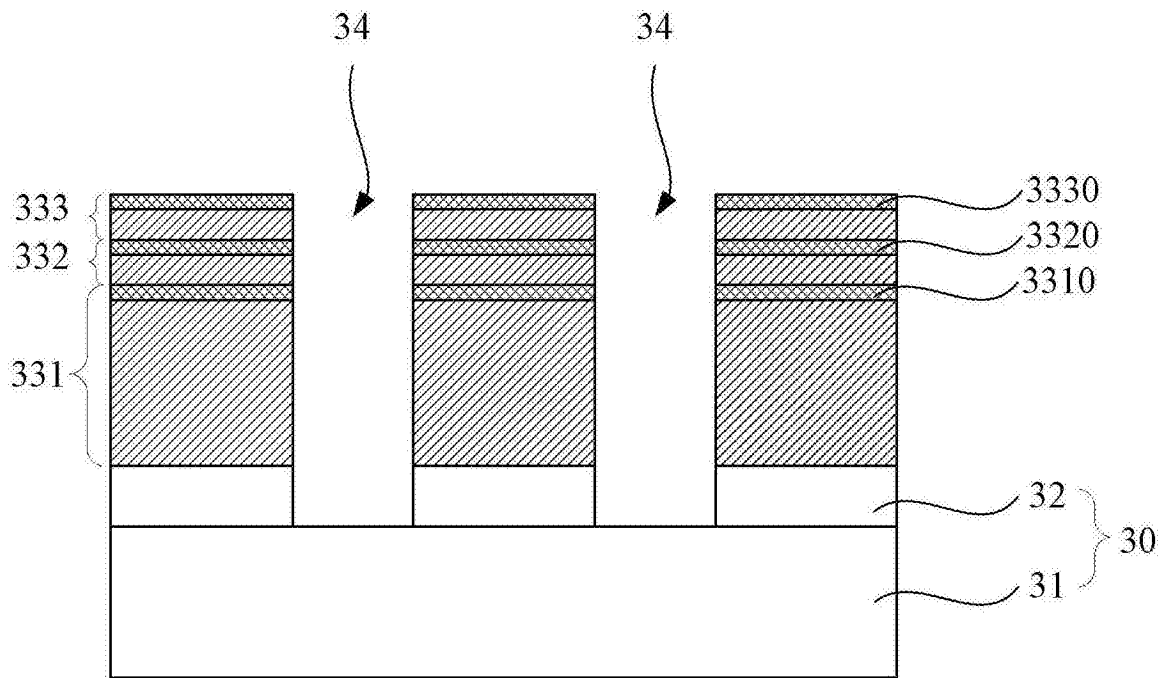


图4

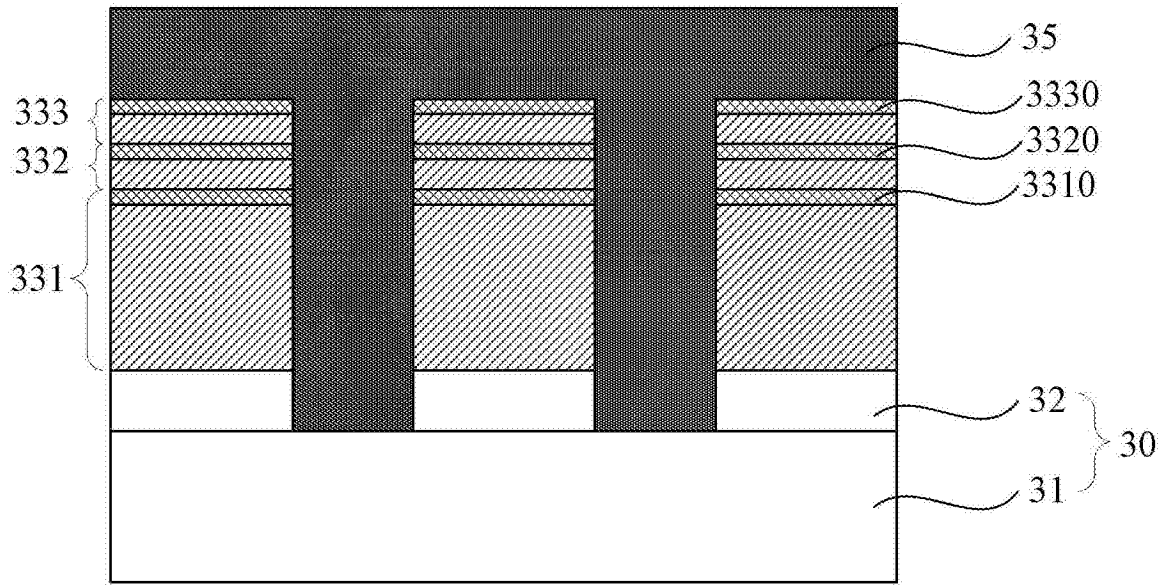


图5

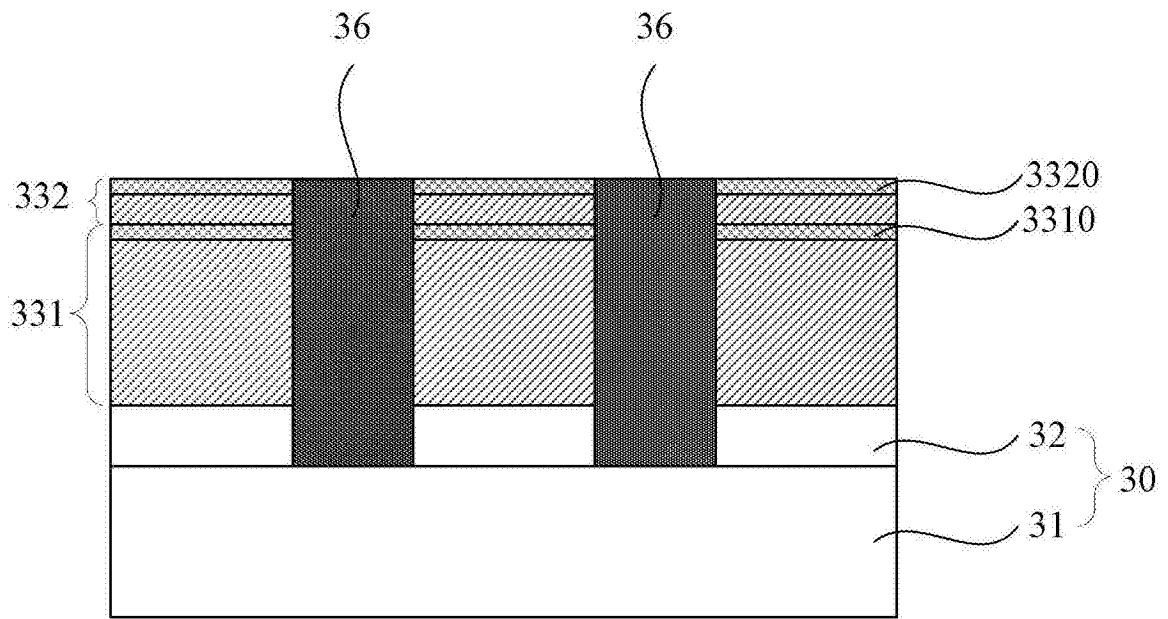


图6

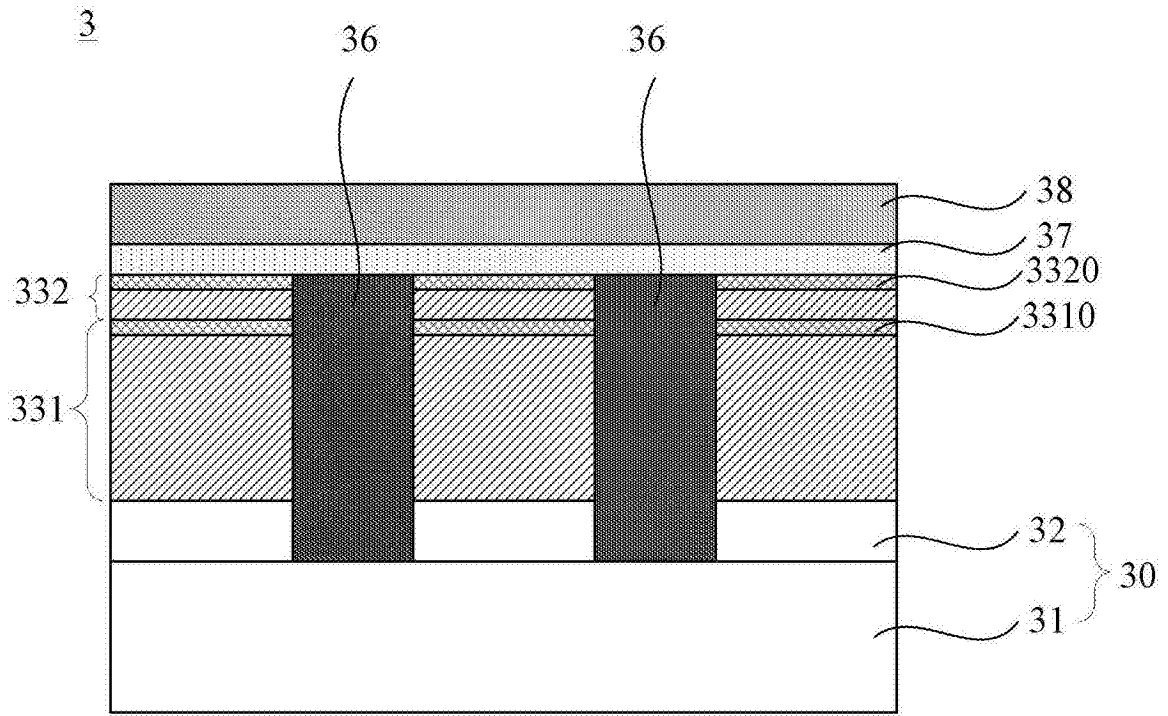


图7