



(12) 发明专利申请

(10) 申请公布号 CN 103178073 A

(43) 申请公布日 2013.06.26

(21) 申请号 201310011483.0

H04N 5/374 (2011.01)

(22) 申请日 2009.03.25

(30) 优先权数据

2008-094999 2008.04.01 JP

(62) 分案原申请数据

200980111648.3 2009.03.25

(71) 申请人 佳能株式会社

地址 日本东京

(72) 发明人 河野祥士 小泉彻

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 陈华成

(51) Int. Cl.

H01L 27/146 (2006.01)

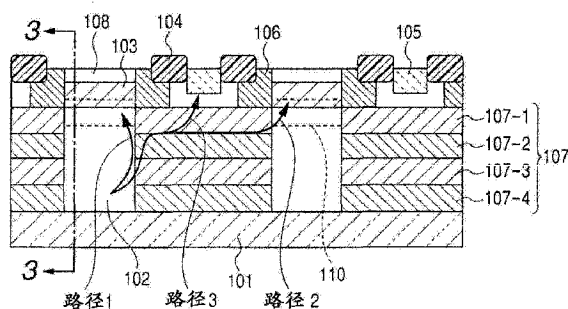
权利要求书1页 说明书6页 附图6页

(54) 发明名称

具有降低了的模糊和颜色混合的固态图像传感器

(57) 摘要

本发明涉及具有降低了的模糊和颜色混合的固态图像传感器。能够抑制模糊和颜色混合的固态成像装置包括多个像素，每个像素包含光电转换部分和用于传送来自光电转换部分的信号电荷的传送部分，其中，在半导体基板上形成的第一导电类型的阱区域中形成多个光电转换部分，在相邻的光电转换部分之间布置第二导电类型的第一杂质区域，在第一杂质区域和每一个光电转换部分之间布置杂质浓度比阱区域的杂质浓度高的第一导电类型的第二杂质区域，并且，在半导体基板和第一杂质区域之间布置杂质浓度比阱区域的杂质浓度高并且从半导体基板向装置的表面方向减小的第一导电类型的第三杂质区域。



1. 一种固态成像装置,包括:

多个像素,每个像素包含:

用于将入射光转换成信号电荷的光电转换部分;和

用于传送来自光电转换部分的信号电荷的传送部分,其中,

光电转换部分和传送部分被至少布置在半导体基板上,

光电转换部分包含用于蓄积信号电荷的第一导电类型的第一半导体区域和与第一半导体区域形成 PN 结的第二导电类型的第二半导体区域,

第一导电类型的第三半导体区域被布置在相邻的第一半导体区域之间,

具有第二导电类型并且杂质浓度比第二半导体区域的杂质浓度高的第四半导体区域被布置在第一半导体区域和第三半导体区域之间,并且,

具有第二导电类型的第五半导体区域被布置在第三半导体区域下面,所述第五半导体区域的杂质浓度比第二半导体区域的杂质浓度高,从而形成使得杂质浓度向着表面方向逐渐降低的杂质浓度轮廓。

具有降低了的模糊和颜色混合的固态图像传感器

[0001] 本申请是申请日为 2009 年 3 月 25 日、申请号为 200980111648.3、发明名称为“具有降低了的模糊和颜色混合的固态图像传感器”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及将图像转换成电信号的固态成像装置。特别地，本发明涉及在每个像素中或每若干个像素中包含一个放大器的有效像素传感器(以下，称为“APS”)。

背景技术

[0003] APS 结构的固态成像装置也被称为 CMOS 传感器，并且被广泛用于数字照相机等。

[0004] 传统的固态成像装置具有关于以下现象的问题。具体而言，所述现象是信号电荷逃逸到相邻的光电转换部分的模糊(blooming)现象、颜色再现性由于模糊现象而劣化的颜色混合等。这些现象的产生机制分别如下：在用于蓄积信号电荷的构成光电转换部分的半导体区域(在信号电荷是电子的情况下，为 N 型半导体区域)中蓄积的信号电荷变为饱和状态，并且溢出的信号电荷越过元件隔离区域，从而到达相邻的像素。

[0005] 为了解决上述问题，日本专利申请特开 No. 2004-266159 (以下，称为专利文献 1)公开了在元件隔离区域下面形成深的隔离注入层的配置。专利文献 1 描述了阻碍来自光电二极管的信号电荷的流出的配置。

[0006] 此外，日本专利申请特开 No. 2005-229105 (以下，称为专利文献 2)公开了以下的配置。即，在元件隔离绝缘膜下面形成溢出路径区域，并且使得溢出路径区域具有比构成光电二极管的 P 型阱区域低的电位。因此，光电二极管充满被排出到 N 型硅基板的信号电荷以抑制模糊。

[0007] 并且，另外，日本专利申请特开 No. 2006-024907 (以下，称为专利文献 3)也描述了抑制信号电荷的逃逸的元件隔离结构。

[0008] 但是，在如上述专利文献 1 公开的那样形成用于元件隔离的扩散层的情况下，由于随着像素的小型化的进展不能获得具有足够的宽度的元件隔离扩散层，因此，有时不能获得充分的颜色混合和模糊抑制效果。

[0009] 此外，如果形成在上述的专利文献 2 中公开的溢出路径区域，那么当较深地形成构成光电二极管的 P 型阱时，通过在阱的较深的部分处的光电转换产生的信号电荷有时被排出，并且光电二极管的灵敏度有时变得不高。

[0010] 此外，通过在专利文献 3 中公开的元件隔离结构，也不能说信号电荷收集效率是足够的，并且存在进一步检验的空间。

发明内容

[0011] 本发明基于根据构成光电二极管的 P 型阱的深度和浓度提供最佳元件隔离结构的概念。本发明致力于提供即使提高光电二极管等的光电转换部分的灵敏度也能够抑制模糊和颜色混合的固态成像装置。

[0012] 本发明的目的是,提供一种固态成像装置,该固态成像装置包括:多个像素,每个像素包含用于将入射光转换成信号电荷的光电转换部分和用于传送来自光电转换部分的信号电荷的传送部分,其中光电转换部分和传送部分被至少布置在半导体基板上,光电转换部分包含用于蓄积信号电荷的第一导电类型的第一半导体区域和与第一半导体区域形成PN结的第二导电类型的第二半导体区域,第一导电类型的第三半导体区域被布置在相邻的第一半导体区域之间,具有第二导电类型并且杂质浓度比第二半导体区域的杂质浓度高的第四半导体区域被布置在第一半导体区域和第三半导体区域之间,并且,具有第二导电类型的第五半导体区域被布置在第三半导体区域下面,所述第五半导体区域的杂质浓度比第二半导体区域的杂质浓度高,从而形成使得杂质浓度向着表面方向逐渐降低的杂质浓度轮廓。

[0013] 结合附图考虑以下的描述,本发明的其它特征和优点将十分明显,在这些附图中,类似的附图标记始终表示相同或类似的部分。

附图说明

[0014] 图1是第一实施例中的像素的平面布局图。

[0015] 图2是沿图1中的线2-2截取的第一实施例的截面结构图。

[0016] 图3是第一实施例的P型阱和第二P型元件隔离扩散层的浓度轮廓。

[0017] 图4是第二实施例中的像素的截面结构图。

[0018] 图5是第三实施例中的像素的平面布局图。

[0019] 图6是沿图5中的线6-6截取的第三实施例的截面结构图。

[0020] 图7是示出对于P型阱的杂质浓度的第二P型元件隔离扩散层的杂质浓度高度和电子抑制率的示意图。

[0021] 图8是将根据本发明的固态成像装置应用于照相机的情况下的框图的例子。

[0022] 图9是适用于本发明的像素的等效电路图的例子。

[0023] 被包含于说明书中并构成说明书一部分的附图示出了本发明的实施例,并与说明一起用于解释本发明的原理。

具体实施方式

[0024] 以下将参照附图详细描述本发明的固态成像装置的示例性实施例。

[0025] 描述本发明的第一实施例。在以下的描述中,半导体基板表示要成为在其上形成每个半导体区域的基底的部分,并且在半导体基板的表面部分上形成器件。具体而言,半导体基板由图2中的附图标记101表示。此外,假定包含半导体基板101和在其上形成器件的主面的整个配置称为半导体基板。具体而言,假定包含由图2中的附图标记101~108表示的部分的整个配置称为半导体基板。

[0026] 此外,当描述深度时,假定在其上形成半导体基板101的器件的主面被视为半导体基板中的各半导体区域的深度的标准,并且假定当位置变得远离主面时深度变得更深。此外,当通过上侧和下侧定义位置时,更接近在其上形成半导体基板101的器件的主面的位置被定义为上侧。

[0027] 首先,图9示出适用于本发明的像素的等效电路图的例子。在图9中,由附图标记

1410 表示各像素。

[0028] 像素 1410 包含用作光电转换部分的光电二极管 1400、传送晶体管 1401、复位晶体管 1402、放大晶体管 1403 和选择晶体管 1404。所述像素还包括电源线 Vcc 和输出线 1406。

[0029] 光电二极管 1400 的阳极与接地导线连接,并且光电二极管 1400 的阴极与传送晶体管 1401 的源极连接。此外,可以在被光电二极管的阴极共享的半导体区域中配置传送晶体管 1401 的源极。

[0030] 传送晶体管 1401 的漏极与浮动扩散(以下,称为 FD)区域连接,并且传送晶体管 1401 的栅极与传送控制线连接。此外,复位晶体管 1402 的漏极与电源线 Vcc 连接,并且,复位晶体管 1402 的源极与 FD 区域连接。复位晶体管 1402 的栅极与复位控制线连接。可以在公共半导体区域中配置传送晶体管 1401 的漏极和 FD 区域或复位晶体管 1402 的漏极和 FD 区域。

[0031] 放大晶体管 1403 的漏极与电源线 Vcc 连接,并且,放大晶体管 1403 的源极与选择晶体管 1404 的漏极连接。放大晶体管 1403 的栅极与 FD 区域连接。选择晶体管 1404 的漏极与放大晶体管 1403 的源极连接,并且,选择晶体管 1404 的源极与输出线 1406 连接。选择晶体管 1404 的栅极与通过垂直选择电路(未示出)驱动的垂直选择线连接。

[0032] 下面描述等效电路的操作。在光电二极管 1400 中,通过入射光产生电子和空穴对。作为这些对中的每一对中的一个的电荷被用作由传送晶体管 1401 传送到 FD 区域的信号电荷。放大晶体管 1403 的栅极电位根据传送的信号电荷量改变。放大晶体管 1403 基于放大晶体管 1403 的栅极的电位变化,通过放大晶体管 1403 与未示出的恒流源一起构成的源跟随器电路,向输出线 1406 输出放大的信号。选择晶体管 1404 控制来自各像素的输出。

[0033] 这里示出的电路配置可被应用于本发明的所有实施例。此外,可以考虑以下的变型。例如,上述的电路配置可被应用于没有传送晶体管 1401 而光电二极管 1400 直接与放大晶体管 1403 的栅极连接的配置和与多个像素共享放大晶体管 1403 的电路配置。此外,也可采用不提供选择晶体管 1404 而通过控制放大晶体管 1403 的栅极电位进行像素的选择的配置。

[0034] 下面参照图 1 ~ 3 描述像素的平面结构和截面结构。图 1 是像素的平面布局图。图 2 是沿图 1 中的线 2-2 截取的截面结构图。图 3 是沿图 2 中的线 3-3 的杂质浓度轮廓。

[0035] 附图标记 101 表示第一导电类型的半导体基板。附图标记 103 表示第一导电类型的第一半导体区域。附图标记 102 表示第二导电类型的第二半导体区域。第一半导体区域 103 和第二半导体区域 102 构成 PN 结,并且构成用作光电转换部分的光电二极管。

[0036] 附图标记 105 表示第一导电类型的第三半导体区域。第三半导体区域 105 用作构成上述像素的 MOS 晶体管中的任一个的源极区域、漏极区域或 FD 区域。

[0037] 附图标记 104 表示由绝缘体制成的元件隔离区域。元件隔离区域 104 使第一半导体区域 103 和第三半导体区域 105 相互隔离。通过元件隔离区域 104,限定在半导体基板中形成器件的有源区域。

[0038] 附图标记 106 表示第二导电类型的第四半导体区域。第四半导体区域 106 被布置在第一半导体区域 103 和第三半导体区域 105 之间的元件隔离区域 104 下面,并且与元件隔离区域 104 一起用作元件隔离结构。此外,第四半导体区域 106 还具有抑制在元件隔离区域 104 的附近产生的暗电流的功能。此外,第四半导体区域 106 的杂质浓度比第二半导

体区域 102 的杂质浓度高。

[0039] 附图标记 107 表示第二导电类型的第五半导体区域。第五半导体区域 107 被布置在第三半导体区域 105 下面,并且,第五半导体区域 107 的杂质浓度比第二半导体区域 102 的杂质浓度高。此外,第五半导体区域 107 被配置为使得其杂质浓度可向着像素的表面方向减小。第五半导体区域 107 包含多个半导体区域,在此每个半导体区域被布置在彼此不同的深度上。只要至少被布置在最浅部分处的半导体区域的杂质浓度比被布置在最深部分处的半导体区域的杂质浓度低,就可获得本发明的效果。

[0040] 附图标记 108 表示被布置在第一半导体区域 103 中的第二导电类型的第六半导体区域。第六半导体区域 108 是用于使得光电转换部分成为埋入型光电二极管的区域。

[0041] 附图标记 109 表示布线层,并且,布线层 109 用作构成上述的像素的 MOS 晶体管的栅电极。

[0042] 以下,详细描述作为本发明的特征的第五半导体区域 107 的结构和功能。第五半导体区域 107 具有以下特征。

[0043] (1) 第五半导体区域 107 延伸到第一导电类型的半导体基板 101 的附近或者与半导体基板 101 接触。

[0044] (2) 第五半导体区域 107 被布置在第三半导体区域 105 下面。

[0045] (3) 第五半导体区域 107 的杂质浓度比第二半导体区域 102 的杂质浓度高。

[0046] (4) 位置越接近半导体基板 101 的主面,第五半导体区域 107 的杂质浓度变得越低。即,第五半导体区域 107 的杂质浓度在最深的部分变得最高。

[0047] 根据特征(1)和(3),相邻的第一半导体区域 103 之间的势垒的布置使得能够抑制存在于第二半导体区域 102 中的信号电荷流出到相邻的第二半导体区域 102 中。即,如图 2 中的路径 1 所示,第五半导体区域 107 用作对于信号电荷的势垒。以这种方式,抑制信号电荷通过路径 2 逃逸到相邻的像素中(该逃逸在传统上大量存在),并由此可抑制模糊和颜色混合。由此,可以提高像素的灵敏度。

[0048] 根据特征(2)和(4),通过图 2 中的路径 2 逃逸到相邻的像素中的信号电荷可被引向路径 3,由此,作为结果,可以抑制信号电荷通过路径 2 逃逸。

[0049] 以下,进一步详细描述上述的特征。

[0050] 作为本发明的发明人的检验结果,发现流入相邻的像素中的信号电荷的抑制率与下式成比例。

$$[0051] \quad \int_0^L x \times N(x) dx \quad (1)$$

[0052] 字母 L 在这里表示第五半导体区域 107 的宽度。所述宽度意味着沿与连接两个相邻的第一半导体区域 103 的直线平行的方向的直线的长度。所述宽度表示相邻的第一半导体区域 103 之间的势垒的宽度,并且为约 $1 \sim 3 \mu m$ 的长度,但该长度依赖于像素间距。此外,字母 x 表示沿第五半导体区域 107 的宽度方向的长度,并且,符号 $N(x)$ 表示第五半导体区域 107 中的点 x 处的杂质浓度和第二半导体区域 102 的杂质浓度之间的差值。这里,假定在第五半导体区域 107 与该像素的边界上点 x 为零。

[0053] 作为上述的特征(3),从式(1)可以获知,第五半导体区域 107 的杂质浓度比第二半导体区域 102 的杂质浓度大得越多,则抑制信号电荷逃逸到相邻的像素中的概率变得越

大。在图 7 中示出与以上有关的具体例子。图 7 示出第五半导体区域 107 的杂质浓度与第二半导体区域 102 的杂质浓度的比与对于相邻的像素的串扰比之间的关系。从图 7 可以获知,串扰比几乎与第五半导体区域 107 的浓度的高度成比例地变小。即,信号电荷的逃逸的量减少。从而,希望第五半导体区域 107 宽度比第四半导体区域 106 的宽度宽并且杂质浓度比第四半导体区域 106 的杂质浓度高。由此,可以充分地获得上述的效果。

[0054] 如上所述,根据特征(1)和(3),防止信号电荷向相邻的像素的逃逸,并由此可以更多地增加通过路径 1 的信号电荷的量,并且,可以实现颜色混合抑制和灵敏度提高。

[0055] 如果尝试通过提高第五半导体区域 107 中的较浅的部分处的杂质浓度来提高抑制率,那么有时产生以下的副作用。在图 2 中,第五半导体区域 107 的最接近半导体基板 101 的主面的部分和第三半导体区域 105 相互接近。如上所述,第三半导体区域 105 被用于构成像素的 MOS 晶体管的源极区域和漏极区域。因此,如果总体上使得第五半导体区域 107 的杂质浓度变高,那么第五半导体区域 107 的较浅部分与接近该较浅部分的第三半导体区域 105 形成 PN 结。由此,形成高浓度 PN 结,并且,PN 结有时对于 MOS 晶体管的特性产生不希望的影响。此外,可出现 PN 结抑制从构成光电二极管的第一半导体区域 103 延伸的耗尽层的扩展的现象。

[0056] 另一方面,如图 3 所示,第五半导体区域 107 的接近半导体基板 101 的主面的区域的杂质浓度减小。由此,抑制通过图 2 中的路径 2 逃逸的信号电荷,并且,可增加通过路径 3 的信号电荷。即,希望将第五半导体区域 107 形成为多层结构,在所述多层结构中,在不同的深度层叠多个层,使得它们的杂质浓度可从半导体基板 101 的主面侧向半导体基板 101 逐渐变高。例如,如图 2 所示,第五半导体区域 107 可以采用以下形式,即从半导体基板 101 的主面层叠多个半导体区域 107-1、107-2、107-3 和 107-4,使得各区域的杂质浓度可逐渐变高。此外,由此可以抑制模糊和颜色混合。为了使特征(4)的效果最大化,希望在第三半导体区域 105 下面布置第五半导体区域 107 以将逃逸的信号电荷排出到相邻的像素而不使它们逃逸。对此,特征(2)的结构是有效的。

[0057] 此外,如图 3 所示,第二半导体区域 102 可由杂质浓度相互不同(杂质浓度峰具有相互不同的值)的多个半导体区域配置。例如,如果不能使第五半导体区域 107 的杂质浓度那样高,那么可采用以下的配置。即,在第二半导体区域 102 中形成低杂质浓度部分,使得相邻的第二半导体区域 102 和第五半导体区域 107 的杂质浓度差可较大。通过这种配置,可以控制两者的浓度差以增加抑制效果。

[0058] 此外,第五半导体区域 107 的最深部分向比第二半导体区域 102 的最深部分深的部分的扩展使得能够更加确保实现上述的效果。

[0059] 顺便说一句,如果假定信号电荷为电子,那么,第一导电类型的导电类型可被设为 N 型,并且第二导电类型的导电类型可被设为 P 型。如果信号电荷被假定为空穴,那么,第一导电类型可被设为 P 型,并且第二导电类型可被设为 N 型。

[0060] 下面,作为本发明的固态成像装置的第二实施例,描述具有图 4 所示的结构的装置。

[0061] 即使在像素间距较小的像素中,该结构也可有效地抑制模糊和颜色混合。在图 4 的结构中,第五半导体区域 107 的离半导体基板 101 的主面的位置变得越深,则层的宽度变得越宽。该结构使得能够在不抑制从构成光电二极管的第一半导体区域 103 延伸的耗尽层

的扩展的情况下抑制颜色混合和模糊。

[0062] 以下,作为本发明的固态成像装置的第三实施例,描述包含图 5 和图 6 所示的结构装置。这里,图 6 是与图 5 对应的像素的截面结构图。

[0063] 与第二实施例类似,同样,本实施例适用于具有较小的像素间距的像素。如图 5 所示,第五半导体区域 107 的一部分位于远离构成光电二极管的第一半导体区域 103 和用作 MOS 晶体管的源极区域和漏极区域的第三半导体区域 105 的位置。与第一实施例的第五半导体区域 107 的宽度相比,本实施例的第五半导体区域 107 的宽度变窄。在本实施例中,第五半导体区域 107 被布置为不在宽度方向与第四半导体区域 106 重叠。抑制信号电荷逃逸到相邻的像素中的程度与式(1)成比例,使得杂质浓度与宽度成比例地变高。该结构使得能够在保持与第一实施例相同的颜色混合和模糊抑制效果的同时实现具有更小的像素的固态成像装置。

[0064] (应用到照相机主体)

[0065] 图 8 是示出将本发明的固态成像装置应用于照相机的情况的电路框图的例子。

[0066] 快门 1001 位于作为光学部件的拍摄透镜 1002 的前面,并且快门 1001 控制曝光。然后,光阑 1003 根据情况需要控制光量,并且,在固态成像装置 1004 的受光面上聚焦被摄体图像。通过成像信号处理电路 1005 处理从固态成像装置 1004 输出的信号,并且由 A/D 转换器 1006 将其从模拟信号转换成数字信号。输出的数字信号进一步通过信号处理单元 1007 进行算术运算处理。处理的数字信号蓄积于存储器单元 1010 中,并且通过外部 I/F 单元 1013 被传送到外部设备。固态成像装置 1004、成像信号处理电路 1005、A/D 转换器 1006 和信号处理单元 1007 分别由定时产生器 1008 控制,并且,整个系统由总体控制和算术运算单元 1009 控制。为了在记录介质 1012 中记录图像,通过控制记录介质的 I/F 单元 1011 记录输出的数字信号,该 I/F 单元 1011 受总体控制和算术运算单元 1009 控制。

[0067] 根据本发明,在具有 APS 结构的固态成像装置中,根据 P 型阱的深度和浓度设置最佳的 P 型元件隔离扩散层结构,并且,即使提高光电二极管的灵敏度,也可抑制模糊和颜色混合。

[0068] 顺便说一句,上述的实施例中的任何一个仅是具体化本发明的实现时的例子,并且,本发明的范围不得被解释为被这些实施例限制。即,在不背离其范围和主要特征的情况下,可以以各种形式实现本发明。

[0069] 本申请要求在 2008 年 4 月 1 日提交的日本专利申请 No. 2008-094999 的权益,其全部内容通过引用包含于此。

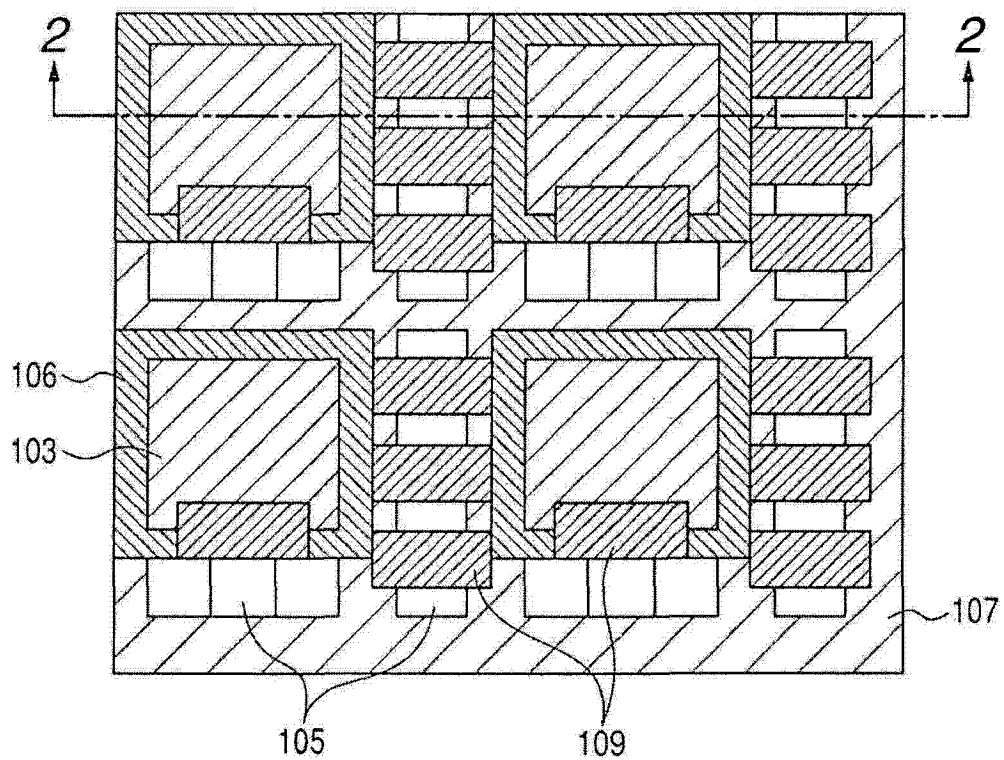


图 1

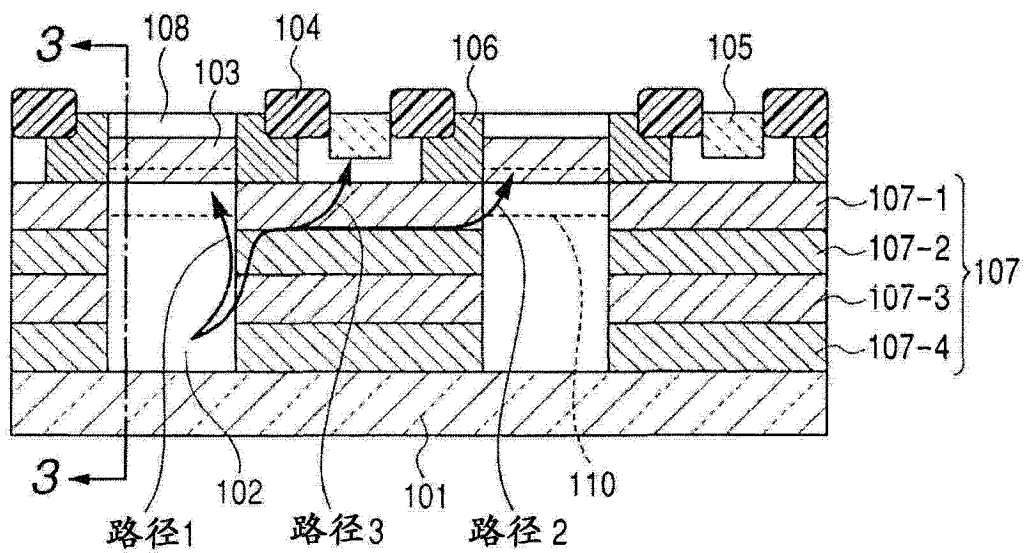


图 2

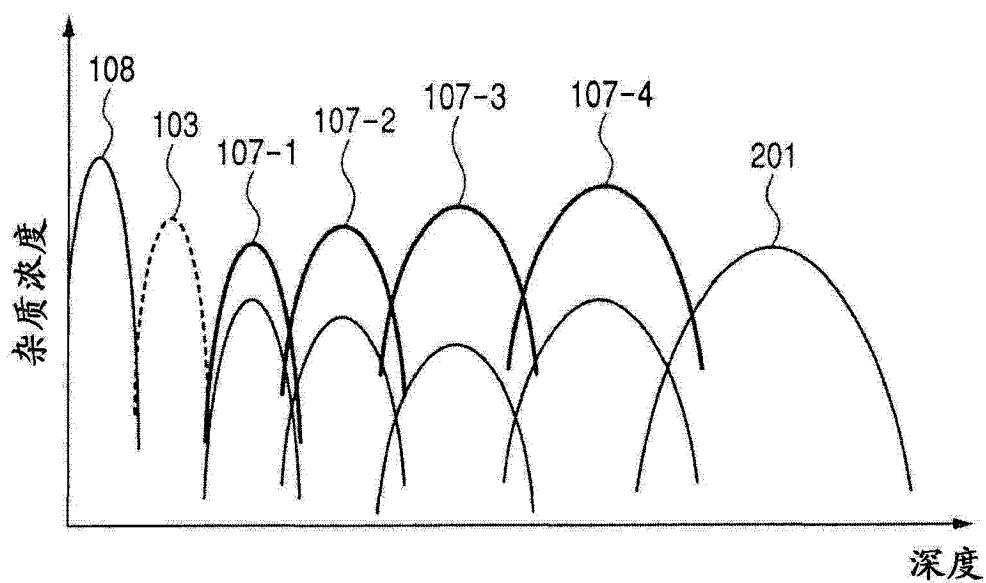


图 3

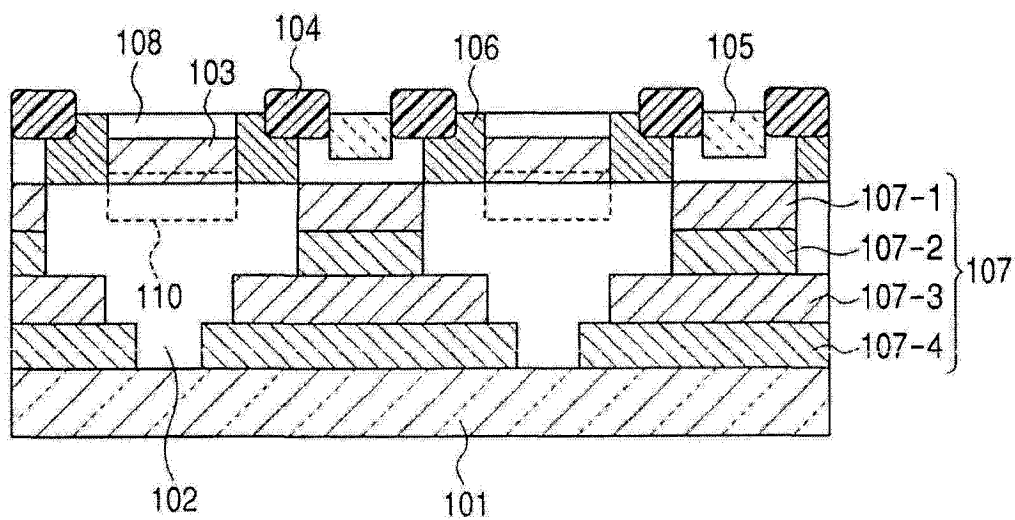


图 4

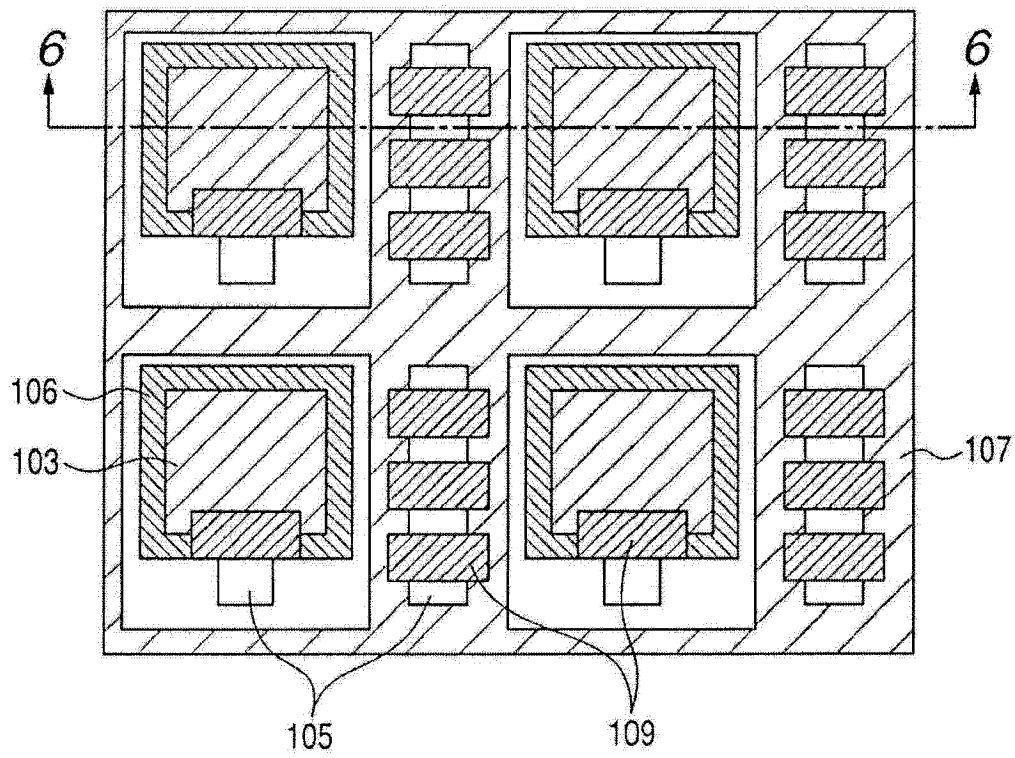


图 5

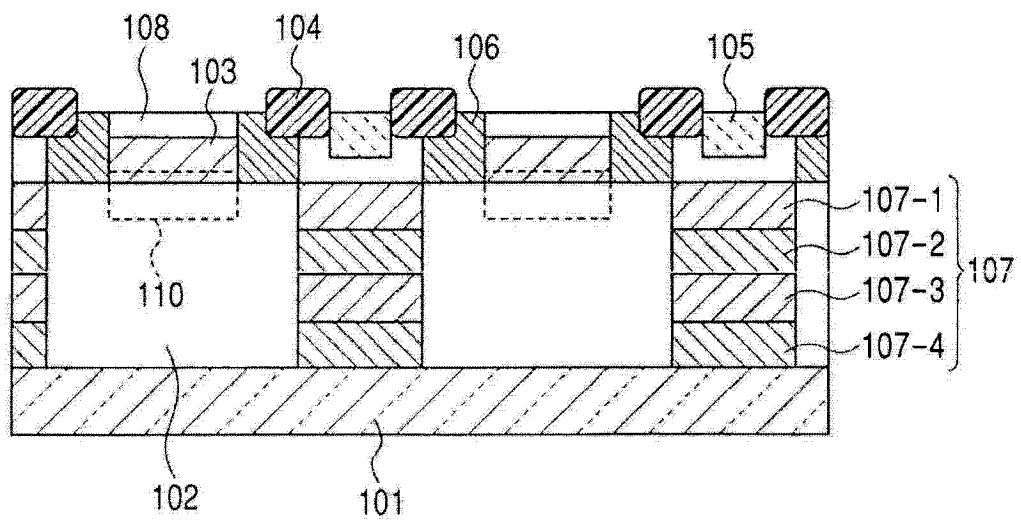


图 6

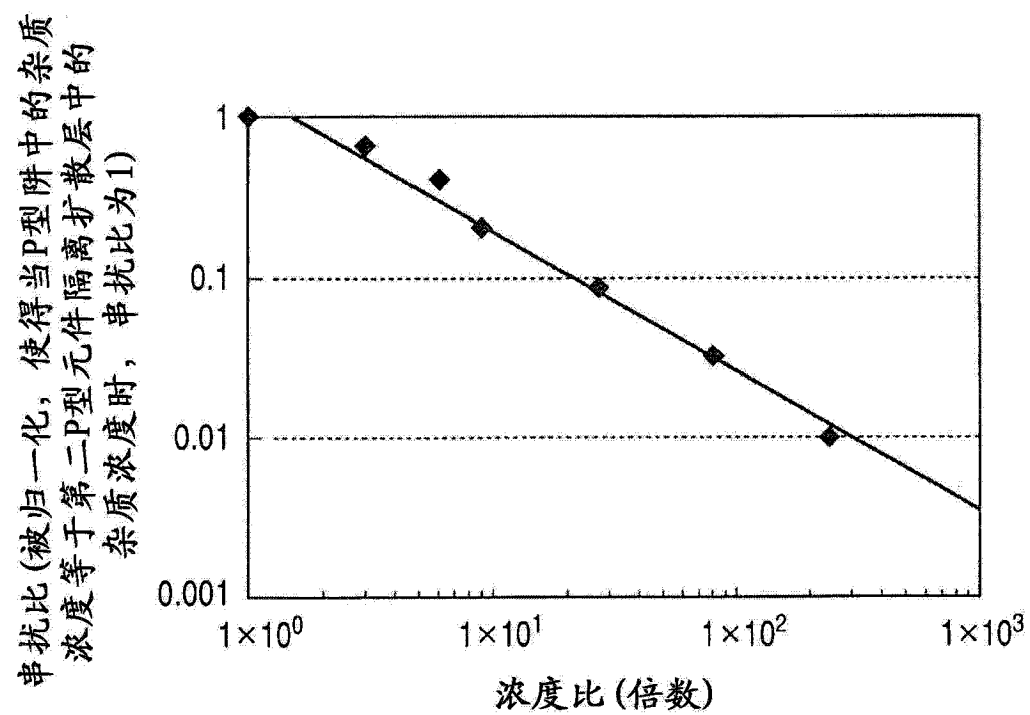


图 7

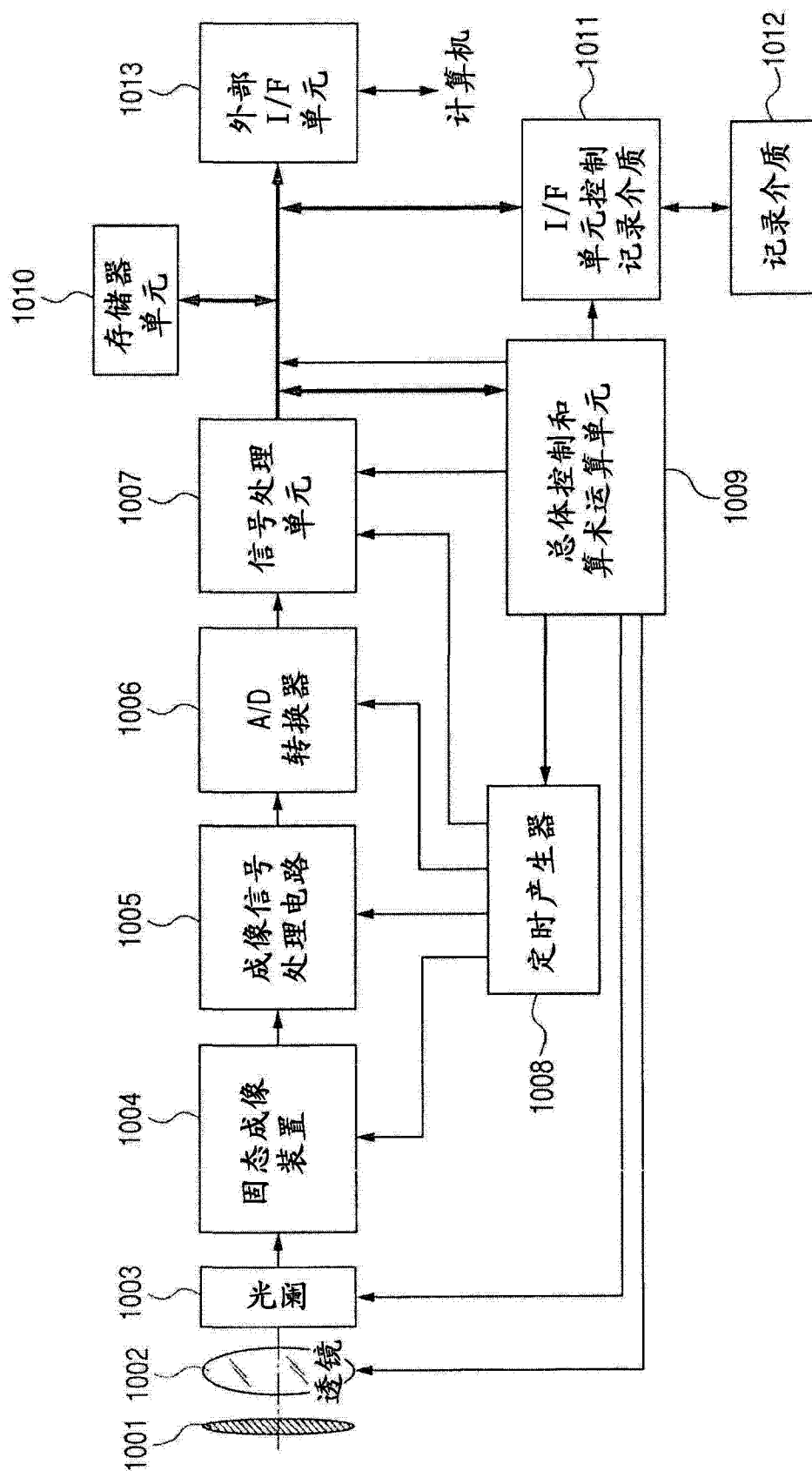


图 8

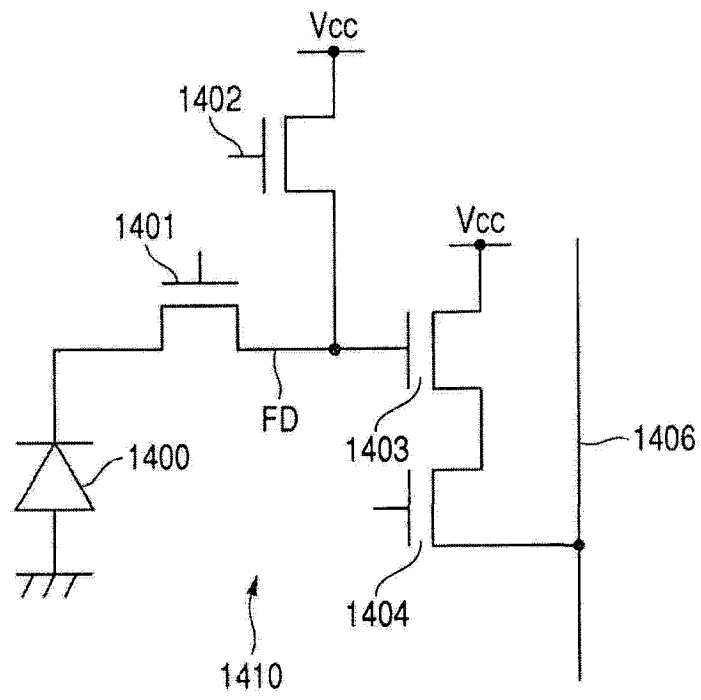


图 9