



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I552239 B

(45)公告日：中華民國 105 (2016) 年 10 月 01 日

(21)申請案號：103128729

(22)申請日：中華民國 97 (2008) 年 09 月 17 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2007/11/09 日本

2007-292079

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：鈴木進也 SUZUKI, SHINYA (JP)

(74)代理人：陳長文

(56)參考文獻：

US 2007/0080416A1

審查人員：王敬雅

申請專利範圍項數：9 項 圖式數：37 共 74 頁

(54)名稱

半導體裝置

(57)摘要

本發明提供一種可提升半導體晶片之凸塊電極與安裝基板之布線之連接可靠性之技術。尤其是提供一種即使在凸塊電極下之最上層布線層配置布線，亦可確保凸塊電極之平坦性而提升凸塊電極與形成於玻璃基板之布線之連接可靠性之技術。在位於凸塊電極 BP1 之非重疊區域 Y 正下方之最上層布線層形成由電源布線或信號布線所組成之布線 L1 及虛設圖案 DP。虛設圖案 DP 係以填埋布線 L1 間之空間之方式配置，且藉由布線 L1 與空間而緩和在最上層布線層所產生之凹凸。再者，對於以覆蓋最上層布線層之方式形成之表面保護膜實施藉由 CMP 法之平坦化處理。

指定代表圖：

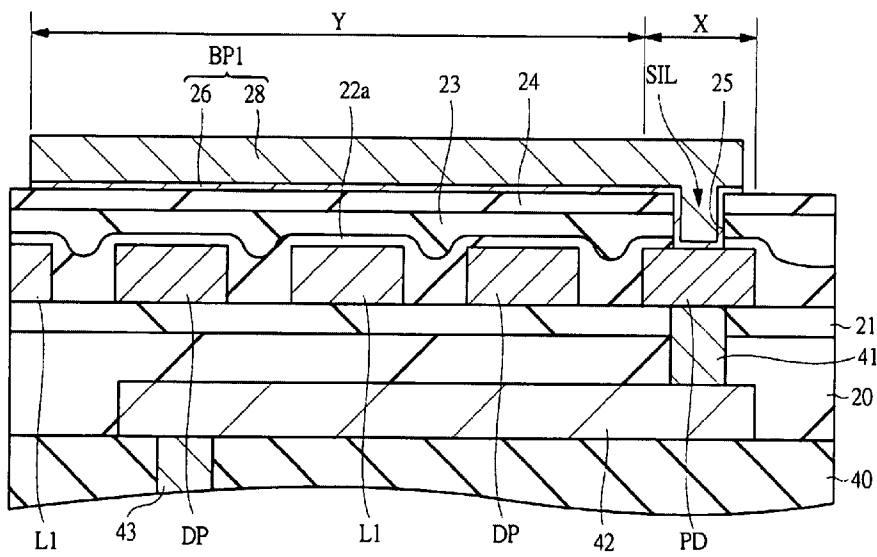


圖 5

- 符號簡單說明：
- 20、21、22a、23、24、40 . . . 氧化矽膜
 - 25 . . . 開口部
 - 26 . . . UBM 膜
 - 28 . . . 金膜
 - 41 . . . 插塞
 - 42、L1 . . . 布線
 - 43、SIL . . . 插塞
 - BP1 . . . 凸塊電極
 - DP . . . 虛設圖案
 - PD . . . 焊墊
 - X . . . 重疊區域
 - Y . . . 非重疊區域

發明摘要

※ 申請案號：

103128729 (由97135640分割)

※ 申請日：

97.9.17

※IPC 分類：H01L 21/60 (2006.01)

H01L 21/768 (2006.01)

【發明名稱】

半導體裝置

【中文】

本發明提供一種可提升半導體晶片之凸塊電極與安裝基板之布線之連接可靠性之技術。尤其是提供一種即使在凸塊電極下之最上層布線層配置布線，亦可確保凸塊電極之平坦性而提升凸塊電極與形成於玻璃基板之布線之連接可靠性之技術。在位於凸塊電極BP1之非重疊區域Y正下方之最上層布線層形成由電源布線或信號布線所組成之布線L1及虛設圖案DP。虛設圖案DP係以填埋布線L1間之空間之方式配置，且藉由布線L1與空間而緩和在最上層布線層所產生之凹凸。再者，對於以覆蓋最上層布線層之方式形成之表面保護膜實施藉由CMP法之平坦化處理。

【英文】

無

【代表圖】

【本案指定代表圖】：第（ 5 ）圖。

【本代表圖之符號簡單說明】：

20、21、22a、23、24、40	氧化矽膜
25	開口部
26	UBM膜
28	金膜
41	插塞
42、L1	布線
43、SIL	插塞
BP1	凸塊電極
DP	虛設圖案
PD	焊墊
X	重疊區域
Y	非重疊區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

【技術領域】

本發明係關於一種半導體裝置及其製造方法，尤有關於一種適用在使用於LCD (Liquid Crystal Display，液晶顯示器)用之器件(device)之半導體裝置為有效之技術者。

【先前技術】

在日本特開2007-103848號公報(專利文獻1)中係記載有可將半導體晶片之尺寸縮小之技術。依據此技術，首先，在絕緣膜上設置焊墊(pad)及焊墊以外之布線。在包括此焊墊及布線上之絕緣膜上形成表面保護膜，且在表面保護膜設置開口部。開口部係形成於焊墊上，用以使焊墊之表面露出。在包括此開口部之表面保護膜上形成凸塊(bump)電極。在此，以相較於凸塊電極之大小將焊墊之大小設為充分小之方式構成。藉此，設為在凸塊電極之正下方，與焊墊同層配置布線。亦即，作成在藉由將焊墊縮小所形成之凸塊電極之空間(space)配置布線。

[專利文獻1]

日本特開2007-103848號公報

【發明內容】

[發明所欲解決之問題]

近年來，將液晶用於顯示元件之LCD已急速普及。此LCD係藉由用以驅動LCD之驅動器(driver)來控制。LCD驅動器係由半導體晶片所構成，例如安裝於玻璃基板。構成LCD驅動器之半導體晶片，係作成

在半導體基板上形成有複數個電晶體(transistor)與多層布線之結構，且於表面形成有凸塊電極。再者，介隔異方性導電薄膜(film)連接形成於表面之凸塊電極與玻璃基板。此時，雖藉由凸塊電極連接半導體晶片與玻璃基板，惟從提升接著力之觀點而言，係進行將凸塊電極之面積增大，而將半導體晶片與玻璃基板之接著面積增大。亦即，構成LCD驅動器之半導體晶片之凸塊電極係具有大小遠較用於一般用途之半導體晶片之凸塊電極更大之特徵。

在LCD驅動器中，係在凸塊電極下形成有成為表面保護膜(覆層(passivation)膜)之絕緣膜，且介隔設於此絕緣膜之開口部，與形成於多層布線之最上層之焊墊連接。通常，開口部及焊墊係以配合凸塊電極之大小具有同程度之面積之方式形成。然而，若配合凸塊電極之大小形成焊墊，則會產生焊墊之佔據面積變大，而與焊墊同層所配置之電源布線或信號布線之配置空間會消失之問題點。

因此，在LCD驅動器中，係進行相較於凸塊電極之大小將焊墊之大小縮小。換言之，凸塊電極之大小較焊墊之大小更大，而凸塊電極即具有與焊墊平面性重疊之重疊區域、及與焊墊非平面性重疊之非重疊區域。因此，在位於凸塊電極之非重疊區域正下方之多層布線層之最上層，空間即被確保。由此點觀之，即可在此空間配置電源布線或信號布線，而可有效地活用非重疊區域正下方之空間。如此，藉由將焊墊縮小為較凸塊電極更小，即可在凸塊電極下配置焊墊以外之布線，因此可謀求半導體晶片(LCD驅動器)之小型化。

然而，若在凸塊電極下之最上層布線層配置布線則會產生以下所示之問題點。茲參照圖式說明此問題點。圖36係為表示構成LCD驅動器之半導體晶片之最上層布線與凸塊電極之連接關係之圖。如圖36所示，在層間絕緣膜100上之最上層，係形成有焊墊PD與布線L1、L2。換言之，焊墊PD與布線L1、L2係在同層形成。再者，以覆蓋形

成有焊墊PD與布線L1、L2之最上層布線層之方式，形成有表面保護膜101。此表面保護膜101係反映焊墊PD及布線L1、L2之段差而於表面產生凹凸。因此，形成在表面保護膜101上之凸塊電極BP，係成為反映由表面保護膜101而來之凹凸之形狀。此凸塊電極BP係藉由以導電材料埋入開口部之插塞(plug) SIL而與焊墊PD電性連接。形成於表面保護膜101上之凸塊電極BP，係形成為較焊墊PD更大，而成為具有與焊墊PD平面性重疊之重疊區域X、及與焊墊PD非平面性重疊之非重疊區域Y。亦即，在圖36所示之凸塊電極BP之非重疊區域Y正下方之最上層布線層，係未形成有焊墊PD，而確保了空間。藉由在此空間配置與焊墊PD相異之布線L1、L2，即可在最上層布線層效率良好地配置布線，且可謀求半導體晶片(LCD驅動器)之小型化。

然而，若在位於凸塊電極BP之非重疊區域Y正下方之最上層布線層配置布線L1、L2，則會反映由此布線L1、L2而來之段差而在表面保護膜101產生凹凸。如此一來，形成於表面保護膜101上之凸塊電極BP亦反映由表面保護膜101而來之凹凸而成為凹凸形狀。如此，若在凸塊電極BP之表面產生凹凸，則在將半導體晶片安裝於玻璃基板之情形下會產生麻煩。

圖37係為表示將半導體晶片安裝於玻璃基板之情況之剖面圖。如圖37所示，要將半導體晶片安裝於玻璃基板103，係藉由介隔異方性導電薄膜ACF連接形成於半導體晶片之凸塊電極BP與形成於玻璃基板103之布線103a來實施。此時，若在凸塊電極BP之表面有凹凸，則會有構成異方性導電薄膜ACF之導電粒子102與凸塊電極BP無法良好地接觸之虞。如圖37所示，在凸塊電極BP之表面雖形成有凹凸，惟在凸塊電極BP之凸部，係與導電粒子102良好地接觸。相對於此，在凸塊電極BP之凹部，將無法與導電粒子102良好地接觸。換言之，在凸塊電極BP之凸部係施加由玻璃基板103而來之壓力，因此導電粒子

102與凸塊電極BP接觸而確保導電性。然而，在凸塊電極BP之凹部，將難以施加來自玻璃基板103之壓力。因此，凸塊電極BP與導電粒子102之導電性之確保變得困難。

由此觀之，為了確保介隔異方性導電薄膜ACF之玻璃基板103與凸塊電極BP之接觸，即使將凸塊電極BP增大，若在凸塊電極BP之表面產生凹凸，亦難以提升凸塊電極BP與形成於玻璃基板103之布線103a之連接可靠性。

本發明之目的係提供一種可提升半導體晶片之凸塊電極與安裝基板之布線之連接可靠性之技術。尤其係提供一種即使在凸塊電極下之最上層布線層配置布線，亦可確保凸塊電極之平坦性而提升凸塊電極與形成於玻璃基板之布線之連接可靠性之技術。

本發明之前述及其他目的與新穎之特徵從本說明書之記述及附圖當可明瞭。

[解決問題之技術手段]

茲簡單說明在本案所揭示之發明之中具有代表性者之概要如下。

依據代表性實施形態之半導體裝置，其特徵為包含：(a)半導體基板；(b)半導體元件，其形成於前述半導體基板上；(c)多層布線層，其形成於前述半導體元件上；及(d)焊墊(pad)，其形成於前述多層布線層之最上層。並且包含：(e)表面保護膜，其形成於前述焊墊上，且具有達到前述焊墊之開口部；及(f)凸塊電極，其形成於前述表面保護膜上，且藉由埋入前述開口部而與前述焊墊電性連接。再者，前述凸塊電極係以具有與前述焊墊平面性重疊之重疊區域、及與前述焊墊非平面性重疊之非重疊區域之方式形成得較前述焊墊大。在此，在前述多層布線層之最上層形成有(g)除前述焊墊之外還由電源布線或信號布線所組成之第1布線、及(h)與前述第1布線相異之虛設

(dummy)圖案。再者，在前述凸塊電極之前述非重疊區域之下層形成有以與前述焊墊同層所形成之前述第1布線。

如此，藉由在多層布線層之最上層除電源布線或信號布線之外亦配置虛設圖案，即可提升形成於最上層上之表面保護膜之平坦性。換言之，若僅將電源布線或信號布線形成於多層布線層之最上層，則無法密集地以布線填埋最上層，因此由電源布線或信號布線所形成之凹凸變得顯著，惟藉由電源布線或信號布線之外還舖滿虛設圖案，即可提升最上層之平坦性。因此，形成於最上層之表面保護膜之平坦性亦被確保，且形成於表面保護膜之表面之凸塊電極之平坦性亦可提升。

依據代表性實施形態之半導體裝置之製造方法，其特徵為包含以下步驟：(a)在半導體基板上形成半導體元件；(b)在前述半導體元件上形成多層布線層；(c)在前述多層布線層之最上層形成導體膜。接著，包含以下步驟：(d)藉由將前述導體膜圖案化，形成由焊墊及電源布線或信號布線所組成之第1布線及虛設圖案；及(e)以覆蓋前述焊墊、前述第1布線及前述虛設圖案之方式形成表面保護膜。再者，包含以下步驟：(f)在前述表面保護膜形成達到前述焊墊之開口部；及(g)在包括前述開口部之前述表面保護膜上形成較前述焊墊更大之凸塊電極。在此，前述(g)步驟係以具有與前述焊墊平面性重疊之重疊區域、及與前述焊墊非平面性重疊之非重疊區域之方式形成前述凸塊電極。再者，於在前述(g)步驟所形成之前述凸塊電極之前述非重疊區域之下層形成以與前述焊墊同層所形成之前述第1布線，且在與形成於前述非重疊區域之下層之前述第1布線鄰接之特定範圍形成前述虛設圖案。

[發明之效果]

茲簡單說明在本案所揭示之發明之中由代表性者所獲得之效果

如下。

藉由在多層布線層之最上層除電源布線或信號布線之外亦配置虛設圖案，即可提升形成於最上層布線層上之表面保護膜之平坦性。換言之，若僅將電源布線或信號布線形成於多層布線層之最上層，則無法密集地以布線填埋最上層，因此由電源布線或信號布線所形成之凹凸變得顯著，惟藉由電源布線或信號布線之外還鋪滿虛設圖案，即可提升最上層布線層之平坦性。因此，形成於最上層布線層之表面保護膜之平坦性亦被確保，且形成於表面保護膜之表面之凸塊電極之平坦性亦可提升。因此，可提升半導體晶片之凸塊電極與安裝基板之布線之連接可靠性。

【圖式簡單說明】

圖1係為表示本發明之實施形態中之半導體晶片之平面構成之圖。

圖2係為將圖1所示之半導體晶片之輸入信號用之凸塊電極附近予以放大之圖。

圖3係為表示圖2所示之虛設圖案之排列之放大圖。

圖4係為將圖1所示之半導體晶片之凸塊電極附近予以放大之圖。

圖5係為在圖2之A-A線切斷之剖面圖。

圖6係為在圖2之B-B線切斷之剖面圖。

圖7係為說明虛設圖案之尺寸與形成於覆蓋虛設圖案之氧化矽膜表面之凹凸之關係之圖。

圖8係為說明虛設圖案之尺寸與形成於覆蓋虛設圖案之氧化矽膜表面之凹凸之關係之圖。

圖9係為將圖1所示之半導體晶片之輸出信號用之凸塊電極附近予以放大之圖。

圖10係為表示圖9之變形例之圖。

圖11係為在圖9之A-A線切斷之剖面圖。

圖12係為表示在半導體晶片中，最上層布線層之佔有面積為半導體晶片整體之70%以下之情形之圖。

圖13係為在圖12之A-A線切斷之剖面圖。

圖14係為表示在半導體晶片中，最上層布線層之佔有面積為半導體晶片整體之70%以上之情形之圖。

圖15係為在圖14之B-B線切斷之剖面圖。

圖16係為在最上層布線層之佔有面積為半導體晶片整體之70%以下之情形中，表示蝕刻之初期階段之說明圖。

圖17係為在最上層布線層之佔有面積為半導體晶片整體之70%以下之情形中，表示蝕刻之終了階段之說明圖。

圖18係為在最上層布線層之佔有面積為半導體晶片整體之70%以上之情形中，表示蝕刻之初期階段之說明圖。

圖19係為在最上層布線層之佔有面積為半導體晶片整體之70%以上之情形中，表示蝕刻之終了階段之說明圖。

圖20係為表示形成於半導體晶片之MISFET之構成之剖面圖。

圖21係為表示MISFET之製造步驟之流程圖。

圖22係為表示實施形態中之半導體裝置之製造步驟之剖面圖。

圖23係為表示接續圖22之半導體裝置之製造步驟之剖面圖。

圖24係為表示接續圖23之半導體裝置之製造步驟之剖面圖。

圖25係為表示接續圖24之半導體裝置之製造步驟之剖面圖。

圖26係為表示接續圖25之半導體裝置之製造步驟之剖面圖。

圖27係為表示接續圖26之半導體裝置之製造步驟之剖面圖。

圖28係為表示接續圖27之半導體裝置之製造步驟之剖面圖。

圖29係為表示接續圖28之半導體裝置之製造步驟之剖面圖。

圖30係為表示接續圖29之半導體裝置之製造步驟之剖面圖。

圖31係為表示接續圖30之半導體裝置之製造步驟之剖面圖。

圖32係為表示接續圖31之半導體裝置之製造步驟之剖面圖。

圖33係為表示實施形態中將半導體晶片安裝於玻璃基板之狀態之剖面圖。

圖34係為表示介隔異方性導電薄膜連接半導體晶片與玻璃基板之狀態之放大圖。

圖35係為表示液晶顯示裝置之主要構成之圖。

圖36係為發明人所檢討之圖，為表示半導體晶片之最上層布線層與凸塊電極之連接關係之圖。

圖37係為發明人所檢討之圖，為表示將半導體晶片安裝於玻璃基板之情況之剖面圖。

【實施方式】

在以下之實施形態中為了方便而有其必要時，分割為複數個區段(section)或實施形態進行說明，惟除特別明示之情形之外，該等並非彼此無關係者，一方係處於另一方之一部分或全部變形例、詳細內容、補充說明等之關係。

此外，在以下之實施形態中，提及要素之數量等(包括個數、數值、量、範圍等)之情形下，除特別明示之情形及原理上明顯限定於特定數量之情形等之外，均不限定於該特定數量，亦可為特定數量以上或以下。

再者，在以下之實施形態中，其構成要素(亦包括要素步驟(step)等)除特別明示之情形及原理上被認為明顯必須之情形等之外，均未必為必須者，此自不待言。

同樣地，在以下之實施形態中，提及構成要素等之形狀、位置關係等時，除特別明示之情形及原理上被認為明顯並非如此之情形等

之外，均包括實質上與該形狀等近似或類似者等。此點針對上述數值及範圍亦同樣。

此外，在用以說明實施形態之全圖中，對於同一構件原則上賦予同一符號，且其重複之說明予以省略。另外，為了易於明瞭圖式，即使是俯視圖，亦有賦予線影(hatching)之情形。

圖1係為表示本實施形態之半導體晶片CHP(半導體裝置)之構成之俯視圖。本實施形態中之半導體晶片CHP係為LCD驅動器。在圖1中，半導體晶片CHP係具有例如形成為細長之長方形狀(矩形形狀)之半導體基板1S，在其主面係形成有例如驅動液晶顯示裝置之LCD之驅動器。此LCD驅動器係具有供給電壓至構成LCD之晶元(cell)陣列之各像素而控制液晶分子之方向之功能，且具有閘極驅動電路、源極驅動電路、液晶驅動電路、圖形(graphic) RAM (Random Access Memory，隨機存取記憶體)及周邊電路等。此等功能係藉由形成於半導體基板1S之半導體元件及布線來實現。首先就此半導體晶片CHP之表面構成進行說明。

半導體晶片CHP係作成具有一對短邊與一對長邊之長方形形狀，且沿著一對長邊之中1個長邊(在圖1中係下側之邊)配置有凸塊電極BP1。此等凸塊電極BP1係配置於一直線上。凸塊電極BP1係發揮作為與形成於半導體晶片CHP之內部之半導體元件及布線所組成之積體電路(LCD驅動器)接觸之外部連接端子之功能。尤其是凸塊電極BP1係數位輸入信號用或類比輸入信號用之凸塊電極。

接著，沿著一對長邊之中另一個長邊(在圖1中係上側之邊)配置有凸塊電極BP2。此等凸塊電極BP2係沿著長邊配置成2行，而沿著長邊之2行係配置成交錯狀。藉此，即可將凸塊電極BP2高密度地配置。此等凸塊電極BP2亦發揮作為將形成於半導體基板1S之內部之積體電路與外部連接之外部連接端子之功能。尤其是凸塊電極BP2係為

來自LCD驅動器之輸出信號用之凸塊電極。

如此即在構成半導體晶片CHP之外周之一對長邊，形成有凸塊電極BP1與凸塊電極BP2。此時，由於相較於凸塊電極BP1之數量，凸塊電極BP2之數量變多，因此凸塊電極BP1係沿著長邊而形成為一直線狀，相對於此，凸塊電極BP2係沿著長邊而配置成交錯狀。此係由於凸塊電極BP1係為輸入於LCD驅動器之輸入信號用之凸塊電極，相對於此，凸塊電極BP2係為從LCD驅動器輸出之輸出信號用之凸塊電極之故。亦即，由於輸入至LCD驅動器之輸入信號係為串聯(serial)資料，因此屬於外部連接端子之凸塊電極BP1之數量並不會變那麼多。相對於此，由於從LCD驅動器輸出之輸出信號係為並聯(parallel)資料，因此屬於外部連接端子之凸塊電極BP2之數量變多。換言之，由於輸出信號用之凸塊電極BP2係相對於構成液晶顯示元件之各個晶元(像素)設置，因此需要凸塊電極BP2相當於晶元之個數之數量。因此，相較於輸入信號用之凸塊電極BP1，輸出信號用之凸塊電極BP2係數量變多。因此，輸入信號用之凸塊電極BP1係可沿著長邊而配置成一直線狀，然而輸出信號用之凸塊電極BP2係沿著長邊配置成交錯狀而增加了數量。

另外，在圖1中，雖係沿著構成半導體晶片CHP之一對長邊而配置了凸塊電極BP1與凸塊電極BP2，惟進一步亦可除一對長邊之外亦沿著一對短邊而配置凸塊電極。

接著說明凸塊電極BP1及凸塊電極BP2之詳細內容。凸塊電極BP1及凸塊電極BP2係作成由短邊與長邊所組成之長方形形狀(矩形形狀)，而在將凸塊電極BP1及凸塊電極BP2之各個長邊朝向半導體晶片CHP之短邊方向之狀態下，至少並排在半導體晶片CHP之長邊方向配置。再者，形成於半導體晶片CHP之凸塊電極BP1及凸塊電極BP2，相較於使用於一般用途之凸塊電極，大小(面積)係變大。亦即，在使



用於LCD驅動器之半導體晶片CHP，表面所佔之凸塊電極BP1及凸塊電極BP2之面積之比例係變大。此係如後述所示，為了確保在介隔異方性導電薄膜將屬於LCD驅動器之半導體晶片CHP安裝於液晶顯示裝置之玻璃基板之際之連接可靠性之故。因此，在用於一般用途之半導體晶片中，雖未在形成有半導體元件之主動(active)區域上形成有凸塊電極，惟在用於LCD驅動器之半導體晶片CHP中，係於主動區域上亦形成有凸塊電極BP1及凸塊電極BP2。

接著，在半導體晶片CHP之表面雖形成有凸塊電極BP1，惟就形成於此凸塊電極BP1之下層之最上層布線層與凸塊電極BP1之配置關係進行說明。圖2係為將圖1之區域R放大之圖。在圖2中，沿著半導體晶片之長邊方向並排配置有凸塊電極BP1。在圖2中，係表示鄰接之2個凸塊電極BP1。此凸塊電極BP1係形成在形成於半導體晶片之表面保護膜(覆層(passivation)膜)上，而在表面保護膜之下層，係形成有最上層布線層。在圖2中，係省略表面保護膜之圖示，而得以明瞭形成於表面保護膜之下層之最上層布線層與凸塊電極BP1之配置關係。

如圖2所示，凸塊電極BP1係與形成於最上層布線層之焊墊PD連接。再者，凸塊電極BP1係形成較此焊墊PD更大，而在凸塊電極BP1正下方之最上層布線層，係配置有焊墊PD以外之布線L1。亦即，在凸塊電極BP1正下方，係沿著半導體晶片之長邊方向而延伸有布線L1。如此，凸塊電極BP1之大小即較焊墊PD之大小更大，而在位於凸塊電極BP1之正下方之多層布線層之最上層，空間即被確保。由此觀之，即可在此空間配置布線L1，而可有效地活用凸塊電極BP1正下方之空間。如此，藉由將焊墊PD設為較凸塊電極BP1更小，即可在凸塊電極BP1下配置焊墊PD以外之布線L1，因此可謀求半導體晶片(LCD驅動器)之小型化。布線L1係例如可設為電源布線或信號布線。

然而，如在發明所欲解決之問題中所說明，若在凸塊電極BP1之

正下方形成布線L1，則由布線L1與空間而來之段差即反映於表面保護膜，且凸塊電極BP1即形成於該表面保護膜之凹凸上。其結果，凸塊電極BP1之表面即成為凹凸形狀而不平坦。若凸塊電極BP1之表面成為凹凸形狀，則在將半導體晶片安裝於玻璃基板之情形下將產生麻煩。因此，需將凸塊電極BP1之表面平坦化。

因此，在本實施形態中，如圖2所示，係於與布線L1同層之最上層布線層形成有虛設圖案DP。例如，在圖2中，係以將虛設圖案DP鋪滿與布線L1鄰接之區域之方式配置。尤其在包夾於複數個布線L1之空間配置有虛設圖案DP。藉此，即可藉由虛設圖案DP來充填位於凸塊電極BP1正下方之空間。換言之，在凸塊電極BP1正下方之最上層布線層，係成為設有複數個布線L1、及形成於此等布線L1之間之虛設圖案DP。因此，即可緩和在凸塊電極BP1之下層(最上層布線層)所產生之布線L1與空間間之段差。此係由於在形成於凸塊電極BP1之下層(最上層布線層)之空間形成有具有與布線L1同程度之高度之虛設圖案DP，因此藉由布線L1與虛設圖案DP，而使凸塊電極BP1之下層(最上層布線層)之段差緩和之故。

在最上層布線層，雖係於凸塊電極BP1之正下方，以與布線L1並排之方式配置有虛設圖案DP，惟進一步在非凸塊電極BP1之正下方之區域亦形成有虛設圖案DP。換言之，在與凸塊電極BP1非平面性重疊之區域亦以與布線L1鄰接之方式配置有虛設圖案DP。在凸塊電極BP1之正下方區域之空間形成虛設圖案DP，係被認為為了解除在凸塊電極BP1之正下方區域之由布線L1與空間而來之段差所必須之構成。相對於此，在與凸塊電極BP1非平面性重疊之區域亦以與布線L1鄰接之方式形成虛設圖案DP，是否具有優點將成為疑問。然而，即使非凸塊電極BP1之正下方區域，在布線L1與空間之間亦將產生段差。此段差若在凸塊電極BP1之附近產生，則將會對凸塊電極BP1之平坦性造

成影響。因此，不僅凸塊電極BP1之下層(最上層布線層)，在與凸塊電極BP1僅距離特定距離之周邊區域亦鋪滿虛設圖案DP，而確實地以確保凸塊電極BP1之平坦性之方式構成。

接著說明虛設圖案DP之排列布局(layout)。圖3係為表示虛設圖案DP之排列圖案之圖。如圖3所示，各個虛設圖案DP係作成具有短邊與長邊之長方形形狀(矩形形狀)，而藉由將此虛設圖案DP並排複數個在紙面之上下左右向，來填埋空間(空間)。各個虛設圖案DP之長邊之長度係例如成為 $5.0\ \mu\text{m}$ ，而短邊之長度係例如成為 $0.8\ \mu\text{m}$ 。因此，若考慮布線L1之寬度例如為 $20\ \mu\text{m}\sim 30\ \mu\text{m}$ ，則明瞭各個虛設圖案DP之短邊寬度與長邊寬度之任一者均較布線L1之寬度變小。亦即，可明瞭各個虛設圖案DP之大小變得非常小。由此觀之，即使是形成於複數個布線L1間之空間較布線L1之寬度更小之情形下，亦可將虛設圖案DP鋪滿在該較小之空間。因此，非常小之空間亦可藉由虛設圖案DP來埋入，因此可充分確保最上層布線層之平坦性。尤其是如圖3所示，虛設圖案DP本身之大小雖較小，惟並排複數個虛設圖案DP之間隔，亦例如小到 $0.6\ \mu\text{m}$ 。亦即，可明瞭虛設圖案DP之間隔係較虛設圖案DP本身之短邊之長度變更小，而可以高密度地埋入空間之方式構成。

圖4係為表示與圖2相異之虛設圖案DP之配置例之圖。如圖4所示，凸塊電極BP1之下層(最上層布線層)係由複數個布線L1所佔有。亦即，在凸塊電極BP1之下層(最上層布線層)，並未確保配置虛設圖案DP之空間，而高密度地配置有複數個布線L1。因此，在圖4所示之構成中，被認為不會在凸塊電極BP1之下層(最上層布線層)產生段差之問題。然而，如圖4所示，即使以充填凸塊電極BP1之正下方區域之方式形成有布線L1，於與凸塊電極BP1未平面性重疊之周邊區域亦未形成有布線L1。換言之，在凸塊電極BP1之周邊區域中，係成為存

在最上層布線層形成有布線L1之區域與成為空間之區域。因此，會產生因為布線L1與空間而來之高低差所引起之段差。在凸塊電極BP1之正下方區域抑制段差，從確保凸塊電極BP1之平坦性之觀點而言極為重要。然而，即使在凸塊電極BP1之周邊區域產生段差，該段差亦會影響凸塊電極BP1之平坦性，因此在凸塊電極BP1之周邊區域，亦需抑制最上層布線層之段差。由此觀之，在圖4所示之構成中，在與布線L1鄰接之區域(凸塊電極BP1之周邊區域)亦形成有虛設圖案DP。藉此，在凸塊電極BP1之周邊區域中，亦可緩和最上層布線層之段差，且可確實地確保形成於最上層布線層之上部之凸塊電極BP1之平坦性。若考慮圖2及圖4所示之構成，則在存在凸塊電極BP1之正下方區域之布線L1與空間之情形下，係可明瞭以充填此空間之方式來鋪滿虛設圖案DP係最具效果，惟在與凸塊電極BP1相距一定距離內之周邊區域，而非凸塊電極BP1之正下方區域，亦以在最上層布線層形成虛設圖案DP為有用。另外，雖就凸塊電極BP1與形成於此凸塊電極BP1之下層(最上層布線層)之虛設圖案DP之配置關係進行說明，惟凸塊電極BP2與虛設圖案DP之配置關係亦同樣。

接下來以剖面圖說明虛設圖案DP之構成。圖5係為在圖2之A-A線切斷之剖面圖。在圖5中，係僅圖示包括最上層布線層之多層布線層之上部之結構，關於較最上層布線層更下層之結構則予以省略。

如圖5所示，在屬於層間絕緣膜之氧化矽膜40上形成有布線42。此布線42係藉由插塞43而與更下層之布線連接。在圖5中，雖係省略形成於氧化矽膜40之插塞43以下之布線及半導體元件之圖示，惟在布線42之下層係形成有多層布線及MISFET (Metal Insulation Semiconductor Field Effect Transistor，金屬絕緣半導體場效電晶體)等之半導體元件。以覆蓋布線42之方式形成有層間絕緣膜。層間絕緣膜係由氧化矽膜20、及以形成於此氧化矽膜20上之TEOS (Tetra Ethyl

Ortho Silicate，四乙基矽酸鹽)為材料之氧化矽膜21所構成。在此層間絕緣膜上形成有最上層布線層。最上層布線層係由焊墊PD、布線L1、及虛設圖案DP所構成。焊墊PD、布線L1及虛設圖案DP係藉由將同一導體膜予以圖案化所形成，各個厚度係相同。亦即，布線L1之高度與虛設圖案DP之高度係大致相同。焊墊PD係藉由貫通氧化矽膜20及氧化矽膜21之插塞41而與布線42電性連接。亦即，焊墊PD係介隔布線42及其下層布線而與半導體元件電性連接。再者，以覆蓋此最上層布線層之方式，形成有氧化矽膜22a，而於此氧化矽膜22a上，係形成有以TEOS為材料之氧化矽膜23。再者，在氧化矽膜23上係形成有氮化矽膜24。藉由此等氧化矽膜22a、氧化矽膜23及氮化矽膜24而構成表面保護膜(覆層膜)。表面保護膜係為用以保護半導體晶片免於機械性應力或雜質之侵入所設之膜。因此，在表面保護膜係要求對於機械性強度或可動離子(ion)等之污染雜質之阻障(barrier)性，例如，如圖5所示，係由氧化矽膜22a、氧化矽膜23及氮化矽膜24之疊層膜所構成。

在表面保護膜係形成達到焊墊PD之開口部25，且藉由將導電材料埋入於此開口部25而形成插塞SIL。與此插塞SIL電性連接之凸塊電極BP1係形成於表面保護膜上。凸塊電極BP1係例如藉由UBM (Under Bump Metal，凸塊下金屬)膜26與金膜28所構成。

凸塊電極BP1係形成為較焊墊PD更大，且以延伸於表面保護膜上之方式形成。因此，在凸塊電極BP1係具有與焊墊PD平面性重疊之重疊區域X、及與焊墊PD非平面性重疊之非重疊區域Y。在此非重疊區域Y之下層(最上層布線層)係形成有布線L1。再者，進一步在布線L1之間配置有虛設圖案DP。因此，在非重疊區域Y之下層(最上層布線層)僅形成有布線L1之情形下，係產生因為布線L1與空間之高低差所引起之段差(凹凸)，而表面保護膜係反映此段差而成為凹凸形狀。其

結果，形成於表面保護膜上之凸塊電極BP1之表面即成為凹凸形狀。然而，在本實施形態中，係以充填存在於布線L1之間之空間之方式，形成有具有與布線L1相同高度之虛設圖案DP，因此可緩和布線L1與凸塊電極BP1之非重疊區域Y之下層(最上層布線層)之段差。因此，形成於最上層布線層之表面保護膜之平坦性亦被改善，且形成於表面保護膜之凸塊電極BP1之平坦性亦變得良好。

換言之，本實施形態之特徵之1(第1特徵點)係在於在凸塊電極BP1之非重疊區域Y之下層(最上層布線層)形成布線L1與虛設圖案DP之點，而虛設圖案DP係具有與布線L1相同之高度，而且，藉由配置在布線L1間之空間，而使最上層布線層之段差緩和。其結果，可獲得可提升凸塊電極BP1之平坦性之效果。因此，在本實施形態中，可將由電源布線或信號布線所組成之布線L1配置在凸塊電極BP1之非重疊區域Y之下層(最上層布線層)，其結果可有效活用尺寸較大之凸塊電極BP1之正下方區域。再者，藉由在非重疊區域Y之下層(最上層布線層)配置布線L1所產生凸塊電極BP1之平坦性之劣化，可藉由以虛設圖案DP來充填布線L1間之空間來改善。如此，在本實施形態1中，係可推進半導體晶片之小型化，並且可提升凸塊電極BP1之平坦性，因此可進一步提昇半導體晶片與安裝基板之連接可靠性。

再者，本實施形態之特徵之1(第2特徵點)係在於對表面保護膜實施平坦化處理之點。如上述所示，藉由在最上層布線層與布線L1一同形成虛設圖案DP，即可緩和在最上層布線層所產生之凹凸。然而，如圖5所示，在以覆蓋最上層布線層之方式形成之氧化矽膜22a之表面，係殘存一些凹凸。因此，為了實現表面保護膜更進一步之平坦化，乃在氧化矽膜22a上形成以TEOS為材料之氧化矽膜23。再者，例如藉由以化學性機械性研磨法(CMP：Chemical Mechanical Polishing)來研磨而將此氧化矽膜23之表面平坦化。藉此，即可將構成表面保護

膜之一部分之氧化矽膜23之表面平坦化。換言之，於形成氧化矽膜22a在最上層布線層之後，在此氧化矽膜22a上形成氧化矽膜23，且藉由將該表面平坦化，即可更加提昇表面保護膜之平坦性。再者，在氧化矽膜23上雖形成氮化矽膜24，惟由於氮化矽膜24係形成於藉由CMP法而平坦化之氧化矽膜23上，因此維持經平坦化之狀態。如此一來，即可確實地提昇以覆蓋最上層布線層之方式形成之表面保護膜之平坦性。其結果，凸塊電極BP1即形成於經平坦化之表面保護膜上，因此凸塊電極BP1之平坦性被確保。在此，由於表面保護膜之表面係成為氮化矽膜24，因此亦可考慮藉由CMP法來研磨氮化矽膜24之表面，而非形成於氮化矽膜24之下層之氧化矽膜23。然而，相對於氮化矽膜24之表面，藉由通常之CMP法實施研磨，由於在氮化矽膜24之性質上並不適宜，因此乃以CMP法將形成於氮化矽膜24之下層之氧化矽膜23之表面平坦化。換言之，由於氧化矽膜23係為易於藉由CMP法實施研磨之膜，因此藉由將氧化矽膜23平坦化，而實現表面保護膜之平坦化。

由以上觀之，在本實施形態中，係藉由將虛設圖案DP鋪滿在最上層布線層而來之第1特徵點、及以CMP法將覆蓋最上層布線層之表面保護膜平坦化之第2特徵點加以組合，即可確實地實施形成於表面保護膜上之凸塊電極BP1之平坦化。惟將第1特徵點與第2特徵點加以組合並非必須，僅藉由成為第1特徵點之構成亦可實現凸塊電極BP1之平坦化，且僅藉由成為第2特徵點之構成亦可實現凸塊電極BP1之平坦化。

接著，圖6係為在圖2之B-B線切斷之剖面圖。如圖6所示，可明瞭構成最上層布線層之虛設圖案DP係沿著凸塊電極BP1之排列方向並排配置。換言之，虛設圖案DP係延伸於與布線L1(在圖6中係未圖示)相同方向，惟如布線L1所示並非以1條線所構成，而是並排複數個虛設圖案DP所構成。各個虛設圖案DP係成為較小之矩形形狀，而其短

邊寬度及長邊寬度係較布線L1之寬度變更小。如此作成較小之矩形形狀之虛設圖案DP即以鋪滿最上層布線層之空間之方式配置。

藉由將虛設圖案DP設為較小之矩形形狀，即可獲得以下所示之優點。茲說明此優點。首先，第1優點係為可不依靠形成於最上層布線層之空間之大小而充分埋入之點。亦即，在最上層布線層雖係形成有複數個布線L1，惟布線L1間之間隔既有較小之空間，亦存在較大之空間。因此，若將虛設圖案DP之大小設為布線L1之布線寬度程度之大小，則將無法將虛設圖案DP充填於布線間隔狹窄之空間。相對於此，若將虛設圖案DP之短邊寬度及長邊寬度設為較布線L1之寬度更小之形狀，則在較狹窄之空間亦可充填虛設圖案DP。再者，藉由將虛設圖案DP之大小設為較小，相對於具有各式各樣形狀之空間，即可在不變更虛設圖案DP之形狀之情形下，藉由複數個虛設圖案DP鋪滿空間。

再者，茲說明將虛設圖案DP之形狀縮小之第2優點。例如，如圖7所示，若將虛設圖案DP之大小增大，而且，將虛設圖案DP間之間隔加寬，則以覆蓋虛設圖案DP之方式形成之氧化矽膜22a之表面之凹凸寬度S1即變大。此點由形成於最上層布線層之虛設圖案DP係以抑制最上層布線層之凹凸之目的所設之觀點而言，可說並不理想。相對於此，如圖8所示，若將虛設圖案DP之大小縮小，而且，將虛設圖案DP間之間隔縮窄，則以覆蓋虛設圖案DP之方式形成之氧化矽膜22a之表面之凹凸寬度S2即變小。此點由形成於最上層布線層之虛設圖案DP係以抑制最上層布線層之凹凸之目的所設之觀點而言，可說較為理想。由此觀之，可明瞭將虛設圖案DP縮小，而且，將虛設圖案DP間之間隔縮小，從促進凸塊電極BP1之平坦化之觀點而言，可說較為理想。

在以上雖係說明了形成於半導體晶片之輸入信號用之凸塊電極

BP1與最上層布線層之布線關係，惟接著說明輸出信號用之凸塊電極BP2與最上層布線層之布線關係。輸出信號用之凸塊電極BP2與最上層布線層之布線關係，係與輸入信號用之凸塊電極BP1與最上層布線層之布線關係同樣。

圖9係為將半導體晶片CHP之角部附近放大之圖。如圖9所示，紙面橫方向係表示半導體晶片CHP之長邊方向，而紙面縱方向係表示半導體晶片CHP之短邊方向。可明瞭輸出信號用之凸塊電極BP2係並排於半導體晶片CHP之長邊方向而配置。尤其是輸出信號用之凸塊電極BP2係以2行配置成交錯狀。藉此，即可將較多之凸塊電極BP2高密度地配置在半導體晶片CHP之長邊方向。

凸塊電極BP2係作成具有長邊與短邊之長方形形狀，而在凸塊電極BP2之一部分下之最上層布線層配置有焊墊PD。此焊墊PD與凸塊電極BP2係以插塞SIL電性連接。在本實施形態中，係凸塊電極BP2之大小成為最大，進一步藉由較焊墊PD更小之插塞SIL連接於較此凸塊電極BP2更小之焊墊PD。然而，凸塊電極BP2之短邊方向之長度，係較焊墊PD之長度更細。此係由於若凸塊電極BP2之短邊方向之長度較焊墊PD更長，則凸塊電極BP2之短邊即反映由是否具有焊墊PD而來之最上層布線層之段差而成為凹凸形狀之故。換言之，從將凸塊電極BP2之短邊之形狀平坦化之觀點而言，係以設為凸塊電極BP2之短邊均配置於焊墊PD上為較佳。

在凸塊電極BP2之長邊之下層，係除焊墊PD之外形成有布線L1及虛設圖案DP。凸塊電極BP2之長邊方向之長度，係遠較焊墊PD更大，而在凸塊電極BP2正下方之最上層布線層，係成為空出有空間。因此，在輸出信號用之凸塊電極BP2下，亦為了有效地活用形成於最上層布線層之空間，而配置有布線L1。布線L1係例如為電源布線或信號布線。此布線L1係配置於凸塊電極BP2之正下方，得以沿著凸塊

電極BP2並排之半導體晶片CHP之長邊而延伸。

如此，若在凸塊電極BP2之正下方形成布線L1，則由布線L1與空間而來之段差即反映於表面保護膜，且凸塊電極BP2即形成於該表面保護膜之凹凸上。其結果，凸塊電極BP2之表面即成為凹凸形狀而不平坦。若凸塊電極BP2之表面成為凹凸形狀，則在將半導體晶片安裝於玻璃基板之情形下將產生麻煩。因此，需將凸塊電極BP2之表面平坦化。

因此，在本實施形態中，係與輸入信號用之凸塊電極BP1同樣在輸出信號用之凸塊電極BP2之正下方，亦於與布線L1同層之最上層布線層形成有虛設圖案DP。例如，在圖9中，係以將虛設圖案DP鋪滿在與布線L1鄰接之區域之方式配置。尤其，在包夾於複數個布線L1之空間配置有虛設圖案DP。藉此，即可將位於凸塊電極BP2正下方之空間，藉由虛設圖案DP來充填。換言之，在凸塊電極BP2之正下方之最上層布線層係成為設有複數個布線L1、及形成於此等布線L1之間之虛設圖案DP。因此，即可緩和在凸塊電極BP2之下層(最上層布線層)所產生之布線L1與空間間之段差。此係由於在形成於凸塊電極BP2之下層(最上層布線層)之空間形成有具有與布線L1同程度之高度之虛設圖案DP，因此藉由布線L1與虛設圖案DP，緩和凸塊電極BP2之下層(最上層布線層)之段差之故。

圖10係為表示與圖9不同之虛設圖案DP之配置例之圖。如圖10所示，凸塊電極BP2之下層(最上層布線層)係由複數個布線L1所佔有。亦即，在凸塊電極BP2之下層(最上層布線層)，並未確保配置虛設圖案DP之空間，而高密度地配置有複數個布線L1。因此，在圖10所示之構成中，被認為不會在凸塊電極BP2之下層(最上層布線層)產生段差之問題。然而，如圖10所示，即使以充填凸塊電極BP2之正下方區域之方式形成有布線L1，於與凸塊電極BP2未平面性重疊之周邊區域

亦未形成有布線L1。換言之，在凸塊電極BP2之周邊區域中，係成為存在在最上層布線層形成有布線L1之區域與成為空間之區域。因此，會產生因為布線L1與空間而來之高低差所引起之段差。在凸塊電極BP2之正下方區域抑制段差，從確保凸塊電極BP2之平坦性之觀點而言極為重要。然而，即使在凸塊電極BP2之周邊區域產生段差，該段差亦會影響凸塊電極BP2之平坦性，因此在凸塊電極BP2之周邊區域，亦需抑制最上層布線層之段差。由此觀之，在圖10所示之構成中，在與布線L1鄰接之區域(凸塊電極BP2之周邊區域)亦形成有虛設圖案DP。藉此，在凸塊電極BP2之周邊區域中，亦可緩和最上層布線層之段差，且可確實地確保形成於最上層布線層之上部之凸塊電極BP1之平坦性。

接下來，茲將在圖9之A-A線切斷之剖面圖表示於圖11。如圖11所示，在屬於層間絕緣膜之氧化矽膜40上形成有布線42。此布線42係藉由插塞43而與更下層之布線連接。在圖11中，雖係省略形成於氧化矽膜40之插塞43以下之布線及半導體元件之圖示，惟在布線42之下層係形成有多層布線及MISFET等之半導體元件。以覆蓋布線42之方式形成有層間絕緣膜。層間絕緣膜係由氧化矽膜20、及以形成於此氧化矽膜20上之TEOS (Tetra Ethyl Ortho Silicate，四乙基矽酸鹽)為材料之氧化矽膜21所構成。在此層間絕緣膜上形成有最上層布線層。最上層布線層係由焊墊PD、布線L1、及虛設圖案DP所構成。焊墊PD、布線L1及虛設圖案DP係藉由將同一導體膜予以圖案化所形成，各個厚度係相同。亦即，布線L1之高度與虛設圖案DP之高度係大致相同。焊墊PD係藉由貫通氧化矽膜20及氧化矽膜21之插塞41而與布線42電性連接。亦即，焊墊PD係介隔布線42及其下層布線而與半導體元件電性連接。再者，以覆蓋此最上層布線層之方式，形成有氧化矽膜22a，而於此氧化矽膜22a上，係形成有以TEOS為材料之氧化矽膜

23。再者，在氧化矽膜23上係形成有氮化矽膜24。藉由此等氧化矽膜22a、氧化矽膜23及氮化矽膜24而構成表面保護膜(覆層膜)。

在表面保護膜係形成達到焊墊PD之開口部25，且藉由將導電材料埋入於此開口部25而形成插塞SIL。與此插塞SIL電性連接之凸塊電極BP2係形成於表面保護膜上。凸塊電極BP2係例如藉由UBM (Under Bump Metal，凸塊下金屬)膜26與金膜28所構成。

凸塊電極BP2係形成為較焊墊PD更大，且以延伸於表面保護膜上之方式形成。因此，在凸塊電極BP2係具有與焊墊PD平面性重疊之重疊區域、及與焊墊PD非平面性重疊之非重疊區域。在此非重疊區域之下層(最上層布線層)係形成有布線L1。再者，進一步在布線L1之間配置有虛設圖案DP。因此，在非重疊區域之下層(最上層布線層)僅形成有布線L1之情形下，係產生因為布線L1與空間之高低差所引起之段差(凹凸)，而表面保護膜係反映此段差而成為凹凸形狀。其結果，形成於表面保護膜上之凸塊電極BP2之表面即成為凹凸形狀。然而，在本實施形態中，係以充填存在於布線L1之間之空間之方式，形成有具有與布線L1相同高度之虛設圖案DP，因此可緩和與非重疊區域之下層(最上層布線層)之段差。因此，形成於最上層布線層之表面保護膜之平坦性亦被改善，且形成於表面保護膜之凸塊電極BP2之平坦性亦變得良好。

再者，在本實施形態中，在對於形成於輸出信號用之凸塊電極BP2下之表面保護膜亦實施平坦化處理之點具有特徵之1。例如，將構成表面保護膜之一部分之氧化矽膜23之表面，例如藉由以化學性機械性研磨法(CMP：Chemical Mechanical Polishing)來研磨而平坦化。藉此，即可將構成氧化矽膜23之表面平坦化。換言之，在形成氧化矽膜22a於最上層布線層上之後，藉由在此氧化矽膜22a上形成氧化矽膜23，且將該表面平坦化，即可更加提昇表面保護膜之平坦性。再者，

在氧化矽膜23上雖形成氮化矽膜24，惟氮化矽膜24係形成於藉由CMP法而平坦化之氧化矽膜23上，因此維持經平坦化之狀態。如此一來，即可確實地提昇以覆蓋最上層布線層之方式形成之表面保護膜之平坦性。其結果，凸塊電極BP2即形成於經平坦化之表面保護膜上，因此凸塊電極BP2之平坦性被確保。

在本實施形態中，係成為在輸出信號用之凸塊電極BP2下之最上層布線層，亦具有藉由鋪滿虛設圖案DP而來之第1特徵點、及將覆蓋最上層布線層之表面保護膜藉由CMP法平坦化之第2特徵點。

在本實施形態中，作為第1特徵點，係在輸入信號用之凸塊電極BP1之正下方區域與輸出信號用凸塊電極BP2之正下方區域之兩方形成有虛設圖案DP。藉此，即可以虛設圖案充填最上層布線層中之空間，因此可提升覆蓋最上層布線層之表面保護膜之平坦性，其結果，即可提昇形成於表面保護膜上之凸塊電極BP1、BP2之平坦性。

因此，從解除因為形成於最上層布線層之布線L1與布線L1間之空間之高低差所引起之段差之觀點而言，係可謂以遍及半導體晶片之整體區域形成虛設圖案DP為較佳。換言之，以填埋形成於最上層布線層之全面之空間之方式形成虛設圖案DP，係可謂從促進以覆蓋最上層布線層之方式形成之表面保護膜之平坦化及形成於表面保護膜上之凸塊電極BP1之平坦化之觀點而言為較佳。

然而，在本實施形態中，並未進行遍及最上層布線層之整體而形成虛設圖案DP。例如，如圖1所示，可明瞭在半導體晶片CHP之最上層布線層，係有形成有虛設圖案之虛設圖案形成區域DR、及未形成有虛設圖案之虛設圖案非形成區域NDR。虛設圖案形成區域DR係形成於與凸塊電極BP1及凸塊電極BP2相距一定距離之範圍內之區域。此係由於從實現凸塊電極BP1與凸塊電極BP2之平坦化之觀點而言，若最小限度在凸塊電極BP1及凸塊電極BP2之正下方與其周邊區

域設置虛設圖案，則可解除對於凸塊電極BP1及凸塊電極BP2之平坦性直接造成影響之最上層布線層之段差之故。亦即，要實現凸塊電極BP1及凸塊電極BP2之平坦化，不需以虛設圖案填埋最上層布線層之所有空間。換言之，未形成有虛設圖案之虛設圖案非形成區域NDR，係成為不會對凸塊電極BP1及凸塊電極BP2之平坦化造成影響之範圍。

如此，之所以未將形成虛設圖案之虛設圖案形成區域DR設於半導體晶片CHP之整體，係基於以下所示之理由。第1理由係在於考慮半導體晶片CHP中之不良解析之便利性。屬於LCD驅動器之半導體晶片CHP雖係作為製品出貨，惟亦有不良品出貨之情形。進行將該不良品從顧客回收而實施不良解析。此時，若在最上層布線層之空間整體形成虛設圖案，則由於虛設圖案係由金屬膜所形成，因此將遮蔽內部。換言之，在半導體晶片CHP之內部係形成有半導體元件或多層布線層。在對此等半導體元件或多層布線層實施不良解析之際，若於最上層布線層設有虛設圖案，則會成為形成於半導體晶片CHP之內部之半導體元件或多層布線層之不良解析之妨礙。由此觀之，並未進行在最上層布線層之全面形成虛設圖案。因此，虛設圖案係形成於位於與凸塊電極BP1及凸塊電極BP2相距一定距離之範圍內之區域。具體而言，僅在與凸塊電極BP1及凸塊電極BP2之各個相距70 μm 以內之區域形成有虛設圖案形成區域DR。其他區域係作為未形成有虛設圖案之虛設圖案非形成區域NDR而謀求不良解析之便利性提升。亦即，在本實施形態中，僅在對於凸塊電極BP1及凸塊電極BP2之平坦性造成影響之區域(最上層布線層之一部分區域)設置虛設圖案而謀求凸塊電極BP1及凸塊電極BP2之平坦性提升，並且在其以外之區域不形成虛設圖案，藉此而兼具不良解析之便利性提升。

再者，說明不將虛設圖案形成區域DR設於半導體晶片CHP之整

體之第2理由。圖12係為表示形成於半導體晶片CHP之最上層布線層之布線L1與虛設圖案DP之佔有率為70%以下之情形之圖。換言之，圖12係為表示形成於最上層布線層之虛設圖案DP之比重較低之情形之圖。再者，圖13係為表示在圖12之A-A線切斷之一部分剖面中之虛設圖案之形成過程之圖。如圖13所示，在成為層間絕緣膜之氧化矽膜21上，係形成有構成布線L1及虛設圖案DP之導體膜，在此導體膜上係形成有經圖案化之抗蝕劑(resist)膜RF。抗蝕劑膜RF之圖案化係以在形成布線L1及虛設圖案DP之區域殘存抗蝕劑膜RF之方式進行。藉由以此經圖案化之抗蝕劑膜RF為遮罩之導體膜之蝕刻，而形成布線L1及虛設圖案DP。此時，在虛設圖案DP之佔有率為70%以下較低之情形下，藉由蝕刻去除之導體膜之比重變高。此係意指蝕刻面積變大。蝕刻面積較大之情形下，容易檢測出蝕刻終了時。因此，可正確地檢測蝕刻之終點，且容易將布線L1及虛設圖案DP之形狀進行正常加工。

接著說明形成於半導體晶片CHP之最上層布線層之布線L1與虛設圖案DP之佔有率為70%以上之情形。圖14係為表示形成於半導體晶片CHP之最上層布線層之布線L1與虛設圖案DP之佔有率為70%以上之情形之圖。換言之，圖14係為表示形成於最上層布線層之虛設圖案DP之比重為較高之情形之圖。再者，圖15係為在圖14之B-B線切斷之一部分剖面中之虛設圖案之形成過程之圖。

如圖15所示，在成為層間絕緣膜之氧化矽膜21上，係形成有構成布線L1及虛設圖案DP之導體膜，在此導體膜上形成有經圖案化之抗蝕劑膜RF。抗蝕劑膜RF之圖案化，係以在形成布線L1及虛設圖案DP之區域殘存抗蝕劑膜RF之方式進行。藉由以此經圖案化之抗蝕劑膜RF為遮罩之導體膜之蝕刻，而形成布線L1及虛設圖案DP。此時，在虛設圖案DP之佔有率為70%以上較高之情形下，藉由蝕刻去除之導

體膜之比重變低。此係意指蝕刻面積變小。蝕刻面積若變少，則產生無法正確地進行蝕刻之終點檢測之問題點。此係為在一般之蝕刻裝置中所產生之現象。在一般之蝕刻裝置中，係因為蝕刻面積之大小而在蝕刻之終點檢測之精確度產生差異。

由於蝕刻面積變小，若無法良好地進行蝕刻之終點檢測，則會因為蝕刻殘餘，或過度蝕刻之影響，而產生布線L1及虛設圖案DP之加工不良產生之問題點。因此，亦可考慮管理蝕刻時間之方法，而非從實際之蝕刻狀況來判斷蝕刻之終點檢測。然而，即使管理蝕刻時間，亦無法充分避免在以實際之蝕刻加工之尺寸產生參差不齊之情形。因此，在蝕刻之終點檢測中，係需從實際之蝕刻狀況實施蝕刻之終點檢測，而非管理蝕刻時間之間接性方法。因此，從精確度良好地進行蝕刻之終點檢測而提升虛設圖案之加工精確度之觀點而言，係需不將圖1所示之虛設圖案形成區域DR設於半導體晶片CHP之整體，而將最上層布線層中之虛設圖案之佔有率降低。

茲進一步詳述理由2。圖16係例如表示將形成於氧化矽膜21上之導體膜22進行蝕刻之步驟，且表示藉由將導體膜22進行蝕刻而形成構成最上層布線層之布線或虛設圖案之情形。在此圖16中，係表示虛設圖案之佔有率為70%以下之情形，且表示導體膜22之蝕刻區域較大之情形。在導體膜22之蝕刻中，係使用 BCl_3 或 Cl_2 等之氯系氣體作為蝕刻氣體。使構成此氯系氣體與導體膜22之鋁膜產生化學反應進行蝕刻。此時，藉由反應生成物氯化，而使鋁膜漸漸去除。鋁膜充分存在之情形下，鋁膜與蝕刻氣體之化學反應充分進行。因此，大量地生成反應生成物。藉由檢測來自此反應生成物之發光(電漿發光)，即可預測鋁膜之蝕刻之進行。亦即，在蝕刻之初期階段中，由於鋁膜充分地存在，故鋁膜與蝕刻氣體之化學反應亦充分地進行，反應生成物亦多量地生成。因此，在蝕刻之初期階段中，由於反應生成物多量地存

在，故從反應生成物所射出之光之光量亦變多。

接著，圖17係從圖16所示之狀態進行蝕刻，且表示蝕刻之終了階段之圖。如圖17所示，導體膜22之圖案化大致終了，且構成導體膜22之鋁膜之蝕刻處於終了階段。此時，由於鋁膜幾乎未殘存，故鋁膜與蝕刻氣體之化學反應相較於圖16所示之狀態大幅減少。因此，鋁膜與蝕刻氣體之化學反應而來之反應生成物之生成量亦變少，而從反應生成物射出之光之光量亦變少。亦即，在蝕刻之終了階段中，係具有從反應生成物射出之光之光量變少之特徵。由此觀之，藉由將從反應生成物射出之光之光量在蝕刻步驟中進行監控，即可檢測蝕刻之終點。換言之，若從反應生成物射出之光之光量成為特定量以下，則可判斷蝕刻處於終了階段。此時，如圖16與圖17所示，蝕刻面積較大之情形下，由於蝕刻之初期階段中之發光強度、與蝕刻之終了階段中之發光強度之差變大，故可精確度良好地實施蝕刻之終點檢測。

接下來，圖18係表示虛設圖案之佔有率為70%以上之情形，且表示導體膜22之蝕刻區域較小之情形。此情形，如圖18所示，由於在蝕刻之初期階段中蝕刻區域較少，故發光強度亦變小。亦即，在蝕刻之初期階段中，導體膜22雖充分殘存，惟由於未由抗蝕劑膜RF所覆蓋之蝕刻區域之面積非常小，因此鋁膜與蝕刻氣體之化學反應係較虛設圖案之佔有率為70%以下之情形變少。因此，在蝕刻之初期階段中，反應生成物較少，而從反應生成物射出之光之強度變弱。

其後，進行蝕刻，成為蝕刻之終了階段。圖19係為表示接續圖18之蝕刻終了階段之圖。如圖19所示，由於構成導體膜22之鋁膜大致全部被去除，因此鋁膜與蝕刻氣體之化學反應變少而反應生成物亦減少。因此，從反應生成物射出之光之強度亦變弱。然而，如圖18及圖19所示，在虛設圖案之佔有率為70%以上之情形下，在蝕刻之初期階段中，由於蝕刻區域亦較少，故藉由蝕刻所生成之反應生成物亦較

少，其結果，從反應生成物射出之光之光量(強度)亦較弱。此係意味在虛設圖案之佔有率為70%以上之情形下，蝕刻之初期階段與終了階段中之發光強度之差將消失。因此，將難以明確地判斷蝕刻之終點檢測。若無法良好地進行蝕刻之終點檢測，則會因為蝕刻殘餘，或過度蝕刻之影響，而產生布線及虛設圖案之加工不良產生之問題點。由此種理由觀之，係以避免在最上層布線層形成必要以上之虛設圖案為較佳。亦即，從精確度良好地進行蝕刻之終點檢測而提升虛設圖案之加工精確度之觀點而言，係需不將圖1所示之虛設圖案形成區域DR設於半導體晶片CHP之整體，而將最上層布線層中之虛設圖案之佔有率降低。

另外，導體膜22係作成將鋁膜、及此鋁膜之上下，以鈦(titanium)/氮化鈦膜包夾之結構。鈦/氮化鈦膜之蝕刻，通常係以蝕刻時間來管理蝕刻而非反應生成物之發光強度。因此，在可精確度良好地實施鋁膜之終點檢測之情形下，雖可以規定之蝕刻時間充分地去除鈦/氮化鈦膜，惟若鋁膜之終點檢測不明確，則會產生鋁膜之蝕刻殘餘或過度蝕刻，在規定之蝕刻時間，於鈦/氮化鈦膜之蝕刻中，將會產生蝕刻殘餘或過度蝕刻。由此觀之，可明瞭在鋁膜之蝕刻中，精確度良好地進行終點檢測，從精確度良好地將導體膜22加工之觀點而言極為重要。

由以上理由觀之，在最上層布線層之虛設圖案之形成區域限制在凸塊電極之平坦化所需充分之範圍。換言之，避免在最上層布線層形成必要以上虛設圖案而受到不利之情形。

茲簡單彙整本實施形態之特徵，具有將虛設圖案鋪滿在最上層布線層而來之第1特徵點、及以CMP法將覆蓋最上層布線層之表面保護膜平坦化之第2特徵點。再者，作為實現第1特徵點所需充分之範圍，藉由僅在凸塊電極之正下方與其周邊區域設置虛設圖案，而解除

對於凸塊電極之平坦性直接造成影響之最上層布線層之段差。

在此，本實施形態之技術性思想(第1特徵點)係在於在最上層布線層設置虛設圖案。在習知通常之半導體裝置中，係進行在多層布線層之中中間布線層設置虛設圖案。此係由於在構成多層布線層之中間布線層之上部需設置其他的布線層，而需將中間布線層平坦化之故。然而，在習知之技術中，並無在最上層布線層設置虛設圖案之技術性思想。亦即，在最上層布線層上，無須進一步設置布線層，因此並無緩和因為形成於最上層布線層之布線而來之段差之發想之故。換言之，最上層布線層並無須高精確度地平坦化。

相對於此，本實施形態中之半導體裝置，係以LCD驅動器為前提。在LCD驅動器中，係具有介隔表面保護膜形成於最上層布線層之凸塊電極之大小變大之特徵。以此構成為前提，為了有效地活用凸塊電極之下層(最上層布線層)，係採取在尺寸較大之凸塊電極之正下方亦配置布線之構成。若以此構成為前提，則成為在位於凸塊電極之正下方之最上層布線層形成布線與空間，而將產生因為布線與空間之高低差所引起之段差。此段差反映在以覆蓋最上層布線層之方式形成之表面保護膜，而會在表面保護膜之表面產生凹凸。其結果，由於形成於表面保護膜上之凸塊電極之大小較大，因此反映表面保護膜之凹凸形狀而使凸塊電極之表面成為凹凸形狀。在本實施形態中係此成為問題，而思及在最上層布線層設置虛設圖案而將凸塊電極之表面平坦化之構成(第1特徵點)。換言之，所謂習知技術之在中間層設置虛設圖案之技術性思想，係成為前提之目的及構成有所不同，即使僅暗示在中間層形成虛設圖案，亦未暗示有足以容易思及本實施形態之特徵點之成為賦予動機之發想。

本實施形態中之第2特徵點(技術性思想)係在於以CMP法將覆蓋最上層布線層之表面保護膜平坦化。以CMP法將多層布線層之中間層

之表面進行研磨之技術係一般所使用，惟此係由於在中間層中，為了在上層形成其他布線層，而需將層間絕緣膜平坦化之故。然而，在習知之技術中，並無將以覆蓋最上層布線層之方式形成之表面保護膜平坦化之發想。此係由於在表面保護膜上無須形成布線層，因此無須將表面保護膜平坦化之故。

相對於此，本實施形態中之半導體裝置係以LCD驅動器為前提。在LCD驅動器中，係具有介隔表面保護膜形成於最上層布線層上之凸塊電極之大小變大之特徵。以此構成為前提，為了有效地活用凸塊電極之下層(最上層布線層)，係採取在尺寸較大之凸塊電極之正下方亦配置布線之構成。若以此構成為前提，則成為在位於凸塊電極之正下方之最上層布線層形成布線與空間，而將產生因為布線與空間之高低差所引起之段差。此段差反映在以覆蓋最上層布線層之方式形成之表面保護膜，而會在表面保護膜之表面產生凹凸。其結果，由於形成於表面保護膜上之凸塊電極之大小較大，因此反映表面保護膜之凹凸形狀而使凸塊電極之表面成為凹凸形狀。在本實施形態中係此成為問題，而藉由以CMP法將表面保護膜之表面進行研磨來平坦化。換言之，所謂習知技術之對於層間絕緣膜實施藉由CMP法之研磨，而將其表面平坦化之技術性思想，係成為前提之目的及構成有所不同，即使僅暗示以CMP法將中間層之表面平坦化，亦未暗示有足以容易思及本實施形態之特徵點之成為賦予動機之發想。

以上之構成係為本實施形態之特徵性構成。亦即，本實施形態之特徵性構成，係在於半導體晶片之最上層布線層及最上層布線層上之表面保護膜。在半導體晶片之最上層布線層之下層係形成有布線，再者，在形成於此布線之下層之半導體基板係形成有半導體元件。本實施形態中之半導體晶片係為LCD驅動器。此LCD驅動器係具有將屬於串聯資料之輸入信號用變換為並聯資料而設為輸出信號用之功能、

或以施加特定之電壓至液晶顯示元件(像素)之方式在LCD驅動器之內部變換電壓值之位準位移(level shift)電路等之功能。此等LCD驅動器之功能，係以形成於半導體晶片之CMISFET (Complementary Metal Insulator Semiconductor Field Effect Transistor，互補式金屬絕緣體半導體場效電晶體)等來實現。在形成於LCD驅動器之CMISFET中，係存在以較低動作電壓動作之低耐壓MISFET與以較高動作電壓動作之高耐壓MISFET。在以下係就此CMISFET及其第1層布線之構成進行說明。

圖20係為表示本實施形態中之形成於半導體晶片之CMISFET之構成之剖面圖。如圖20所示，在由矽單結晶所組成之半導體基板1S之表面，係形成有元件分離區域2。藉由元件分離區域2，以區分彼此形成半導體元件之活性區域(主動區域)。在藉由元件分離區域2所區分之活性區域之中n通道型MISFET形成區域形成有p型井(well) 3a，而在p通道型MISFET形成區域係形成有n型井3b。

在p型井3a上係形成有n通道型MISFET，而在n型井3b上係形成有p通道型MISFET。首先說明n通道型MISFET之構成。n通道型MISFET係在p型井3a上具有閘極絕緣膜4，而在此閘極絕緣膜4上形成有閘極電極6a。閘極電極6a係由多晶矽膜5與形成於此多晶矽膜5之表面之鈦矽化物膜12之疊層膜所構成。鈦矽化物膜12係為了閘極電極6a之低電阻化所形成。

在閘極電極6a之兩側之側壁係形成有邊壁(sidewall) 9，而於邊壁9正下方之半導體基板1S內，係形成有較淺之低濃度n型雜質擴散區域7。此較淺之低濃度n型雜質擴散區域7係為將磷或砷等之n型雜質導入於半導體基板1S內之半導體區域，且與閘極電極6a匹配而形成。再者，在位於較淺之低濃度n型雜質擴散區域7之外側之半導體基板1S內係形成有較深之高濃度n型雜質擴散區域10。此較深之高濃度n型雜質

擴散區域10亦為將磷或砷等之n型雜質導入於半導體基板1S內之半導體區域，且與邊壁9匹配而形成。

藉由較淺之低濃度n型雜質擴散區域7與較深之高濃度n型雜質擴散區域10，形成有n通道型MISFET之源極區域及汲極區域。如此，藉由較淺之低濃度n型雜質擴散區域7與較深之高濃度n型雜質擴散區域10來形成源極區域及汲極區域之各個，即可將源極區域及汲極區域設為LDD結構，且可抑制在閘極電極6a之端部下之電場集中。另外，在較深之高濃度n型雜質擴散區域10之表面係形成有鈷矽化物膜12。此鈷矽化物膜12係為了源極區域及汲極區域之低電阻化所形成。

接著說明p通道型MISFET之構成。p通道型MISFET係在n型井3b上具有閘極絕緣膜4，此閘極絕緣膜4上形成有閘極電極6b。閘極電極6b係由多晶矽膜5與形成於多晶矽膜5之表面之鈷矽化物膜12之疊層膜所構成。鈷矽化物膜12係為了閘極電極6a之低電阻化所形成。

在閘極電極6b之兩側之側壁係形成有邊壁9，而於邊壁9正下方之半導體基板1S內，係形成有較淺之低濃度p型雜質擴散區域8。此較淺之低濃度p型雜質擴散區域8係為將硼等之p型雜質導入於半導體基板1S內之半導體區域，且與閘極電極6b匹配而形成。再者，在位於較淺之低濃度p型雜質擴散區域8之外側之半導體基板1S內係形成有較深之高濃度p型雜質擴散區域11。此較深之高濃度p型雜質擴散區域11亦為將硼等之p型雜質導入於半導體基板1S內之半導體區域，且與邊壁9匹配而形成。

藉由較淺之低濃度p型雜質擴散區域8與較深之高濃度p型雜質擴散區域11，形成有p通道型MISFET之源極區域及汲極區域。如此，藉由較淺之低濃度p型雜質擴散區域8與較深之高濃度p型雜質擴散區域11來形成源極區域及汲極區域之各個，即可將源極區域及汲極區域設為LDD結構，且可抑制在閘極電極6b之端部下之電場集中。另外，在

較深之高濃度p型雜質擴散區域11之表面係形成有鈷矽化物膜12。此鈷矽化物膜12係為了源極區域及汲極區域之低電阻化所形成。

接著說明與CMISFET連接之布線結構。在CMISFET上係以覆蓋CMISFET之方式形成有由氧化矽膜所組成之層間絕緣膜13。在此層間絕緣膜13係形成有貫通層間絕緣膜13而達到構成源極區域或汲極區域之鈷矽化物膜12之接觸孔(contact hole) 14。在接觸孔14之內部係形成有屬於阻障導體膜之鈦/氮化鈦膜15a，且以填埋接觸孔14之方式形成有鎢膜15b。如此，藉由在接觸孔14埋入鈦/氮化鈦膜15a及鎢膜15b，而形成有導電性之插塞16。再者，在層間絕緣膜13上係形成有布線18，且插塞16係與此布線18電性連接。布線18係例如由鈦/氮化鈦膜17a、鋁膜17b及鈦/氮化鈦膜17c之疊層膜所形成。再者，在布線18上係形成有層間絕緣膜19。

再者，在上層係形成有多層布線層，而在其最上層係形成有上述之最上層布線層。較最上層布線層更上部之構成，係作成如上述之圖5或圖6所示之構成。如此一來，構成了本實施形態中之半導體裝置(LCD驅動器)。

本實施形態中之CMISFET係如上述之方式構成，以下說明簡單之動作。動作係以n通道型MISFET為例進行說明。首先說明將n通道型MISFET導通(on)之動作。若施加臨限值電壓以上之特定電壓至閘極電極6a，則在閘極電極6a正下方之半導體基板1S(p型井3a)之表面形成屬於n型半導體區域之通道。此時，由於源極區域與汲極區域係以n型半導體區域形成，因此介隔通道而使源極區域與汲極區域電性連接。因此，若賦予源極區域與汲極區域之電位差，則在源極區域與汲極區域之間流通電流。藉此，n通道型MISFET即導通。

接下來說明將n通道型MISFET關斷(off)之動作。若施加臨限值電壓以下之特定電壓至閘極電極6a，則在閘極電極6a正下方之半導體基

板1S (p型井3a)之表面所形成之通道即消滅。此時，介隔通道而電性連接之源極區域與汲極區域係伴隨著通道之消滅而電性絕緣。因此，電流不會流通於源極區域與汲極區域之間。藉此，n通道型MISFET即關斷。如此，藉由將n通道型MISFET導通/關斷，而使構成LCD驅動器之積體電路進行特定之動作。

接下來一面參照圖式一面說明本實施形態中之半導體裝置(LCD驅動器)之製造方法。圖21係為表示CMISFET之製造步驟之流程圖。首先參照圖20及圖21來說明形成CMISFET及第1層布線之步驟。

首先準備由導入硼(B)等之p型雜質之矽單結晶所組成之半導體基板1S。此時，半導體基板1S係成為作成大致圓盤形狀之半導體晶圓之狀態。再者，在半導體基板1S之CMISFET形成區域形成將元件間分離之元件分離區域2 (S101)。元件分離區域2係為了使元件不彼此干擾所設。此元件分離區域係可例如使用LOCOS (local Oxidation of silicon，矽局部氧化)法或STI (shallow trench isolation，淺溝槽絕緣)法所形成。例如，在STI法中，係以以下之方式形成有元件分離區域2。亦即，在半導體基板1S使用光微影(photolithography)技術及蝕刻技術而形成元件分離溝。再者，以埋入元件分離溝之方式在半導體基板1S上形成氧化矽膜，其後，藉由化學性機械性研磨法(CMP；chemical mechanical polishing)，將形成於半導體基板1S上之無用之氧化矽膜去除。藉此，即可僅在元件分離溝內形成埋入有氧化矽膜之元件分離區域2。

接著，將雜質導入於在元件分離區域分離之活性區域而形成井(S102)。例如在活性區域之中n通道型MISFET形成區域，係形成p型井3a，而在p通道型MISFET形成區域，係形成n型井3b。p型井3a係例如藉由以離子注入法將硼等之p型雜質導入於半導體基板而形成。同樣地，n型井3b係藉由以離子注入法將磷(P)或砷(As)等之n型雜質導入

於半導體基板而形成。

接下來，在p型井之表面區域及n型井之表面區域形成通道形成用之半導體區域(未圖示)。此通道形成用之半導體區域，係為了調整形成通道之臨限值電壓所形成。

接著在半導體基板1S上形成閘極絕緣膜4 (S103)。閘極絕緣膜4係例如由氧化矽膜所形成，且可例如使用熱氧化法來形成。然而，閘極絕緣膜4不限定於氧化矽膜，亦可作各種變更，例如，亦可將閘極絕緣膜4設為氮氧化矽膜(SiON)。亦即，亦可設為使氮在閘極絕緣膜4與半導體基板1S之界面偏析之結構。氮氧化矽膜相較於氧化膜係有抑制膜中之界面準位之產生，或減低電子陷阱(trap)之較高效果。因此，可提升閘極絕緣膜4之熱載子(hot carrier)耐性，且可提升絕緣耐性。此外，氮氧化矽膜相較於氧化矽膜，雜質難以貫通。因此，藉由在閘極絕緣膜4使用氮氧化矽膜，即可抑制因為閘極電極中之雜質擴散於半導體基板側所引起之臨限值電壓之變動。要形成氮氧化矽膜，例如在包括NO、NO₂或NH₃之氮之氣體環境中將半導體基板1S進行熱處理即可。此外，在半導體基板1S之表面形成由氧化矽膜所組成之閘極絕緣膜4之後，在包括氮之氣體環境中將半導體基板1S進行熱處理，且藉由使氮在閘極絕緣膜4與半導體基板1S之界面偏析亦可獲得同樣之效果。

此外，閘極絕緣膜4亦可例如由介電常數較氧化矽膜高之高介電常數膜所形成。從習知絕緣耐性較高、矽-氧化矽界面之電性・物性安定性等優異之觀點而言，係使用氧化矽膜作為閘極絕緣膜4。然而，伴隨著元件之微細化，關於閘極絕緣膜4之膜厚，已日益要求極薄化。如此，若使用較薄之氧化矽膜作為閘極絕緣膜4，則會產生流通於MISFET之通道之電子穿隧藉由氧化矽膜所形成之障壁而流通於閘極電極之所謂穿隧(tunnel)電流。

因此，藉由使用介電常數較氧化矽膜高之材料，而得以使用即使容量相同亦可使物理性膜厚增加之高介電體膜。依據高介電體膜，即使將容量設為相同亦可使物理性膜厚增加，因此可減低洩漏電流。

例如，雖使用屬於鈐(hafnium)氧化物之一之氧化鈐膜(HfO_2 膜)作為高介電體膜，惟亦可取代氧化鈐膜，而使用氧化鋁鈐膜、 HfON 膜(氮氧化鈐(hafnium oxynitride)膜)、 HfSiO 膜(鈐矽酸(silicate)膜)、 HfSiON 膜(氮氧化矽鈐(hafnium silocon oxynitride)膜)、 HfAlO 膜之其他鈐系絕緣膜。再者，亦可使用在此等鈐系絕緣膜導入有氧化鉭(tantalum)、氧化鈮(niobium)、氧化鈦(titanium)、氧化鋯(zirconium)、氧化鑰(lanthanum)、氧化釔(yttrium)等之氧化物之鈐系絕緣膜。鈐系絕緣膜係與氧化鈐膜同樣，由於介電常數較氧化矽膜或氮氧化矽膜高，因此可獲得與使用氧化鈐膜之情形同樣之效果。

接下來，在閘極絕緣膜4上形成多晶矽膜5。多晶矽膜5係例如可使用CVD法而形成。再者，使用光微影技術及離子注入法，而在形成於n通道型MISFET形成區域之多晶矽膜5中導入磷或砷等之n型雜質。同樣地，在形成於p通道型MISFET形成區域之多晶矽膜5中導入硼等之p型雜質。

接著藉由以經圖案化之抗蝕劑膜為遮罩之蝕刻將多晶矽膜5進行加工，而在n通道型MISFET形成區域形成閘極電極6a，且於p通道型MISFET形成區域形成閘極電極6b (S104)。

在此，在n通道型MISFET形成區域之閘極電極，係於多晶矽膜5中導入有n型雜質。因此，可將閘極電極6a之工作函數值設為矽之傳導帶附近(4.15 eV)之值，故可減低n通道型MISFET之臨限值電壓。另一方面，在p通道型MISFET形成區域之閘極電極6b，係於多晶矽膜5中導入有p型雜質。因此，可將閘極電極6b之工作函數值設為矽之價電子帶附近(5.15 eV)之值，故可減低p通道型MISFET之臨限值電壓。

如此在本實施形態1中，係可在n通道型MISFET與p通道型MISFET之兩方減低臨限值電壓(雙閘極(dual gate)結構)。

接下來，藉由使用光微影技術及離子注入法，形成與n通道型MISFET之閘極電極6a匹配之較淺之低濃度n型雜質擴散區域7。較淺之低濃度n型雜質擴散區域7係為半導體區域。同樣地，在p通道型MISFET形成區域形成較淺之低濃度p型雜質擴散區域8。較淺之低濃度p型雜質擴散區域8係與p通道型MISFET之閘極電極6b匹配而形成。此較淺之低濃度p型雜質擴散區域8係可藉由使用光微影技術及離子注入法而形成(S105)。

接著在半導體基板1S上形成氧化矽膜。氧化矽膜係例如可使用CVD法而形成。再者，藉由將氧化矽膜進行異方性蝕刻，而將邊壁9形成於閘極電極6a、6b之側壁(S106)。邊壁9雖係設為由氧化矽膜之單層膜所形成，惟不限定於此，例如亦可形成由氮化矽膜與氧化矽膜之疊層膜所組成之邊壁。

接下來，藉由使用光微影技術及離子注入法，在n通道型MISFET形成區域形成與邊壁9匹配之較深之高濃度n型雜質擴散區域10(S107)。較深之高濃度n型雜質擴散區域10係為半導體區域。藉由此較深之高濃度n型雜質擴散區域10與較淺之低濃度n型雜質擴散區域7而形成源極區域。同樣地，藉由較深之高濃度n型雜質擴散區域10與較淺之低濃度n型雜質擴散區域7形成汲極區域。如此藉由將源極區域與汲極區域在較淺之n型雜質擴散區域與較深之n型雜質擴散區域形成，即可將源極區域及汲極區域設為LDD (Lightly Doped Drain，輕摻雜汲極)結構。

同樣地，在p通道型MISFET形成區域形成與邊壁9匹配之較深之高濃度p型雜質擴散區域11。藉由此較深之高濃度p型雜質擴散區域11與較淺之低濃度p型雜質擴散區域8而形成源極區域及汲極區域。因

此，在在p通道型MISFET中，源極區域及汲極區域亦作成LDD結構。

如此一來，在形成較深之高濃度n型雜質擴散區域10及較深之高濃度p型雜質擴散區域11之後，進行1000℃左右之熱處理。藉此，進行所導入之雜質之活性化。

其後，在半導體基板上形成鈷膜。此時，以直接與閘極電極6a、6b相接之方式形成鈷膜。同樣地，鈷膜亦與較深之高濃度n型雜質擴散區域10及較深之高濃度p型雜質擴散區域11直接相接。

鈷膜係例如可使用濺鍍法而形成。再者，在形成鈷膜之後，藉由施以熱處理，而使構成閘極電極6a、6b之多晶矽膜5與鈷膜反應，而形成鈷矽化物膜12 (S108)。藉此，閘極電極6a、6b即成為多晶矽膜5與鈷矽化物膜12之疊層結構。鈷矽化物膜12係為了閘極電極之低電阻化所形成。同樣地，藉由上述之熱處理，在較深之高濃度n型雜質擴散區域10及較深之高濃度p型雜質擴散區域11之表面亦使矽與鈷膜反應而形成鈷矽化物膜12。因此，在較深之高濃度n型雜質擴散區域10及較深之高濃度p型雜質擴散區域11亦可謀求低電阻化。

再者，未反應之鈷膜係從半導體基板1S上去除。另外，在本實施形態1中，雖係以形成鈷矽化物膜12之方式構成，惟例如亦可設為取代鈷矽化物膜12來形成鎳矽化物膜或鈦矽化物膜。

接著在半導體基板1S之主面上形成成為層間絕緣膜13之氧化矽膜 (S109)。此氧化矽膜係例如可使用以TEOS (tetra ethyl ortho silicate，四乙基矽酸鹽)為原料之CVD法而形成。其後，例如使用CMP (Chemical Mechanical Polishing)法將氧化矽膜之表面平坦化。

接下來，使用光微影技術及蝕刻技術，在氧化矽膜形成接觸孔14。再者，在包括接觸孔14之底面及內壁之氧化矽膜上形成鈦/氮化鈦膜15a。鈦/氮化鈦膜15a係由鈦膜與氮化鈦膜之疊層膜所構成，例如可藉由使用濺鍍法來形成。此鈦/氮化鈦膜15a係例如具有防止在屬

於之後之步驟中埋入之膜之材料之鎢擴散至矽中之所謂之阻障性。

接下來，以埋入接觸孔14之方式，在半導體基板1S之主面之全面形成鎢膜15b。此鎢膜15b係例如可使用CVD法而形成。再者，例如藉由使用CMP法將形成於氧化矽膜上之無用之鈦/氮化鈦膜15a及鎢膜15b去除，即可形成插塞16 (S110)。

接著，在氧化矽膜及插塞16上依序形成含有鈦/氮化鈦膜17a、銅之鋁膜17b、鈦/氮化鈦膜17c。此等膜係可例如藉由使用濺鍍法而形成。接下來，藉由使用光微影技術及蝕刻技術，進行此等膜之濺鍍而形成布線18 (S111)。再者，在布線之上層形成布線而形成多層布線。如此一來，即可在半導體基板1S上形成CMISFET及多層布線。

接下來，一面參照圖式一面說明形成構成多層布線層之最上層布線層之步驟以後之步驟。如圖22所示，首先形成層間絕緣膜。層間絕緣膜係由氧化矽膜20與氧化矽膜21之疊層膜所構成。氧化矽膜20係例如可使用電漿CVD (Chemical Vapor Deposition)法而形成。氧化矽膜21係以TEOS為材料所形成者。

接著，在氧化矽膜21上形成導體膜22。導體膜22係例如由鋁膜所形成，例如可藉由使用濺鍍法而形成。另外，導體膜22雖係設為由鋁膜所形成，惟實際上係作成以鈦/氮化膜來包夾鋁膜之上下之結構。再者，如圖23所示，藉由使用光微影技術及蝕刻技術，將導體膜22進行加工。藉由將導體膜22進行加工，在氧化矽膜21上形成最上層布線層。最上層布線層係例如由焊墊PD、布線L1及虛設圖案DP所形成。虛設圖案DP係形成於布線L1間之空間，且可將因為布線L1與空間之高低差所引起之段差，藉由以與布線L1同層所形成虛設圖案DP而緩和。

接下來，如圖24所示，形成覆蓋最上層布線層之氧化矽膜22a。氧化矽膜22a係例如可藉由電漿CVD法來形成。在最上層布線層係以

填埋布線L1間之空間之方式形成有虛設圖案DP，因此可抑制在氧化矽膜22a之表面形成反映最上層布線層之形狀之凹凸形狀。換言之，由於藉由虛設圖案DP充填有布線L1間之空間，因此在虛設圖案DP形成區域中，係緩和形成於氧化矽膜22a之表面之凹凸。

其後，如圖25所示，在氧化矽膜22a上形成氧化矽膜23。氧化矽膜23係例如可藉由以TEOS為材料之CVD法而形成。接著，如圖26所示，將氧化矽膜23之表面平坦化。要將氧化矽膜23之表面平坦化，係可例如使用化學性機械性研磨法(CMP法)。CMP法係為一面將包含二氧化矽(silica)粒子之研磨液(磨漿(slurry))流通於半導體基板上，一面使半導體基板之表面壓著於研磨墊而研磨之方法。利用將應以磨漿研磨之材料層表面予以氧化之化學性機制、及機械性消除氧化層之機械性機制之兩方。

在此，形成於氧化矽膜23之下層之氧化矽膜22a，係藉由虛設圖案DP而緩和表面之凹凸。因此，形成於氧化矽膜22a上之氧化矽膜23之凹凸亦被緩和。因此，在用以將氧化矽膜23之表面平坦化之研磨(藉由CMP法之研磨)中，係由於緩和了形成於氧化矽膜23之表面之凹凸，因此可較容易實施。亦即，藉由在最上層布線層形成虛設圖案DP，即可容易進行其後所實施之氧化矽膜23之平坦化。

接著，如圖27所示，在氧化矽膜23上形成氮化矽膜24。氮化矽膜24係例如可藉由電漿CVD法而形成。如此一來，即可在最上層布線層上形成由氧化矽膜22a、氧化矽膜23及氮化矽膜24所組成之表面保護膜。

接下來，如圖28所示，使用光微影技術及蝕刻技術，在表面保護膜形成開口部25。此開口部25係形成在焊墊PD上，用以露出焊墊PD之表面。另外，開口部25之大小係以較焊墊PD之大小變小之方式形成。

接著，如圖29所示，在包括開口部25內之表面保護膜上形成UBM (Under Bump Metal)膜26。UBM膜26係例如可使用濺鍍法而形成，例如藉由鈦膜、鎳膜、鈮膜、鈦・鎢合金膜、氮化鈦膜或金膜等之單層膜或疊層膜而形成。在此，UBM膜26係為除使凸塊電極與焊墊PD或表面保護膜之接著性提升之功能之外，尚具有抑制或防止在此後之步驟中所形成之金膜之金屬元素移動於布線L1等、或反之布線L1等之金屬元素移動於金膜側之阻障功能之膜。

接下來，如圖30所示，在UBM膜26上塗佈抗蝕劑膜27之後，藉由對此抗蝕劑膜27施以曝光・顯影處理而進行圖案化。圖案化係以在凸塊電極形成區域不殘留抗蝕劑膜27之方式進行。再者，如圖31所示，使用鍍覆法形成金膜28。此時，金膜28係形成於表面保護膜(氮化矽膜24)上，並且亦埋入於開口部25。藉由在開口部25埋入金膜28，而形成插塞SIL。

其後，如圖32所示，藉由將由經圖案化之抗蝕劑膜27及抗蝕劑膜27所覆蓋之UBM膜26加以去除，而形成由金膜28及UBM膜26所組成之凸塊電極BP1。凸塊電極BP1係形成較焊墊PD更大，且於凸塊電極BP1正下方之最上層布線層配置有布線L1。如此，藉由在凸塊電極BP1之正下方形成布線L1，即可有效地活用凸塊電極BP1正下方之區域，且可謀求半導體裝置之小型化。再者，在凸塊電極BP1正下方之區域，藉由除成為電源布線或信號布線或布線L1之外亦配置虛設圖案DP，即可提升形成於最上層布線層之表面保護膜之平坦性。換言之，若僅將電源布線或信號布線(布線L1)形成於多層布線層之最上層，則無法密集地以布線填埋最上層，因此由電源布線或信號布線(布線L1)而來之凹凸變得顯著，惟藉由在電源布線或信號布線之外鋪滿虛設圖案DP，即可提升最上層之平坦性。再者，由於將表面保護膜之表面藉由CMP法平坦化，因此形成於最上層布線層之表面保護膜

之平坦性亦被確保，且形成於表面保護膜之表面之凸塊電極之平坦性亦可提升。其後，藉由將半導體基板切割(dicing)，即可獲得經個片化之半導體晶片。

接著將以上述之方式形成之半導體晶片接著於安裝基板進行安裝。圖33係為表示將半導體晶片CHP安裝於玻璃基板30之情形(COG: Chip On Glass(玻璃覆晶接合))者。如圖33所示，在玻璃基板30搭載有玻璃基板31，藉此而形成LCD之顯示部。再者，在LCD之顯示部之附近之玻璃基板30上，係搭載有屬於LCD驅動器之半導體晶片CHP。在半導體晶片CHP係形成有凸塊電極BP1、BP2，而凸塊電極BP1、BP2與形成於玻璃基板30上之端子係介隔異方性導電薄膜(Anisotropic Conductive Film) ACF而連接。此外，玻璃基板30與軟性印刷基板(Flexible Printed Circuit) 32亦藉由異方性導電薄膜ACF而連接。如此，在搭載於玻璃基板30上之半導體晶片CHP中，輸出用之凸塊電極BP2係電性連接於LCD之顯示部，且輸入用之凸塊電極BP1係連接於軟性印刷基板32。

圖34係為將在玻璃基板30搭載有半導體晶片CHP之部分予以放大之圖。在圖34中，係於玻璃基板30形成有端子30a，且在此端子30a電性連接有形成於半導體晶片CHP之凸塊電極BP1、BP2。此時，凸塊電極BP1、BP2與端子30a並非直接接觸，而係介隔異方性導電薄膜ACF而連接。異方性導電薄膜ACF係為將具有導電性之微細之金屬粒子33與熱硬化性樹脂混合而成型為膜狀之薄膜。金屬粒子33主要係由從內側形成鎳層與金鍍覆層，且在最外側重疊有絕緣層之直徑3 μm ~5 μm 之球體所構成。

在將半導體晶片CHP安裝於玻璃基板30之際，異方性導電薄膜ACF係包夾在玻璃基板30之端子30a與半導體晶片CHP之凸塊電極BP1、BP2之間。再者，若藉由加熱器(heater)等一面施加熱一面將半

導體晶片CHP進行加壓，則僅會在相當於凸塊電極BP1、BP2之部位施加壓力。如此一來，分散於異方性導電薄膜ACF內之金屬粒子33即一面接觸一面重疊，而使金屬粒子33彼此擠壓。其結果，介隔金屬粒子33而在異方性導電薄膜ACF形成導电路徑。位於未施加壓力之異方性導電薄膜ACF之部位之金屬粒子33，係保持形成於金屬粒子33之表面之絕緣層，因此橫向並排之凸塊電極BP1間及橫向並排之凸塊電極BP2間之絕緣性被保持。因此，即使凸塊電極BP1間或凸塊電極BP2間之間隔狹窄，亦不會引起短路，而具有可將半導體晶片CHP安裝於玻璃基板30之優點。

在本實施形態1中，係在半導體晶片中，將虛設圖案舖滿於最上層布線層，並且以CMP法將覆蓋最上層布線層之表面保護膜平坦化。因此，形成於表面保護膜上之凸塊電極之平坦性提升。因此，可遍及凸塊電極整體而良好地進行凸塊電極與位於異方性導電薄膜內之金屬粒子之接觸。由此觀之，可提升半導體晶片之凸塊電極與安裝基板之端子(布線)之連接可靠性。

圖35係為表示LCD(液晶顯示裝置35)之整體構成之圖。如圖35所示，在玻璃基板上形成有LCD之顯示部34，而在此顯示部34形成有圖像。在顯示部34之附近之玻璃基板上係搭載有屬於LCD驅動器之半導體晶片CHP。在半導體晶片CHP之附近係搭載有軟性印刷基板32，而在軟性印刷基板32與LCD之顯示部34之間係搭載有屬於驅動器之半導體晶片CHP。如此一來，即可將半導體晶片CHP搭載於玻璃基板上。藉由以上之方式，即可將屬於LCD驅動器之半導體晶片CHP安裝於液晶顯示裝置35。

以上雖根據實施形態具體說明了由本發明人所研創之發明，惟本發明並不限定於前述實施形態，在不脫離其要旨之範圍下，均可作各種變更，此自不待言。

[產業上之可利用性]

本發明係可廣泛地利用在製造半導體裝置之製造業。

【符號說明】

1S	半導體基板
2	元件分離區域
3a	p型井
3b	n型井
4	閘極絕緣膜
5	多晶矽膜
6a	閘極電極
6b	閘極電極
7	低濃度n型雜質擴散區域
8	低濃度p型雜質擴散區域
9	邊壁
10	高濃度n型雜質擴散區域
11	高濃度p型雜質擴散區域
12	鈷矽化物膜
13	層間絕緣膜
14	接觸孔
15a	鈦/氮化鈦膜
15b	鎢膜
16	插塞
17a	鈦/氮化鈦膜
17b	鋁膜
17c	鈦/氮化鈦膜
18	布線

19	層間絕緣膜
20	氧化矽膜
21	氧化矽膜
22	導體膜
22a	氧化矽膜
23	氧化矽膜
24	氮化矽膜
25	開口部
26	UBM膜
27	抗蝕劑膜
28	金膜
30	玻璃基板
30a	端子
31	玻璃基板
32	軟性印刷基板
33	金屬粒子
34	顯示部
35	液晶顯示裝置
100	層間絕緣膜
101	表面保護膜
102	導電粒子
103	玻璃基板
103a	布線
ACF	異方性導電薄膜
BP	凸塊電極
BP1	凸塊電極

BP2	凸塊電極
CHP	半導體晶片
DP	虛設圖案
DR	虛設圖案形成區域
L1	布線
L2	布線
NDR	虛設圖案非形成區域
PD	焊墊
R	區域
RF	抗蝕劑膜
S1	凹凸寬度
S2	凹凸寬度
SIL	插塞
X	重疊區域
Y	非重疊區域

申請專利範圍

1. 一種半導體裝置，其特徵為包含：

長方形狀之半導體基板；

半導體元件，其形成於前述半導體基板上；

多層布線層，其形成於前述半導體元件上；

複數之焊墊，其形成在與前述多層布線層之最上層布線的同層上；

複數之虛設圖案，其形成在與前述多層布線層之最上層布線的同層上，配置於與前述複數之焊墊相異的領域；

第1絕緣膜，其形成於前述複數之焊墊及前述複數之虛設圖案上，且具有複數之開口部，前述複數之開口部配置於前述複數之焊墊之表面上；

複數之第1凸塊電極及複數之第2凸塊電極，其形成於前述第1絕緣膜上，經前述複數之開口部與前述複數之焊墊電性各自連接；

其中，前述複數之第1凸塊電極係沿著前述半導體基板一方的長邊所形成之輸出信號用凸塊電極，

前述複數之第2凸塊電極係沿著前述半導體基板另一方的長邊所形成之輸入信號用凸塊電極，

於俯視時，前述複數之虛設圖案配置於前述複數之第1凸塊電極及前述複數之第2凸塊電極之間，且配置於前述複數之焊墊間。

2. 如請求項1之半導體裝置，其中

前述複數之第1凸塊電極包含沿著前述半導體基板一方的長邊配置成一直線狀配置在前述半導體基板外側之複數之第3凸塊電

極及沿著前述半導體基板一方的長邊配置成一直線狀配置在前述半導體基板內側之複數之第4凸塊電極，

前述複數之第3凸塊電極及前述複數之第4凸塊電極配置成交錯狀，

前述複數之虛設圖案配置於前述複數之第4凸塊電極及前述複數之第2凸塊電極之間。

3. 如請求項1之半導體裝置，其中

前述複數之虛設圖案沿著前述複數之第1凸塊電極及前述複數之第2凸塊電極而配置。

4. 如請求項1之半導體裝置，其中

在與前述多層布線層之最上層布線的同層形成第1布線，以平面視之，前述第1布線係與前述複數之第1凸塊電極交差的方式延伸在前述半導體基板之長邊方向而形成。

5. 如請求項4之半導體裝置，其中

前述複數之第1凸塊電極為長方形狀，各個長邊面向前述半導體基板之短邊方向狀態排列配置。

6. 如請求項1之半導體裝置，其中

在與前述多層布線層之最上層布線的同層形成第1布線，以平面視之，前述第1布線係與前述複數之第2凸塊電極交差的方式延伸在前述半導體基板之長邊方向而形成。

7. 如請求項6之半導體裝置，其中

前述複數之第2凸塊電極為長方形狀，各個長邊面向前述半導體基板之短邊方向狀態排列配置。

8. 如請求項1之半導體裝置，其中

凸塊電極並未形成在前述複數之虛設圖案上。

9. 如請求項4或6之半導體裝置，其中

前述複數之虛設圖案為矩形形狀，

前述複數之虛設圖案之各個短邊及長邊小於前述第1布線的寬。

圖式

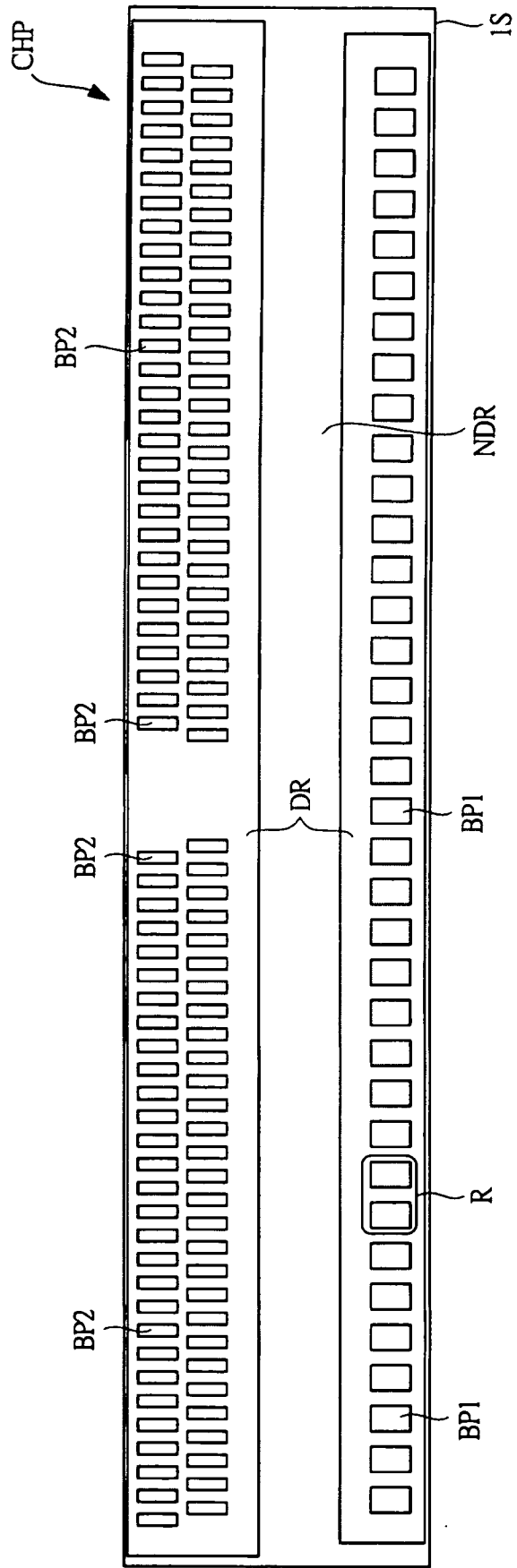


圖 1

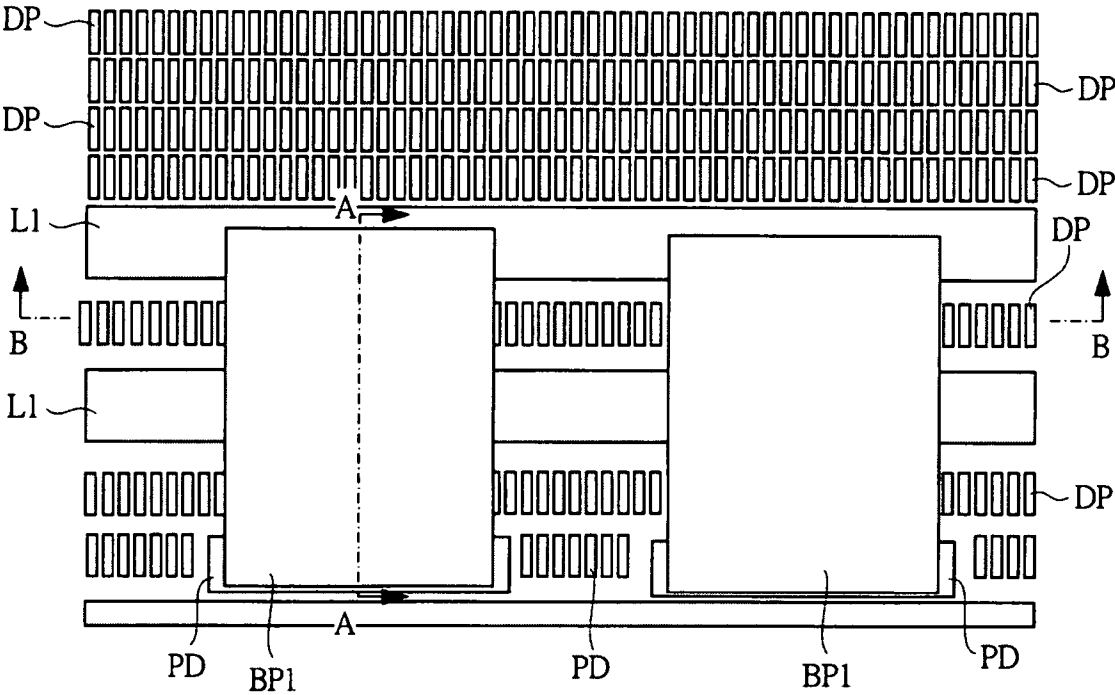


圖 2

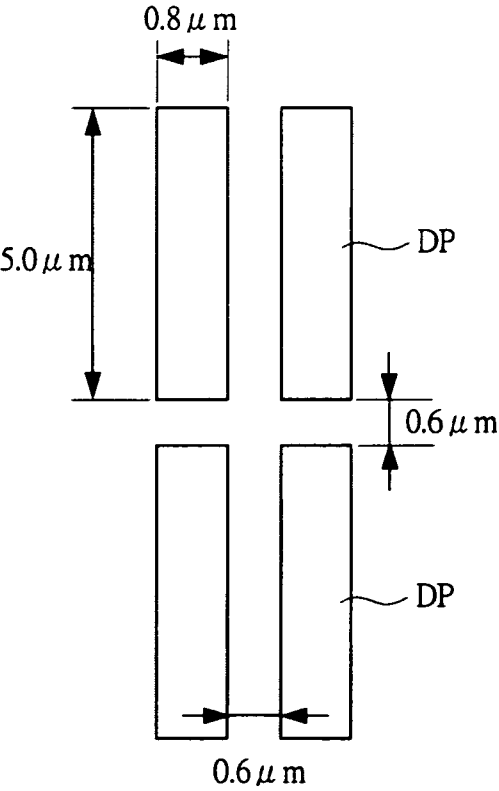


圖 3

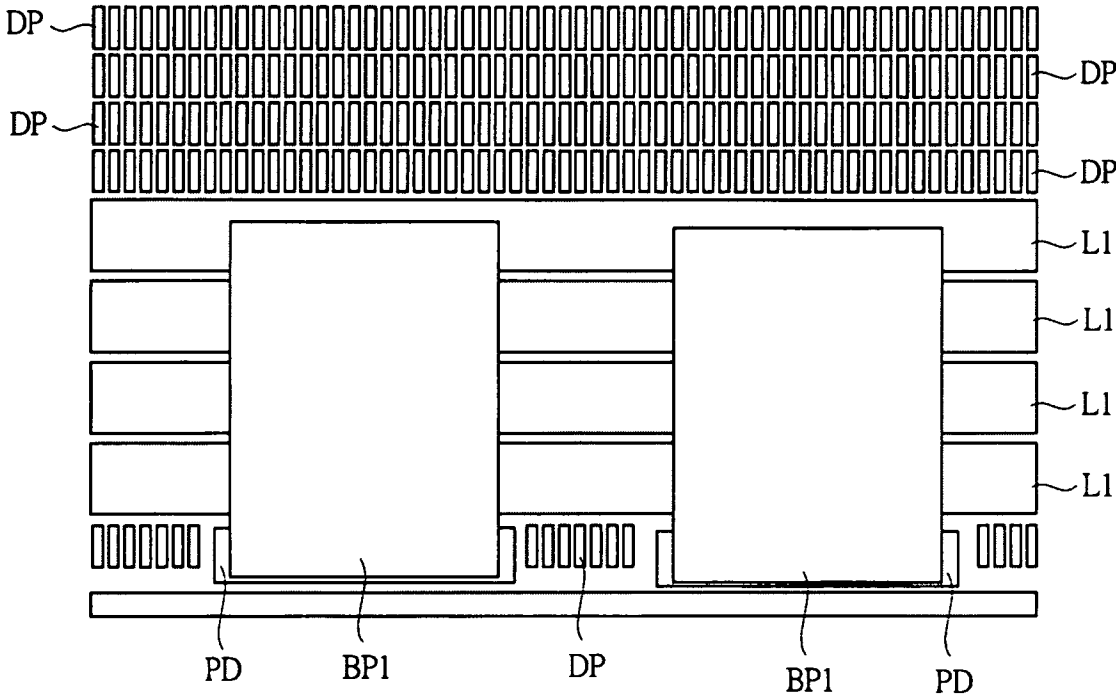


圖 4

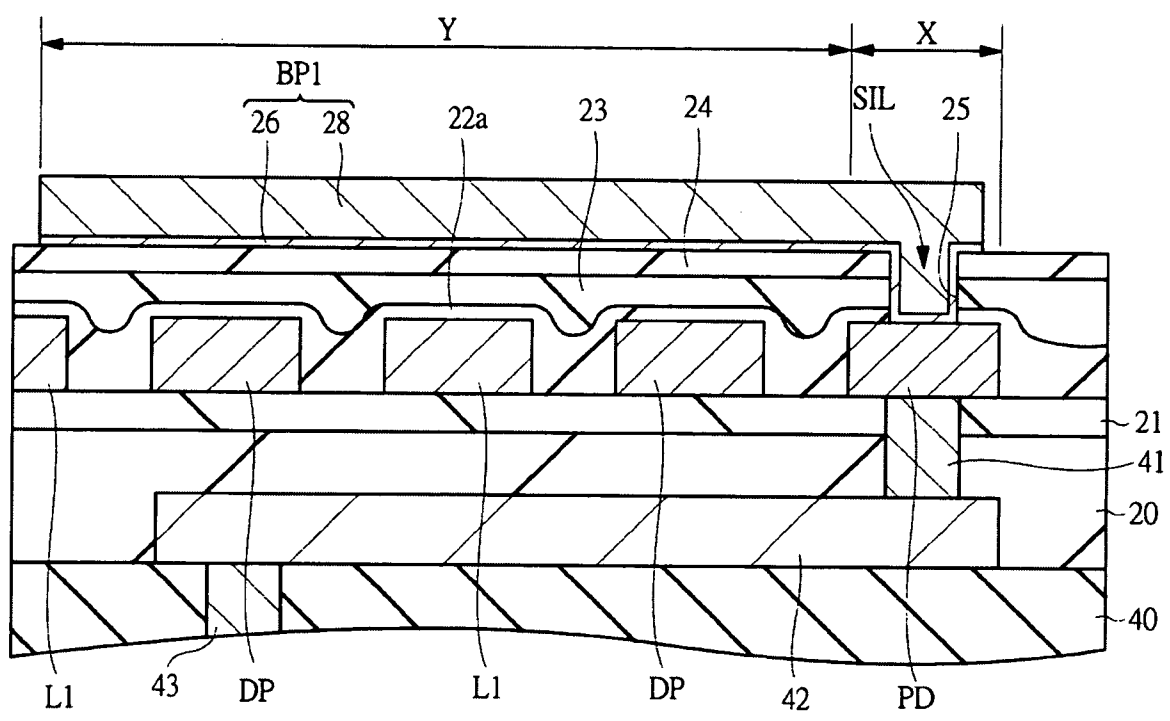


圖 5

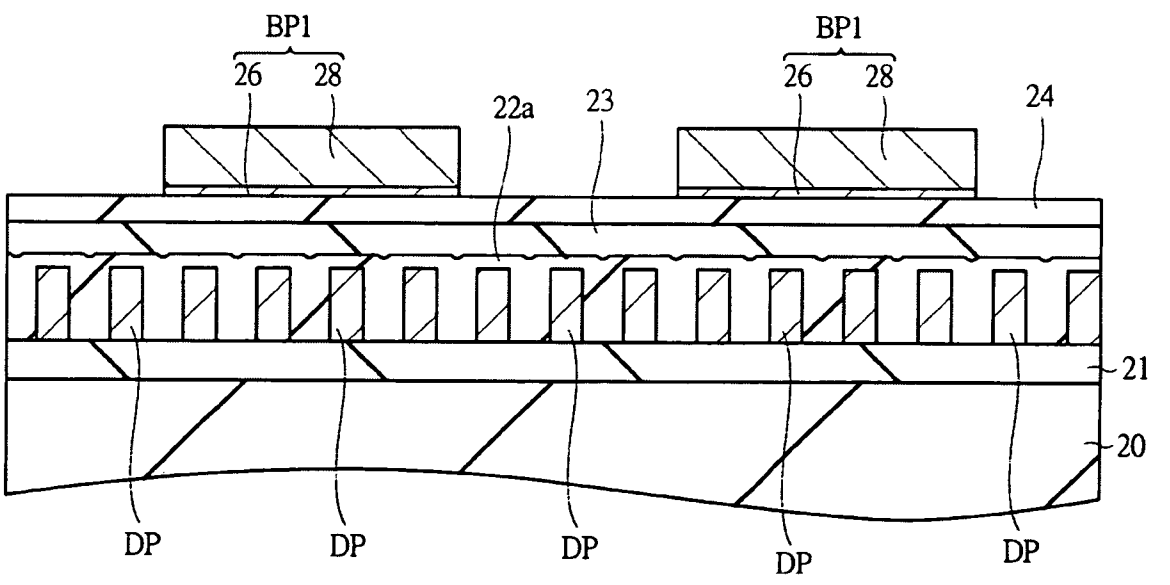


圖 6

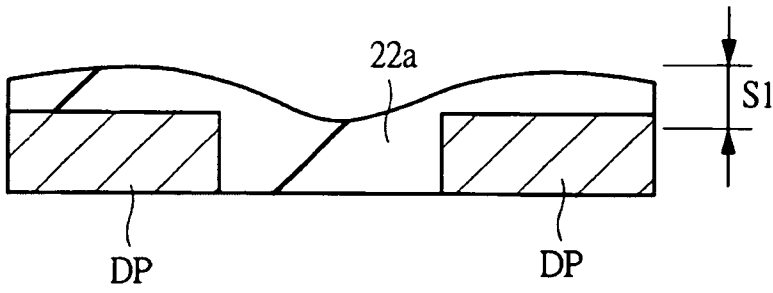


圖 7

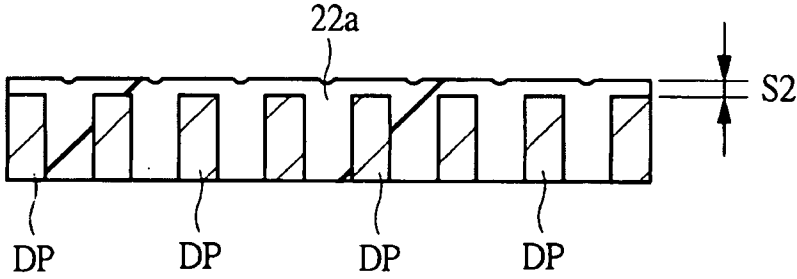


圖 8

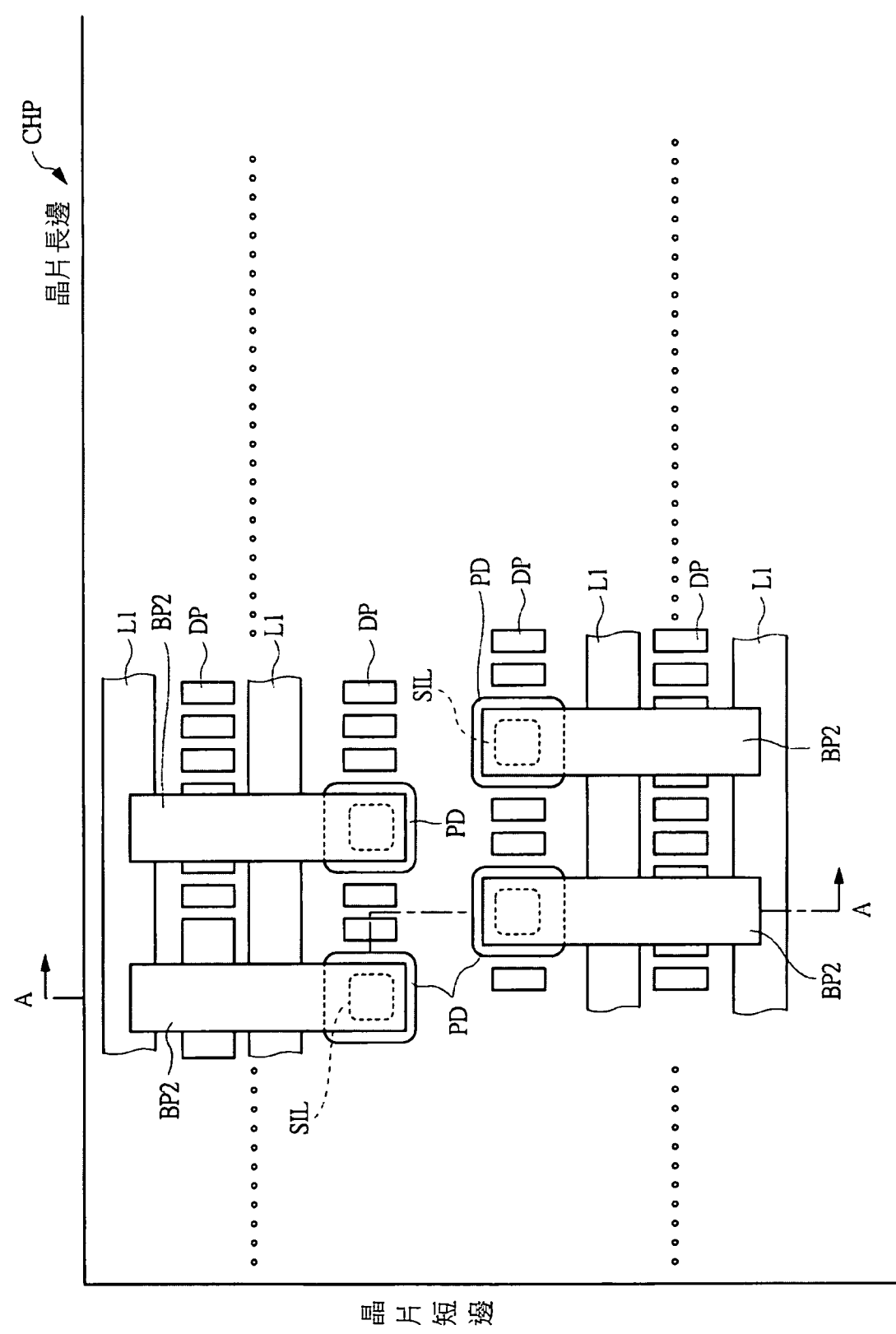


圖 9



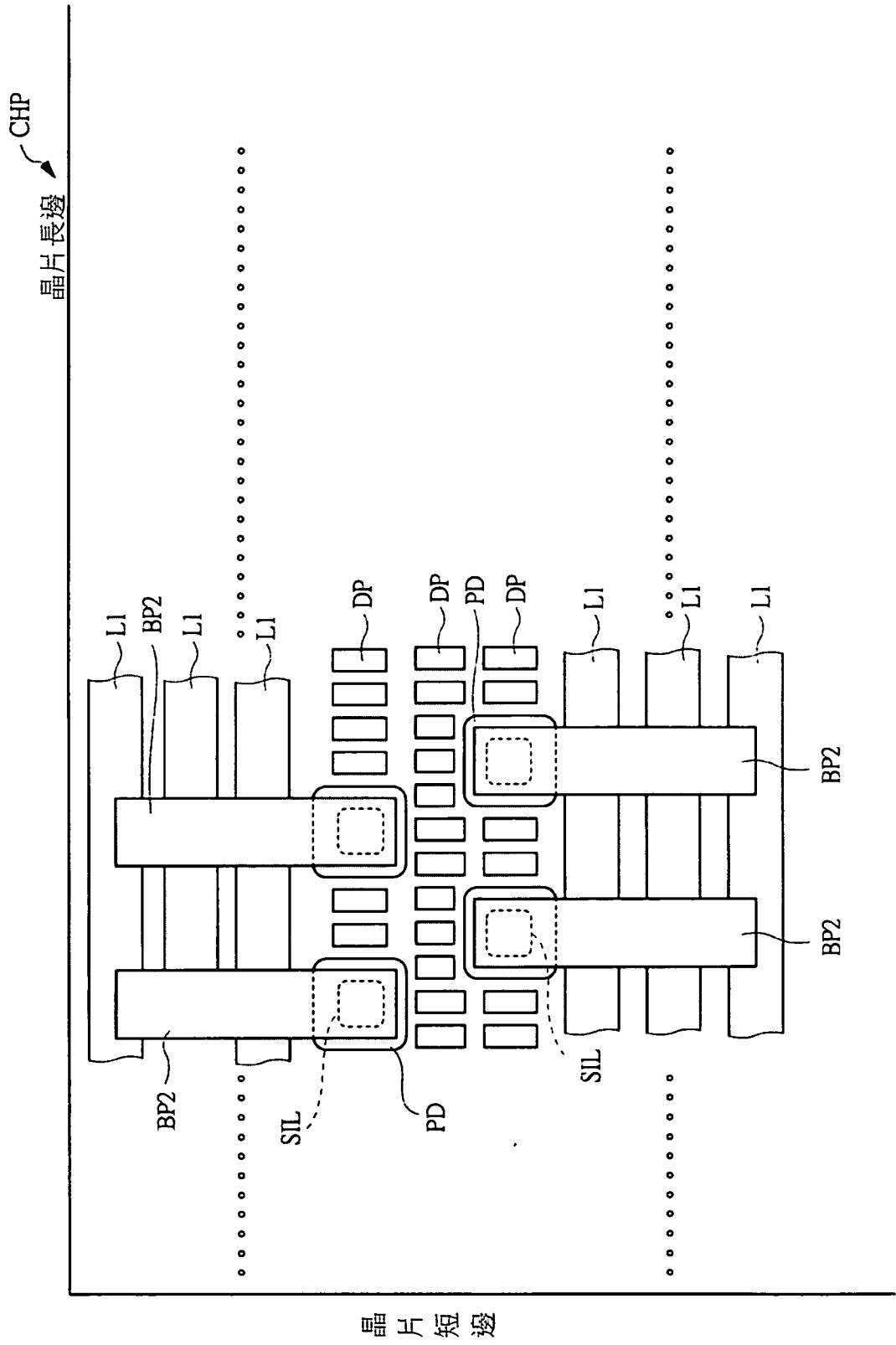


圖 10

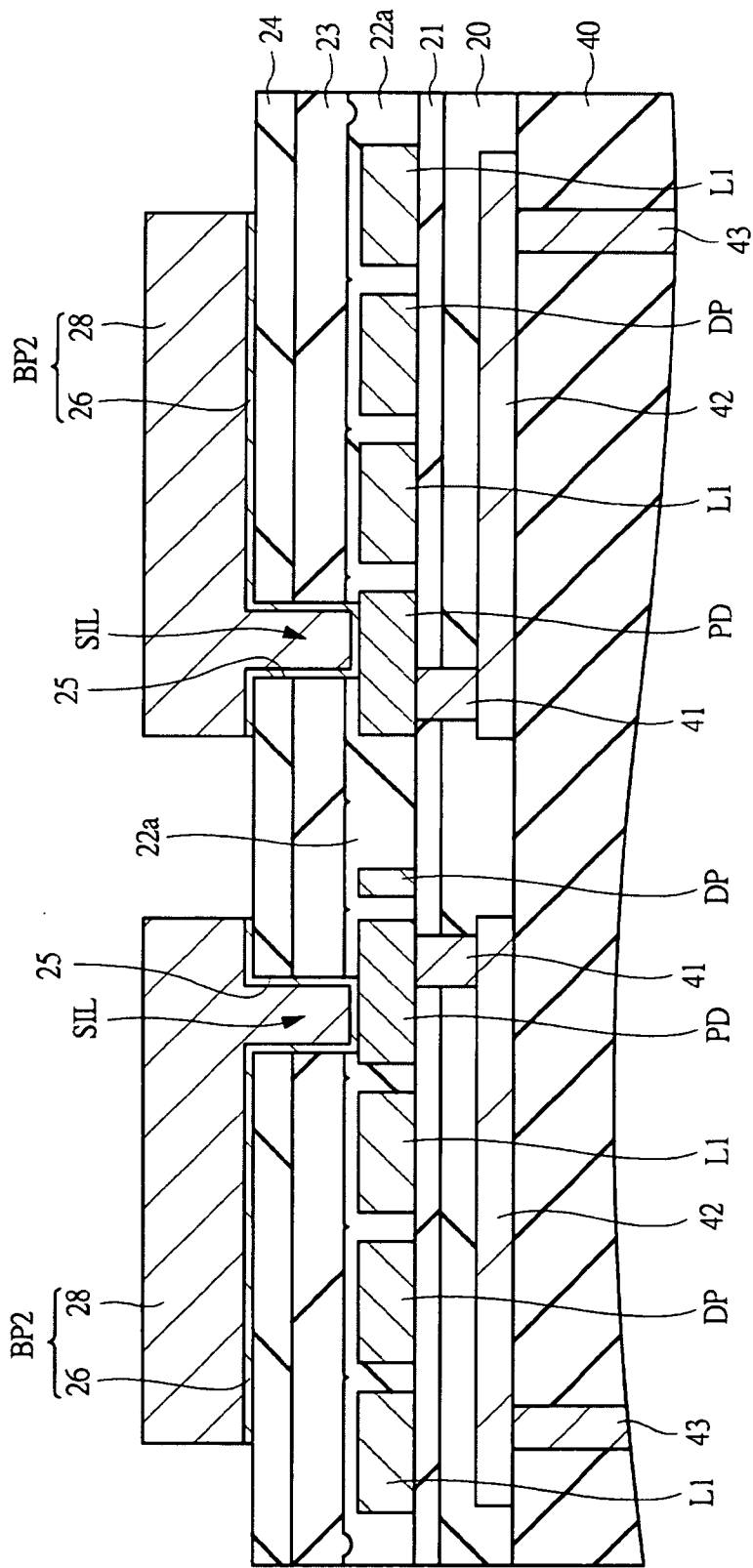


圖 11



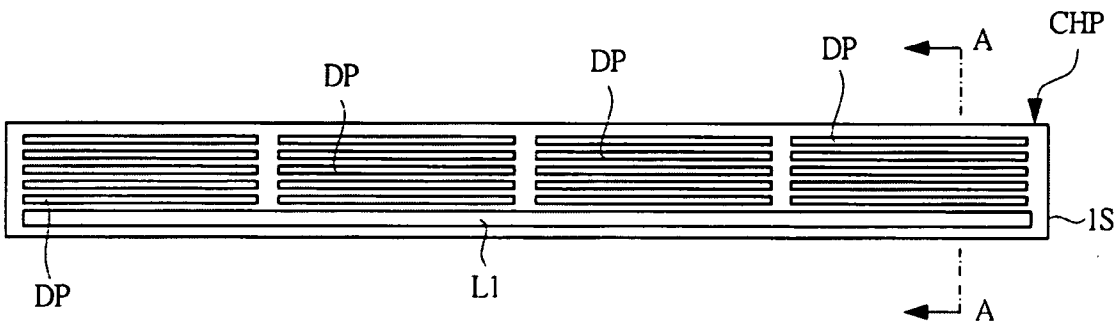


圖 12

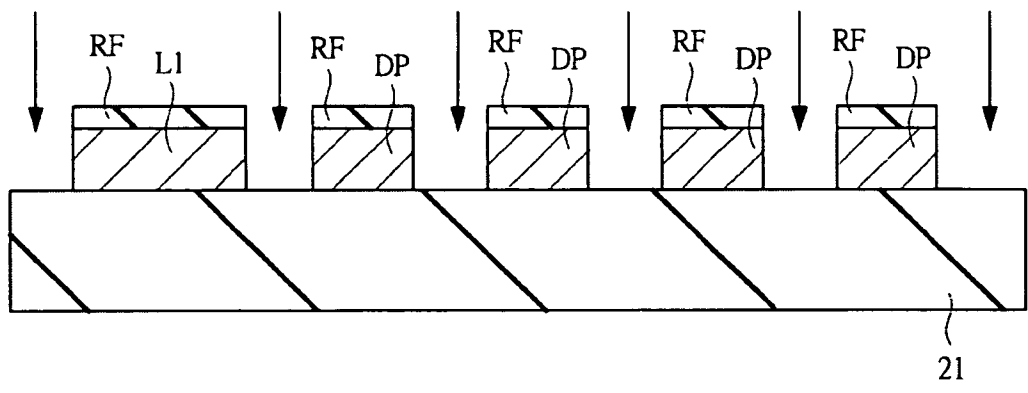


圖 13

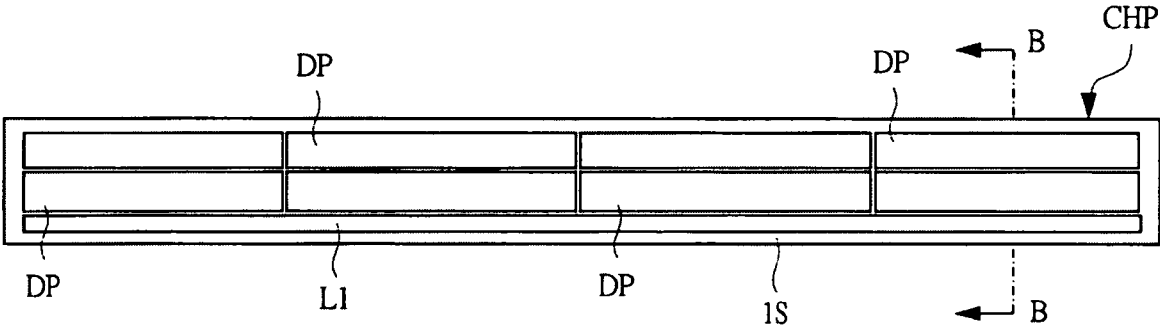


圖 14

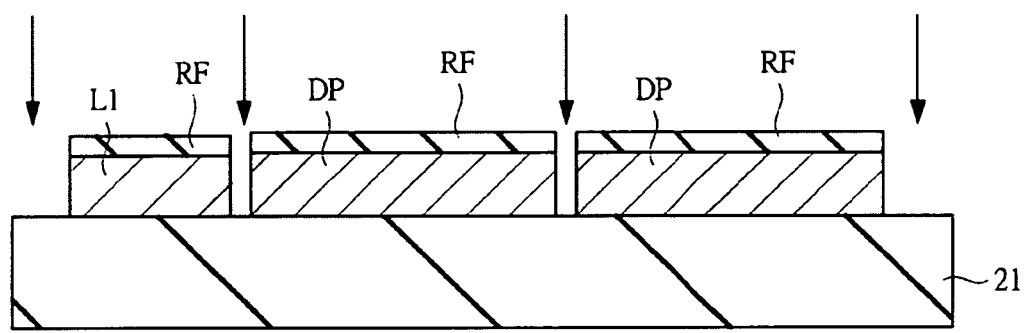


圖 15

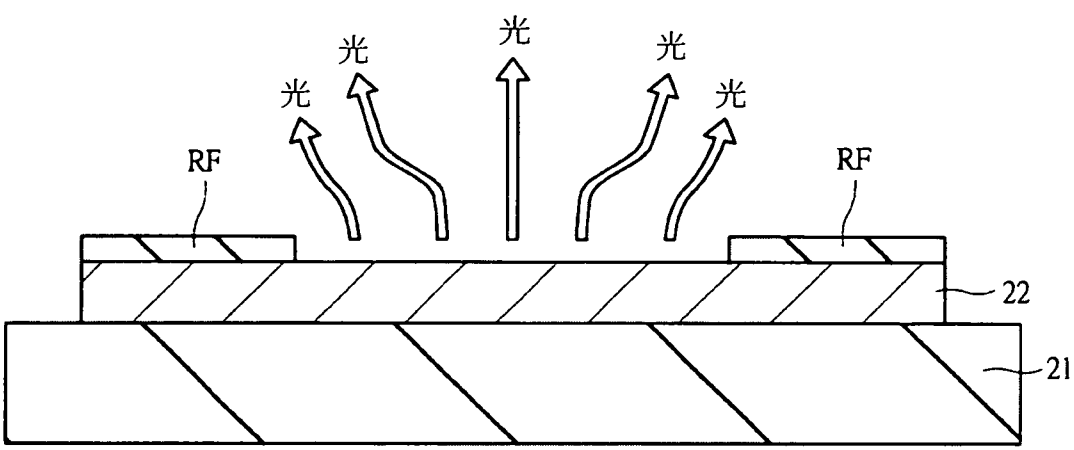


圖 16

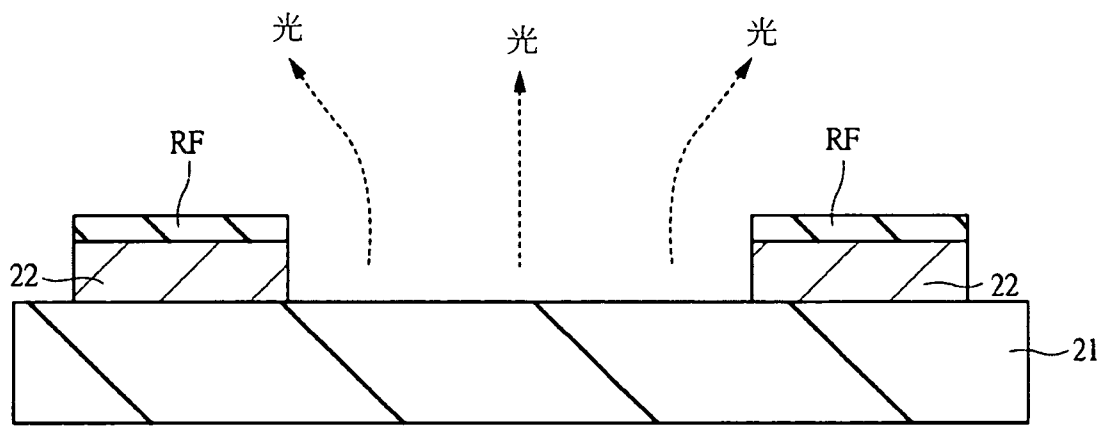


圖 17

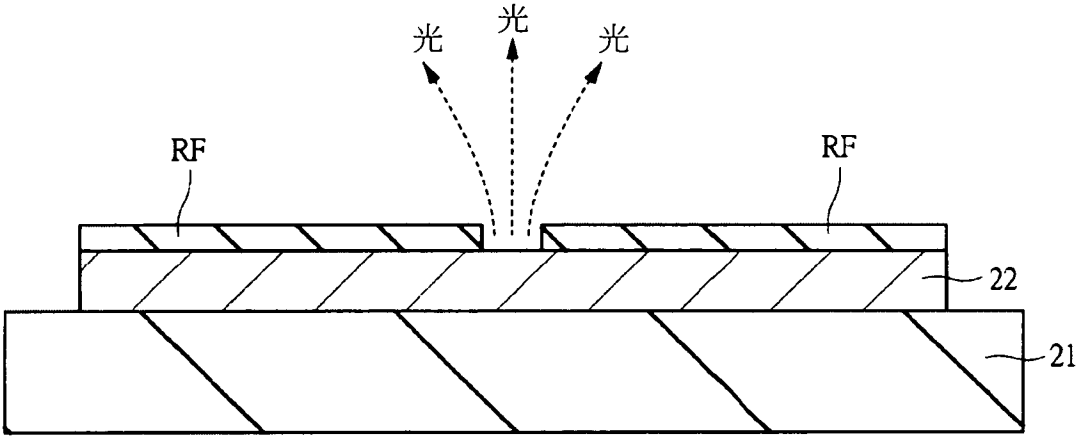


圖 18

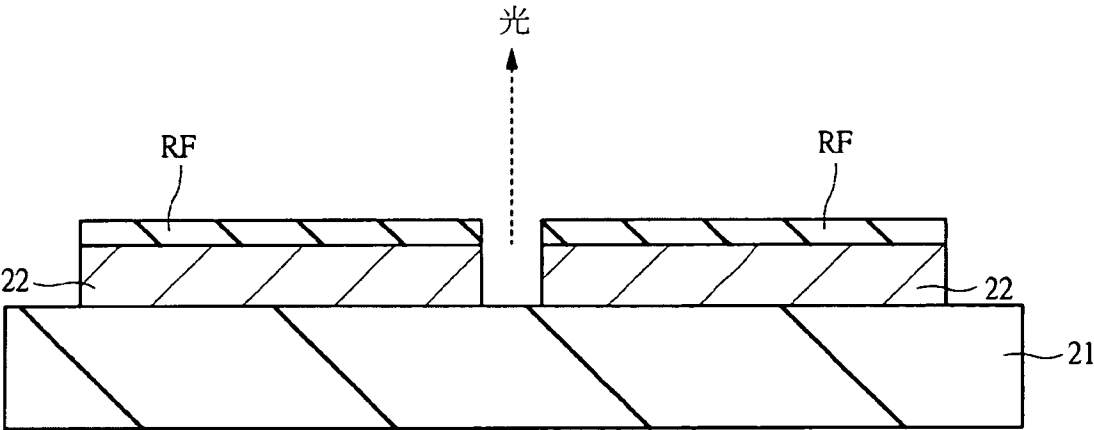


圖 19

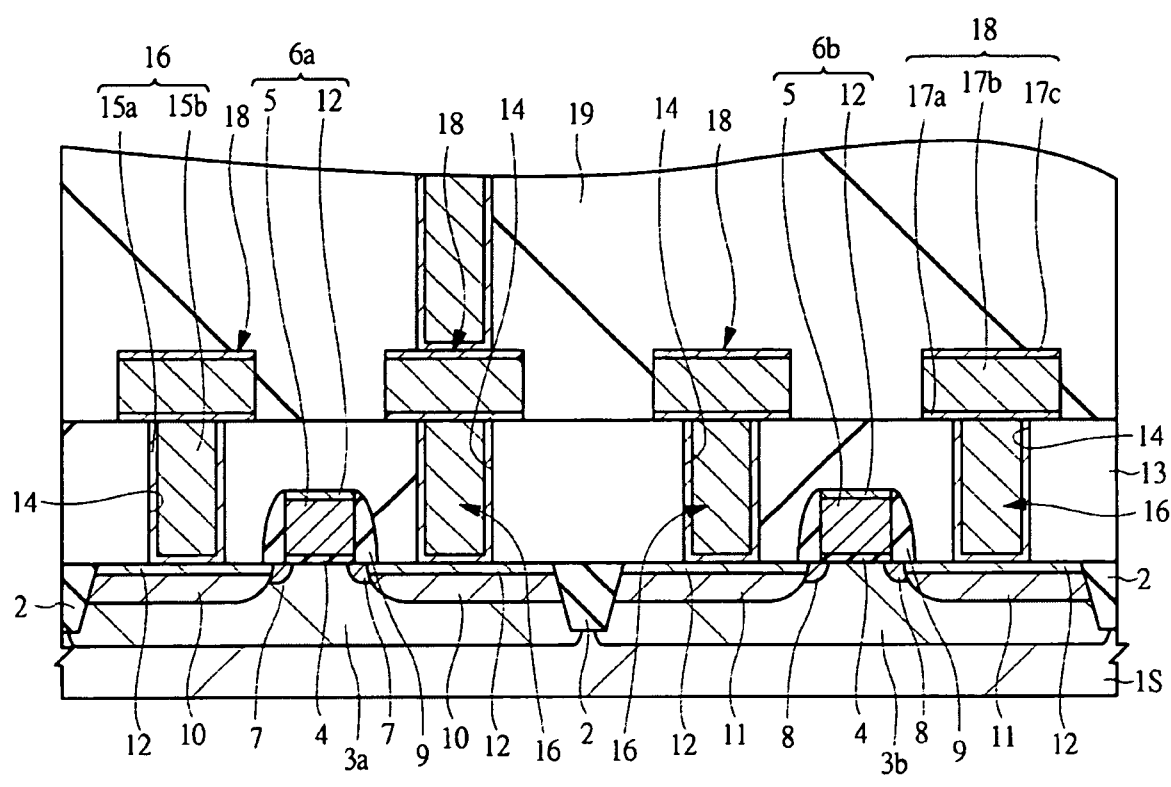


圖 20

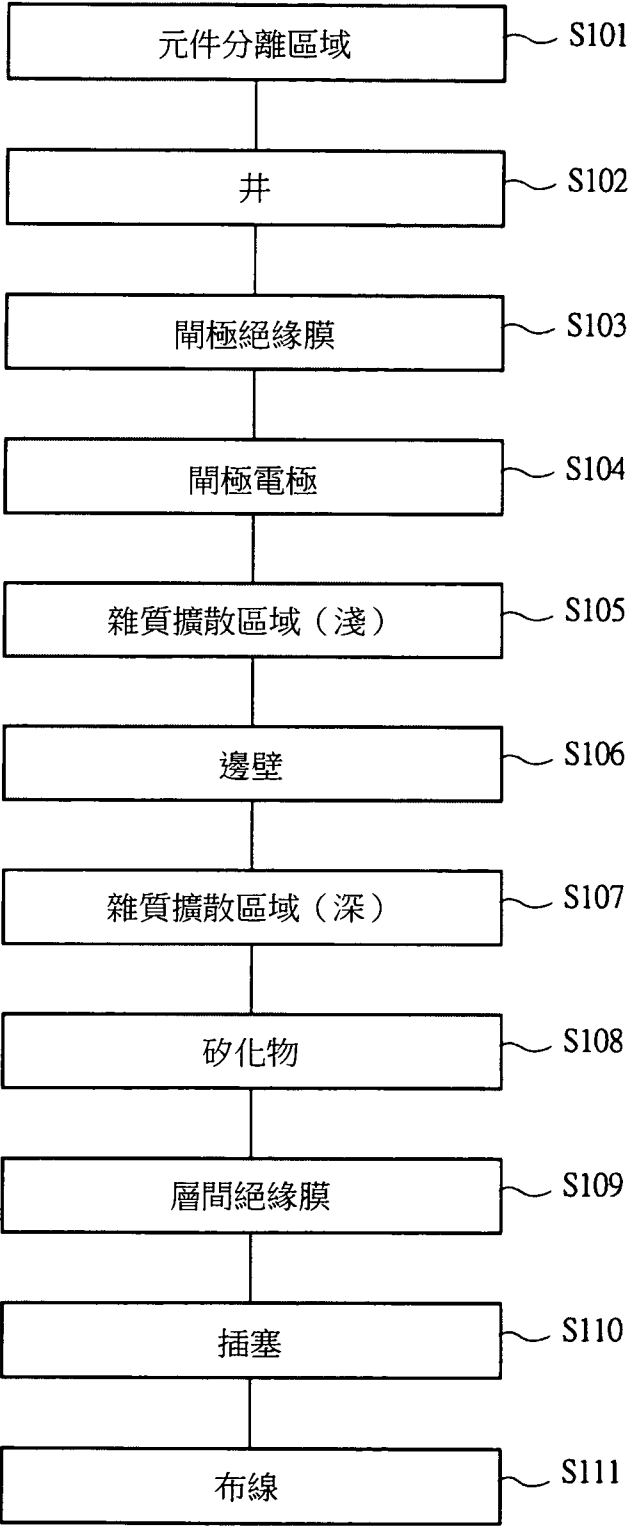


圖 21

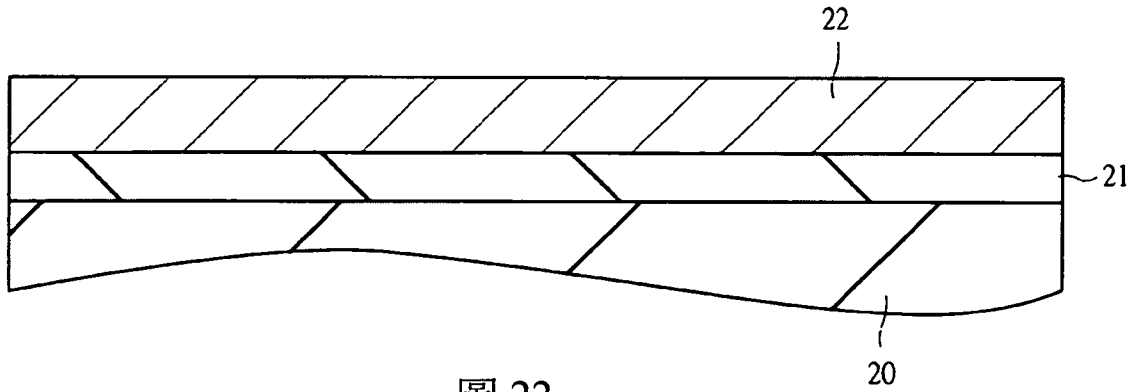


圖 22

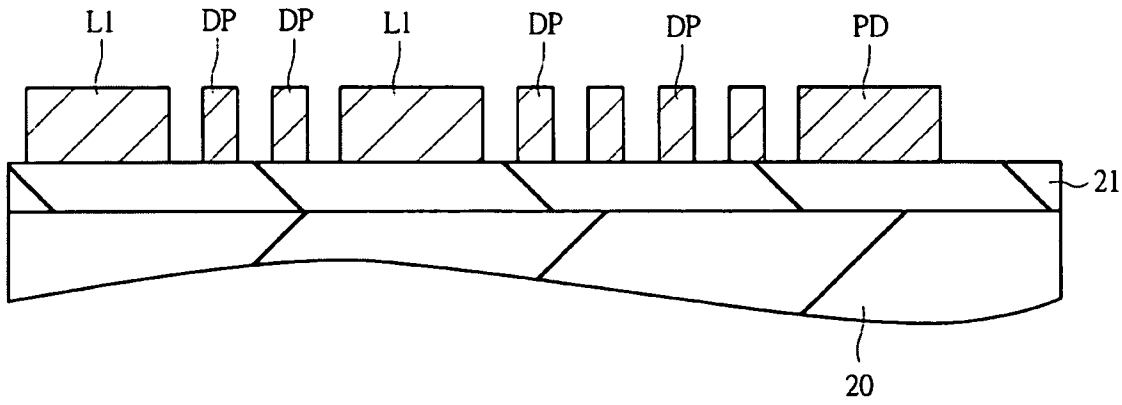


圖 23

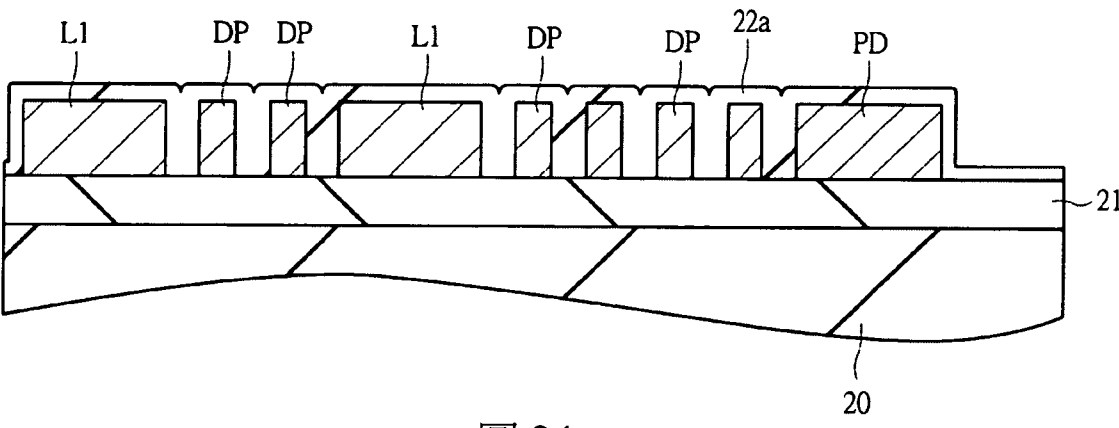


圖 24

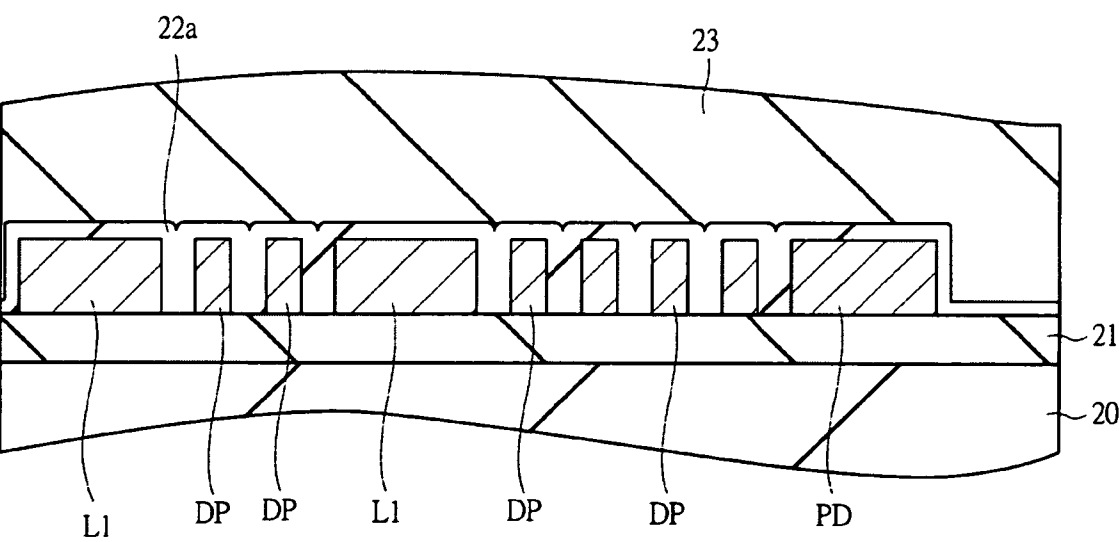


圖 25



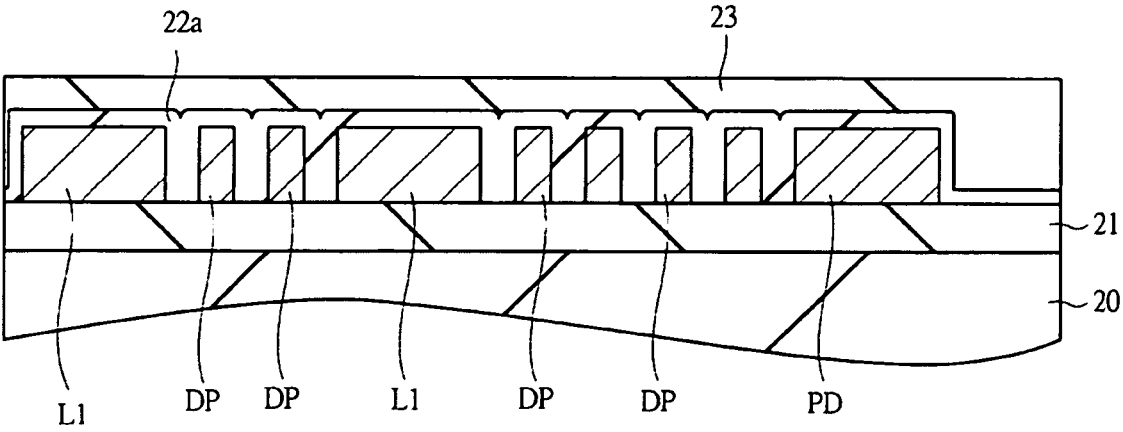


圖 26

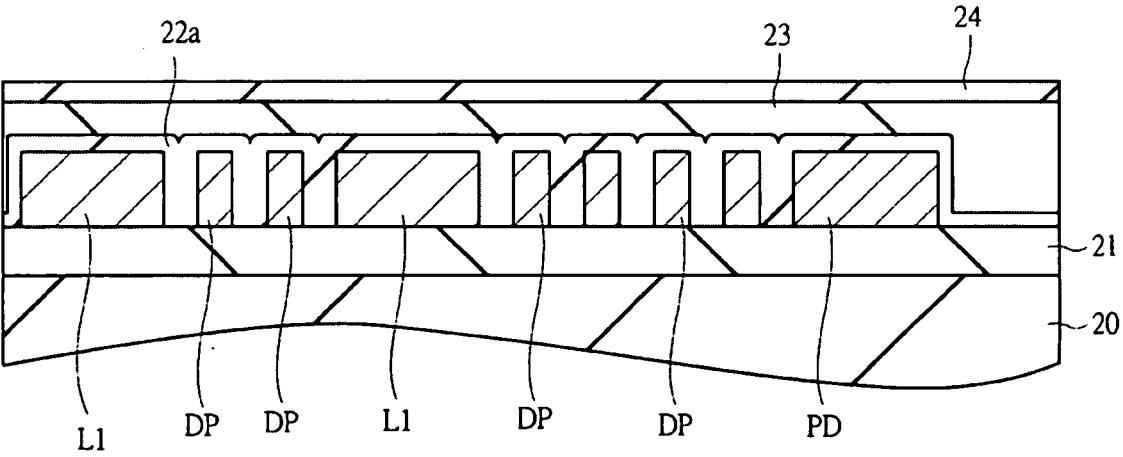


圖 27

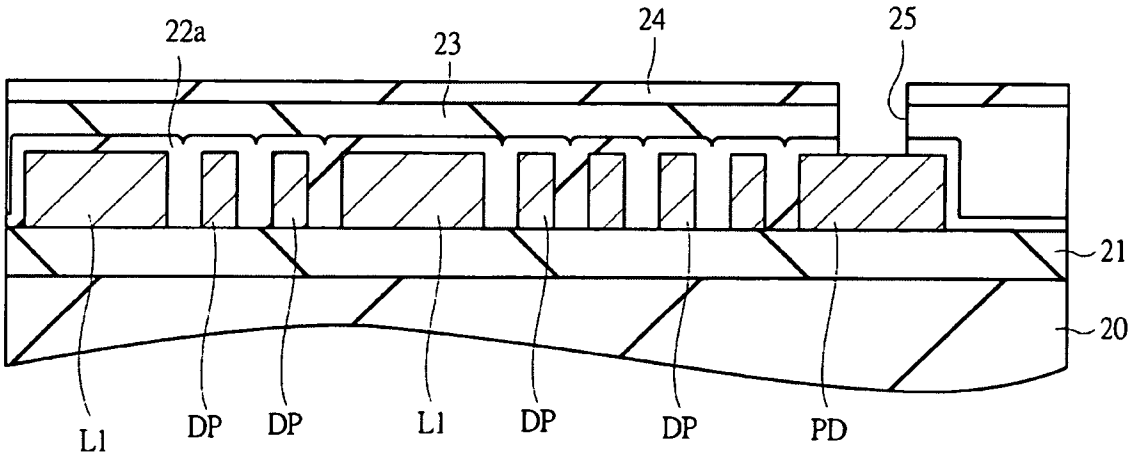


圖 28

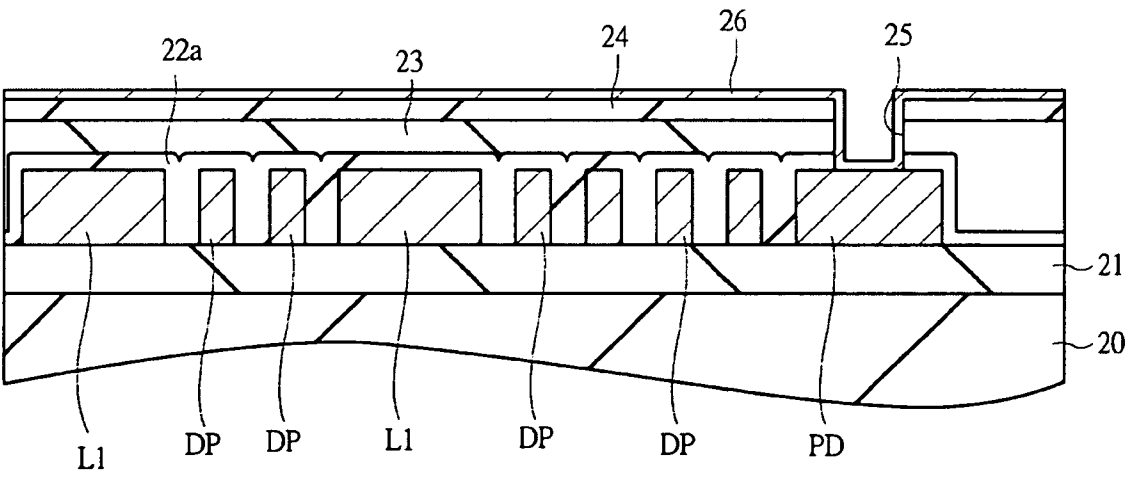


圖 29



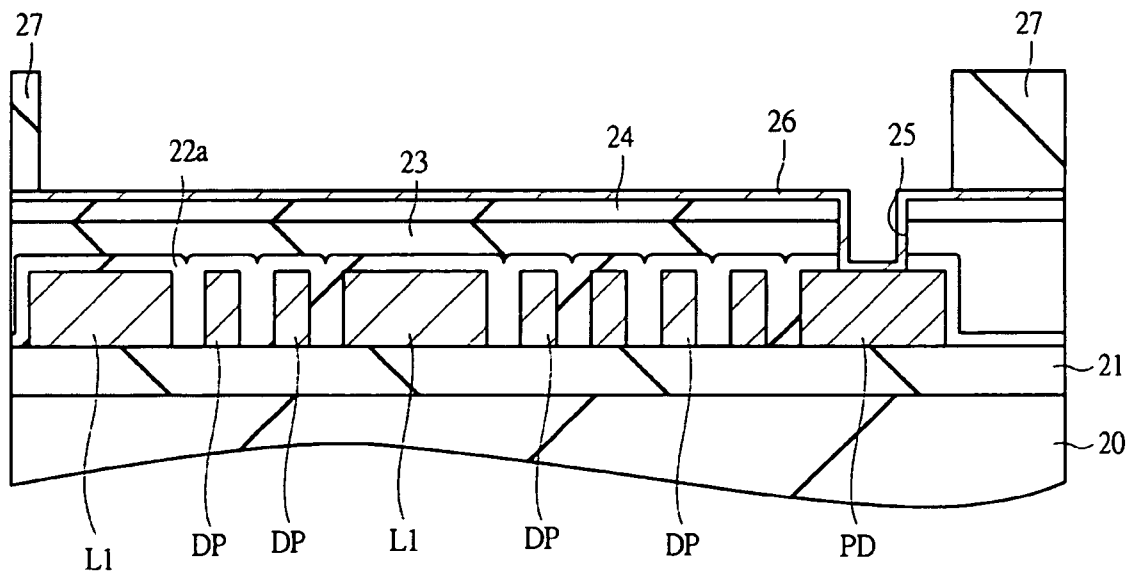


圖 30

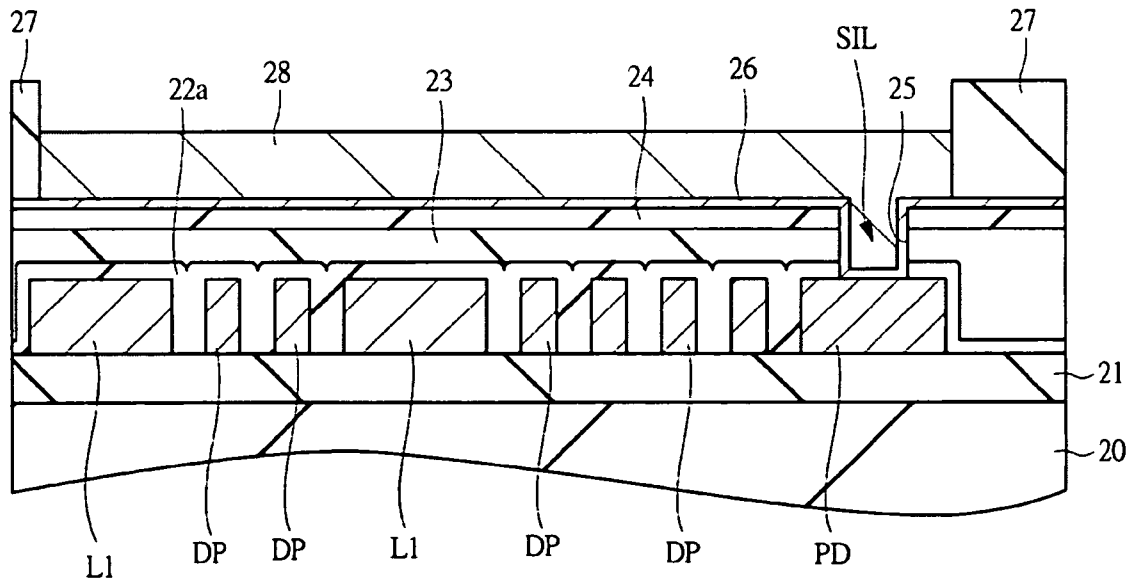


圖 31

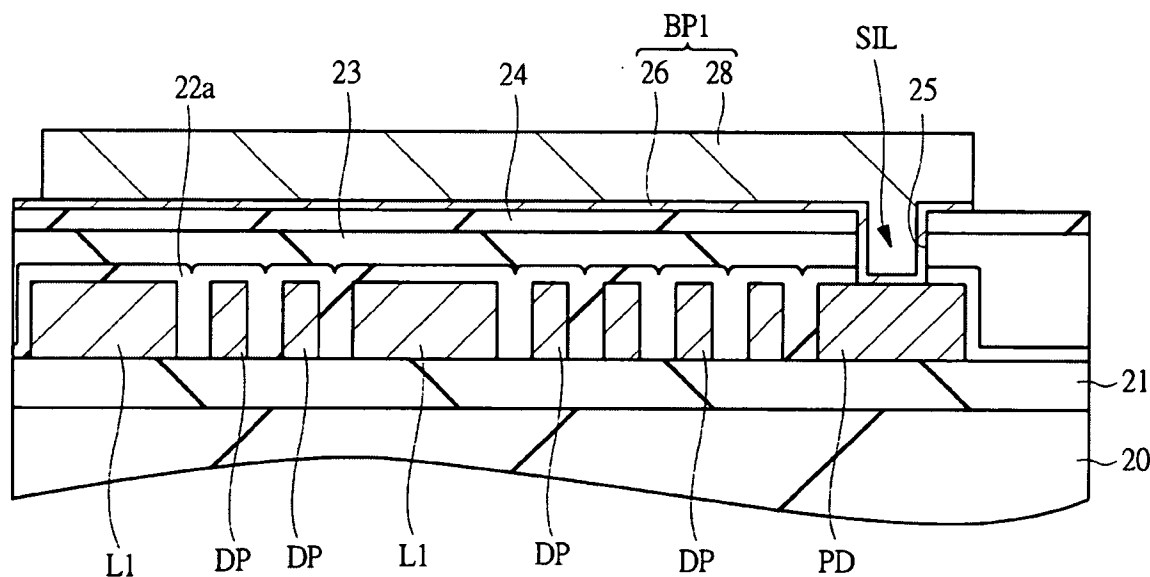


圖 32

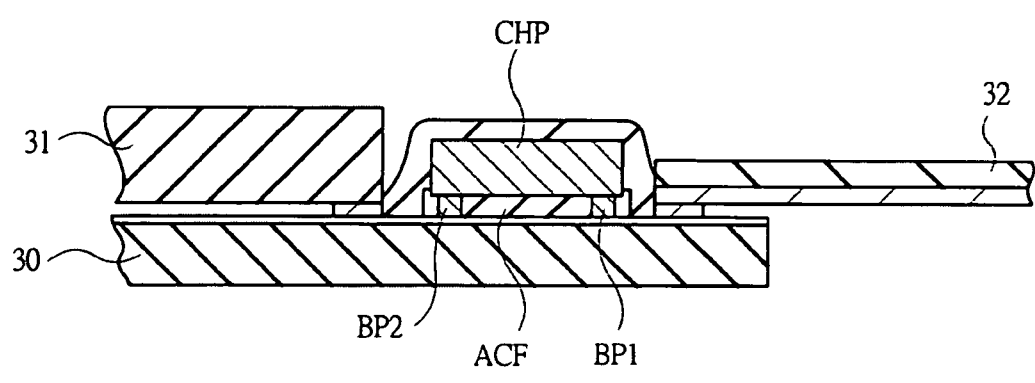


圖 33

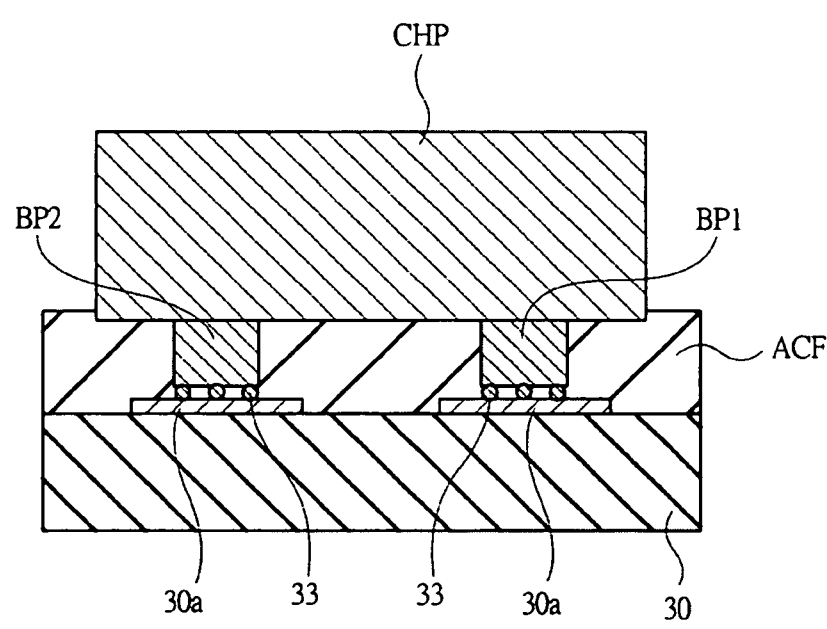


圖 34

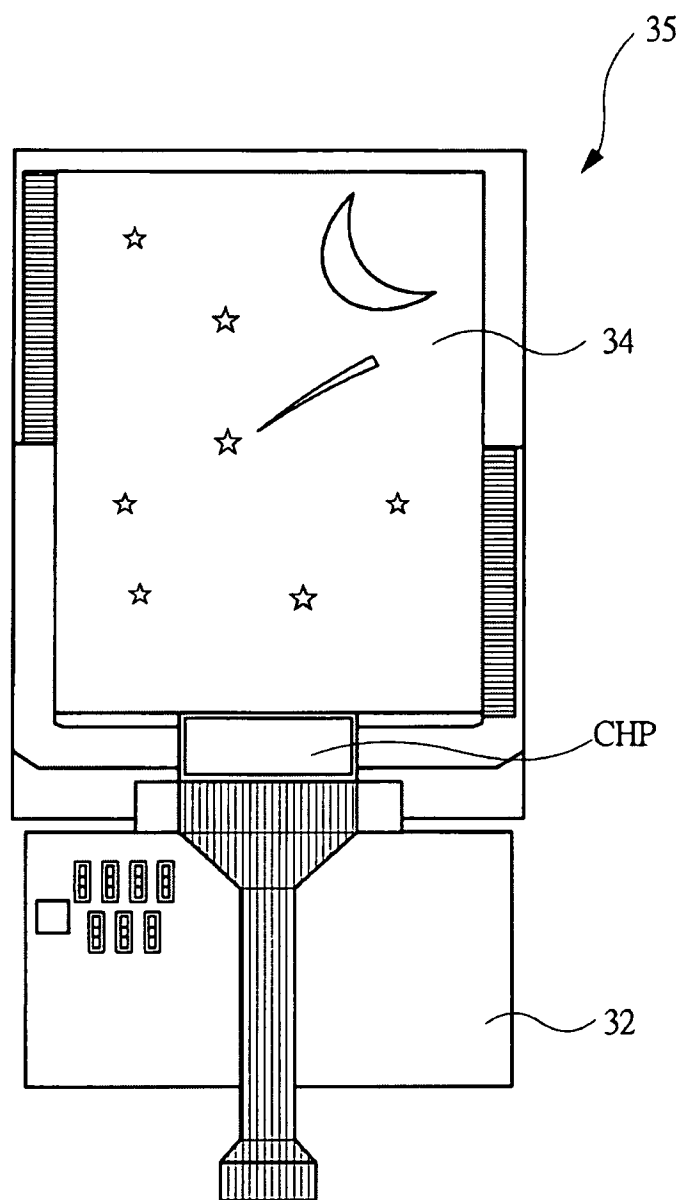


圖 35

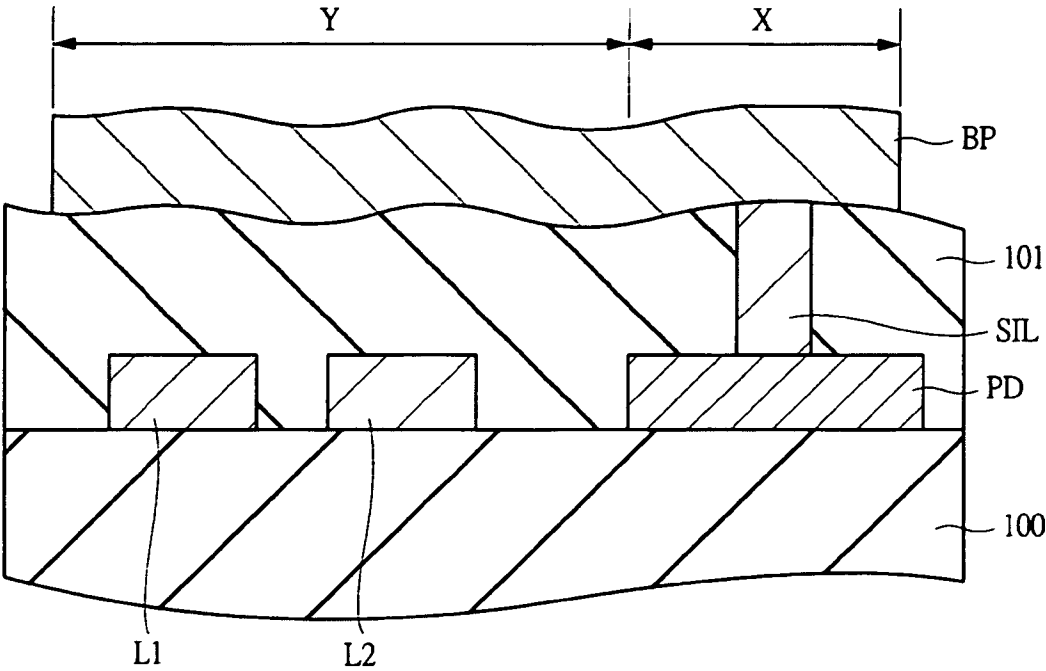


圖 36

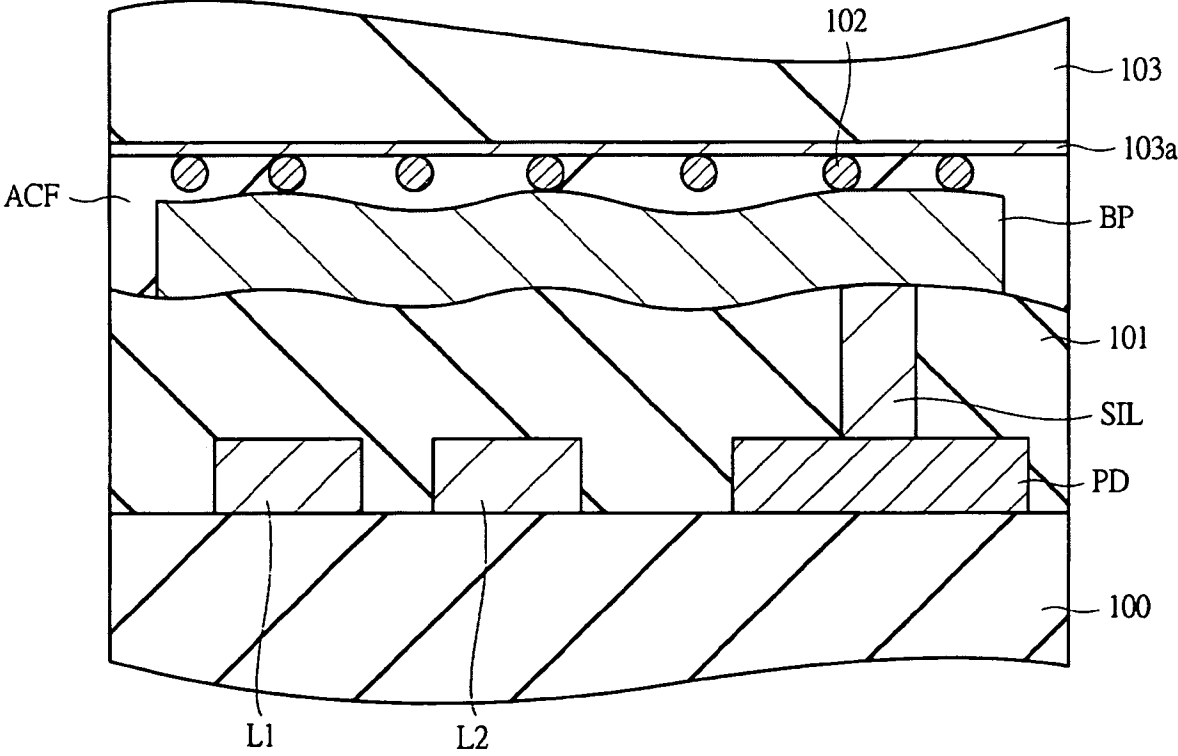


圖 37