

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

G11C 7/10

# [12] 发明专利申请公开说明书

[21] 申请号 99125347.7

[43]公开日 2000年7月12日

[11]公开号 CN 1259743A

[22]申请日 1999.12.17 [21]申请号 99125347.7

[30]优先权

[32]1998.12.17US [33]US [31]09/215,607

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 S·勒夫勒

[74]专利代理机构 中国专利代理(香港)有限公司

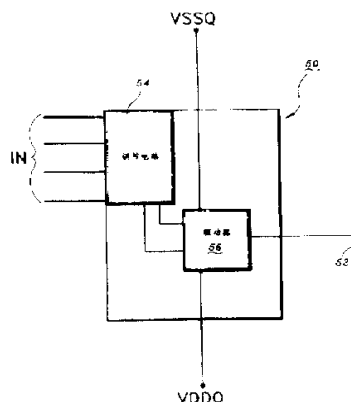
代理人 邹光新 张志醒

权利要求书 3 页 说明书 7 页 附图页数 4 页

[54]发明名称 可调强度驱动电路及调节方法

[57]摘要

根据本发明的输出缓冲器包括:第一驱动电路,在其导通时把第一电压耦合到输出;第二驱动电路,在其导通时把第二电压耦合到输出;连接到第一和第二驱动电路的输入,根据第一输出信号导通和截止第一和第二驱动电路;耦合到第一和第二驱动电路的调节电器,根据数据模式调节第一和第二驱动电路的强度,所说数据模式包括所说第一输入信号和多个输出缓冲器的各输入信号。此外还包括一种调节输出缓冲器驱动强度的方法。



ISSN 1008-4274

# 权 利 要 求 书

## 权利要求书

1·一种输出缓冲器,包括:

5 第一驱动电路,用于在第一驱动电路导通时,把第一电压耦合到输出;

第二驱动电路,用于在第二驱动电路导通时,把第二电压耦合到输出;

10 连接到第一和第二驱动电路的输入,用于根据第一输入信号导通和截止第一和第二驱动电路;

耦合到第一和第二驱动电路的调节电路,用于根据一数据模式,调节第一和第二驱动电路的强度,所说数据模式包括所说第一输入信号和多个输出缓冲器的各输入信号。

15 2·根据权利要求1的输出缓冲器,其中数据模式包括位,调节电路根据具有相同值的位的数量,调节第一和第二驱动电路的强度。

3·根据权利要求1的输出缓冲器,其中第一和第二驱动电路包括场效应晶体管。

4·根据权利要求1的输出缓冲器,其中调节电路根据分级强度比例调节驱动电路强度,分级数为数据模式的输入数加一。

20 5·根据权利要求1的输出缓冲器,其中调节电路过驱动驱动电路,以调节驱动电路强度。

6·根据权利要求1的输出缓冲器,其中调节电路包括逻辑电路,从而调节第一和第二驱动电路。

25 7·根据权利要求1的输出缓冲器,其中多个输出缓冲器设置成输出缓冲器阵列,并包括相邻的输出缓冲器。

8·一种输出缓冲器,包括:

第一驱动器件,用于在第一驱动器件导通时,把第一电压耦合到输出;

30 第二驱动器件,用于在第二驱动器件导通时,把第二电压耦合到输出;

连接到第一和第二驱动器件的输入,用于根据第一输入信号导通和截止第一和第二驱动器件;

NOR 门，具有耦合到第一驱动电路的输出，用于导通和截止第一驱动电路，第一驱动电路用于在其导通时把第一电压耦合到输出；

NAND 门，具有耦合到第二驱动电路的输出，用于导通和截止第二驱动电路，第二驱动电路用于在其导通时把第二电压耦合到输出；

5 NOR 门和 NAND 门接收输入数据模式，从而在与多个输入逻辑结合后，第一和第二驱动电路与第一和第二驱动器件一起导通和截止，从而根据该数据模式，调节到输出的驱动强度，所说数据模式包括第一输入信号和多个输出缓冲器的各输入信号。

9·根据权利要求 8 的输出缓冲器，其中所说数据模式包括位，在数据模式包括具有相同值的所有位时，调节到输出的驱动强度。

10·根据权利要求 8 的输出缓冲器，其中第一和第二驱动器件包括场效应晶体管。

11·根据权利要求 10 的输出缓冲器，其中第一和第二驱动电路包括分别与第一和第二驱动器件相同类型的场效应晶体管。

15 12·根据权利要求 8 的输出缓冲器，其中第一和第二驱动器件包括激活驱动器件的栅，该栅被过驱动，从而调节驱动电路的强度。

13·根据权利要求 8 的输出缓冲器，其中多个输出缓冲器设置成输出缓冲器阵列，并包括相邻的输出缓冲器。

20 14·根据权利要求 8 的输出缓冲器，其中第一和第二驱动电路都包括控制电路，该电路输出一个脉冲，激活至少一个驱动器件，帮助调节第一驱动器件和第二驱动器件之一的驱动强度。

15·一种调节输出缓冲器的驱动强度的方法，包括以下步骤：

25 提供输出缓冲器，该输出缓冲器包括第一驱动电路、第二驱动电路、连接到第一和第二驱动电路的输入及耦合到第一和第二驱动器件的调节电路，所说第一驱动电路用于在其导通时把第一电压耦合到输出，所说第二驱动电路用于在其导通时把第二电压耦合到输出，所说输入用于根据第一输入信号使第一和第二驱动电路导通和截止，所说调节电路用于根据一数据模式，调节第一和第二驱动电路的强度，所说数据模式包括第一输入信号和多个输出缓冲器的各输入信号；

30 把所说数据模式输入到调节电路；

根据数据模式中具有相同值的位的个数，调节第一和第二驱动电路的强度；及

输出第一输入信号。

16·根据权利要求 15 的方法，其中调节步骤包括在数据模式包括所有具有相同值的位时调节各驱动电路的强度的步骤。

5 17·根据权利要求 15 的方法，其中各驱动电路包括晶体管，晶体管的栅用于激活晶体管，还包括过驱动栅，从而调节驱动电路的强度的步骤。

18·根据权利要求 15 的方法，其中调节第一和第二驱动电路的强度的步骤包括以下步骤：

把各位相加；

10 比较各位的和与驱动器强度的分级比例；

根据该比例调节驱动强度。

19·根据权利要求 15 的方法，其中调节第一和第二驱动电路的调节步骤包括以下步骤：

把数据模式输入逻辑门；及

15 根据逻辑门的输出调节驱动强度。

20·根据权利要求 19 的方法，其中其中逻辑门包括一个 NAND 门和一个 NOR 门。

21·根据权利要求 19 的方法，其中根据逻辑门的输出调节驱动强度的步骤，包括在数据模式具有所有相同值的位时，调节驱动器强度。

20

# 说明书

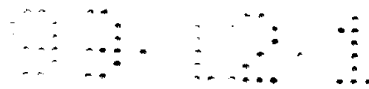
## 可调强度驱动电路及调节方法

5 本发明涉及半导体器件，特别涉及用于半导体存储器的片外驱动器的可调强度驱动电路及调节方法。

例如动态随机存取存储器 (DRAM) 等半导体存储器包括片外驱动器 (OCD) 或在工作期间提供要送出半导体芯片外的信号的输出缓冲器。存储器芯片一般包括一个输出缓冲器阵列，从而允许同时输出多个数据位。在缓冲器阵列的数个驱动器工作时，输出信号的上升和/或下降时间延迟。存储器芯片外驱动的信号也是如此。延迟主要是电源和地电源噪声引起的，并且结果是使缓冲阵列的各驱动晶体管的栅-漏电压 ( $V_{gs}$ ) 和漏-源电压 ( $V_{ds}$ ) 下降。输出的负载受较小的过驱动电压  $V_{gs}$  和较小的驱动晶体管源和漏间压差  $V_{ds}$  驱动。

15 在 DRAM 中，一般有排列成阵列的 4-32 个输出缓冲器，具有专用电源。封装寄生包括引线框和键合引线电感及包括内部和外部输出负载的容性负载，如图 1 所示。最坏情况下，多数输出缓冲器不得不驱动相同极性 (或为“0”或为“1”，单侧) 的数据，这引起了驱动晶体管上  $V_{gs}$  和  $V_{ds}$  的下降。延迟了输出信号的上升沿或下降沿，结果造成了 DRAM 的低速性能。尽管可以通过增大驱动晶体管的宽度，来补偿上升或下降沿的延迟，但这不能动态进行，因此，最好情况下也会破坏最大转换速率。

25 参见图 1，该图示出了一个典型的输出缓冲器 10，具有与引线框和键合引线有关的寄生负载 12 及容性负载 13 和 15。输出缓冲器 10 包括两个驱动晶体管 14 和 16。晶体管 14 由 n 逻辑信号驱动，而晶体管 16 由 p 逻辑信号驱动。晶体管 14 的源耦合到第一电源电压 (即， $V_{SSD}$ )，而晶体管 16 的源耦合到第二电源电压 (即  $V_{DDQ}$ )。在 n 逻辑驱动晶体管 14 (为 NFET 上拉晶体管)，从而驱动节点 OUT 为低时，节点 2 暂时上弹 ( $dI/dt$  噪声，即， $\underline{U} = L \cdot dI/dt$ ，其中  $\underline{U}$  为寄生电感  $L$  引起的电压偏差， $dI/dt$  是电流时间的导数)。这种电感引起的电压变化不能忽略，会对晶体管 14 的  $V_{gs}$  和  $V_{ds}$  的下降起很大作用。在阵列中多数输出缓冲器驱动相同数据时 (1, 或 0)，由于  $V_{gs}$  和  $V_{ds}$  进一步下降，所以这种效应进一步加剧，引起信号的 OUT 下降沿延迟。



尤其是在 DRAM 芯片高频工作时，输出时序变得与数据模式有关，导致时序裕度减小。

因此，需要一输出缓冲器，能够根据从其附近的输出缓冲器阵列输出的数据模式，动态的调节驱动强度。

5 根据本发明的输出缓冲器包括：第一驱动电路，用于在第一驱动电路导通时，把第一电压耦合到输出；第二驱动电路，用于在第二驱动电路导通时，把第二电压耦合到输出。连接到第一和第二驱动电路的输入，用于根据第一输出信号导通和截止第一和第二驱动电路。耦合到第一和第二驱动电路的调节电路，用于根据一数据模式，调节第一和第二驱动电路的强度，所说数据模式包括所说第一输入信号和多个输出缓冲器的各输入信号。

15 在另一实施例中，数据模式较好包括位，所说调节电路根据具有相同值的位的数量，调节第一和第二驱动电路的强度。第一和第二驱动电路较好是包括场效应晶体管。所说调节电路较好是根据分级强度比例，调节驱动电路的强度，分级数等于数据模式的输入数加 1。调节电路可以过驱动驱动电路，从而调节驱动电路的强度。调节电路可以包括逻辑电路，用于调节第一和第二驱动电路。多个输出缓冲器可以设置成输出缓冲器阵列，可以包括相邻的输出缓冲器。

20 另一输出缓冲器包括：第一驱动器件，用于在第一驱动器件导通时，把第一电压耦合到输出；第二驱动器件，用于在第二驱动器件导通时，把第二电压耦合到输出。连接到第一和第二驱动器件的输入，用于根据第一输入信号导通和截止第一和第二驱动器件。提供 NOR 门，具有耦合到第一驱动电路的输出，用于导通和截止第一驱动电路，第一驱动电路用于在其导通时把第一电压耦合到输出。还提供 NAND 门，其具有耦合到第二驱动电路的输出，用于导通和截止第二驱动电  
25 路，第二驱动电路用于在其导通时把第二电压耦合到输出。NOR 门和 NAND 门接收输入数据模式，从而在与多个输入逻辑结合后，第一和第二驱动电路与第一和第二驱动器件一起导通和截止，从而根据该数据模式，调节到输出的驱动强度。所说数据模式包括第一输入信号和多个输出缓冲器的各输入信号。

30 在其它实施例中，数据模式较好包括位，在数据模式包括具有相同值的所有位时，可以调节到输出的驱动强度。第一和第二驱动器件

较好是包括场效应晶体管。第一和第二驱动电路包括分别与第一和第二驱动器件相同类型的场效应晶体管。驱动器件可以包括激活驱动器件的栅，该栅被过驱动，从而调节驱动电路的强度。多个输出缓冲器可以设置成输出缓冲器阵列，并可以包括相邻的输出缓冲器。第一和第二驱动电路可以都包括控制电路，输出一个脉冲，激活至少一个驱动器件，帮助调节第一驱动器件和第二驱动器件之一的驱动强度。

5 调节输出缓冲器的驱动强度的方法包括以下步骤：提供输出缓冲器，该输出缓冲器包括第一驱动电路、第二驱动电路、连接到第一和第二驱动电路的输入及耦合到第一和第二驱动器件的调节电路，所说  
10 第一驱动电路用于在其导通时把第一电压耦合到输出，所说第二驱动电路用于在其导通时把第二电压耦合到输出，所说输入用于根据第一输入信号使第一和第二驱动电路导通和截止，所说调节电路用于根据一数据模式，调节第一和第二驱动电路的强度，所说数据模式包括第一输入信号和多个输出缓冲器的各输入信号；把所说数据模式输入到  
15 调节电路；根据数据模式中的高和低位的个数，调节第一和第二驱动电路的强度；及输出第一输入信号。

根据另一方法，调节步骤可以包括在数据模式包括所有具有相同值的位时调节各驱动电路的强度的步骤。各驱动电路可以包括晶体管，其栅用于激活晶体管，还可以包括过驱动所说栅的步骤，从而调节  
20 驱动电路的强度。根据数据模式中相同位的个数，调节第一和第二驱动电路的强度的步骤可以包括以下步骤：对位中 1 的求和；比较各位的和与驱动器强度的分级比例；根据该比例调节驱动强度。根据数据模式中相同位个数调节第一和第二驱动电路强度的步骤可以包括以下步骤：把数据模式输入逻辑门，根据逻辑门的输出调节驱动强度。  
25 根据逻辑门的输出调节驱动强度的步骤，可以包括在数据模式具有所有相同值的位时，调节驱动器强度。逻辑门可以包括 NAND 门和/或 NOR 门。

在以下对例示实施例详细介绍中，本发明的这些和其它目、特点及优点将变得更清楚，以下介绍可以结合附图阅读。

30 本公开将具体展现于以下结合附图对优选实施例的介绍中，各附图中：

图 1 是现有技术动态随机存取存储器的输出缓冲器的示意图；

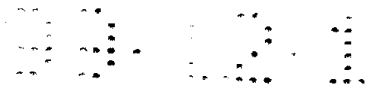


图 2 是根据本发明具有用于调节输出缓冲器的驱动器强度的调节电路的输出缓冲器的示意图；

图 3 是根据本发明具有用于调节输出缓冲器的驱动器强度且包括 NAND 和 NOR 门的调节电路的输出缓冲器的示意图；

5 图 4 是根据本发明的控制电路的示意图，该电路用于通过驱动输出缓冲器的驱动器的栅，输出调节驱动器强度的脉冲；

图 5 是根据本发明另一控制电路的示意图，该电路用于通过驱动输出缓冲器的驱动器的栅，输出调节驱动器强度的脉冲。

本公开涉及半导体器件，特别涉及用于半导体存储器的片外驱动器的可调强度驱动电路。根据本发明，提供对各输出缓冲器或 OCD 阵列的片外驱动器 (OCD) 的驱动强度的适当调节。在由 OCD 和 OCD 阵列驱动的数据之前已知从动态随机存取存储器 (DRAM) 驱动的数据。因此，可以根据将从 OCD 阵列输出的数据模式，调节驱动强度，并使之最佳。下面结合 DRAM 输出缓冲器的实例介绍本发明。利用本发明，其它器件也可以用于调节驱动强度。

下面具体参见各附图，各附图中的类似参考数字表示类似或相同的部件，先参见图 2，提供输出缓冲器 50。调节电路 54 包括一组输入 (IN)，它们共享一个 VSSQ/VDDQ 对。输入的个数可或大或小，取决于设计。一个输入代表在输出 52 被驱动的输出信号，而其它输入表示缓冲器 50 附近的输出缓冲器的输出。可以利用所有位近似之和先计算该组输入中的数据。该输入位具有高 (VDDQ) 或低 (0) 的电压。根据表 1 调节驱动 56 的驱动器强度，即，驱动晶体管的强度，表 1 中，数据状态之和等于驱动器强度，包括具有根据作为分级数的各输入之和加 1 的分级强度比。由于电路 54 具有 4 个输入，表 1 例示了包括驱动晶体管的 5 个分级强度。根据 DQ 上的数据模式，调节电路 54 计算适当驱动输出 52 所需要的强度。在一个实施例中，通过根据所需要的强度即表 1 选择合适尺寸的晶体管，可以改变驱动强度。



表 1

选项	$\sum_{i=1}^4 (bDQ_j = 0)$	$bDQ_j$	修改驱动器件用于 $DQ_j$
1	4	0	激活附加强驱动器件
2	3	0	激活附加弱驱动器件
		VDDQ	利用缺省驱动强度
3	2	0	利用缺省驱动强度
		VDDQ	利用缺省驱动强度
4	1	VDDQ	激活附加弱驱动器件
		0	利用缺省驱动强度
5	0	VDDQ	激活附加强驱动器件

$\sum (bDQ=0)$  是对于该组中  $i$  个缓冲器的输入数据位为零的位的总和（这种情况下，4 个缓冲器为一组）。 $bDQ_j$  是其驱动强度可调的缓冲器的输入。附加驱动器件可以如图所示通过图 3 的晶体管 106 和 110 连接。一个实施例中，对于选项 1 和 2 来说，附加强和弱晶体管是 PFET，对于选项 4 和 5 来说，附加强和弱晶体管是 NFET。为提供表 1 中所有附加选项，可以加入附加驱动器。可以通过增大驱动晶体管的数量、增大它们的宽度或利用各驱动器过驱动合适栅避免  $V_{gs}$  降低到低阈值之下，实现强度调节的结果。以此方式，可以根据输入到其附近输出驱动器的数据模式，调节缓冲器 50 的驱动强度。通过把附加晶体管的源和漏跨接在与图 3 的晶体管 106 和 110 相同的节点上，可以加入附加的驱动晶体管。调节电路 54 较好是控制根据本发明激活的晶体管。

参见图 3，该图示出了根据本发明的片外驱动电路 100。电路 100 包括 NOR 门 102 和 NAND 门 104。NOR 门 102 和 NAND 门 104 接收来自数据模式的同一组输入，被输出缓冲器 (OCD's) 阵列驱动。一组管脚或  $DQs$  运载 OCD 的输出信号。这些  $DQs$  分成组，并由专门的  $VDDQ/VSSQ$  对提供。图 3 所示实施例中的数据包括由  $VDDQ/VSSQ$  对共享的 4 个  $DQs$ 。然而， $DQ$  的数量也可以更大或更小。

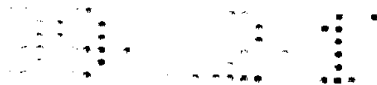
NOR 门 102 具有耦合到电路 122 的输出，电路 122 在 NOR 门 102 的输出升高时，产生低启动脉冲 (going pulse)。电路 122 的输出耦合到晶体管 106 的栅。PFET 晶体管的源耦合到晶体管 108 的源。晶

晶体管 106 和 108 较好是同一导电类型的晶体管，更好是 PFET 晶体管。晶体管 106 和 108 的源耦合到 VDDQ，晶体管 106 和 108 的漏连接到节点 3。NAND 门 104 的输出耦合到电路 124，电路 124 在 NAND 门 104 的输出下降时，产生高启动脉冲。电路 124 的输出耦合到晶体管 110 的栅。NFET 晶体管的源耦合到晶体管 112 的源。晶体管 110 和 112 较好是相同导电类型的晶体管，更好是 NFET 晶体管。晶体管 110 和 112 的源耦合到 VSSQ，晶体管 110 和 112 的漏连接到节点 3。晶体管 108 和 112 的栅包括输入信号线 (bDQ<1>)，用于激活晶体管 108 和 112。晶体管 106、108、110 和 112 都是驱动晶体管。

10 到 NOR 和 NAND 门 102 和 104 的输出分别包括要被电路 100 的 OCD 附近的阵列中的这个和其它 OCD (对应于 DQ<1:4>) 输出的数据。这些输入包括 bDQ<1:4>。NOR 门 102 和 NAND 门 104 为电路 100 附近最坏情况提供驱动强度补偿。输入 bDQ 被进行了 NOR 和 NAND 运算，NOR 门 102 和 NAND 门 104 的输出用于激活附加的驱动晶体管 106 和 110。以此方式，根据本发明，可以增大所有位都是 1 或都是 0 的数据模式的最坏情况下的驱动强度。可以利用相同的方式计算更大数量的 DQ 数据或给强度调节增加更多不连续级。激活附加驱动晶体管 106 和 110 的时序可以选择成与设计规格相符，例如最大和/或最小电流等。

图 3 展示了能够实现上述表 1 中的选项 1、3 和 5 的电路。选项 3 利用缺省驱动强度。在 bDQs 为低时实现选项 1。NOR 门 102 的输出变高，对于其它情况下保持高的信号产生一个低脉冲 (宽度可变)。该信号激活晶体管 106 (用作表 1 中的强晶体管)，帮助晶体管 108 驱动输出 DQ (i) 为高。NAND 门 104 的输出保持高，晶体管 112 和 110 不导通。在所有 bDQs 都为高时实现选项 5。NOR 门 102 的输出保持低，晶体管 106 和 108 不导通。NAND 门 104 的输出变低，产生高脉冲 (可变宽度)。晶体管 110 (用作表 1 中的强晶体管) 和 112 导通，驱动输出 DQ (i) 为低。在所有其它组合中，晶体管 108 或 112 是有效的。

电路 122 提供图 3 所示的脉冲。参见图 4，电路 122 较好包括分成两条腿的输入 (in)。一条腿包括耦合到 NAND 门 128 的一组反相器 126。NAND 门 128 对反相器 126 的输入和输出进行 NAND 运算，产生如图 3 所示的低启动脉冲。电路 124 提供 3 所示的脉冲。参见图 5，电路 124 较好包括分成两条腿的输入 (in)。一条腿包括耦合到 NOR 门



132 的一组反相器 130。NOR 门 132 对反相器 130 的输出和输出进行 NOR 运算，产生图 3 所示的高启动脉冲。

5 上述本发明的实施例包括可以快速调节 OCD 的驱动强度的器件。驱动输出前数据已知，因此，可以有效地安装驱动器。仅仅需要附加驱动强度的 OCD 才能接收它。在一个优选实施例中，驱动强度被相对于封装寄生优化。结合修整熔丝或其它器件，本发明可以结合具体应用环境优化 DRAM。

10 以上介绍了半导体存储器的新式可调强度驱动电路器件的优选实施例（意在例示，而非限制），应注意，所属领域的技术人员在上述教导下可以做出改进和变化。因此，应理解，可对属于所附权利要求书限定的本发明范围和实质的本性地定实施例进行变化。以上根据专利法的要求对发明进行了详细和具体的介绍，所要求和需要专利保护的内容记载于所附权利要求书中。

说明书附图

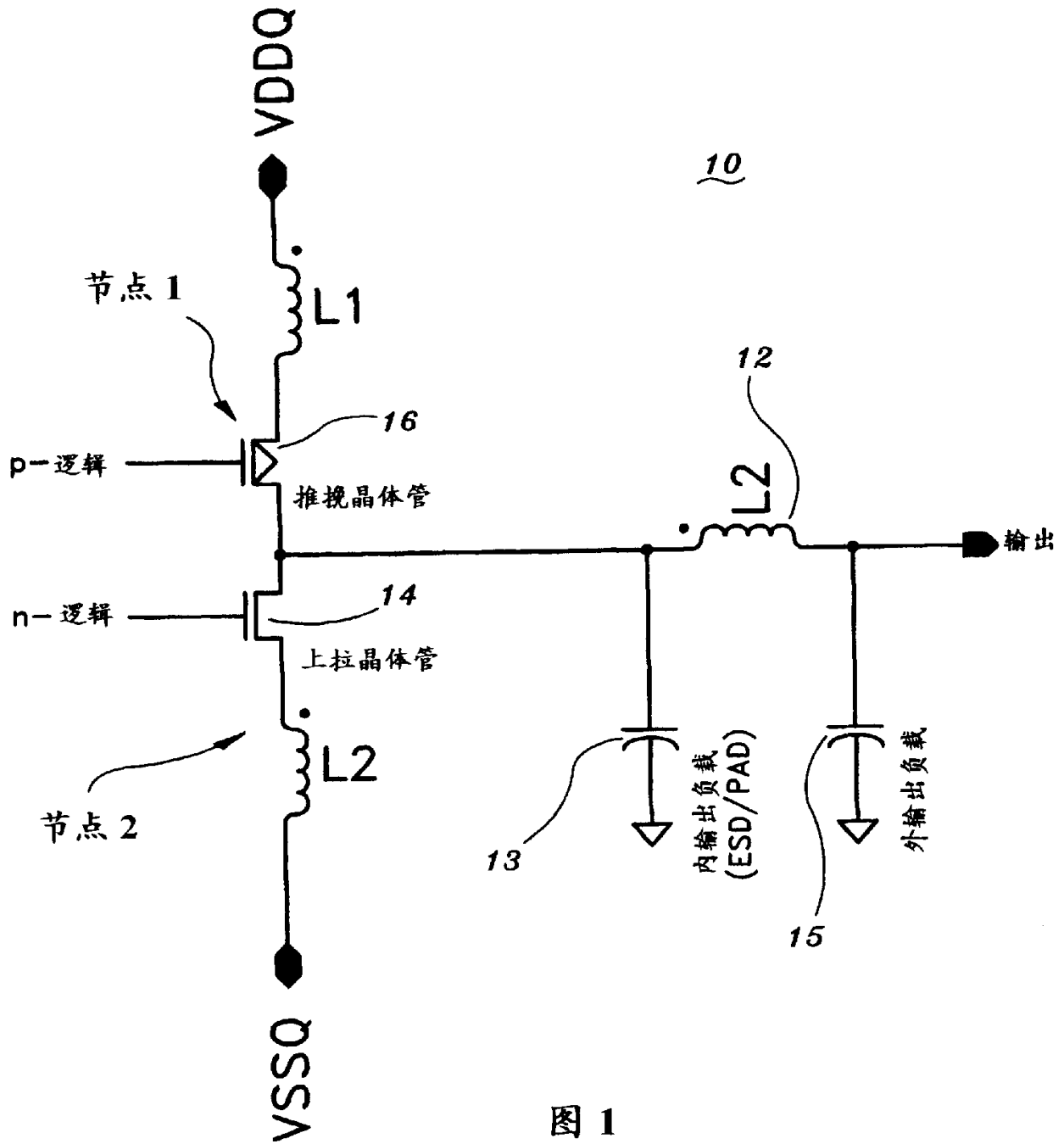


图 1  
(现有技术)

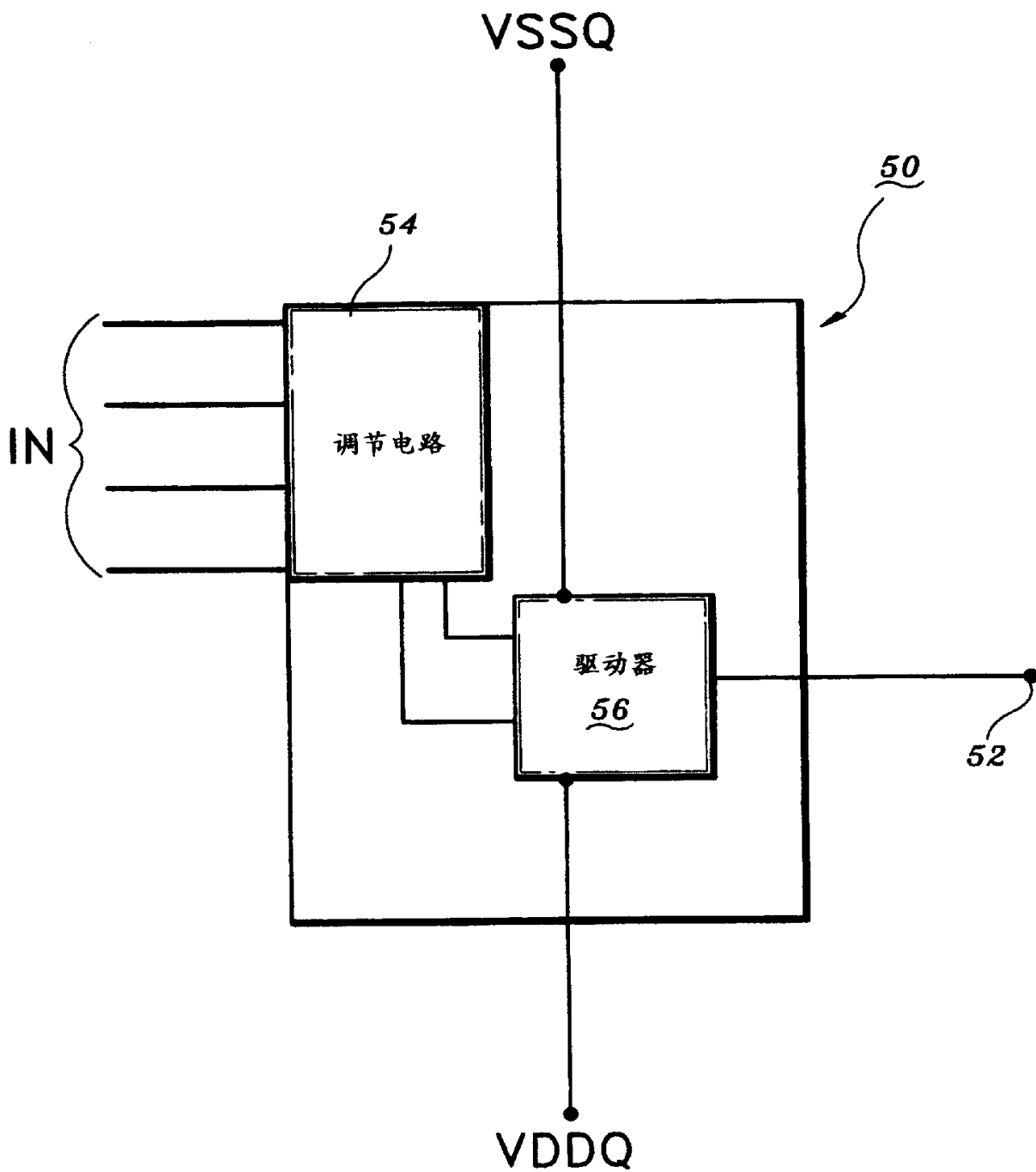


图 2

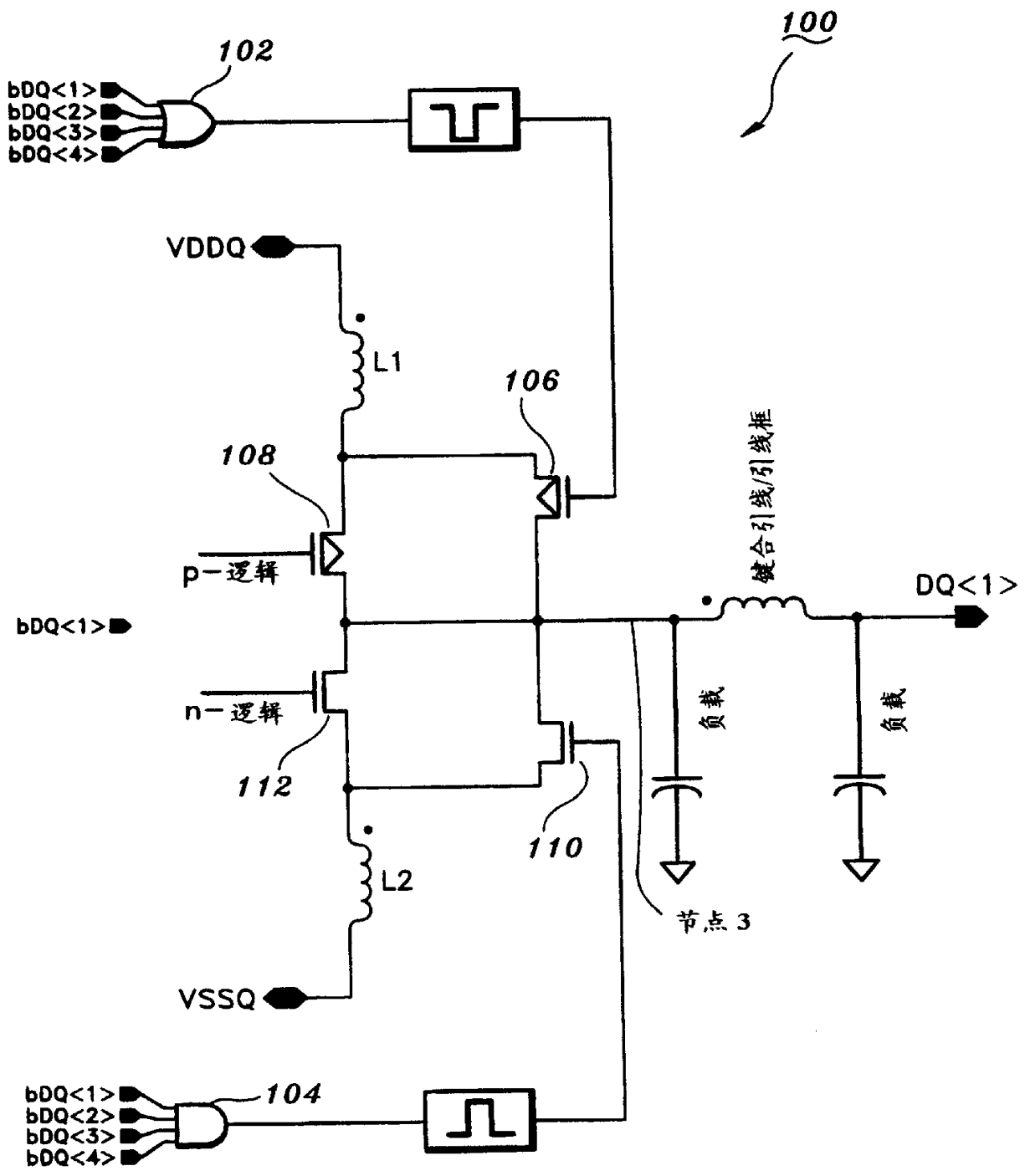


图 3

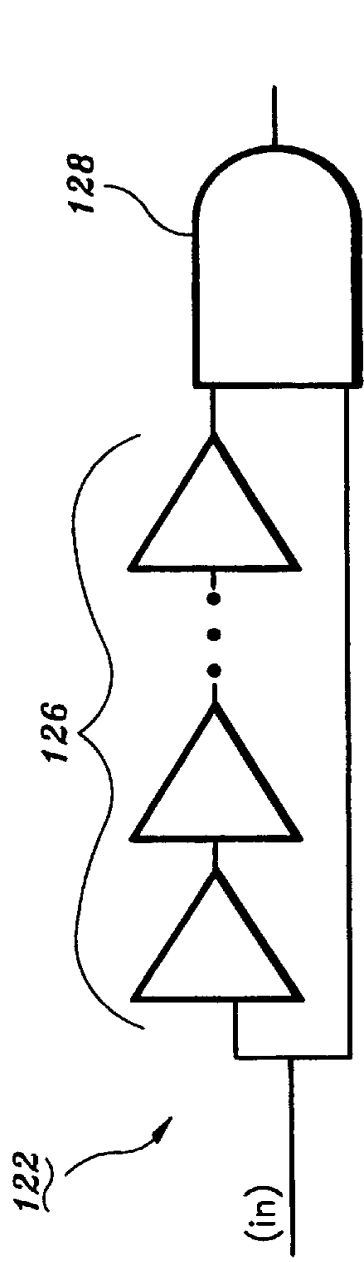


图 4

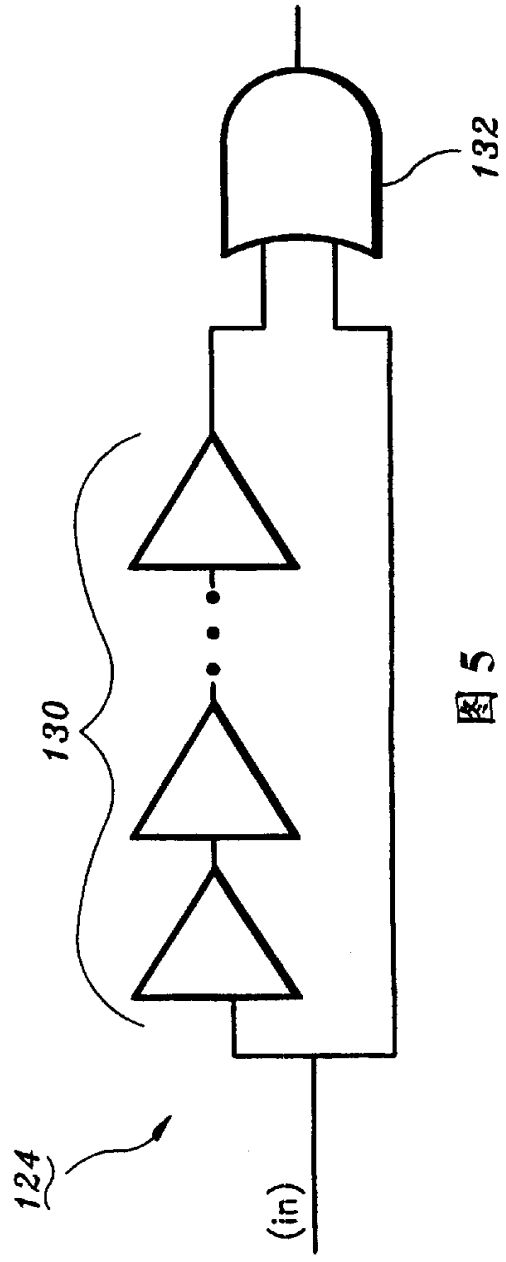


图 5