

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 5/225 (2006.01)

H04N 5/91 (2006.01)

H04N 5/917 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03158758.5

[45] 授权公告日 2006年9月27日

[11] 授权公告号 CN 1277403C

[22] 申请日 1999.7.14 [21] 申请号 03158758.5  
分案原申请号 99110464.1

[30] 优先权

[32] 1998. 7. 17 [33] JP [31] 204088/98

[32] 1998. 11. 20 [33] JP [31] 331614/98

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 竹泽正行 水谷阳一 松元秀树

中岛健 山本敏久

审查员 戴惠英

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 马莹

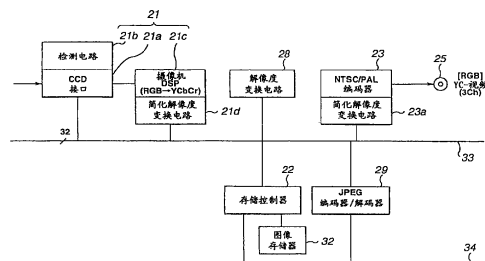
权利要求书 1 页 说明书 20 页 附图 13 页

[54] 发明名称

成像设备

[57] 摘要

在一种成像设备中，图像实时显示在寻像器上。在寻像器模式下，CCD接口(21a)使从图像生成单元(10)提供的图像数据水平分量稀化为三分之一，还实现伽马校正等以将图像数据传送到摄像机DSP(21c)。该摄像机对图像数据进行数据变换和解像度变换，变换后的Y、Cb和Cr图像数据发送到存储控制器(22)，其读出和将图像数据写入图像存储器(32)以经图像数据总线(33)发送到NTSC/PAL编码器(23)。编码器(23)变换图像数据解像度并变换图像数据为NTSC或PAL制式数据以将所得数据发送到寻像器。



1. 一种成像设备，具有响应于从目标所接收的图像光而产生图像数据的图像生成单元和将图像数据输出到显示器的输出单元，所述成像设备包括：
- 5 第一简化解像度变换器，用于降低由该图像生成单元产生的图像数据的解像度，  
图像存储器，用于存储来自第一简化解像度变换器的图像数据，  
第二简化解像度变换器，用于当图像存储器所提供的图像数据的解像度  
10 低于与该显示器的解像度标准相匹配的解像度时，提高该图像存储器所提供的图像数据的解像度，以及  
压缩单元，用于以该第一简化解像度变换器所降低的解像度来压缩图像数据。
2. 如权利要求1所述的成像设备，还包括：
- 15 显示单元，用于基于来自该输出单元的图像数据而显示图像，和  
图像数据记录单元，用于将由该压缩单元压缩的图像数据写到记录介质上。
3. 如权利要求1所述的成像设备，还包括：  
图像数据输出单元，用于将由该压缩单元压缩的图像数据输出到外部。
- 20 4. 如权利要求1所述的成像设备，还包括：  
编码器，用于对来自所述第二简化解像度变换器的图像数据进行编码。

## 成像设备

5 本专利申请是下列专利申请的分案申请:

申请号: 99110464.1

申请日: 1999年7月14日

发明名称: 成像设备和记录/再现设备

10 技术领域

本发明涉及一种成像设备,它具有在寻像器上实时显示目标的图像的功能。

## 背景技术

15 数字静止摄像机将 CCD (电耦合器件) 图像传感器获得的图像数据取至 DRAM (动态随机存取存储器) 或快速擦写存储器中,并接着传送该图像数据到所谓的个人计算机等中。至今大部分这类数字静止摄像机属于用于视频图形阵列 (VGA) 系统的类型。

例如参见图 1,这种数字静止摄像机 200 包括一用于产生图像信号的 CCD  
20 图像传感器 201,一输入处理/图像处理电路 202,一用于读写图像数据的存储控制器 203,一用于变换为预定系统的输出图像的输出处理电路 204,一寻像器 205,用于在摄像时显示目标的状态,一记录单元 207,用于经 CPU 总线 206 记录压缩的图像数据,以及一压缩/扩展电路 208,用于压缩/扩展图像数据。数字静止摄像机 200 还包括一存储器 209,其例如由一 DRAM 和一  
25 用于控制整个设备的 CPU 210 组成。

在开始对一目标摄像之前,用户必须确认显示在寻像器 205 上的目标图像。这一状态称为寻像器模式。此时,CCD 图像传感器 201 发送对来自目标的成像光进行光电变换获得的图像信号到输入处理/图像处理电路 202。输入  
30 处理/图像处理电路 202 对图像信号执行相关的双采样处理,以数字化图像信号。然后输入处理/图像处理电路 202 执行预定信号处理,如伽马校正、拐点处理或摄像机处理,并将处理后的图像信号发送到存储控制器 203,然

后存储控制器 203 响应 CPU 210 的控制将来自输入处理/图像处理电路 202 的图像数据发送到输出处理电路 204。输出处理电路 204 按照例如国家电视系统委员会 (NTSC) 制式对图像数据编码, 并模拟化编码的图像数据以将所得模拟数据发送到寻像器 205。这允许作为摄像目标的目标表示在寻像器 205 上。

另一方面, 如果用户按下快门按钮(未示出), 以转换到记录模式, 存储控制器 203 使从输入处理/图像处理电路 202 供给的图像数据写在存储器 209 中。CPU 210 使得图像数据从存储器 209 中读出, 在压缩/扩展电路 208 中压缩来自记录单元 207 的图像数据, 压缩是例如按照联合摄影专家组 (JPEG) 系统, 以将压缩的图像数据记录在记录单元 207 中。

如果用户执行预定处理以转换到再现模式, CPU 210 使图像数据从记录单元 207 中读出, 以在压缩/扩展电路 208 中将图像数据按 JPEG 系统扩展, 以经存储控制器 203 和输出处理电路 204 发送最后得到的数据到寻像器 205。这使得拍摄成 (as-shot) 的图像显示在寻像器 205 上。

为跟上 CCD 图像传感器的最近显著的科技进步, 图像数据的解像度几乎超过 1,000,000 像素。另一方面, 恐怕上述结构的数字静止摄像机不能应付超过 1,000,000 像素的图像数据。

例如, 如果 CCD 图像传感器 201 在寻像器模式下输出高解像度的图像信号, 输入处理/图像处理电路 202 必须按照寻像器 205 的解像度实时进行图像数据的解像度变换。同时, 存储控制器 203 必须访问存储器 209。输出处理电路 204 也必须执行预处理。

这一结果停滞在 CPU 总线 106 上, 这样每个电路都不能实时执行预处理, 因此以帧抽选方式将目标的图像显示在寻像器 205 上。在这种情况下, 如果目标发生了运动, 则在实际目标与显示在寻像器 205 上的目标运动之间产生偏移, 由此给摄像操作带来不便。

另一方面, 如果图像数据不具有高解像度, 考虑到寻像器 205 的制式, 图像数据的解像度必须变换为例如 NTSC 制式或 PAL 制式的解像度。在这种情况下, 类似地需要在寻像器上实时显示图像。

30 发明内容

因此, 本发明的目的是提供一种成像设备, 其中即使在一图像的图像数

据具有高解像度的情况下也能在寻像器上实时显示该图像。

5 在一个方面，本发明提供一种成像设备，它包括：图像生成单元，用于根据来自目标的成像光产生图像数据；第一简化解像度变换电路，用于通过解像度变换降低来自所述图像生成单元的图像数据的解像度；图像存储器，用于存储从所述第一简化解像度变换电路提供的图像数据；第二简化解像度变换电路，用于通过解像度变换提高在图像数据总线上从所述图像存储器提供的图像数据的解像度；以及编码器，用于编码来自所述第二简化解像度变换电路的图像数据，并输出经编码的图像数据。

10 本发明的成像设备最好还包括用于根据来自所述编码器的图像数据显示图像的寻像器。

最好是所述第一简化解像度变换电路实现解像度变换，用于减小图像数据在所述图像数据总线上占居的比例。

最好是所述第二简化解像度变换电路按照所述寻像器的显示标准实现解像度变换。

15 本发明还提供一种成像设备，包括：图像生成单元，用于根据来自目标的成像光产生图像数据；第一简化解像度变换电路，用于通过解像度变换降低来自所述图像生成单元的图像数据的解像度；图像存储器，用于存储从所述第一简化解像度变换电路提供的图像数据；解像度变换电路，用于变换从所述图像存储器提供的图像数据的解像度，并将经变换的图像数据再次存储到所述图像存储器中；第二简化解像度变换电路，用于通过解像度变换提高在图像数据总线上从所述图像存储器提供的图像数据的解像度；以及编码器，用于编码来自所述第二简化解像度变换电路或所述解像度变换电路的图像数据，并输出经编码的图像数据。

20 本发明的成像设备最好还包括用于相应于来自所述编码器的图像数据显示图像的寻像器。

最好是所述第一简化解像度变换电路进行解像度变换，以减少图像数据在所述图像数据总线上的占用比例。

最好是所述第二简化解像度变换电路和所述解像度变换电路按照所述寻像器的显示标准实现解像度变换。

30 最好是所述成像设备具有多个工作模式，且当所述成像设备处于寻像器模式时，不使用所述解像度变换电路。

本发明还提供一种成像设备，具有响应于从目标所接收的图像光而产生图像数据的成像单元和将图像数据输出到显示器的输出单元，所述成像设备包括：第一解像度变换器，用于降低由该成像单元产生的图像数据的解像度；第二解像度变换器，用于提高将经由该输出单元输出到该显示器的图像数据的解像度；以及压缩单元，用于以该第一解像度变换器所降低的解像度来压缩图像数据。

本发明的成像设备最好还包括：显示单元，用于基于来自该输出单元的图像数据而显示图像；和图像数据记录单元，用于将由该压缩单元压缩的图像数据写到记录介质上。

10 本发明的成像设备最好还包括：图像数据输出单元，用于将由该压缩单元压缩的图像数据输出到外部。

本发明还提供一种成像设备，具有响应于从目标所接收的图像光而产生图像数据的成像单元和将图像数据输出到显示器的输出单元，所述成像设备包括：第一解像度变换器，用于降低由该成像单元产生的图像数据的解像度；15 和第二解像度变换器，用于提高将经由该输出单元输出到该显示器的图像数据的解像度，其中如果解像度变换前的图像数据的解像度小于与该显示器的解像度标准相匹配的解像度，则所述第二解像度变换器执行解像度变换以增加该图像数据的解像度。

20 本发明的成像设备最好还包括：显示单元，用于基于来自该输出单元的图像数据而显示图像。

在另一方面，本发明提供一种记录/再现设备，包括：图像生成单元，用于根据目标发出的成像光产生图像数据；图像存储器，用于存储图像数据；第一简化解像度变换电路，用于实现解像度变换，以降低来自所述图像存储器的图像数据的解像度，并将经变换的图像数据再次存储到所述图像存储器25 中；解像度变换电路，用于对从所述图像存储器提供的图像数据执行进一步的解像度变换；JPEG 编码器/解码器，用于压缩所述图像存储器中经进一步变换的图像数据，并在记录介质上记录经压缩的图像数据；第二简化解像度变换电路，用于进行解像度变换，以提高在图像数据总线上从所述图像存储器提供的图像数据的解像度；以及寻像器，用于相应于来自所述第二简化解像度变换电路或所述解像度变换装置的图像数据显示图像，其中所述 JPEG30 编码器/解码器对来自记录介质、经压缩的图像数据进行解压缩，并输出经解

压缩的图像数据到所述第二简化解像度变换电路。

在本发明的记录/再现设备中，最好是所述第一简化解像度变换电路实现解像度变换，以降低图像数据在所述图像数据总线上的占用比例。

最好是所述第二简化解像度变换电路和所述解像度变换电路按照所述  
5 寻像器的显示标准进行解像度变换。

最好是所述记录/再现设备具有在所述寻像器上显示图像数据的寻像器模式，在所述记录介质上记录图像数据的记录模式和从所述记录介质再现图像数据的再现模式；其中如果所述模式是寻像器模式，则使用所述第一和第二简化解像度变换电路；以及其中如果所述模式是记录模式或再现模式，则  
10 使用所述解像度变换电路。

根据本发明的成像设备，通过执行解像度变换，第一解像度变换装置降低来自成像装置的图像数据的解像度，第二解像度变换装置提高图像数据总线上从第一解像度变换装置提供的图像数据解像度，以减小图像数据在图像数据总线上的占用比例，从而能够在显示装置上实时显示目标图像。

本发明还提供一种成像设备，具有响应于从目标所接收的图像光而产生图像数据的图像生成单元和将图像数据输出到显示器的输出单元，所述成像设备包括：第一简化解像度变换器，用于降低由该图像生成单元产生的图像数据的解像度；图像存储器，用于存储来自第一简化解像度变换器的图像数据；第二简化解像度变换器，用于当图像存储器所提供的图像数据的解像度  
15 低于与该显示器的解像度标准相匹配的解像度时，提高该图像存储器所提供的图像数据的解像度；以及压缩单元，用于以该第一简化解像度变换器所降低的解像度来压缩图像数据。  
20

#### 附图说明

25 图 1 是说明常规数字静止摄像机结构的方框图。

图 2 是表示实施本发明的数字静止摄像机的示意性结构的方框图。

图 3 是表示图 2 所示数字静止摄像机的示意性结构的方框图。

图 4 是说明图 2 所示数字静止摄像机的信号处理单元中的图像数据流的方框图。

30 图 5 是说明信号处理单元的输入处理电路中的简化解像度变换电路的结构方框图。

图 6 是表示信号处理单元的解像度变换电路的结构方框图。

图 7 是表示解像度变换电路的水平方向缓冲器、水平方向变换处理电路、垂直方向缓冲器以及垂直方向变换处理电路的具体结构的方框图。

图 8 是表示解像度变换电路的替换结构的方框图。

5 图 9 是表示解像度变换电路的垂直方向缓冲器的结构的方框图。

图 10 示出用存储控制器从图像存储器读出图像数据的技术。

图 11 示出构成图像的像素的坐标位置。

图 12 示出用存储控制器从图像存储器读出图像数据的另一技术。



图 13 是表示用行缓冲器构成的解像度变换电路的水平方向缓冲器的结构的方框图。

图 14 示出存储控制器从图像存储器读出图像数据的技术。

图 15 进表示信号处理单元的 NTSC/PAL 编码器中的简化解像度变换电路的方框图。

图 16A 到 16F 示出用于表示寻像器模式下相应电路中信号处理内容的时序图。

### 具体实施方式

10 下面参照附图详细说明本发明的优选实施例。

本发明应用于数字静止摄像机 1，其构成如图 2 所示。

数字静止摄像机 1 包括一个图像生成单元 10，用于产生图像信号，一个信号处理器 20，用于以预定方式处理图像数据，一个图像存储器 32，由一 SDRAM 构成，以及一个控制器 40，用于控制信号处理器 20。

15 图像生成单元 10 包括一固态成像装置，用于产生图像信号，如 CCD 图像传感器 11，一个采样保持模拟/数字电路(S/H-A/D 电路 12)，用于采样保持和数字化图像信号以输出图像数据，以及定时发生器 13，用于产生定时信号。该定时发生器 13 产生水平同步信号和垂直同步信号，用于根据从信号处理单元提供的同步信号控制图像生成单元 10 的相应电路。

20 CCD 图像传感器 11 产生对应于 XGA(扩展图形阵列: 1024 × 768) 像素数据的图像数据，所述像素数据由例如 800,000 个像素构成。根据来自定时发生器 13 的同步信号驱动 CCD 图像传感器 11，以便以每秒 30 帧的速率输出图像信号。同时，CCD 图像传感器 11 具有使图像信号稀化的功能，并能够使图像信号的垂直分量稀化到 1/2, 1/3, 1/4, ... 以输出最后得到的稀化的信号。

25 S/H-A/D 电路 12 还适合于根据来自定时发生器 13 的同步信号以预定采样间隔执行采样保持和 A/D 变换，以发送最后所得到的图像数据到信号处理器 20。

30 信号处理器 20 包括一个单独的 LSI(大规模集成电路)。信号处理器 20 包括一个输入信号处理器 21，用于对来自图像生成单元 10 的图像数据进行输入处理和摄像处理，一个存储控制器 22，用于控制图像存储器 32 读出/写入图像数据，一个 NTSC/PAL(逐行倒相制)编码器 23，一个 D/A 变换器 24，

用于模拟化图像数据并输出所得到的模拟信号到外部，以及一个同步信号发生器 26，用于产生同步信号并提供所得到的同步信号到定时发生器 13。

5 信号处理器 20 还包括一个存储器接口 27，作为图像存储器 32 的接口，一个解像度变换电路 28，用于变换图像数据的解像度，一个 JPEG (联合摄影专家组) 编码器/解码器 29，用于压缩/扩展图像数据，一个 JPEG 接口 30，作为 JPEG 编码器/解码器 29 的接口，以及一个主接口 31，作为与控制器 40 的 CPU 进行数据传送/接收的接口。

10 输入信号处理器 21 处理来自 S/H-A/D 电路 12 的图像数据，其进行数字箝位、黑斑校正、孔径畸变校正、伽马校正或彩色校正并发送所得到的已处理信号到存储控制器 22。输入信号处理器 21 具有处理输入数据的功能，以将输入数据变换为 Y、Cb 和 Cr。如果图像数据的解像度大于 VGA (视频图形阵列) 的解像度，输入信号处理器 21 能够执行降低解像度的处理。输入信号处理 21 还执行自聚焦和自光圈检测，以发送数据到控制器 40，以实现聚集机构和光圈机构的自动调节。输入信号处理器 21 还检测构成图像数据的三基色的信号电平，以调节自动白平衡。

存储控制器 22 还进行控制，以使得从输入信号处理器 21 或其他电路提供的图像数据经存储器接口 27 写入图像存储器 32 中，并经存储器接口 27 读出图像存储器 32 的图像数据。此时，存储控制器 22 根据存储在图像存储器 32 中的图像数据检测在 CCD 图像传感器 11 中是否存在任何不良像素。

20 存储控制器 22 发送从图像存储器 32 读出的图像数据到例如 NTSC/PAL 编码器 23。当从存储控制器 22 提供有图像数据时，NTSC/PAL 编码器 23 按照 NTSC 制式或 PAL 制式对图像数据编码以将编码的数据发送到 D/A 变换器 24。D/A 变换器 24 模拟化图像数据以经输出端 25 输出所得到的模拟信号。

25 存储控制器 22 发送从存储控制器 22 读出的图像数据到解像度变换电路 28，以对图像数据进行解像度变换，同时使解像度变换电路 28 输出的图像数据写入图像存储器 32 中。

存储控制器 22 经 JPEG 接口 30 发送图像数据到 JPEG 编码器/解码器 29，以实现静止图像的压缩，同时让由 JPEG 编码器/解码器 29 扩展的图像数据写入图像存储器 32 中。

30 图像存储器 32 不仅如上所述存储图像数据，而且存储 OSD 数据 (屏幕显示数据) 作为所谓的字符发生器数据。该 OSD 数据由位映像数据构成。控制

器 22 控制对 OSD 数据的读出/写入。用 NTSC/PAL 编码器 23 合成图像数据和 OSD 数据。

5 控制器 40 包括一 CPU(中央处理单元)41, 用于控制信号处理器 20 的相应电路, 一 DRAM(动态随机存取存储器)42, 一 ROM(只读存储器)43, 其中存储有 CPU 41 的控制程序, 一闪速存储器接口 44, 作为与存储装置 51, 例如  
10 闪速存储器交换图像数据的接口, 以及一 IrDA (Infrared Data Association—红外线数据协会)接口 45, 作为由 IrLED (Infrared Light Emitting Diode—红外线发光二极管)构成的通信电路 52 的接口。

例如, CPU 41 使 JPEG 编码器/解码器 29 压缩的图像数据通过闪速存储器/接口 44 写入存储装置 51 中, 存储装置 51 由闪速存储器构成, 同时使图像数据从存储装置 51 中读出, 以发送从 JPEG 编码器/解码器 29 读出的图像数据。CPU 41 还使从存储装置 51 读出的图像数据通过 IrDA 接口 45 和通信电路 52 作为红外光输出到外部。

图 3 示出了数字静止摄像机 1 的示意性结构。

15 输入信号信号处理器 21 经图像数据总线 33 发送来自 CCD 图像传感器 11 的图像数据到图像存储器 32。NTSC/PAL 编码器 23 以预定方式对来自图像存储器 32 的图像数据编码, 以将最后得到的编码数据发送到寻像器 36, 寻像器 36 适用于显示与 VGA 格式的图像数据相关联的图像。

存储控制器 22 在图像存储器 32 与连接到图像数据总线 33 的信号处理  
20 电路之间进行数据传送。解像度变换电路 28 对来自图像存储器 32 的图像数据进行解像度变换, 以将结果发送到图像存储器 32。JPEG 编码器/解码器 29 按照 JPEG 系统对来自图像存储器 32 的图像数据进行压缩, 以将压缩后的图像数据经 CPU 总线 34 发送到 CPU 41, 然后使压缩后的图像数据写入存储装置 51。CPU 41 还能够经 CPU 总线 34 和通信电路 52 输出压缩的图像数据到  
25 外部。

因此, 在图 3 中, 信号处理器 20 的相应电路通过图像数据总线 33 相互连接。图像数据总线 33 是一虚拟总线并表明对在相应电路之间交换图像数据的传输频带施加了一限制。

30 在信号处理器 20 中, 各个电路, 比如 NTSC/PAL 编码器 23 或解像度变换电路 28, 向存储控制器 22 发送一表示需要图像数据的请求信号。当在结束图像数据处理后输出图像数据时这些电路还传送一请求信号到存储控制

器 22。

当从相应电路收到请求信号时，存储控制器 22 选择具有高优先级顺序的那些电路，并传送一确认信号到所选电路。该确认信号表示图像数据可发送到接收信号的电路，或者表示已收到确认信号的电路输出的图像数据准备好被接收。存储控制器 22 从图像存储器 32 读出图像数据，以经图像数据总线 33 发送读出的图像数据到对应于确认信号目的地的电路。存储控制器 22 接收已发送确认信号的电路输出的图像数据，以将图像数据写入图像存储器 32。

当从相应电路收到请求信号时，存储控制器 22 能够优先选择必须实时执行该处理的电路。例如，如果将在寻像器 36 上显示目标的图像，存储控制器 22 优先选择输入信号处理器 21 和 NTSC/PAL 编码器 23。存储控制器 22 还有可能译解图像数据总线 33 上图像数据的总线占用率，以依据占用率确定相应电路的优先级顺序。

如果可在图像数据总线 33 的传输频带限制内发送图像数据到相应电路，则存储控制器 22 能够进行控制，以分时传送确认信号到相应电路，以允许相应电路执行预定处理。这使存储控制器 22 能对相应电路中的数据进行实时访问，使来自相应电路的图像数据写入图像存储器 32 中，或者使图像存储器 32 中的图像数据被读出并传送到相应电路。

当存储控制器 22 通过图像数据总线 33 访问外部电路(未示出)时，如果外部电路能够发送上述请求信号或接收所传送的确认信号，存储控制器 22 可在图像数据总线 33 的传输频带限制范围内同时和分时访问信号处理器 20 内的相应电路。亦即，如果在图像数据总线 33 的频带范围内，存储控制器 22 可同时访问信号处理器 20 中的电路或分时访问信号处理器 20 内的外部电路，而无需考虑信号处理器 20 内的电路或外部电路数。

如上所述，存储控制器 22 执行图像数据总线 33 的判优，图像存储器 32 与相应电路之间的图像数据的写入/读出控制以及向 CPU 总线 34 的数据传输。

参照图 4 说明信号处理器 20 中的具体图像数据流。

输入信号处理器 21 包括一 CCD 接口 21a，用于对来自图像发生单元 10 的图像数据进行预定信号处理，一检测电路 21b，用于处理 CCD 接口 21a，以及一摄像机数字信号处理器 21c(摄像机 DSP 21c)，用于进行图像数据的

变换处理。

CCD 接口 21a 对来自图 2 中所示 S/H-A/D 电路 12 由 R、G 和 B 构成的图像数据进行如数字箝位、白平衡调整或伽马校正一类的处理，或者在必要的情况下抽选图像数据水平方向的分量。在这类处理之后 CCD 接口 21a 发送图像数据到摄像机 DSP 21c 或经图像数据总线 33 到存储控制器 22。

根据 CCD 接口 21a 的图像数据，检测电路 21b 执行检测，以作自动聚焦、自动光圈或白平衡调节。

摄像机 DSP 21c 将来自 CCD 接口 21a 的 R、G 和 B 图像数据变换为由亮度信号 Y 和色度信号 Cb, Cr 构成的图像数据。摄像机 DSP 21c 还具有简化解像度变换电路 21d，该电路不仅执行上述处理，而且还以简化的方式变换图像数据的解像度。

如果 CCD 图像传感器 11 产生的图像数据的解像度大于例如 VGA 格式，简化解像度变换电路 21d 工作，以将图像数据解像度变换为较低值。

具体地说，简化解像度变换电路 21d 包括一 B-Y/R-Y 分离电路 61，用于分离色度信号，水平方向线性内插电路 62，用于在水平方向进行内插，一 B-Y/R-Y 合成电路 63，用于合成色度信号，一 1H 延迟电路 64，用于将各信号延迟一水平扫描期间 (1H 期间)，以及一垂直方向线性内插电路 65。

B-Y/R-Y 分离电路 61 来自摄像机 DSP 21c 的图像数据分离色度信号 B-Y 和 R-Y，作为色度信号 Cb, Cr，以将分离的色度信号发送到水平方向线性内插电路 62。水平方向线性内插电路 62 在水平方向内插亮度信号 Y 和色度信号 B-Y、R-Y，从而降低水平方向的亮度，以发送内插的亮度信号 Y 和色度信号 B-Y、R-Y 到 B-Y/R-Y 合成电路 63。

B-Y/R-Y 合成电路 63 合成色度信号 B-Y、R-Y，以将来自水平方向线性内插电路 62 的亮度信号 Y 和合成的色度信号 B-Y、R-Y 送到 1H 延迟电路 64 和垂直方向线性内插电路 65。1H 延迟电路 64 将亮度信号 Y 和色度信号延迟 1H，以将延迟的信号发送到垂直方向线性内插电路 65。垂直方向线性内插电路 65 根据来自 B-Y/R-Y 合成电路 63 的亮度信号 Y 和色度信号 B-Y、R-Y 在垂直方向进行线性内插处理，以在同时水平方向和垂直方向输出解像度降低的由亮度信号 Y' 和色度信号 (B-Y)'、(R-Y)' 构成的图像数据。

解像度变换电路 28 执行解像度变换处理，把  $[p \times q]$  图像数据变换为  $[m \times n]$  图像数据。如果 CCD 图像传感器 11 中产生的图像数据具有高解像度，

解像度变换电路 28 执行将解像度抑制为预定值的处理。然而，有可能将低解像度的图像数据处理为高解像度的数据。

参见图 6，解像度变换电路 28 包括一输入缓冲器 71，用于存储从图像数据总线 33 输入的图像数据，一水平方向缓冲器 72，用于在水平方向缓冲来自输入缓冲器 71 的图像数据，一水平方向变换处理电路 73，用于在水平方向变换来自水平方向缓冲器 72 的图像数据的解像度，一垂直方向缓冲器 74，用于在垂直方向缓冲来自水平方向变换处理电路 73 的图像数据，一垂直方向变换处理电路 75，用于在垂直方向变换图像数据的解像度，以及一输出缓冲器 76，用于在输出时进行缓冲。

当准备变换图像数据的解像度时，解像度变换电路 28 输出一读请求信号，请求存储控制器 22 从图像存储器 32 读出图像数据，同时输出一写请求信号，请求存储控制器 22 在变换处理图像数据后将图像数据写入图像存储器 32 中。解像度变换电路 28 还接收表示存储控制器 22 已响应请求信号的确认信号。

参见图 7，水平方向缓冲器 72 由第一延迟电路 81、第二延迟电路 82 和第三延迟电路 83 构成，每一延迟电路用于产生一个像素的延迟。因此，第一延迟电路 81 输出延迟了一个像素的图像数据，而第二和第三延迟电路 81、82 则输出分别延迟了两个像素和延迟了三个像素的图像数据。

参见图 7，水平方向变换处理电路 73 包括第一到第四乘法器 84、85、86、87，以及第一到第三加法器 88、89、90。一用于对数据归一化的电路有时附随在加法器 90 之后。

第一乘法器 84 把从输入缓冲器 71 提供的图像数据与一预定系数相乘，以将所得数据发送到加法器 88。第二乘法器 85 把从第一延迟电路 81 提供的图像数据与一预定系数相乘，以将所得数据发送到加法器 88。第三乘法器 86 把从第二延迟电路 82 提供的图像数据与一预定系数相乘，以将所得数据发送到加法器 89。第四乘法器 87 把从第三延迟电路 83 提供的图像数据与一预定系数相乘，以将所得数据发送到加法器 90。第一加法器 88 合成图像数据，以将所得数据发送到第二加法器 89。第二加法器 89 合成图像数据，以将所得数据发送到第三加法器 90。第三加法器 90 合成相应图像数据，以将所得数据作为变换水平方向解像度的图像数据发送到垂直方向缓冲器 74。

因此，水平方向变换处理电路 73 以预定加权因子按照预定方式对各具

有一个像素的延迟的多个图像数据加权，并合成加权的图像数据以在水平方向内插或抽选像素，从而变换水平方向的解像度。

垂直方向缓冲器 74 由串联连接的第一到第三缓冲器 91、92、93 构成，每个缓冲器用于产生一行的延迟。因此，第一缓冲存储器 91 输出延迟一行的图像数据，而第二和第三缓冲存储器 92、93 则分别输出延迟了两行和三行的图像数据。

参见图 7，垂直方向变换处理电路 75 包括第五到第八乘法器 94 到 97 和第四到第六加法器 98 到 100。垂直方向变换处理电路 75 有时包括一用于归一化数据的电路，该电路在加法器 90 的下游一侧。

第五乘法器 94 把从水平方向变换电路 73 提供的图像数据与一预定系数相乘，以将所得数据发送到第四加法器 98。第六乘法器 95 把从缓冲存储器 91 提供的图像数据与一预定系数相乘，以将所得数据提供到第四加法器 98。第七乘法器 96 把从缓冲存储器 92 提供的图像数据与一预定系数相乘，以将所得数据发送到第五加法器 99。第八乘法器 97 把从缓冲存储器 93 提供的图像数据与一预定系数相乘，以将所得数据发送到第六加法器 100。第四加法器 98 合成图像数据，以将所得数据发送到第五加法器 99。第五加法器 99 合成图像数据，以将所得数据发送到第六加法器 100。第六加法器 100 合成相应图像数据以输出所得数据，作为变换了垂直方向解像度的图像数据。

因此，垂直方向变换处理电路 75 以预定加权因子按照预定方式对各具有一行的延迟的多个图像数据加权，并合成加权的图像数据以在水平方向内插或抽选像素，从而变换垂直方向的解像度。

在图 7 中，解像度变换电路 28 首先执行水平方向的解像度变换，接着进行垂直方向的解像度变换。然而，解像度变换电路 28 也能够先执行垂直方向的解像度变换，接着进行水平方向的解像度变换。亦即，可将解像度变换电路 28 构造为将来自输入缓冲器 71 的图像数据提供到垂直方向缓冲器 74 并在垂直方向缓冲器 74、垂直方向变换处理电路 75、水平方向缓冲器 72 和水平方向变换处理电路 73 中按此次序进行处理。

在上述实施例中，垂直方向缓冲器 74 中的第一到第三缓冲存储器 91 到 93 被构造为存储一行 (1H) 图像数据。另一方面，第一到第三缓冲存储器 91 到 93 可构造为用于存储少于一行的图像数据，如图 9 所示。然后存储控制器 22 需要每 N 个像素读出存储在图像存储器 32 中的图像数据，如图 10 所

示。

具体地说，存储控制器 22 在垂直方向的行基础上每  $N$  个像素读出对应于存储在图像存储器 32 中的一观看屏的像素数据。参见图 11，每一观看屏由  $p \times q$  像素构成，左上像素的坐标为  $(1, 1)$ ，右上像素的坐标为  $(p, 1)$ ，  
5 左下像素的坐标为  $(1, q)$ ，右下像素的坐标为  $(p, q)$ 。

参见图 12，存储控制器 22 使  $N$  个像素的图像数据以列 1, 2, ...,  $q$  的顺序在水平方向在行的基础上读出。这使得存储控制器 22 读出对应于左端的  $N$  个像素，或  $N \times q$  个像素的图像数据，也就是在由  $(1, 1)$ ,  $(1, q)$ ,  $(N, q)$  和  $(N, 1)$  限定的区域中的像素数据。以下将该图像数据称之为图像数据组 (1)。

10 然后存储控制器 22 读出在由  $(N-1, 1)$ ,  $(N-1, q)$ ,  $(2N-2, q)$ ,  $(2N-2, 1)$  限定的范围中的图像数据，以下称之为图像数据组 (2)。如果存储控制器 22 读出图像数据组 (1) 和图像数据组 (2)，两次读出第  $(N-1)$  列与第  $N$  列的图像数据是相同的。

其原因是由于垂直方向变换处理电路 75 从周围像素开始内插，存储在  
15 第一到第三缓冲存储器 91 到 93 的起始端和结尾端的像素不是处理目标。例如，如果读出图像数据组 (1)，像素  $(N, 1)$  不是垂直方向内插处理目标。然而，该像素  $(N, 1)$  在读出图像数据组 (2) 时读出，并变为内插处理目标。

以类似方式，存储控制器 22 在水平方向每行读出  $N$  个像素的图像数据，从而正好前一图像数据组的最后两列的图像数据将被包括。这发送图像数据  
20 组到解像度变换电路 28。

以行为基础，向垂直方向缓冲器 74 提供图像数据，其数量对应于第一到第三缓冲器 91 到 93 的容量。因此，一行的图像数据偏移存储在第一到第三缓冲存储器 91 到 93 的每一个中。垂直方向变换处理电路 75 能够根据来自垂直方向缓冲器 74 的第一到第三缓冲器 91 到 93 的图像数据在垂直方向  
25 执行解像度变换处理。

采用存储控制器 22，通过读出符合该缓冲存储器容量的量，存储控制器 22 可使解像度变换电路 28 执行垂直方向解像度变换，即使垂直方向解像度变换所需的缓冲存储器容量未达到一行。

虽然图像数据组之间的读出叠加是两列，叠加超过两列或无叠加也是可能  
30 的。注意本发明在不对解像度变换加以限制的情况下可应用于图像信号处理，比如摄像机信号处理。



尽管上述描述是针对缓冲存储器用于垂直方向内插的实施例，本发明也可应用于缓冲存储器用于水平方向内插的实施例。

亦即，解像度变换电路 28 可利用一水平方向缓冲器 72 进行水平方向解像度变换，水平方向缓冲器 72 由一个具有 N 个像素的容量的缓冲存储器 72a' 构成，如图 13 所示。存储控制器 22 可以列为基础在垂直方向按便 1, 1, ..., p 的顺序读出 N 个像素的图像数据，如图 14 所示。同时，存储控制器 22 需要两次读出存储在缓冲存储器的起始端和结尾端的图像数据，如同上述垂直内插处理，所以这些图像数据将是水平内插处理的目标。

因此，存储控制器 22 能够从图像存储器 32 读出图像数据，从而各将对具有 N 个像素的容量的第一到第三缓冲存储器 92 到 93 实现水平和垂直方向的解像度变换处理。这使得水平方向缓冲器 72 和垂直方向缓冲器 74 的电路规模减小，从而降低生产成本。

执行上述编码的 NTSC/PAL 编码器 23 也具有简化的解像度变换电路 23a，用于在必要时在编码之前增加图像数据的解像度。

如果图像存储器 32 中的图像数据低于显示所需的解像度，简化解像度变换电路 23a 执行与寻像器 36 的显示标准相符的解像度变换。

参见图 15，简化解像度变换电路 23a 包括一个行存储器 101，用于存储来自图像数据总线 33 的图像数据，一个垂直方向线性内插电路 (V-方向线性内插电路 102)，用于在垂直方向内插图像数据，以及一个水平方向内插电路 103。

行存储器 101 按对应于一行的量存储来自输入端 *in* 的图像数据，以按存储时的次序将图像数据发送到 V-方向线性内插电路 102。V-方向线性内插电路 102 以预定加权因子对来自输入端 *in* 和来自行存储器 101 的图像数据加权，以执行垂直方向的线性内插。水平方向内插电路 103 用一个七阶滤波器内插 *Y*，同时用一个三阶滤波器内插 *Cb* 和 *Cr*。这仅仅是将解像度提高一个因数 2 的内插。水平方向内插电路 103 在输出端 *out* 输出图像数据。

例如，如果将来自输入端 *in* 的图像数据表示为 *a*，来自行存储器 101 的图像数据表示为 *b*，加权系数为 *g*，其中  $0 \leq g \leq 1$ ，V-方向线性内插电路 102 输出的图像数据为 *c*，则 V-方向线性内插电路 102 执行下列处理：

$c = g * a + (1 - g) * b$ 。

如前所述，输出端 *out* 输出的图像数据用 NTSC/PAL 编码器 23 编码。

在该信号处理系统中，数字静止摄像机 1 由所谓的双芯片、即一信号处理器 20 和一 CPU 41 构成。因此，各个信号处理电路均为芯片结构，从而可使芯片表面区域和功耗比各个信号处理电路为分离芯片结构时更小。

此外，由于信号处理器 20 不是包括 CPU 的芯片结构，即使与 CPU 41 相关的应用改变时也能够适当地完成信号处理。亦即，如果信号处理器 20 为包括 CPU 的芯片结构，则在 CPU 的应用改变的情况下不可能重新构成该芯片。然而，信号处理器 20 可在应用的基础上利用最佳结构的 CPU 执行预定信号处理。

上述结构的数字静止摄像机具有一在摄像前确认目标的状态或位置的寻像器模式，一对所确认的目标摄像的记录模式，以及一确认目标图像的拍摄状态的再现模式，并根据流行模式完成该处理。

在寻像器模式下，用户必须在按快门按钮(未示出)之前观察在寻像器 36 上指示的目标的状态，以拍摄目标。在该寻像器模式下，以下述方式控制存储控制器 22 以及其他电路。为表示各种模式，主要参见图 4，有时参见图 15 16。

在寻像器模式下，CCD 图像传感器 11 产生从垂直分量减少为三分之一的图像信号，并经 S/H-A/D 电路 12 提供数字化图像数据到 CCD 接口 21a。

CCD 接口 21a 与图 16A 所示时钟同步地执行信号处理。具体地说，CCD 接口 21a 将图像生成单元 10 提供的图像数据的水平分量抽选为三分之一，并对抽选后的图像数据进行伽马校正，以将伽马校正的数据发送到摄像机 DSP 21c。CCD 接口 21a 提供从 1/3 抽选处理变换为  $340 \times 256$  的图像数据给摄像机 DSP 21c。

摄像机 DSP 21c 执行数据变换处理，把抽选的图像数据变换为 YCrCb 图像数据。摄像机 DSP 21c 在简化解像度变换电路 21d 中变换图像数据解像度 (340 × 256 → 320 × 240)，以降低图像数据解像度，从而经图像数据总线 33 发送变换的图像数据到存储控制器 22。

注意简化解像度变换电路 21d 以简化方式将解像度降低到后续处理所需的程度。以这种方式，如果 CCD 图像传感器 11 产生的图像数据具有高解像度，则可减小 CCD 图像传感器 11 产生的图像数据的传输范围，以避免停滞在图像数据总线 33 上，从而保持寻像器模式的实时特性。

存储控制器 22 将图像数据写入图像存储器 32 中，同时从图像存储器

32 读出图像数据，如图 16D 所示，以经图像数据总线 33 将读出的图像数据发送到 NTSC/PAL 编码器 23。同时，存储控制器 22 读出存储在图像存储器 32 中的 OSD 数据，如图 16E 所示，以发送存储在图像存储器 32 中的 OSD 数据，如图 16E 所示。图 16F 示出在图像数据总线 33 上的传输状态，图像数据总线 33 允许上述实时处理。

NTSC/PAL 编码器 23 分别在 NTSC 制式或 PAL 制式的情况下执行解像度变换  $320 \times 240 \rightarrow 640 \times 240$  或  $320 \times 240 \rightarrow 640 \times 288$ ，以将变换的图像数据发送到 NTSC/PAL 编码器 23。NTSC/PAL 编码器 23 还将图像数据变换为 NTSC 制式或 PAL 制式的数据以及变换为发送到图 3 所示寻像器 36 的 OSD 数据。这允许目标的图像和字幕信息等实时显示在寻像器 36 上。

同时，NTSC/PAL 编码器 23 变换解像度，使具有低解像度的数据增加解像度，这样，如果提供  $320 \times 200$  的图像数据，其在 NTSC 制式和 PAL 制式下分别变换为  $640 \times 240$  的图像数据和  $640 \times 288$  的图像数据。

在数字静止摄像机 1 中，CCD 图像传感器 11 产生的图像数据的解像度在寻像器模式下以简化的方式降低，以减少数据量，从而图像数据将在图像数据总线 33 的带宽限制内，解像度在输出级将以图 16F 所示时序增加到显示所需的程度。

因此，用数字静止摄像机 1 将图像数据保持在图像数据总线 33 的带宽限制内，以允许目标的图像显示在寻像器 36 上，即使图像数据具有高解像度，而不需进行耗时的抽选处理。

如果在 CPU 41 中预先设定优先处理的电路，即 CCD 接口 21a、摄像机 DSP 21c 或 NTSC/PAL 编码器 23，并且在上述电路中的其他电路中分时地执行信号处理，则可根据图像数据的数据量优先地执行具有高优先级的各个电路的处理。

在简化解像度变换电路 21d 中的图像数据的数据量大时，在 CPU 41 的控制下，可以以高处理速度进行数据处理，以给予实时处理优先权，即使画面质量有某种程度的下降。以这种方式，即使在图像生成单元 10 产生的图像数据的数据量大的情况下，在寻像器模式下也可实现高速处理。

在具有电子变焦功能的数字静止摄像机 1 的情况下，CPU 41 可以以下列方式控制各个电路。

存储控制器 22 让经 CCD 接口 21a 和摄像机 DSP 21c 提供的图像数据写

入图像存储器 32 中，同时让图像数据从图像存储器 32 读出，并发送到解像度变换电路 28。解像度变换电路 28 借助电子变焦功能形成从部分输入图像放大的图像数据，以将最后得到的图像数据输出到图像存储器 32。该图像数据从图像存储器 32 读出并经 NTSC/PAL 编码器 23 输出到寻像器 36。这产生  
5 电子变焦的图像数据。

由于寻像器模式给予实时特性最高的优先级，各个电路不执行耗时的处理。然而，可将 CPU 41 构造为当在图像数据总线 33 的传输区域允许的范围  
10 内时使存储控制器 22 和其他电路执行各种处理操作。

例如，可将存储控制器 22 构造为从图像存储器 32 读出图像数据，图像  
10 存储器 32 中存储从 CCD 接口 21a 提供的图像数据，并将读出的图像数据在图像数据总线 33 上提供到 NTSC/PAL 编码器 23 和 JPEG 编码器/解码器 29。寻像器 36 实时显示目标的图像，同时 JPEG 编码器/解码器 29 按照 JPEG 系统压缩图像数据。

JPEG 编码器/解码器 29 压缩/扩展静止图像，同时它不能实时处理高像  
15 素图像。因此 JPEG 编码器/解码器 29 能够通过压缩从图像数据总线 33 提供的图像数据抽选预定帧数(帧或场的数目)或通过压缩切取部分图像，以降低解像度。这允许连续地拍摄帧抽选的静止图像或连续拍摄低解像度的图像。

用户观察以上述寻像器模式显示在寻像器 36 上的目标的状态。如果决定拍摄该目标，用户按下快门按钮(未示出)。

20 如果按下快门按钮，数字静止摄像机 1 进入记录模式。在记录模式下，CPU 41 以下述方式控制存储控制器 22 或各个电路，以在记录装置 51 上记录被拍摄目标的图像。

CCD 图像传感器 11 与按下快门按钮同步地停止抽选操作，以产生 XGA  
25 格式的图像信号，从而经 S/H-A/D 电路 12 将数字化的图像数据发送到 CCD 接口 21a。

CCD 接口 21a 不把从 S/H-A/D 电路 12 提供的图像数据发送到摄像机 DSP  
21c，而是将它经图像数据总线 33 提供到存储器控制器 22。存储控制器 22 首先将图像数据写在图像存储器 32 中，随后读出图像数据，以经图像数据总线 33 将读出的图像数据发送到摄像机 DSP 21c。摄像机 DSP 21c 将由 RGB  
30 构成的图像数据变换为由 Y, Cb 和 Cr 构成的图像数据。

摄像机 DSP 21c 提供有曾经在图像存储器 32 中写入图像数据。亦即，

摄像机 DSP 21c 对来自图像存储器 32 的图像数据进行数据变换，而不是对直接从 CCD 接口 21a 提供的图像数据进行数据变换。因此，摄像机 DSP 21c 不必要进行高速数据变换，但是它仅在图像数据总线 33 不忙时如果摄像机 DSP 21c 执行这种处理时是足够的。换言之，摄像机 DSP 21c 不必要实时执行该处理，从而可以用给予高画面质量高处理速度的优先级执行数据变换处理，并可经图像数据总线 33 将最后得到的变换后图像数据发送到存储控制器 22。存储控制器 22 使图像数据写入图像存储器 32 中。

存储控制器 22 使图像数据从图像存储器 32 中读出，以将读出的图像数据发送到 JPEG 编码器/解码器 29。JPEG 编码器/解码器 29 按照 JPEG 系统压缩图像数据，以将压缩的图像数据写入图 3 所示的记录装置 51 中。

如果在记录期间不需要实时处理，CPU 41 允许在暂时将图像数据写入图像存储器 32 之后执行预定处理，以利用图像数据总线 33 的传输频带处理高像素图像。

在记录模式下 CPU 41 直接将 XGA 格式的图像数据记录在记录装置 51 中。然而，解像度变换电路 28 能够在将图像数据记录到记录装置 51 上之前变换图像数据的解像度。具体地说，解像度变换电路 28 按照 VGA (1024 × 768 → 640 × 480) 变换经存储控制器 22 从图像存储器 32 读出的图像数据，以允许 JPEG 编码器/解码器 29 压缩图像数据，将压缩的数据记录在记录装置 51 中。

如果希望在摄像后确认拍摄成的图像，操作者按下重放按钮(未示出)，以再现拍摄成的图像。

如果按下再现按钮，数字静止摄像机 1 转移至再现模式。在再现模式下，CPU 41 以下述方式控制各个电路，以读出目标的图像数据。

亦即，在检测对再现按钮的按下时，CPU 41 从记录装置 51 读出图像数据并在将数据经 CPU 总线 34 发送到 JPEG 编码器/解码器 29 之前在 DRAM 42 中暂时存储所读出的图像数据。JPEG 编码器/解码器 29 按照 JPEG 系统扩展从记录装置 51 读出的图像数据，以产生 XGA 格式的图像数据，从而经图像数据总线 33 将最后得到的图像数据发送到存储控制器 22。

存储控制器 22 把图像数据写入图像存储器 32 中并从图像存储器 32 读出图像数据，以经图像数据总线 33 将读出的图像数据传送到解像度变换电路 28。

解像度变换电路 28 完成解像度变换，使图像数据符合 VGA 格式(NTSC

制式下的  $1024 \times 768 \rightarrow 640 \times 480$  和 PAL 制式下的  $1024 \times 768 \rightarrow 640 \times 576$ ) 以将变换后的图像数据经图像数据总线 33 发送到存储控制器 22。然后从图像存储器 32 读出图像数据并经 NTSC/PAL 编码器 23 发送到寻像器 36。这显示与在寻像器 36 的记录装置 51 中记录的图像数据对应的图像。

- 5 亦即，由于记录在记录装置 51 中的图像数据具有高解像度，CPU 41 首先降低解像度，之后发送图像数据到寻像器 36。

CPU 41 还有可能为寻像器模式、记录模式及再现模式中的每一模式设定要优先处理的电路的优先级顺序，并在转换为这些模式之一时让相关电路按照优先级顺序执行处理。这使得能够依据每一模式下的处理内容有效地执行图像数据的信号处理。

10

在上述实施例中，假定正在处理的数据是与 XGA 等效的图像数据。应注意本发明不限于该实施例而是可应用于例如由一兆或更多像素组成的图像数据的处理。

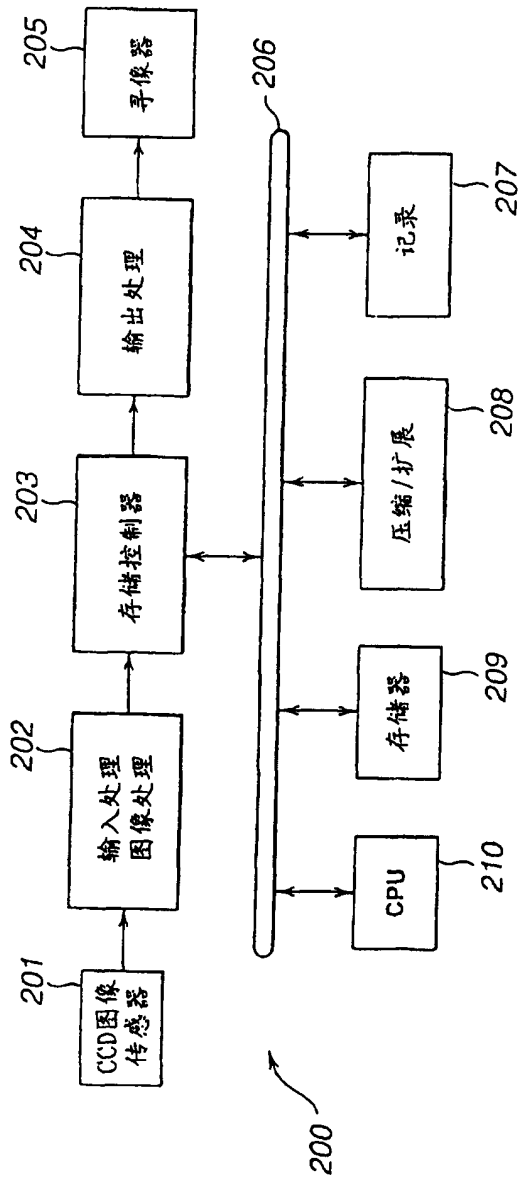


图 1

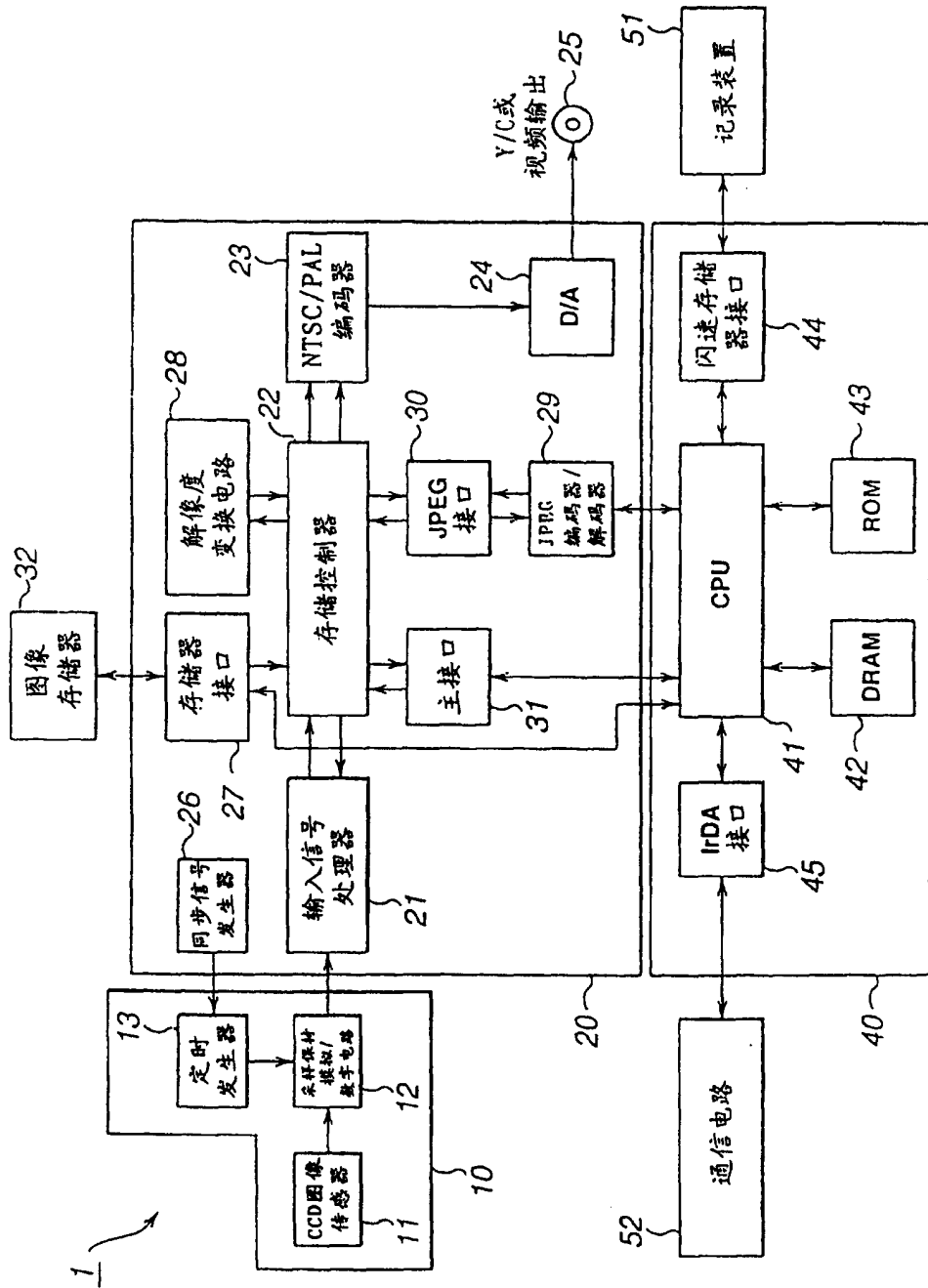


图 2



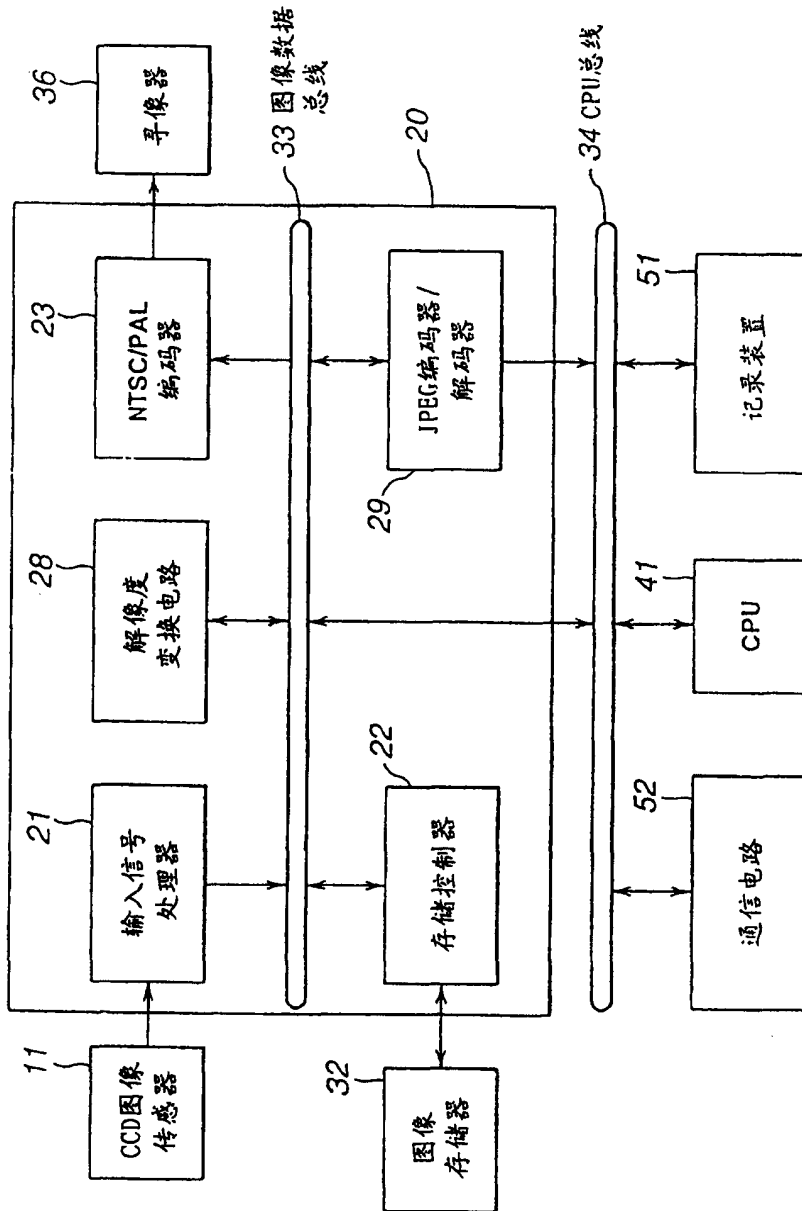


图 3

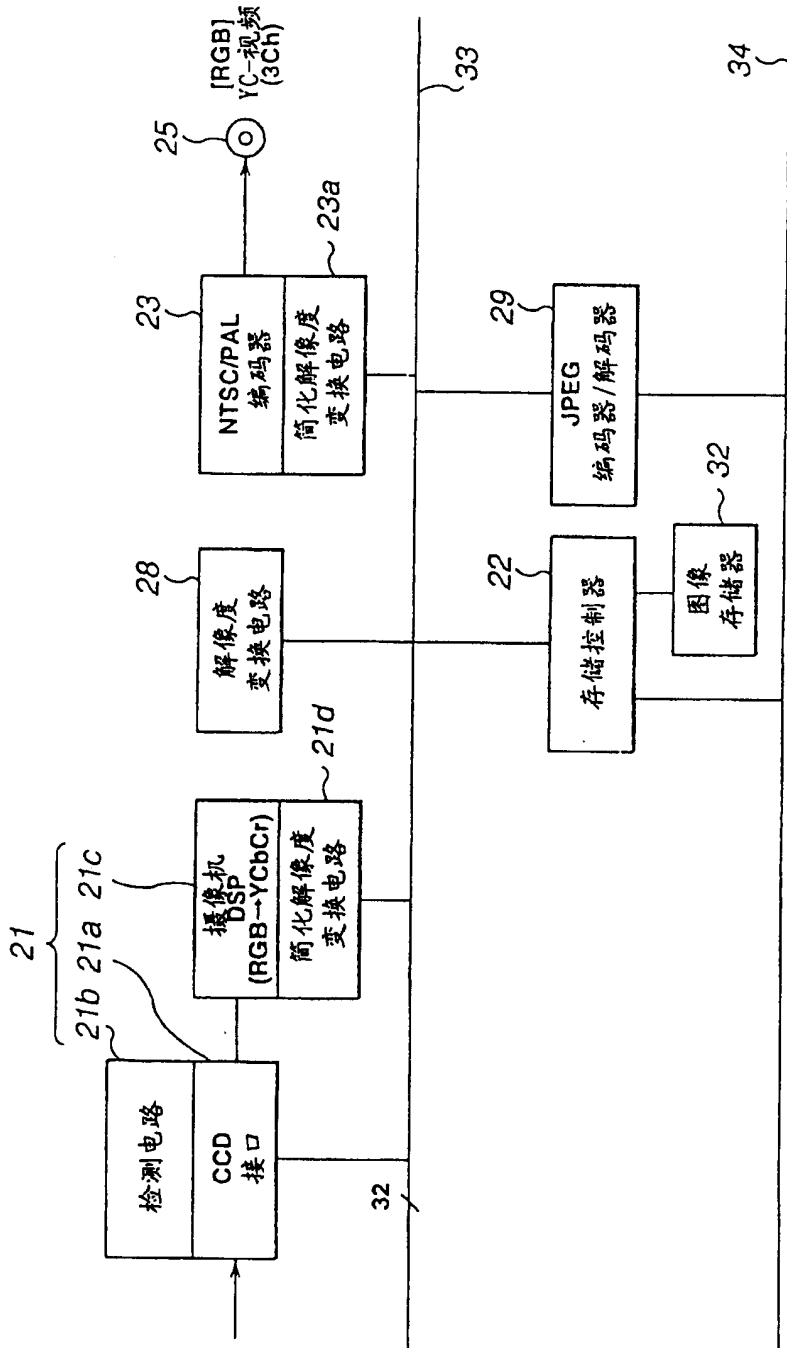


图 4

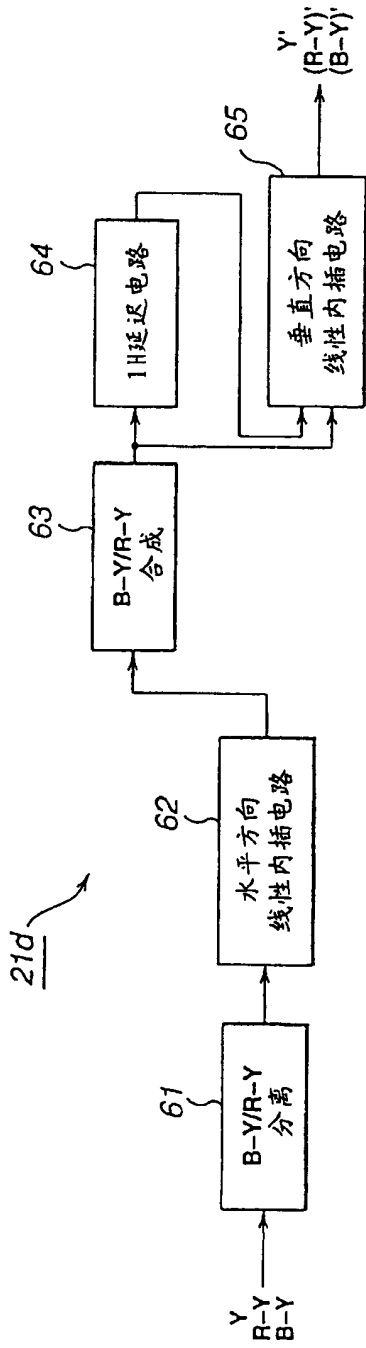


图 5

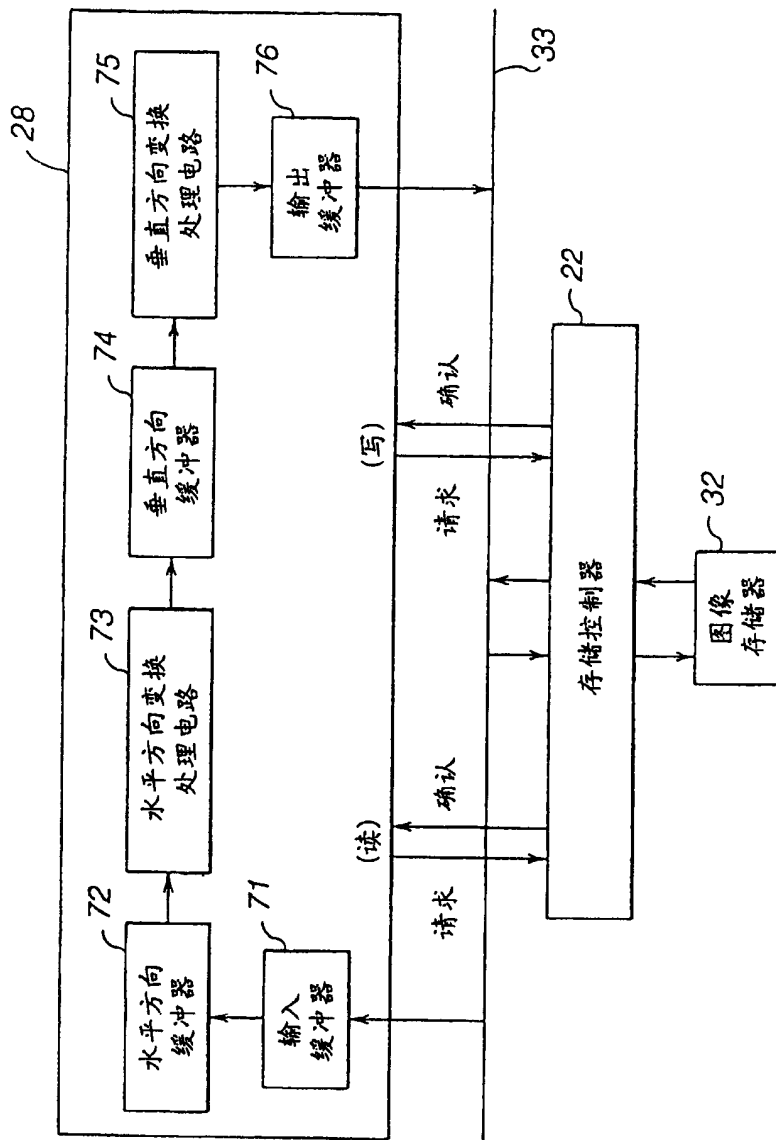


图 6

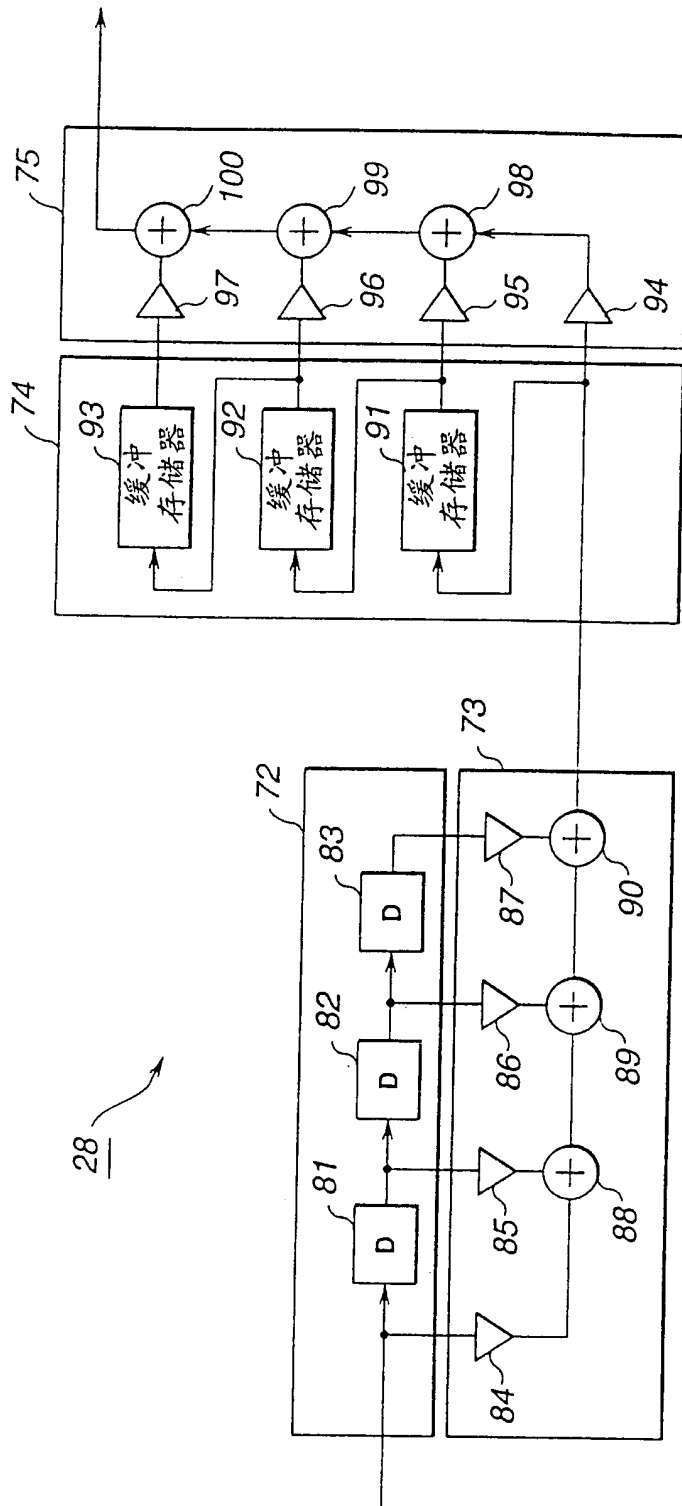


图 7

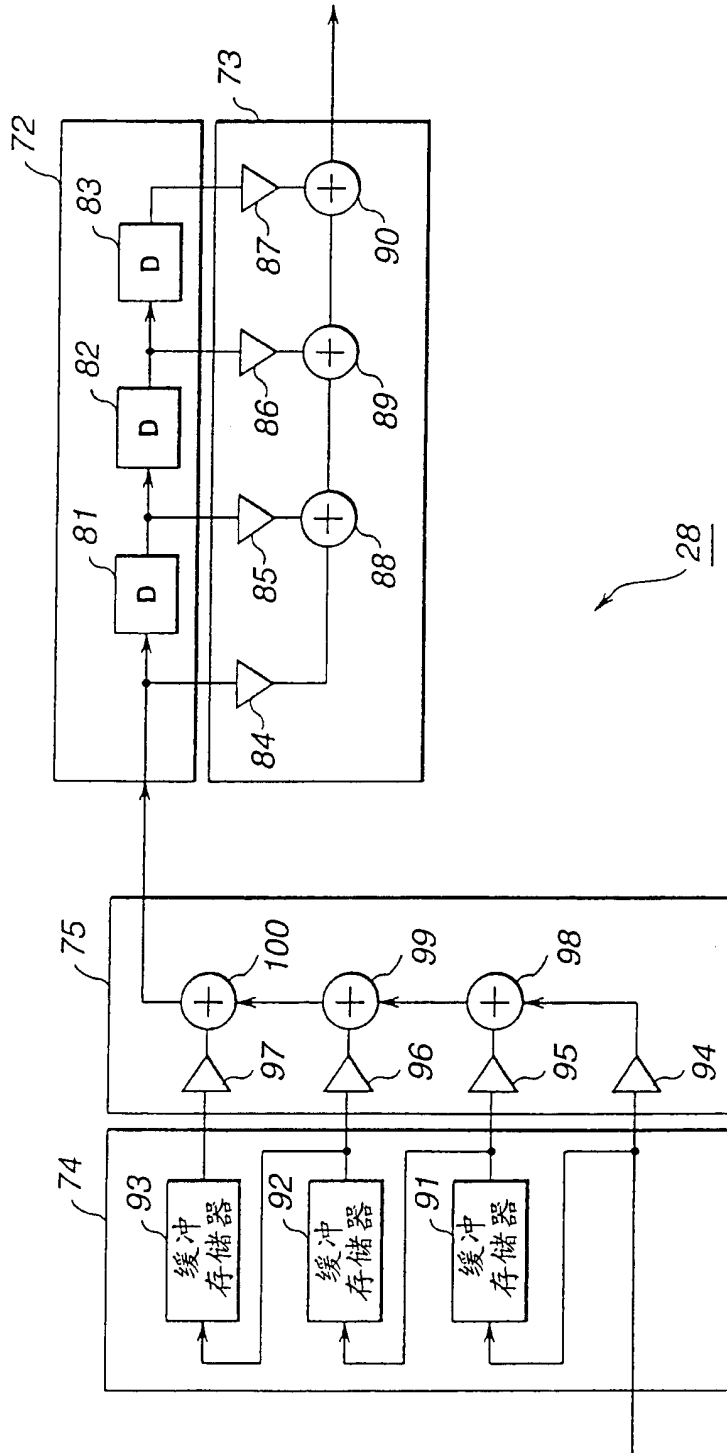


图 8

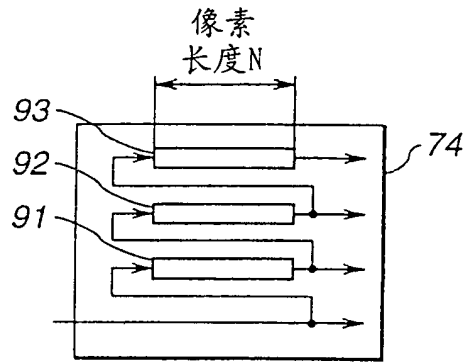


图 9

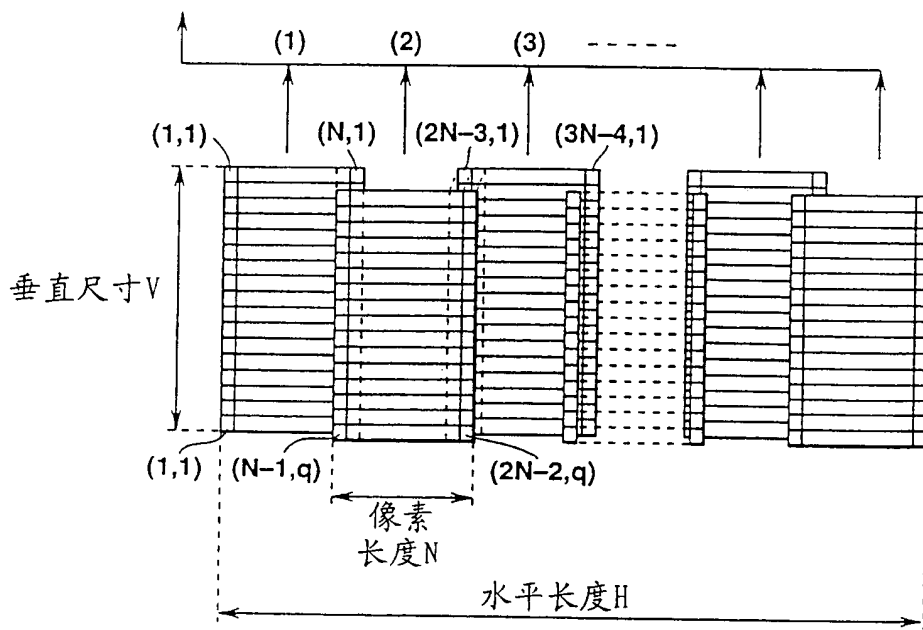


图 10

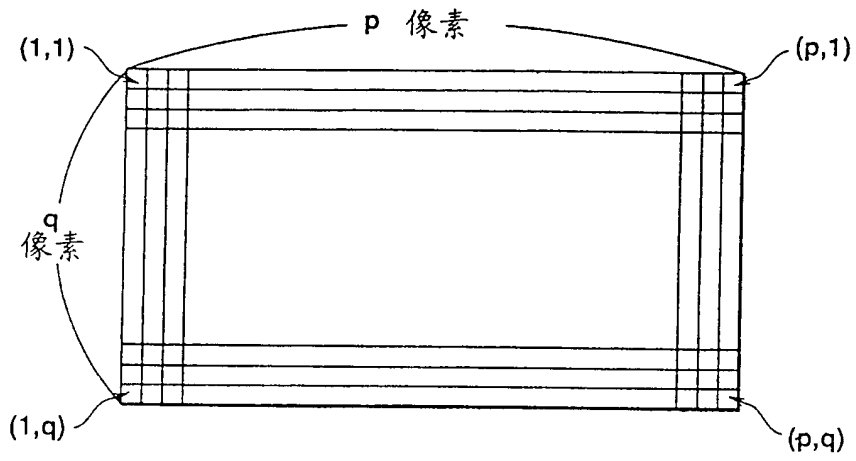


图 11

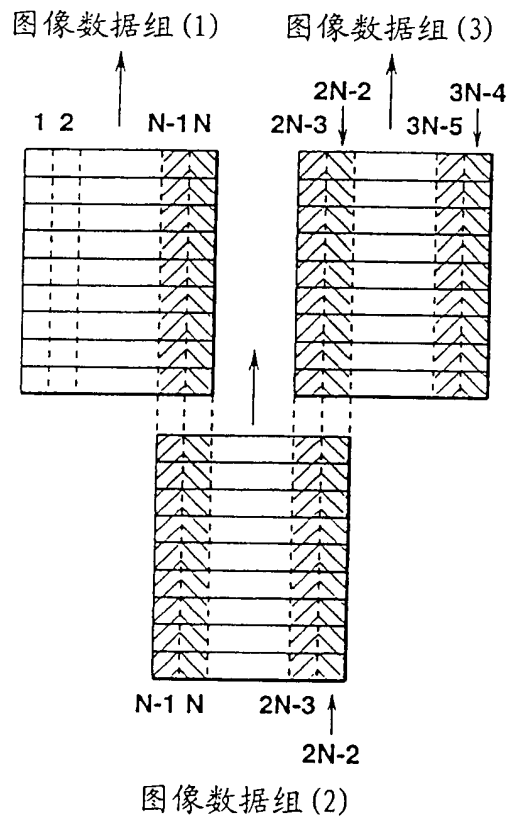


图 12



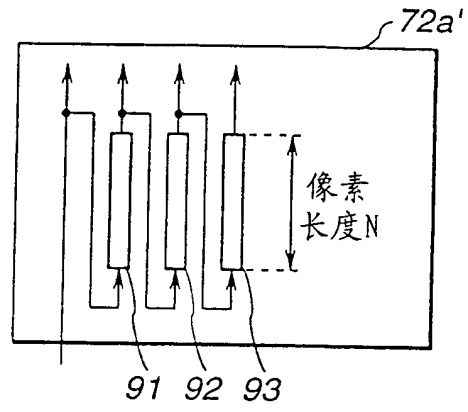


图 13

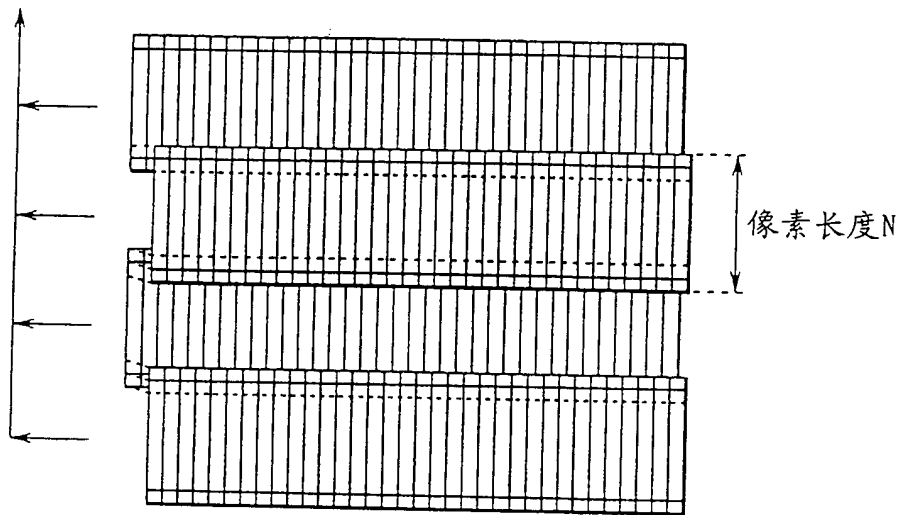


图 14

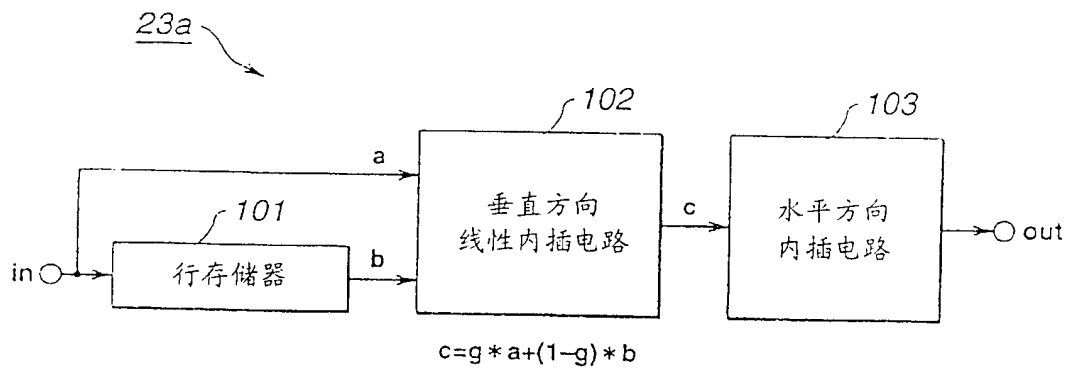


图 15

