

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 9 月 27 日 (27.09.2018)



(10) 国际公布号
WO 2018/170681 A1

(51) 国际专利分类号:
H03K 9/08 (2006.01) **G06F 13/42** (2006.01)
G06F 13/40 (2006.01)

国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。辛卫华(XIN, Weihua); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(21) 国际申请号: PCT/CN2017/077313

(22) 国际申请日: 2017 年 3 月 20 日 (20.03.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(72) 发明人: 李智(LI, Zhi); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。赵建中(ZHAO, Jianzhong); 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。周玉梅(ZHOU, Yumei); 中

(74) 代理人: 中科专利商标代理有限公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: SERIAL PWM SIGNAL DECODING CIRCUIT AND METHOD BASED ON CAPACITANCE CHARGE-DISCHARGE STRUCTURE

(54) 发明名称: 基于电容充放电结构的串行PWM信号解码电路及方法

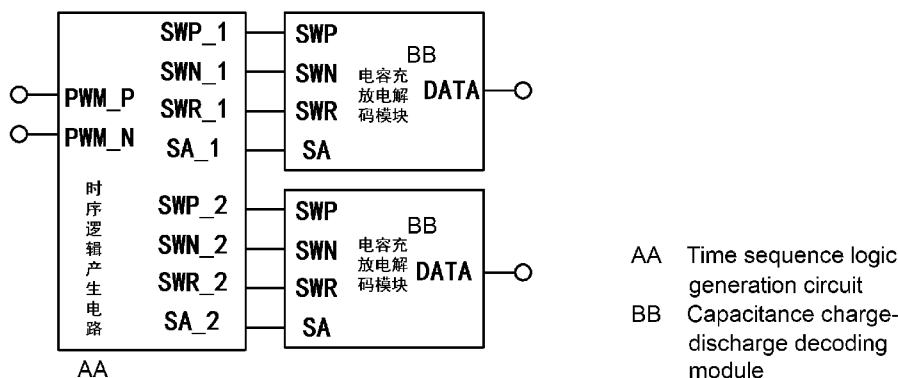


图 1

(57) Abstract: The present invention provides a serial PWM signal decoding circuit based on a capacitance charge-discharge structure, comprising: a time sequence logic generation circuit having an input end for receiving a PWM differential signal, wherein the time sequence logic generation circuit generates a time sequence logic signal; at least two capacitance charge-discharge decoding modules having input ends respectively connected to output ends of the time sequence logic generation circuit, wherein the capacitance charge-discharge decoding modules perform charging and discharging according to the time sequence logic signal. During a decoding process, voltages of charge-discharge capacitances of the capacitance charge-discharge decoding modules before charging and discharging are a common mode voltage VCM, and a voltage of a charge-discharge node after charging and discharging is Vc. Decoding is performed by determining the voltage difference polarity of the VCM and the Vc and identifying a PWM signal. The present invention further provides a serial PWM signal decoding method based on a capacitance charge-discharge structure. The structure disclosed in the present invention is simple and does not need

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

to synchronize code streams, thus avoiding the use of a complicated CDR and an oversampling structure, realizing the decoding of PWM signals under different rates, increasing the efficiency of signal transmission and lowering power consumption.

(57) 摘要: 本发明提供了一种基于电容充放电结构的串行PWM信号解码电路, 包括: 时序逻辑产生电路, 输入端接收PWM差分信号, 并产生时序逻辑信号; 至少两个电容充放电解码模块, 输入端分别与时序逻辑产生电路的输出端连接, 根据时序逻辑信号进行充放电; 解码过程中电容充放电解码模块的充放电电容在充放电之前的电压为共模电压VCM, 在充放电结束后充放电节点的电压为VC, 通过判断二者的电压差极性识别PWM信号从而解码。本发明还提供了一种基于电容充放电结构的串行PWM信号解码方法。本发明结构简单, 无需同步码流, 避免了复杂的CDR及过采样结构的使用, 实现了不同速率下的PWM信号解码, 提高了信号传输效率降低了功耗。

基于电容充放电结构的串行 PWM 信号解码电路及方法

技术领域

本发明涉及 M-PHY 接口相关的集成电路设计领域，尤其涉及一种基于电容充放电结构的串行 PWM 信号解码电路及方法。

背景技术

在串行接口领域中，常采用 PWM 信号用于低速模式下的数据传输，如 mipi M_PHY，该信号的特点是一个 UI 中低电平时间占 1/3，高电平占 2/3 代表数据 1、低电平时间占 2/3，高电平占 1/3 代表数据 0。其传输数据率变化范围从几兆赫兹到几百兆赫兹，以适应不同数据传输量下节约功耗的需求，同时在低速模式下存在不发送同步码的情况。

目前已有的方案采用过采样，或者基于 CDR 结构实现串行 PWM 信号的解码，但都存在电路结构复杂，浪费冗余功耗，无法覆盖大数据率变化范围，甚至必须配合同步码才能实现解码的情况，因此，亟需一种结构简单，功耗较低，适应不同工作速率，同时无须同步数据码即能实现接收的 PWM 信号接收电路。

发明内容

（一）要解决的技术问题

针对上述问题，本发明提供了一种基于电容充放电结构的串行 PWM 信号解码电路及方法。本发明结构简单，避免了复杂的 CDR，过采样结构的使用，另外采用容值可编程充放电电容以及电流值可编程电流源实现了不同速率下的 PWM 信号解码，同时无须同步码即可实现串行 PWM 信号的解码，提高了信号传输效率，节约了功耗。

（二）技术方案

根据本发明的一个方面，本发明公开了一种基于电容充放电结构的串行 PWM 信号解码电路，包括：时序逻辑产生电路，其输入端接收 PWM 差分信号，并根据输入的 PWM 差分信号产生时序逻辑信号；至少两个电容充放电解码模块，其输入端分别与所述时序逻辑产生电路的输出端连接，接收该时序逻辑产生电路发送的时序逻辑信号，并根据该时序逻辑信号进行充放电；其中，解码过程中所述电容充放电解码模块的充放电电容在充

放电之前的电压为共模电压 V_{CM} ，在充放电结束后充放电节点的电压为 V_C ，通过判断二者的电压差极性识别 PWM 信号从而解码。

优选的，所述时序逻辑产生电路，包括：输入端口 PWM_P、PWM_N，用于接收输入的低压差分 PWM 信号；至少两组时序逻辑输出端口，分别与所述至少两个电容充放电解码模块的输入端口连接，其中，第一组时序逻辑输出端口的输出信号为 SWP1、SWN1、SWR1 及 SA1，分别用于控制第一电容充放电解码模块的充电开关 SWP、放电开关 SWN、复位开关 SWR 以及 SA 端口；第二组时序逻辑输出端口的输出信号为 SWP2、SWN2、SWR2 及 SA2，分别用于控制第二电容充放电解码模块的充电开关 SWP、放电开关 SWN、复位开关 SWR 以及 SA 端口。

优选的，所述电容充放电解码模块，包括：充放电电容 C_0 ，其充放电节点 C 与共模电压 V_{CM} 输入端通过所述开关 SWR 连接；电流源 I_{ch} ，其串联所述开关 SWP 用于对充放电电容 C_0 进行充电；电流源 I_{dis} ，其串联所述开关 SWN 用于对充放电电容 C_0 进行放电；比较器，其正输入端与所述充放电电容 C_0 的充放电节点 C 相连，其负输入端与所述共模电压输入端 V_{CM} 连接，用于判断电压 V_C 与共模电压 V_{CM} 的电压差极性；寄存器，其数据输入端口 D 与所述比较器的输出端连接，其数据输出端口 Q 与所述电容充放电解码模块的数据输出端 DATA 相连，其时钟端口 clk 与所述电容充放电解码模块的端口 SA 相连，用于存储解码结果。

优选的，在 PWM 信号低电平到来时，SWN 断开同时 SWP 闭合，所述电流源 I_{ch} 对充放电电容 C_0 进行充电；在 PWM 信号高电平到来时，SWP 断开同时 SWN 闭合，所述电流源 I_{dis} 对充放电电容 C_0 进行放电。

优选的，所述电流源 I_{ch} 与电流源 I_{dis} 均为可编程电流源，该可编程电流源 I_{ch} 与可编程电流源 I_{dis} 的电流根据 PWM 信号数据率变化而变化，数据率越大电流越大；反之越小。

优选的，所述充放电电容 C_0 为可编程充放电电容，该充放电电容 C_0 容值根据 PWM 信号数据率变化而变化，数据率越大容值越小；反之越大。

优选的，所述串行 PWM 信号解码电路包括两个电容充放电解码模块，该两个电容充放电解码模块在时序逻辑产生电路的控制下交替工作，实现串行 PWM 信号的连续解码。

优选的,所述两个电容充放电解码模块分别为第一电容充放电解码模块和第二电容充放电解码模块;其中,第一电容充放电解码模块在串行 PWM 信号的奇数 bit 进行充放电,在偶数 bit 完成数据寄存输出以及模块的复位;第二电容充放电解码模块在串行 PWM 信号的偶数 bit 进行充放电,在奇数 bit 完成数据寄存输出以及模块的复位;从而两个模块交替工作实现串行 PWM 信号的连续解码。

优选的,该充放电电容的充放电节点的电压 V_C 与共模电压 VCM 的电压差在不同数据率下保持一致,即满足以下关系式:

$$\frac{UI \times I_0}{C_0} = \text{const}$$

其中,UI 为 1bit 数据时间长度, I_0 为充放电电流, C_0 为充放电电容的电容, const 为常数。

根据本发明的另一个方面,本发明还公开了一种基于电容充放电结构的串行 PWM 信号解码电路进行解码的方法,包括:

S1: 在 PWM 信号到来之前,将一电容充放电解码模块的充放电电容 C_0 初始电压值重置为共模电压 VCM;

S2: 当一 bit PWM 信号到来时,所述充放电电容 C_0 在该 bit PWM 信号低、高电平期间分别进行充、放电,所述充放电电容 C_0 在该 bit PWM 信号充放电完成时的充放电节点 C 的电压为 V_C ;

S3: 判断电压 V_C 与共模电压 VCM 电压差 ΔV 极性识别 PWM 信号从而解码。

(三) 有益效果

从以上技术方案可以看出,本发明基于电容充放电结构的串行 PWM 信号解码电路及方法具有下列有益效果:

1) 本发明中,采用时序逻辑产生电路以及电容充放电解码模块,无须同步码即可实现串行 PWM 信号的解码,结构简单,避免了复杂的 CDR,过采样结构的使用,提高了信号传输效率,节约了功耗;

2) 本发明中,在充放电解码模块中采用容值可编程充放电电容以及电流值可编程电流源实现了不同速率下的 PWM 信号解码。

附图说明

图 1 为依据本发明实施例基于电容充放电结构的串行 PWM 信号解码电路结构示意图。

图 2 为依据本发明实施例电容充放电解码模块电路图。

图 3 为依据本发明实施例电容充放电解码模块工作时序示意图。

图 4 为依据本发明实施例时序逻辑产生电路输出时序逻辑信号示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

需要说明的是，在附图或说明书描述中，相似或相同的部分都使用相同的图号。且在附图中，实施例的形状或是厚度可扩大，并以简化或是方便标示。再者，附图中未绘示或描述的元件或实现方式，为所属技术领域普通技术人员所知的形式。另外，虽然本文可提供包含特定值的参数的示范，但应了解，参数无需确切等于相应的值，而是可在可接受的误差容限或设计约束内近似于相应的值。

以下将给出本发明的最优实施例。需要说明的，该最优的实施例仅用于理解本发明，并不用于限制本发明的保护范围。并且，最优实施例中的特征，在无特别注明的情况下，均同时适用于方法实施例和装置实施例，在相同或不同实施例中出现的技术特征在不相互冲突的情况下可以组合使用。

图 1 为依据本发明实施例基于电容充放电结构的串行 PWM 信号解码电路结构示意图。请参照图 1，本实施例基于电容充放电结构的串行 PWM 信号解码电路，包括：

时序逻辑产生电路，其输入端接收 PWM 差分信号，并根据输入的 PWM 差分信号产生时序逻辑信号；

至少两个电容充放电解码模块，其输入端分别与所述时序逻辑产生电路的输出端连接，接收该时序逻辑产生电路发送的时序逻辑信号，并根据该时序逻辑信号进行充放电；其中，解码过程中所述电容充放电解码模块的充放电电容在充放电之前的电压为共模电压 V_{CM} ，充放电结束后的所述充放电电容的充放电节点的电压为 V_C ，通过判断二者的电压差极性识别

PWM 信号从而解码。

具体的，所述基于电容充放电结构的串行 PWM 信号解码电路可包括两个电容充放电解码模块，在时序逻辑产生电路的控制下两个充放电解码模块交替工作，实现串行 PWM 信号的连续解码。

更具体而言，所述两个电容充放电解码模块为第一电容充放电解码模块和第二电容充放电解码模块；其中，第一个充放电解码模块可在串行 PWM 信号的奇数 bit 进行充放电，在偶数 bit 完成数据寄存输出以及模块的复位，第二个充放电解码模块可在串行 PWM 信号的偶数 bit 进行充放电，在奇数 bit 完成数据寄存输出以及模块的复位，从而两个模块交替工作实现串行 PWM 信号的连续解码。当然，也可以将两个电容充放电解码模块的工作顺序调换，交替即可。

另外，所述基于电容充放电结构的串行 PWM 信号解码电路也可以包括三个以上的电容充放电解码模块，在时序逻辑产生电路的控制下三个以上的电容充放电解码模块顺序依次工作，即可实现串行 PWM 信号的连续解码。以三个电容充放电解码模块为例，所述三个电容充放电解码模块为第一电容充放电解码模块、第二电容充放电解码模块、第三电容充放电解码模块；其中，第一电容充放电解码模块可在串行 PWM 信号的第一 bit 进行充放电，在第二、三电容充放电解码模块充放电期间完成数据寄存输出以及模块的复位；第二电容充放电解码模块可在串行 PWM 信号的第二 bit 进行充放电，在第三、一电容充放电解码模块充放电期间进行数据寄存输出以及模块的复位；第三电容充放电解码模块可在串行 PWM 信号的第三 bit 进行充放电，在第一、二电容充放电解码模块充放电期间进行数据寄存输出以及模块的复位，从而三个模块交替工作实现串行 PWM 信号的连续解码。当然也可以将电容充放电解码模块的工作顺序调换，只需任一 bit 期间至少一个电容充放电解码模块进行充放电，同时其余电容充放电解码模块在该 bit 进行数据寄存输出以及模块的复位即可。

请继续参照图 1，所述时序逻辑产生电路，包括：

输入端口 PWM_P、PWM_N，用于接收输入的低压差分 PWM 信号；

至少两组时序逻辑输出端口，分别与所述至少两个电容充放电解码模块的输入端口连接，其中，

第一组时序逻辑输出端口的输出信号分别为 SWP1、SWN1、SWR1、SA1；SWP1 用于控制第一电容充放电解码模块的充电开关 SWP，SWN1 用于控制第一电容充放电解码模块的放电开关 SWN，SWR1 用于控制第一电容充放电解码模块的复位开关 SWR，SA1 与第一电容充放电解码模块 SA 端口相连。

相应的，第二组时序逻辑输出端口的输出信号分别为 SWP2、SWN2、SWR2、SA2；SWP2 用于控制第二电容充放电解码模块的充电开关 SWP，SWN2 用于控制第二电容充放电解码模块的放电开关 SWN，SWR2 用于控制第二电容充放电解码模块的复位开关 SWR，SA2 与第二电容充放电解码模块 SA 端口相连。

图 2 为依据本发明实施例电容充放电解码模块电路图。请参照图 2，本实施例电容充放电解码模块，包括：

充放电电容 C_0 ，其充放电节点 C 与共模电压输入端 VCM 通过一开关 SWR 连接；

电流源 I_{ch} ，其串联一开关 SWP 用于对充放电电容 C_0 进行充电；

电流源 I_{dis} ，其串联一开关 SWN 用于对充放电电容 C_0 进行放电；

比较器，其正输入端与充放电电容 C_0 的充放电节点 C 相连，其负输入端与共模电压输入端 VCM 连接。

寄存器，其数据输入端口 D 与比较器的输出端连接，数据输出端口 Q 与所述电容充放电解码模块数据输出端 DATA 相连，其时钟端口 clk 与电容充放电解码模块的端口 SA 相连。

具体的，在 PWM 信号低电平到来时，SWR 断开同时 SWP 闭合，所述电流源 I_{ch} 对充放电电容 C_0 进行充电；在高电平到来时，SWP 断开同时 SWN 闭合，所述电流源 I_{dis} 对充放电电容 C_0 进行放电。

所述电容充放电解码模块，通过比较器判断电压 V_C 与共模电压 VCM 电压差 ΔV 极性识别 PWM 信号从而解码；通过寄存器对解码结果进行存储。

优选的，所述电流源 I_{ch} 与电流源 I_{dis} 均为可编程电流源。所述可编程电流源 I_{ch} 和可编程电流源 I_{dis} 电流根据 PWM 信号数据率变化而变化，数据率越大电流越大；反之越小。所述充放电电容 C_0 为可编程充放电电容。

其中充放电电容 C_0 容值根据 PWM 信号数据率变化而变化, 数据率越大容值越小; 反之越大。

下面详细介绍本发明实施例电容充放电解码模块工作过程。图 3 为本发明实施例电容充放电解码模块工作时序示意图。

请参照图 3, 在 PWM 信号到来之前, 充放电电容初始电压值为共模电压 V_{CM} , 当第一 bit PWM 信号的低电平到来时, SW_N 断开同时 SW_P 闭合, 若 PWM 信号为 0, 即低电平为 $2/3UI$ (UI 为 1bit 数据时间长度), 高电平为 $1/3UI$, 充放电电容 C_0 经历 $2/3$ 个 UI 的时间充电, 充电电流为 I_0 , 在高电平到来时, SW_P 断开同时 SW_N 闭合充放电电容 C_0 经历 $1/3$ 个 UI 的时间放电, 放电电流为 I_0 , SW_N 断开, 此时充放电电容 C_0 的充放电节点 C 的电压 V_C 与 V_{CM} 存在一正电压差 ΔV :

$$\Delta V = \frac{\frac{1}{3}UI \times I_0}{C_0}$$

若 PWM 信号为 1, 即低电平为 $1/3UI$, 高电平为 $2/3UI$, 充放电电容 C_0 经历 $1/3$ 个 UI 的时间充电, 以及 $2/3$ 个 UI 的时间放电, 充放电电流为 I_0 , SW_N 断开, 此时充放电电容 C_0 的充放电节点 C 的电压 V_C 与 V_{CM} 存在一负电压差 $-\Delta V$:

$$-\Delta V = -\frac{\frac{1}{3}UI \times I_0}{C_0}$$

第一 bit PWM 信号结束后, 充放电节点 C 的电压需保持一段时间 t_1 以确保比较器正确识别 ΔV 或者 $-\Delta V$ 并输出满摆幅的比较结果, SA 信号在第一 bit PWM 信号结束后的 t_1 时刻发生上升沿调变, 寄存器在这一上升沿的触发下将比较器比较结果存储并输出至 $DATA$, 完成第一 bit PWM 信号的解码。

SA 需在第二 bit PWM 信号结束之前变低。 SW_R 在 SA 上升沿之后延时 t_2 确保寄存器完成数据寄存并输出后闭合一段时间, 将充放电电容电压重新置为 V_{CM} , SW_R 需在第二 bit PWM 信号结束之前断开, 电容充放电解码模块在第一 bit PWM 信号期间完成充放电, 且在第二 bit PWM 信号期间完成数据寄存输出以及模块的复位。

当输入 PWM 数据率发生变化, 即 UI 的值发生变化, 为了确保解码效果不受数据率的影响, ΔV 或者 $-\Delta V$ 在不同数据率下应保持一致。即:

$$\frac{UI \times I_0}{C_0} = \text{const}$$

const 意为常数, 当数据率变大 UI 变小, 可以通过增加 I_0 或者降低 C_0 来确保电容充放电解码模块的正常工作, 当数据率变小 UI 变大, 可以通过降低 I_0 或者增加 C_0 来确保电容充放电解码模块的正常工作。

下面以两个电容充放电解码模块的情况为例, 详细介绍本发明实施例时序逻辑产生电路输出时序逻辑过程。图 4 为时序逻辑产生电路输出时序逻辑信号示意图, 在 PWM 信号到来之前第一电容充放电解码模块充放电电容初始电压值共模电压 VCM, 当第一 bit PWM 信号的低电平到来时, SWR1 断开同时 SWP1 闭合, 第一电容充放电解码模块充放电电容在低电平期间进行充电, 在高电平到来时, SWP1 断开同时 SWN1 闭合第一电容充放电解码模块充放电电容在高电平期间进行放电, 高电平束后 SWN1 断开, 完成充电放电过程, 经过一段时间 t_1 以确保比较器输出正确比较结果, SA1 信号在第一 bit PWM 信号结束后的 t_1 时刻发生上升沿调变, 寄存器在这一上升沿的触发下将比较器比较结果存储并输出至 DATA, 完成第一 bit PWM 信号的解码。

SA1 需在第二 bit 信号结束之前变低。SWR1 在 SA1 上升沿之后延时 t_2 确保寄存器完成数据寄存及输出后闭合一段时间, 将充放电电容电压重新置为 VCM, SWR1 需在第二 bit PWM 信号结束之前断开, 第一电容充放电解码模块在第一 bit PWM 信号期间完成充放电, 且在第二 bit PWM 信号期间完成数据寄存输出以及模块的复位。

在第一 bit PWM 信号期间第二电容充放电解码模块完成初始化, 当第二 bit PWM 信号的低电平到来时, SWR2 断开同时 SWP2 闭合, 第二电容充放电解码模块的充放电电容在低电平期间进行充电, 在高电平到来时, SWP2 断开同时 SWN2 闭合第一电容充放电解码模块的充放电电容在高电平期间进行放电, 高电平束后 SWN2 断开, 完成充电放电过程, 经过一段时间 t_1 以确保比较器输出正确比较结果, SA2 信号在第一 bit PWM 信号结束后的 t_1 时刻发生上升沿调变, 寄存器在这一上升沿的触发下将比较器比较结果存储并输出至 DATA, 完成第一 bit PWM 信号的解码。

SA2 需在第二 bit 信号结束之前变低。SWR2 在 SA2 上升沿之后延时 t_2 确保寄存器完成数据寄存并输出后闭合一段时间，将充放电电容电压重新置为 VCM，SWR2 需在第三 bit PWM 信号结束之前断开，第二电容充放电解码模块在第二 bit PWM 信号期间完成充放电，且在第三 bit PWM 信号期间完成数据寄存输出以及模块的复位。

在时序逻辑产生电路的控制下两个电容充放电解码模块交替工作，第一电容充放电解码模块在串行 PWM 信号的奇数 bit 进行充放电，在偶数 bit 完成数据寄存输出以及模块的复位，第二电容充放电解码模块在串行 PWM 信号的偶数 bit 进行充放电，在奇数 bit 完成数据寄存输出以及模块的复位，两个模块交替工作即可实现串行 PWM 信号的连续解码。

另外，本发明实施例还提供了一种串行 PWM 信号解码方法，包括：

S1：在 PWM 信号到来之前，将一电容充放电解码模块的充放电电容 C_0 初始电压值重置为共模电压 VCM；

S2：当一 bit PWM 信号到来时，所述充放电电容 C_0 在该 bit PWM 信号低、高电平期间分别进行充、放电，所述充放电电容 C_0 在该 bit PWM 信号充放电完成时的充放电节点 C 的电压为 V_C ；

S3：判断电压 V_C 与共模电压 VCM 电压差 ΔV 极性识别 PWM 信号从而解码。

本发明实施例中，所有能产生驱动上述至少两个电容充放电解码模块完成解码工作的时序逻辑产生电路均可以用于本发明的基于电容充放电结构的串行 PWM 信号解码电路，无论时序逻辑产生电路具体以何种方式实现，均属于本发明的权利要求保护范围之内。

综上所述，本发明实施例基于电容充放电结构的串行 PWM 信号解码电路及方法，结构简单，避免了复杂的 CDR，过采样结构的使用，采用容值可编程充放电电容以及电流值可编程电流源实现了不同速率下的 PWM 信号解码。同时该 PWM 信号解码电路无需同步码流即能完整地实现对接收到的所有 PWM 信号实现解码，因此提高了信号传输效率降低了功耗。

需要说明的是，上述对各元件的定义并不仅限于实施方式中提到的各种具体结构或形状，本领域的普通技术人员可对其进行简单地熟知地替换，例如：

所述充放电解码模块也可在 PWM 信号低电平期间进行放电，高电平期间进行充电，同样可以实现本发明。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，包括：

时序逻辑产生电路，其输入端接收 PWM 差分信号，并根据输入的 PWM 差分信号产生时序逻辑信号；

至少两个电容充放电解码模块，其输入端分别与所述时序逻辑产生电路的输出端连接，接收该时序逻辑产生电路发送的时序逻辑信号，并根据该时序逻辑信号进行充放电；其中，

解码过程中所述电容充放电解码模块的充放电电容在充放电之前的电压为共模电压 V_{CM} ，在充放电结束后充放电节点的电压为 V_C ，通过判断二者的电压差极性识别 PWM 信号从而解码。

2、根据权利要求 1 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述时序逻辑产生电路，包括：

输入端口 PWM_P、PWM_N 用于接收输入的低压差分 PWM 信号；

至少两组时序逻辑输出端口，分别与所述至少两个电容充放电解码模块的输入端口连接，其中，

第一组时序逻辑输出端口的输出信号为 SWP1、SWN1、SWR1 及 SA1，分别用于控制第一电容充放电解码模块的充电开关 SWP、放电开关 SWN、复位开关 SWR 以及 SA 端口；

第二组时序逻辑输出端口的输出信号为 SWP2、SWN2、SWR2 及 SA2，分别用于控制第二电容充放电解码模块的充电开关 SWP、放电开关 SWN、复位开关 SWR 以及 SA 端口。

3、根据权利要求 2 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述电容充放电解码模块，包括：

充放电电容 C_0 ，其充放电节点 C 与共模电压 V_{CM} 输入端通过所述开关 SWR 连接；

电流源 I_{ch} ，其串联所述开关 SWP 用于对充放电电容 C_0 进行充电；

电流源 I_{dis} ，其串联所述开关 SWN 用于对充放电电容 C_0 进行放电；

比较器，其正输入端与所述充放电电容 C_0 的充放电节点 C 相连，其负输入端与所述共模电压输入端 VCM 连接，用于判断电压 V_C 与共模电压 VCM 的电压差极性；

寄存器，其数据输入端口 D 与所述比较器的输出端连接，其数据输出端口 Q 与所述电容充放电解码模块的数据输出端 DATA 相连，其时钟端口 clk 与所述电容充放电解码模块的端口 SA 相连，用于存储解码结果。

4、根据权利要求 3 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，在 PWM 信号低电平到来时，SWN 断开同时 SWP 闭合，所述电流源 I_{ch} 对充放电电容 C_0 进行充电；在 PWM 信号高电平到来时，SWP 断开同时 SWN 闭合，所述电流源 I_{dis} 对充放电电容 C_0 进行放电。

5、根据权利要求 3 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述电流源 I_{ch} 与电流源 I_{dis} 均为可编程电流源，该可编程电流源 I_{ch} 与可编程电流源 I_{dis} 的电流根据 PWM 信号数据率变化而变化，数据率越大电流越大；反之越小。

6、根据权利要求 3 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述充放电电容 C_0 为可编程充放电电容，该充放电电容 C_0 容值根据 PWM 信号数据率变化而变化，数据率越大容值越小；反之越大。

7、根据权利要求 3 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述串行 PWM 信号解码电路包括两个电容充放电解码模块，该两个电容充放电解码模块在时序逻辑产生电路的控制下交替工作，实现串行 PWM 信号的连续解码。

8、根据权利要求 7 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，所述两个电容充放电解码模块分别为第一电容充放电解码模块和第二电容充放电解码模块；其中，

第一电容充放电解码模块在串行 PWM 信号的奇数 bit 进行充放电，在偶数 bit 完成数据寄存输出以及模块的复位；

第二电容充放电解码模块在串行 PWM 信号的偶数 bit 进行充放电，在奇数 bit 完成数据寄存输出以及模块的复位；从而两个模块交替工作实现串行 PWM 信号的连续解码。

9、根据权利要求 3 所述的基于电容充放电结构的串行 PWM 信号解码电路，其特征在于，该充放电电容的充放电节点的电压 V_C 与共模电压 VCM 的电压差在不同数据率下保持一致，即满足以下关系式：

$$\frac{UI \times I_0}{C_0} = \text{const}$$

其中，UI 为 1bit 数据时间长度， I_0 为充放电电流， C_0 为充放电电容的电容，const 为常数。

10、一种采用如权利要求 1 至 9 中任一项所述的基于电容充放电结构的串行 PWM 信号解码电路进行解码的方法，其特征在于，包括：

S1：在 PWM 信号到来之前，将一电容充放电解码模块的充放电电容 C_0 初始电压值重置为共模电压 VCM；

S2：当一 bit PWM 信号到来时，所述充放电电容 C_0 在该 bit PWM 信号低、高电平期间分别进行充、放电，所述充放电电容 C_0 在该 bit PWM 信号充放电完成时的充放电节点 C 的电压为 V_C ；

S3：判断电压 V_C 与共模电压 VCM 电压差 ΔV 极性识别 PWM 信号从而解码。

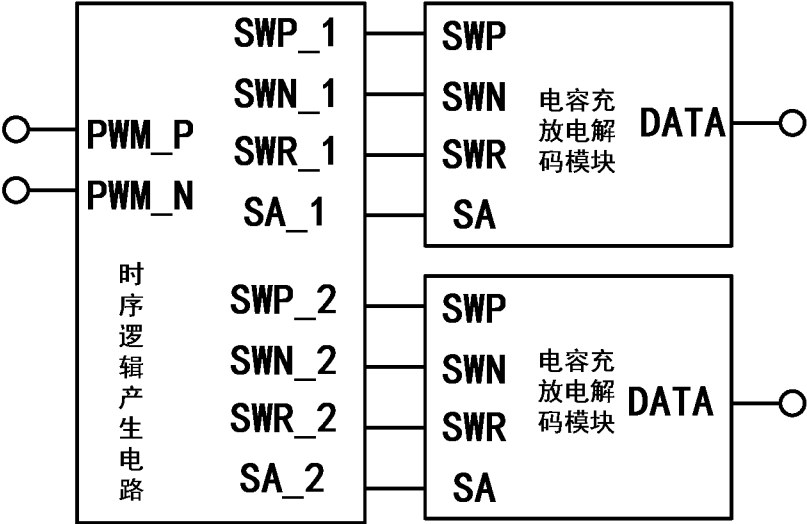


图 1

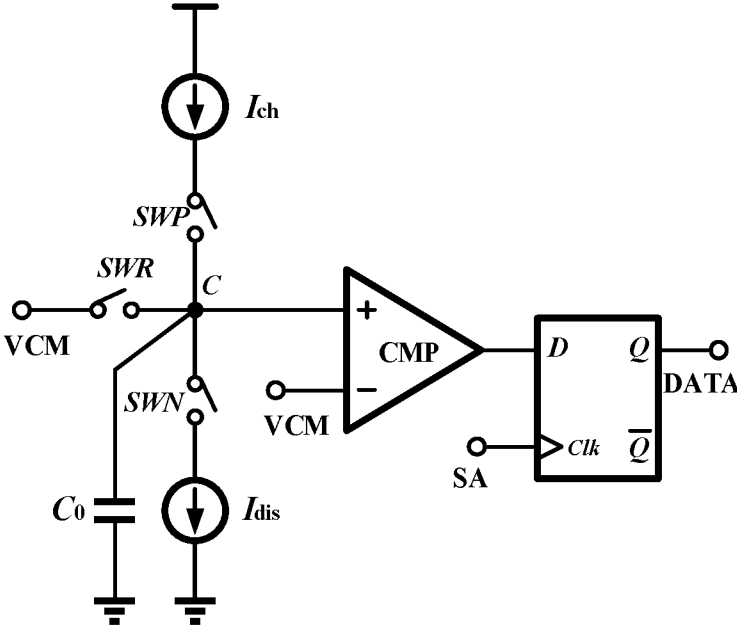


图 2

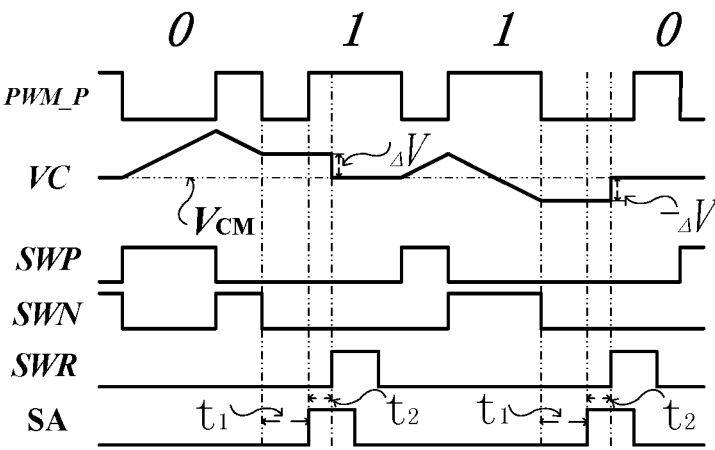


图 3

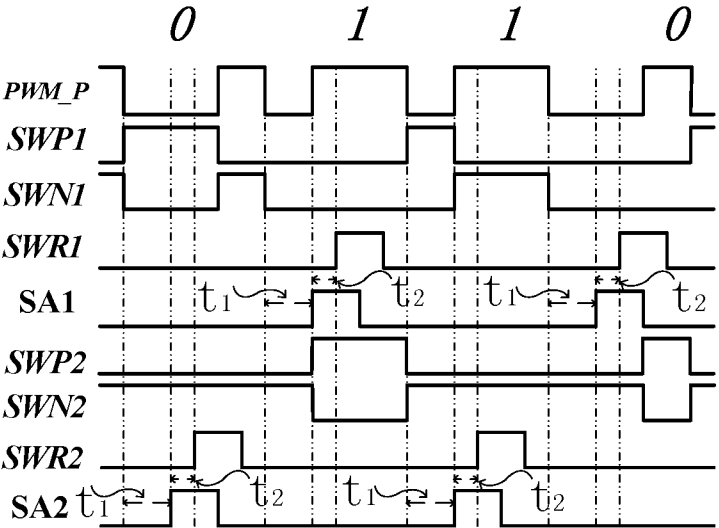


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/077313

A. CLASSIFICATION OF SUBJECT MATTER

H03K 9/08 (2006.01) i; G06F 13/40 (2006.01) i; G06F 13/42 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K; G06F; H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTEXT; CNABS; CNKI; USTXT; EPTXT; WOTXT; VEN; WEB OF SCIENCE: 脉冲宽度调制, 脉宽调制, 脉宽调变, 解码, 解调, 接收电路, 接收器, 电容, 充电, 放电, 充放电, 电压差, 时序, 交替, 依次, 两个, 多个, pulse width modulat+, pulse-width modulat+, decode, demodulate, receiver, receiving circuit, capacitance, charge, discharge, voltage difference, timing sequence, time series, interleave, alternate, in turn, two, multiple, PWM

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 106951385 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES), 14 July 2017 (14.07.2017), claims 1-10, and entire description	1-10
X	US 2014292402 A1 (STMICROELECTRONICS INTERNATIONAL N.V.), 02 October 2014 (02.10.2014), description, paragraphs [0016]-[0038], and figures 1-7	1-10
A	CN 104283569 A (HIMAX TECHNOLOGIES, INC.), 14 January 2015 (14.01.2015), entire document	1-10
A	WO 2013110015 A1 (QUALCOMM INC.), 25 July 2013 (25.07.2013), entire document	1-10
A	CN 203133826 U (INTEL CORPORATION), 14 August 2013 (14.08.2013), entire document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 October 2017	Date of mailing of the international search report 30 November 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer JIA, Jie Telephone No. (86-10) 62411405

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/077313

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106951385 A	14 July 2017	None	
US 2014292402 A1	02 October 2014	US 9425781 B2	23 August 2016
CN 104283569 A	14 January 2015	None	
WO 2013110015 A1	25 July 2013	US 2013187708 A1	25 July 2013
		US 8564365 B2	22 October 2013
CN 203133826 U	14 August 2013	WO 2013048395 A1	04 April 2013
		TW 201328203 A	01 July 2013
		DE 112011105674 T5	17 July 2014
		US 2013272368 A1	17 October 2013
		TW I493887 B	21 July 2015

国际检索报告

国际申请号

PCT/CN2017/077313

A. 主题的分类

H03K 9/08(2006.01)i; G06F 13/40(2006.01)i; G06F 13/42(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K;G06F;H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNXTX;CNABS;CNKI;USTXT;EPTXT;WOTXT;VEN;WEB OF SCIENCE:脉冲宽度调制, 脉宽调制, 脉宽调变, 解码, 解调, 接收电路, 接收器, 电容, 充电, 放电, 充放电, 电压差, 时序, 交替, 依次, 两个, 多个, pulse width modulati+, pulse-width modulati+, decode, demodulate, receiver, receiving circuit, capacitance, charge, discharge, voltage difference, timing sequence, time series, interleave, alternate, in turn, two, multiple, PWM

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
E	CN 106951385 A (中国科学院微电子研究所) 2017年 7月 14日 (2017 - 07 - 14) 权利要求1-10, 说明书全文	1-10
X	US 2014292402 A1 (意法半导体国际有限公司) 2014年 10月 2日 (2014 - 10 - 02) 说明书第[0016]-[0038]段, 图1-7	1-10
A	CN 104283569 A (奇景光电股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-10
A	WO 2013110015 A1 (高通股份有限公司) 2013年 7月 25日 (2013 - 07 - 25) 全文	1-10
A	CN 203133826 U (英特尔公司) 2013年 8月 14日 (2013 - 08 - 14) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 10月 27日

国际检索报告邮寄日期

2017年 11月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

贾杰

电话号码 (86-10)62411405

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/077313

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106951385	A	2017年 7月 14日	无			
US	2014292402	A1	2014年 10月 2日	US	9425781	B2	2016年 8月 23日
CN	104283569	A	2015年 1月 14日	无			
WO	2013110015	A1	2013年 7月 25日	US	2013187708	A1	2013年 7月 25日
				US	8564365	B2	2013年 10月 22日
CN	203133826	U	2013年 8月 14日	WO	2013048395	A1	2013年 4月 4日
				TW	201328203	A	2013年 7月 1日
				DE	112011105674	T5	2014年 7月 17日
				US	2013272368	A1	2013年 10月 17日
				TW	I493887	B	2015年 7月 21日

表 PCT/ISA/210 (同族专利附件) (2009年7月)