

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6433532号
(P6433532)

(45) 発行日 平成30年12月5日(2018.12.5)

(24) 登録日 平成30年11月16日(2018.11.16)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 T
HO 1 L 23/522 (2006.01)	HO 1 L 27/146 A
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 D

請求項の数 37 (全 23 頁)

(21) 出願番号	特願2017-79956 (P2017-79956)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成29年4月13日(2017.4.13)	(74) 代理人	100126240 弁理士 阿部 琢磨
(62) 分割の表示	特願2012-215970 (P2012-215970) の分割	(74) 代理人	100124442 弁理士 黒岩 創吾
原出願日	平成24年9月28日(2012.9.28)	(72) 発明者	下津佐 峰生 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
(65) 公開番号	特開2017-152723 (P2017-152723A)	審査官	佐藤 靖史
(43) 公開日	平成29年8月31日(2017.8.31)		
審査請求日	平成29年5月1日(2017.5.1)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

光電変換部および第1トランジスタが設けられた第1半導体層と、
第2トランジスタが設けられた第2半導体層と、
前記第1半導体層と前記第2半導体層との間に配された第1導電体層と、
前記第1半導体層と前記第2半導体層との間であって、前記第2半導体層と前記第1導電体層との距離よりも、前記第2半導体層までの距離が小さい位置に配された第2導電体層と、

前記第1半導体層と前記第2半導体層とが積層された方向において、前記第1半導体層と前記第1導電体層との間に配された第1絶縁体層と、

前記第2半導体層と前記第2導電体層との間に配された第2絶縁体層と、

前記第1導電体層と前記第2導電体層との間に配された第3絶縁体層と、

前記第1半導体層および前記第1絶縁体層および前記第3絶縁体層を貫通する貫通孔の中に配された貫通部を含み、前記第1導電体層と前記第2導電体層とを接続する導電部材と、を備え、

前記貫通部は、第1導電材料を主として含有する領域と、前記第1導電材料とは異なる第2導電材料を主として含有する導電層とを有し、

前記導電層は、前記第1導電材料の拡散を防止し、前記領域と前記第1絶縁体層との間に配され、かつ、前記第1絶縁体層に接触し、

前記導電層は、前記第1導電体層および前記第2導電体層に接触するように、前記第1

10

20

導電体層および前記第 2 導電体層の一方から他方まで連続して延在していることを特徴とする半導体装置。

【請求項 2】

前記導電層は前記領域と前記第 1 半導体層との間に配されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記方向において、前記第 1 絶縁体層と前記第 1 半導体層との間に配された層間絶縁層と、

前記第 1 絶縁体層と前記層間絶縁層との間に配された配線パターンと、を備え、

前記導電層は前記層間絶縁層に接触している、請求項 1 または請求項 2 に記載の半導体装置。

10

【請求項 4】

前記導電層は、前記領域と前記第 3 絶縁体層との間に配され、かつ、前記第 3 絶縁体層に接触している、請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 2 導電体層は銅を含有する、請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 2 導電材料は窒化金属または炭化金属のいずれかであり、

前記導電層は前記第 3 絶縁体層に接触している、請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

20

【請求項 7】

前記第 2 導電材料は、タンタル、窒化タンタル、炭化タンタル、チタン、窒化チタン、炭化チタン、タングステン、窒化タングステン、炭化タングステンおよびマンガン少なくともいずれかを含み、請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 導電材料は、金、銀、銅、ニッケル、鉄および亜鉛の少なくともいずれかを含み、請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 1 絶縁体層、前記第 2 絶縁体層および前記第 3 絶縁体層の少なくともいずれかは、酸化シリコンの誘電率よりも低い誘電率を有する、請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

30

【請求項 10】

前記導電部材は、前記第 1 導電体層に接触する第 1 部分と、前記第 2 導電体層に接触する第 2 部分と、前記第 1 部分および前記第 2 部分を結合する第 3 部分とを含む、請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記第 1 半導体層は、ワイヤボンディング接続またはフリップチップ接続を行うための開口を有する、請求項 1 乃至 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】

前記配線パターンは銅配線を含む、請求項 3 に記載の半導体装置。

40

【請求項 13】

前記第 1 半導体層と前記第 2 半導体層との間に配された配線に設けられたバリアメタルを含み、

前記バリアメタルの厚さよりも、前記導電層の厚さが大きい、請求項 1 乃至 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記貫通孔において、前記導電層が前記領域を囲む、請求項 1 乃至 13 のいずれか 1 項に記載の半導体装置。

【請求項 15】

50

前記導電層は、前記第1導電材料が前記第1半導体層、前記第1絶縁層および前記第3絶縁層へ拡散することを低減する、請求項1乃至14のいずれか1項に記載の半導体装置。

【請求項16】

光電変換部および第1トランジスタが設けられた第1半導体層と、
第2トランジスタが設けられた第2半導体層と、
前記第1半導体層と前記第2半導体層との間に配された第1導電体層と、
前記第1半導体層と前記第2半導体層とが積層された方向において、前記第1半導体層と前記第2半導体層との間に配され、かつ、前記第2半導体層と前記第1導電体層との距離よりも、前記第2半導体層までの距離が小さい位置に配された第2導電体層と、
前記第1導電体層と前記第2導電体層とを接続する導電部材と、を備え、
前記導電部材は、第1導電材料と、前記第1導電材料と前記第1半導体層との間に配され、タンタル、窒化タンタル、炭化タンタル、チタン、窒化チタン、炭化チタン、タングステン、窒化タングステン、炭化タングステンおよびマンガンの少なくともいずれかの材料を主として含有する導電層と、を有し、
前記第1半導体層に対する前記第1導電材料の拡散係数は、前記導電層に対する前記第1導電材料の拡散係数よりも大きく、

10

前記導電層は、前記第1導電体層および前記第2導電体層および前記第1半導体層に接触し、
前記導電層は、前記第1導電体層および前記第2導電体層の一方から他方まで連続して延在していることを特徴とする半導体装置。

20

【請求項17】

前記第1半導体層は、前記第1半導体層の第1部分と第2部分との間に配され、前記第1部分と前記第2部分とを分離するトレンチを有し、
前記第2部分は、前記トレンチと前記導電部材との間に配され、かつ、前記導電層に接触している、請求項16に記載の半導体装置。

【請求項18】

前記第1半導体層は、前記トレンチに設けられた絶縁材料と接触するS T IまたはL O C O Sによって構成される素子分離部を含む、請求項17に記載の半導体装置。

【請求項19】

30

前記第1半導体層と前記第1導電体層との間に配された第1絶縁体層と、
前記第2半導体層と前記第2導電体層との間に配された第2絶縁体層と、
前記第1導電体層と前記第2導電体層との間に配された第3絶縁体層と、を備え、
前記導電層は、前記第1絶縁体層および前記第3絶縁体層の少なくともいずれかと接触する、請求項16乃至18のいずれか1項に記載の半導体装置。

【請求項20】

前記方向において、前記第1絶縁体層と前記第1半導体層との間に配された層間絶縁層と、
前記第1絶縁体層と前記層間絶縁層との間に配された配線パターンと、を備え、
前記導電層は前記層間絶縁層に接触している、請求項19に記載の半導体装置。

40

【請求項21】

前記導電部材は、前記第1半導体層および前記第1絶縁体層を貫通する貫通孔の中に配された貫通部を含み、
前記貫通孔において、前記導電層は、前記第1半導体層の内側および前記第1絶縁体層の内側に接触している、請求項19または請求項20に記載の半導体装置。

【請求項22】

前記導電層は窒化チタンを含有する、請求項16乃至請求項21のいずれか1項に記載の半導体装置。

【請求項23】

前記第2導電体層は銅を含有する、請求項16乃至22のいずれか1項に記載の半導体

50

装置。

【請求項 2 4】

前記導電部材と、前記第 1 半導体層に設けられた第 1 トレンチおよび第 2 トレンチと、をそれぞれが含む複数のブロックを備え、

前記導電層は、前記第 1 トレンチと前記第 2 トレンチとの間に配される、請求項 1 6 乃至 2 3 のいずれか 1 項に記載の半導体装置。

【請求項 2 5】

光電変換部および第 1 トランジスタが設けられた第 1 半導体層と、

第 2 トランジスタが設けられた第 2 半導体層と、

前記第 1 半導体層と前記第 2 半導体層との間に配された第 1 導電体層と、

前記第 1 半導体層と前記第 2 半導体層とが積層された方向において、前記第 1 半導体層と前記第 2 半導体層との間に配され、かつ、前記第 2 半導体層と前記第 1 導電体層との距離よりも、前記第 2 半導体層までの距離が小さい位置に配された第 2 導電体層と、

前記第 1 半導体層と前記第 1 導電体層との間に配された第 1 絶縁体層と、

前記第 1 導電体層と前記第 2 導電体層とを接続する導電部材と、を備え、

前記導電部材は、第 1 導電材料と、前記第 1 導電材料と前記第 1 絶縁体層との間に配され、タンタル、窒化タンタル、炭化タンタル、チタン、窒化チタン、炭化チタン、タングステン、窒化タングステン、炭化タングステンおよびマンガンの少なくともいずれかの材料を主として含有する導電層と、を有し、

前記第 1 絶縁体層に対する前記第 1 導電材料の拡散係数は、前記導電層に対する前記第 1 導電材料の拡散係数よりも大きく、

前記導電層は、前記第 1 導電体層および前記第 2 導電体層および前記第 1 絶縁体層に接触し、

前記導電層は、前記第 1 導電体層および前記第 2 導電体層の一方から他方まで連続して延在していることを特徴とする半導体装置。

【請求項 2 6】

前記第 1 半導体層は、前記第 1 半導体層の第 1 部分と第 2 部分との間に配され、前記第 1 部分と前記第 2 部分とを分離するトレンチを有し、

前記第 2 部分は、前記トレンチと前記導電部材との間に配され、かつ、前記導電層に接触している、請求項 2 5 に記載の半導体装置。

【請求項 2 7】

前記第 1 半導体層は、前記トレンチに設けられた絶縁材料と接触する S T I または L O C O S によって構成される素子分離部を含む、請求項 2 6 に記載の半導体装置。

【請求項 2 8】

前記第 2 半導体層と前記第 2 導電体層との間に配された第 2 絶縁体層と、

前記第 1 導電体層と前記第 2 導電体層との間に配された第 3 絶縁体層と、を備え、

前記導電層は前記第 3 絶縁体層と接触する、請求項 2 5 乃至 2 7 のいずれか 1 項に記載の半導体装置。

【請求項 2 9】

前記方向において、前記第 1 絶縁体層と前記第 1 半導体層との間に配された層間絶縁層と、

前記第 1 絶縁体層と前記層間絶縁層との間に配された配線パターンと、を備え、

前記導電層は前記層間絶縁層に接触している、請求項 2 8 に記載の半導体装置。

【請求項 3 0】

前記導電部材は、前記第 1 半導体層および前記第 1 絶縁体層を貫通する貫通孔の中に配された貫通部を含み、

前記貫通孔において、前記導電層は、前記第 1 半導体層の内側および前記第 1 絶縁体層の内側に接触している、請求項 2 8 または請求項 2 9 に記載の半導体装置。

【請求項 3 1】

前記導電層は窒化チタンを含有する、請求項 2 5 乃至請求項 3 0 のいずれか 1 項に記載

10

20

30

40

50

の半導体装置。

【請求項 3 2】

前記第 2 導電体層は銅を含有する、請求項 2 5 乃至 3 1 のいずれか 1 項に記載の半導体装置。

【請求項 3 3】

前記導電部材と、前記第 1 半導体層に設けられた第 1 トレンチおよび第 2 トレンチと、をそれぞれが含む複数のブロックを備え、

前記導電層は、前記第 1 トレンチと前記第 2 トレンチとの間に配される、請求項 1 6 乃至 2 3 のいずれか 1 項に記載の半導体装置。

【請求項 3 4】

前記第 1 導電体層は、第 1 配線パターンに含まれ、

前記第 1 配線パターンは、前記第 1 半導体層と前記第 1 導電体層との間に第 1 バリアメタルを有し、

前記第 2 導電体層は、第 2 配線パターンに含まれ、

前記第 2 配線パターンは、第 2 バリアメタルを有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 3 5】

前記第 1 導電材料は、前記導電層の内側に埋め込まれていることを特徴とする請求項 1 乃至 3 4 のいずれか 1 項に記載の半導体装置。

【請求項 3 6】

電極パッドと、

前記電極パッドに接続されるボンディングワイヤと、をさらに備え、

前記第 2 導電体層と前記電極パッドとの間には、絶縁材料が配されていることを特徴とする請求項 1 乃至 3 5 のいずれか 1 項に記載の半導体装置。

【請求項 3 7】

請求項 1 乃至 3 6 のいずれか 1 項に記載の半導体装置と、

前記半導体装置に接続された周辺装置と、を備え、

前記周辺装置が演算装置、記憶装置、記録装置、通信装置あるいは表示装置であることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の素子部を備える半導体装置に関する。

【背景技術】

【0002】

半導体装置の一種である CMOS イメージセンサなどの光電変換装置では、複数の光電変換素子を有する光電変換ユニットと、光電変換ユニットからの電気信号を処理する信号処理ユニットとを 1 つの半導体基板にモノリシックに作り込んでいた。光電変換ユニットと信号処理ユニットとを別々の部品（チップ）に分けて形成し、これらの部品を重ね合せ、部品同士を導電部材で電氣的に接続することが検討されている。このようにすることで、光電変換装置が搭載される電子機器における光電変換装置の占有面積（フットプリント）を効率的に活用することができる。部品同士の電氣的接続を得るために、導電部材が設けられる。このような構造は、いわゆるシステムインパッケージを実現する種々の半導体装置に応用が可能である。

【0003】

特許文献 1 には、部品に相当する半導体基板（3 1、4 5）同士の電氣的接続を得るための導電部材として、基板間配線（6 8）を設けることが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-096851号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1の基板間配線を銅で形成した場合、基板間配線に含まれる銅が基板間配線を取り囲む半導体ウェル領域(32)や層間絶縁膜(39)に拡散する可能性がある。その結果、半導体装置が正常に動作しない場合や、銅による汚染によって所望の性能が得られない場合があり、十分な信頼性が得られないという問題があった。本発明は、信頼性の高い半導体装置を提供することを目的とする。

【課題を解決するための手段】

10

【0006】

課題を解決するための手段は、第1半導体層を含む第1素子部と、第1導電体層および前記第1半導体層と前記第1導電体層との間に位置する第1絶縁体層を含む第1配線部と、第2半導体層を含む第2素子部と、第2導電体層および前記第2半導体層と前記第2導電体層との間に位置する第2絶縁体層を含む第2配線部と、を備え、前記第2配線部が、前記第1素子部と前記第2素子部の間であって、前記第1配線部と前記第2素子部の間に位置する半導体装置であって、前記第1半導体層および前記第1絶縁体層を貫通して前記第1導電体層と前記第2導電体層とを接続する導電部材をさらに備え、前記導電部材は、前記第1半導体層に対する拡散係数が、前記第1半導体層に対する酸素の拡散係数よりも大きい金属を含有する第1領域を有し、前記金属とは異なる材料を含有する第2領域が、少なくとも前記第1領域と前記第1半導体層との間および前記第1領域と前記第1絶縁体層との間に位置しており、前記材料に対する前記金属の拡散係数が、前記第1半導体層に対する前記金属の前記拡散係数および前記第1絶縁体層に対する前記金属の拡散係数よりも低いことを特徴とする。

20

【発明の効果】

【0007】

本発明によれば、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】半導体装置の一例の模式図。

30

【図2】半導体装置の一例の模式図。

【図3】半導体装置の製造方法の一例の模式図。

【図4】半導体装置の製造方法の一例の模式図。

【図5】半導体装置の製造方法の一例の模式図。

【図6】半導体装置の製造方法の別の例の模式図。

【図7】半導体装置の製造方法の別の例の模式図。

【発明を実施するための形態】

【0009】

以下、本発明を実施するための形態を、図面を参照しながら説明する。なお、以下の説明において、複数の図面を相互に参照する場合がある。また、同一あるいは類似の構成については共通の符号を付しており、共通の符号を付した構成については適宜説明を省略する。

40

【0010】

＜第1実施形態＞

本実施形態の半導体装置の一例としての光電変換装置を、図1を用いて説明する。図1(a)は半導体装置の主要部である半導体デバイス1の斜視図である。図1(b)、(c)は半導体デバイス1の一例の分解斜視図である。図1(d)は半導体デバイス1を含む半導体装置3を備える電子機器5の模式図である。

【0011】

図1(a)に示した半導体デバイス1においては、図1(b)または図1(c)に示し

50

たように、第1部分10と第2部分20が重なっている。本実施形態は、主に、第1部分10と第2部分20との電氣的接続を得るための導電部材に関する。図1(a)に示す様に、第1部分10は、第1素子部30と第1配線部31で構成されている。第2部分20は第2素子部50と第2配線部51で構成されている。第2配線部51が第1部分10と第2素子部50との間に位置する。つまり、第2配線部51が第1素子部30と第2素子部50との間に位置し、第2配線部51が第1配線部31と第2素子部50との間に位置する。本実施形態では、第1配線部31が第1素子部30と第2部分20との間に位置するが、第1素子部30が第1配線部31と第2部分20との間に位置してもよい。

【0012】

本実施形態では、第1部分10は光電変換ユニット11を有する。光電変換ユニット11は入射光に応じて信号電荷が発生する光電変換素子を含む。光電変換ユニット11は光電変換素子で発生した信号電荷に基づく電気信号を生成する信号生成回路を含み得る。信号生成回路は、例えば、増幅トランジスタや転送トランジスタ、リセットトランジスタ、選択トランジスタを含む。他の例の光電変換ユニット11は、光電変換素子と信号電荷を転送するためのCCD(Charge Coupled Device:電荷結合素子)を含み得る。

【0013】

本実施形態では、第2部分20は、信号処理ユニット22を有する。信号処理ユニット22は、光電変換ユニット11で発生した信号電荷に基づく電気信号を処理する。信号処理ユニット22は、ノイズ除去回路、増幅回路、変換回路、画像処理回路を含むことができる。ノイズ除去回路は、例えばCDS(Correlated Double Sampling:相関二重サンプリング)回路である。増幅回路は、例えば列アンプ回路である。変換回路は、例えばコンパレータとカウンタで構成されたADC(Analog Digital Converter:アナログデジタル変換)回路である。画像処理回路は、例えばメモリとプロセッサを含み、アナログデジタル変換されたデジタル信号から画像データを生成したり、画像データに画像処理を施したりする。

【0014】

図1(a)では、光電変換ユニット11の位置を一点鎖線で囲んで示し、信号処理ユニット22の位置を二点鎖線で囲んで示している。光電変換ユニット11の、第2部分20への正射影領域に信号処理ユニット22が位置している。なお、信号処理ユニット22は光電変換ユニット11の正射影領域の内外を問わず配置することが出来る。なお、信号処理ユニット22の一部が第1部分10に設けられていてもよい。例えば、ノイズ除去回路や増幅回路などアナログ信号用の信号処理ユニットを第1部分10に設け、変換回路や画像処理回路などデジタル信号用の信号処理ユニットを第2部分20に設けることもできる。

【0015】

図1(b)、(c)に示す様に、半導体デバイス1は、光電変換ユニット11を制御する制御ユニット12、および／または、信号処理ユニット22を制御する制御ユニット21を更に備えることができる。これら制御ユニットは、第1部分10と第2部分20の少なくとも一方に設けることができる。図1(b)に示した例では制御ユニット12が第1部分10に設けられており、図1(c)に示した例では制御ユニット21が第2部分20に設けられている。光電変換ユニット11用の制御ユニットを第1部分10に、信号処理ユニット22用の制御ユニットを第2部分20に分けて設けることもできる。制御ユニット12は垂直走査線を介して画素回路に駆動信号を供給する垂直駆動回路や、電源回路を含み得る。制御ユニット21は信号処理ユニット22を駆動するためのタイミング発生回路や、変換回路へ参照信号を供給する参照信号供給回路、増幅回路あるいは変換回路から信号を順次読み出すための水平走査回路を含み得る。

【0016】

図1(d)に示す様に、半導体装置3は、半導体デバイス1の1次実装用の実装部材として、パッケージ2を含むことができる。半導体デバイス1はこのパッケージにダイボン

10

20

30

40

50

ドされ、収容されうる。パッケージ2はPGA (Pin Grid Array) やLGA (Land Grid Array)、BGA (Ball Grid Array)、リードフレーム等の外部端子を含み得る。図1 (d) に示す様に、半導体装置3は、2次実装用の実装部材として、回路基板4を含むことができる。パッケージ2はこの回路基板4に実装されうる。回路基板4は、リジッド基板、フレキシブル基板あるいはリジッドフレキシブル基板等のプリント基板でありうる。光電変換装置としての半導体装置3は半導体デバイス1に光を導くための光学系を含むカメラモジュールでありうる。

【0017】

半導体装置3は、種々の電子機器に搭載が可能である。電子機器5は半導体装置3に加えて、演算装置、記憶装置、記録装置、通信装置あるいは表示装置などの周辺装置6を備える。これら周辺装置は、半導体装置3と接続されて、直接的にあるいは間接的に信号のやり取りをおこなう。電子機器5としては、携帯電話やパーソナルコンピュータなどの情報端末、カメラやディスプレイなどの映像機器などが挙げられる。勿論、カメラ付きの情報端末なども含まれる。

10

【0018】

半導体デバイス1の一例の詳細を、図2を用いて説明する。図2は、図1 (a) に示した点Pと点Qを含む面における半導体デバイス1の断面図である。なお、図2は図1 (b) の様に、制御ユニット12を有する例である。

【0019】

以下の説明において、導電体層は半導体層よりも導電率の高い材料からなるものとし、絶縁体層は半導体層よりも導電率の低い材料からなるものとする。

20

【0020】

また、以下の半導体化合物や金属化合物の説明において、炭化窒化物および酸化窒化物は窒化物に含め、窒化炭化物および酸化炭化物は炭化物に含める。

【0021】

まず、第1部分10について、第1素子部30と第1配線部31のそれぞれの構成を説明する。

【0022】

第1素子部30は第1半導体層33を含む。第1半導体層33は例えばシリコン層である。第1素子部30は、図1 (b) における光電変換ユニット11を構成する半導体素子として第1半導体層33に設けられた、光電変換素子であるフォトダイオードPDを有する。フォトダイオードPDは、第1半導体層33はn型半導体領域34とp型半導体領域35を含む。第1半導体層33は他に、p型半導体領域32を有する。光電変換素子はフォトゲートでもよい。光電変換ユニット11が含み得る信号生成回路は、MOSトランジスタ等の半導体素子で構成することができる。図2には、光電変換ユニット11の転送トランジスタTr1と、リセットトランジスタTr2とを示している。また、図1 (b) における制御ユニット12の半導体素子として、トランジスタTr3、Tr4とを示している。

30

【0023】

本例では、第1素子部30を構成する第1半導体層33の表面103の一部はMOSトランジスタTr1、Tr2、Tr3、Tr4のゲート絶縁膜と界面を成している。第1素子部30にはSTI (Shallow Trench Isolation) やLOCO S (Local Oxidation of Silicon) などの素子分離38が設けられている。第1素子部30には、第1半導体層33の表面103を保護する、窒化シリコンや酸化シリコンなどの絶縁体層からなる第1保護膜 (不図示) が設けられている。このように、第1素子部30は第1半導体層33に加えて、素子分離38やゲート絶縁膜、ゲート電極、第1保護膜を含み得る。

40

【0024】

第1配線部31は、導電体層および絶縁体層を含む。第1配線部31は複数の配線レベルを有しうる。1つの配線レベルは、配線パターンとプラグを有しうる。典型的な導電体

50

層は配線パターンを構成する。さらに典型的な導電体層は配線パターンの内で電流密度の大きい主導電層を構成するが、導電体層は配線パターンの内で主導電層よりも電流密度の低い副導電層を構成する場合もある。導電体層は下の配線レベル（半導体層側の配線レベル）との導通を得るためのビアプラグ、あるいは第1素子部30との導通を得るためのコンタクトプラグを構成する場合もある。

【0025】

ビアプラグやコンタクトプラグもまた、主導電層と副導電層で構成され得る。これら副導電層は典型的にはバリアメタルでありうる。バリアメタルのバリア機能としては、主導電層と絶縁体層との間での拡散に対するバリア、或いは主導電層と絶縁体層との間の反応に対するバリアが挙げられる。しかし、「バリアメタル」は、副導電層に与えられる便宜

10

【0026】

絶縁体層は同じ配線レベルの配線パターン同士を絶縁する配線間絶縁層および／または異なる配線レベルの配線パターン同士を絶縁する層間絶縁層として機能し得る。第1配線部31は2以上の配線レベルで構成された、多数の電気経路（配線）を有する。一つの配線は、コンタクトプラグ、ビアプラグおよび配線パターンで構成されうる。

【0027】

20

第1配線部31の詳細な構成を説明する。第1配線部31には、コンタクトプラグ44aと、配線パターン40a、40b、40cおよびビアプラグ44b、44cが設けられている。導電体層で構成されたこれらコンタクトプラグ、配線パターン、ビアプラグが多数の電気経路を構成する。コンタクトプラグ44aは主にタングステン層からなり、タングステン層に加えて、チタン層および／または窒化チタン層を含むバリアメタルを有する。配線パターン40a、40b、40cおよびビアプラグ44b、44cは主に銅層からなり、銅層に加えて、窒化タンタル層および／またはタンタル層を含むバリアメタルを有する。配線パターン40aは1つの銅層で構成され、配線パターン40bとビアプラグ44b、および配線パターン40cとビアプラグ44cは、それぞれ1つの銅層で一体的に構成される。本例の第1配線311は、配線パターン40cを含んでおり、第1素子部30に設けられた半導体素子であるTr4とは、コンタクトプラグ44aと、配線パターン40a、40bおよびビアプラグ44b、44cを介して接続されている。

30

【0028】

第1配線部31には、層間絶縁層あるいは配線間絶縁層としての、酸化シリコンからなる絶縁体層39a、39b、39c、39d、39eが設けられている。絶縁体層39bはが配線パターン40aに対する配線間絶縁層である。絶縁体層39a、39b、39c、39dは配線パターン40cと第1半導体層33の間に位置する。配線パターン40cは絶縁体層39eと第1半導体層33の間に位置する。第1配線部31は、窒化シリコン、炭化シリコンなどからなる不図示の絶縁体層を、配線パターン40a、40b、40cに含有される銅の拡散防止層としてさらに有することができる。これらは、層間絶縁層と配線パターンの間に配され得る。拡散防止層は層間絶縁層あるいは配線間絶縁層よりも厚みが小さくてよい。

40

【0029】

次に、第2部分20について、第2素子部50と第2配線部51のそれぞれの構成を説明する。

【0030】

第2素子部50は第2半導体層55を含み、信号処理ユニット22を構成する半導体素子としてのMOSトランジスタTr5、Tr6、Tr7、Tr8を有する。本例では、第2半導体層55の表面203の一部は、MOSトランジスタTr5、Tr6、Tr7、Tr8のゲート絶縁膜と界面を成している。第2素子部50にはSTIやLOCOSなどの

50

素子分離 58 が設けられている。第 2 素子部 50 には、第 2 半導体層 55 の表面 203 を保護する窒化シリコンや酸化シリコンなどの絶縁体からなる第 2 保護膜（不図示）が設けられている。第 2 素子部 50 は第 2 半導体層 55 に加えて、素子分離 58 やゲート絶縁膜、ゲート電極、第 2 保護膜を含み得る。

【0031】

第 2 配線部 51 は、導電体層および絶縁体層を含む。第 2 配線部 51 の導電体層および絶縁体層も、第 1 配線部 31 の導電体層および絶縁体層と同様の機能を有する。

【0032】

第 2 配線部 51 の詳細な構成を説明する。第 2 配線部 51 には、コンタクトプラグ 54 a と、複数の配線パターン 53 a、53 b、53 c およびビアプラグ 54 b、54 c が設けられている。導電体層で構成されたこれらコンタクトプラグ、配線パターン、ビアプラグが多数の電気経路を構成する。コンタクトプラグ 54 a とビアプラグ 54 c は主にタングステン層からなり、タングステン層に加えて、チタン層および／または窒化チタン層を含むバリアメタルを有する。配線パターン 53 a、53 b およびビアプラグ 54 b は主に銅層からなり、銅層に加えて、窒化タンタル層および／またはタンタル層を含むバリアメタルを有する。配線パターン 53 a は 1 つの銅層を含み構成される。配線パターン 53 b とビアプラグ 54 b は、1 つの銅層で一体的に構成される。配線パターン 53 c は主にアルミニウム層からなり、アルミニウム層に加えて、チタン層および／または窒化チタン層を含むバリアメタルを有する。本例の第 2 配線 512 は、配線パターン 53 c を含んでおり、第 2 素子部 50 に設けられた半導体素子である Tr 5 とは、コンタクトプラグ 54 a と、配線パターン 53 a、53 b およびビアプラグ 54 b、54 c を介して接続されている。

【0033】

第 2 配線部 51 には、層間絶縁層や配線間絶縁層として、酸化シリコンからなる絶縁体層 49 a、49 b、49 c、49 d、49 e が設けられている。絶縁体層 49 b はが配線パターン 53 a に対する配線間絶縁層である。絶縁体層 49 a、49 b、49 c、49 d は配線パターン 53 c と第 2 半導体層 55 の間に位置する。配線パターン 53 c は絶縁体層 49 e と第 2 半導体層 55 の間に位置する。第 2 配線部 51 は窒化シリコンや炭化シリコンからなる不図示の絶縁体層を、配線パターン 53 a、53 b に含有される銅の拡散防止層としてさらに有することができる。これらは、層間絶縁層と配線パターンの間に配され得る。

【0034】

配線パターン 40 a、40 b、40 c、53 a、53 b やプラグ 44 a、44 b、44 c、54 a、54 b、54 c において、銅層やタングステン層、アルミニウム層は、配線における導電率の高い主導電層として機能する。主導電層は、バリアメタルに用いられるタンタル層や窒化タンタル層、チタン層、窒化チタン層などの副導電層よりも、導電率の高い材料からなり、電流が流れる方向における断面積が大きい。

【0035】

配線パターン 40 a、40 b、40 c、53 a、53 b が主に銅層からなる例を示したが、これらには、配線パターン 53 c の様に、主にアルミニウム層からなる配線パターンを採用することもできる。なお、銅層やアルミニウム層は単体の銅あるいはアルミニウムのみならず、他の金属が添加された合金であってもよい。例えば、銅層は銅よりも少ないアルミニウムやシリコンなどを添加物として含み得るし、アルミニウム層はアルミニウムよりも少ない銅やシリコンなどを添加物として含み得る。絶縁体層 39 a、39 b、39 c、39 d1、39 d2、39 e、49 a、49 b、49 c、49 d、49 e は酸化シリコンからなる例を挙げたが、BSG や PSG、BPSG などのケイ酸塩ガラスを用いることもできる。また、酸化シリコンよりも低誘電率の低い材料（low-k 材料）を用いることもできる。

【0036】

第 1 配線部 31 の配線パターンを配線パターン 40 a、40 b、40 c の 3 レベル、第

10

20

30

40

50

2 配線部 5 1 の配線パターンは 5 3 a、5 3 b、5 3 c の 3 レベルとする例を示した。しかし、配線パターンのレベル数は適宜設定可能であり、第 1 配線部 3 1 と第 2 配線部 5 1 とで異なってもよい。例えば、第 2 配線部 5 1 の配線パターンのレベル数を第 1 配線部 3 1 の配線パターンのレベル数よりも多くしてもよい。

【0037】

続いて、電子デバイス 1 の他の構造について説明する。

【0038】

第 1 部分 1 0 と第 2 部分 2 0 は、第 1 配線部 3 1 と第 2 配線部 5 1 とで接合されている。第 1 配線部 3 1 の絶縁体層 3 9 e と第 2 配線部 5 1 の絶縁体層 4 9 e が、接合面 6 0 を介して接合されている。これにより、絶縁体層 3 9 e と絶縁体層 4 9 e は、第 1 配線 3 1 1 と第 2 配線 5 1 2 との間（配線パターン 4 0 c と配線パターン 5 3 c との間）に位置することになる。

10

【0039】

本例の半導体デバイス 1 は、第 1 半導体層 3 3 のトランジスタ $Tr1 \sim 4$ が設けられた面（表面 1 0 3）とは反対側の面（裏面 1 0 4）が受光面となる裏面照射型の光電変換装置を構成する。裏面照射型の光電変換装置において、第 1 部分 1 0 の第 1 半導体層 3 3 の厚みは $10 \mu m$ 未満であり、例えば $2 \sim 5 \mu m$ である。第 2 半導体層 5 5 の厚みは第 1 半導体層 3 3 よりも厚く、第 2 半導体層 5 5 は第 1 半導体層 3 3 の支持体として機能する。第 2 半導体層 5 5 の厚みは $10 \mu m$ 以上であり、例えば $20 \sim 500 \mu m$ である。

【0040】

20

第 1 半導体層 3 3 の裏面 1 0 4 側には、光学部材 4 1 が設けられている。

【0041】

光学部材 4 1 は、反射防止層 6 1、絶縁体層 6 2、遮光層 6 3、絶縁体層 6 9、平坦化層 7 1、カラーフィルタレイ 7 3 およびマイクロレンズレイ 7 4 を含む。光学部材 4 1 は第 1 素子部 3 0 の受光面を構成する、第 1 半導体層 3 3 の裏面 1 0 4 に接触している。光学部材 4 1 の第 1 素子部 3 0 側の面とは反対側の面 4 0 1 が光学部材 4 1 の光入射面である。本例では光入射面はマイクロレンズレイ 7 4 で構成されている。

【0042】

電極パッド 7 8 は配線パターン 5 3 c と同レベルの層に配されている。電極パッド 7 8 の上には、複数の絶縁体層、第 1 半導体層 3 3、光学部材 4 1 を貫通する開口 7 7 が設けられている。開口 7 7 には、電極パッド 7 8 に接続するボンディングワイヤ 7 9 が設けられている。ワイヤボンディングはパッケージの内部端子に接続される。なお、半導体デバイス 1 とパッケージの接続には、ワイヤボンディング接続に限らず、フリップチップ接続を用いることもできる。

30

【0043】

半導体デバイス 1 には、第 1 配線 3 1 1 と第 2 配線 5 1 2 を相互に接続する導電部材 6 8 が設けられている。本実施形態の導電部材 6 8 は、第 1 貫通部 6 5 と、第 2 貫通部 6 6 と、それらを接続する連結部 6 7 とを有する。

【0044】

第 1 貫通部 6 5 は、第 1 素子部 3 0 を貫通して第 1 配線部 3 1 の第 1 配線 3 1 1 に接続する。第 2 貫通部 6 6 は、第 1 素子部 3 0 および第 1 配線部 3 1 を貫通して第 2 部分 2 0 の第 2 配線部 5 1 に接続する。第 1 貫通部 6 5 は第 1 素子部 3 0 を貫通するものの、第 1 配線部 3 1 は貫通しないため、第 1 部分 1 0 を貫通しない。一方、第 2 貫通部 6 6 は第 1 素子部 3 0 および第 1 配線部 3 1 を貫通するため、第 1 部分 1 0 を貫通する。第 1 配線 3 1 1 と第 2 配線 5 1 2 との電氣的接続を達成するため、第 1 貫通部 6 5、第 2 貫通部 6 6、連結部 6 7 は導電材料で構成されているが、複数種類の導電材料で構成されていてもよい。

40

【0045】

導電部材 6 8 の他の形態としては、第 1 貫通部 6 5 と第 2 貫通部 6 6 が一体化した形態が挙げられる。このような形態は、特開 2010-245506 号公報の図 15 に記載さ

50

れた貫通接続導体（８４）や特開２０１１－９６８５１号公報の図２１に記載された基板間配線（８０）を参考にすることができる。

【００４６】

また本例では、第１貫通部６５は配線パターン４０ｃに接触し、第２貫通部６６は配線パターン５３ｃに接触する例を示した。しかし、それに限らず、第１貫通部６５は配線パターン４０ａ、４０ｂ、４０ｃの何れか、もしくは複数の接触しても良く、第２貫通部６６は配線パターン５３ａ、５３ｂ、５３ｃの何れか１つ、もしくは複数の接触しても良い。また、第１貫通部６５、第２貫通部６６は、配線パターンの導電層（銅層やアルミニウム層）に接触する場合もあるし、配線パターンのバリアメタルの層（チタン層や窒化チタン層、タンタル層）に接触する場合もある。また、配線パターンのバリアメタルの導電体層を貫通して、導電体層に接触する場合もある。

10

【００４７】

導電部材６８は第１半導体層３３に設けられた絶縁領域４２に囲まれている。絶縁領域４２は気体あるいは真空の領域であってもよい。導電部材６８により、光電変換ユニット１１と信号処理ユニット２２、光電変換ユニット１１と制御ユニット２１、制御ユニット１２と信号処理ユニット２２とが電氣的に接続されている。図２に示したブロック９０は部分間の接続に関わる導電部材６８、第１配線３１１、第２配線５１２、絶縁領域４２を含む領域を示している。このブロック９０は、複数個が並列に配されることが好ましい。ブロック９０が複数の並列に配されることにより、光電変換ユニット１１の列毎または行毎の信号を信号処理ユニット２２に受け渡し、信号処理ユニット２２は光電変換ユニット１１で発生した信号電荷に基づく電気信号を処理することが可能となる。またブロック９０は縦列に配されてもよいし、縦列と並列を併用してもよい。

20

【００４８】

導電部材６８の上には、窒化シリコンや炭化シリコンなどからなるキャップ層７０が設けられている。キャップ層７０は、外部からの水分などから導電部材６８の腐食を防ぐ保護層として機能し得る。

【００４９】

以上が、半導体デバイス１の構成の一例である。これらの構成は、適宜変更することができる。

【００５０】

以下、導電部材６８について、詳細に説明する。

30

【００５１】

本実施形態の導電部材６８は、第１半導体層３３の半導体（シリコン）に対する拡散係数が、半導体（シリコン）に対する酸素の拡散係数よりも大きい金属を含有する。以下、このような金属を「易拡散性金属」として定義する。この易拡散性金属は、第１配線３１１と第２配線５１２との電氣的接続を達成するための導電材料として機能し得る。導電部材６８の内で易拡散性金属を含有する領域を易拡散性金属領域６８１（第１領域）と呼ぶことにする。

【００５２】

拡散係数が大きいほど、対象となる材料中に拡散しやすい。拡散係数は温度依存性を有するが、拡散係数の比較を行うべき温度は、半導体デバイス１の製造時あるいは使用時において、導電部材６８が晒される温度の範囲内である。導電部材６８が晒され得ない温度における酸素との拡散係数の比較は意味を成さない。本例における第１半導体層３３はシリコン層であるので、シリコンに対する一般的な材料の拡散係数の相対関係について例示する。シリコンに対する酸素の拡散係数よりも、シリコンに対する拡散係数が大きい金属としては、金、銀、銅、ニッケル、鉄、亜鉛が挙げられる。シリコンに対する酸素の拡散係数よりも、シリコンに対する拡散係数が小さい金属としては、アルミニウム、タンゲステン、ビスマス、錫が挙げられる。なお、シリコンに対する酸素の拡散係数よりも、シリコンに対する拡散係数が大きい非金属、半金属としては水素や硫黄が挙げられる。シリコンに対する酸素の拡散係数よりも、シリコンに対する拡散係数が小さい非金属、半金属

40

50

としては、炭素やホウ素、ヒ素、アンチモン、リンが挙げられる。

【0053】

このような易拡散性金属領域681からその近傍に位置する近傍領域への易拡散性金属の拡散を抑制する拡散バリア領域682（第2領域）が、易拡散性金属領域681と近傍領域との間に設けられている。易拡散性金属領域681の近傍に位置する近傍領域としての層は、導電部材68の第1貫通部65および第2貫通部66が貫通する、第1半導体層33でありうる。また、近傍領域としての層は、第1配線部31に層間絶縁層として設けられた絶縁体層39a、39b、39c、39d（第1絶縁体層）でありうる。また、近傍領域としての層は、導電部材68の第2貫通部65が貫通する、第1配線部31に設けられた絶縁体層39e（第3絶縁体層）や第2配線部51に設けられた絶縁体層49e（第3絶縁体層）でありうる。あるいは、近傍領域としての層は、連結部67に裏面104が面する第1半導体層33でありうる。また、近傍領域としての層は、導電部材68の第1貫通部65が接触する第1配線311の配線パターン40cの導電体層（第1導電体層）でありうる。また、近傍領域としての層は、導電部材68の第2貫通部65が接触する第2配線512の配線パターン53cの導電体層（第2導電体層）でありうる。あるいは、配線パターン53cと第2半導体層55との間に設けられた絶縁体層49a、49b、49c、49d（第2絶縁体層）でありうる。

10

【0054】

これら第1貫通部65や第2貫通部66が易拡散性金属領域681を有する場合、拡散バリア領域682は、それらの易拡散性金属領域681と、近傍領域との間に位置する。拡散バリア領域682は1種類以上の拡散バリア材料を含有している。拡散バリア材料は易拡散性金属とは異なる材料である。

20

【0055】

拡散バリア材料に対する易拡散性金属の拡散係数は、半導体（シリコン）に対する易拡散性金属の拡散係数よりも低い。また、拡散バリア材料に対する易拡散性金属の拡散係数は、第1絶縁体層の絶縁体（酸化シリコン）に対する易拡散性金属の拡散係数よりも低い。簡単に言うと、易拡散性金属は、近傍領域の半導体および絶縁体よりも拡散バリア材料に対しては、拡散しにくい。易拡散性金属が金、銀または銅、近傍領域の半導体がシリコンで絶縁体が酸化シリコンである場合、拡散バリア材料としては、タンタル、窒化タンタル、炭化タンタル、チタン、窒化チタン、炭化チタン、タングステン、窒化タングステン、炭化タングステン、マンガン、窒化シリコン、炭化シリコンを挙げることが出来る。このように、拡散バリア材料は、金属、金属窒化物、金属炭化物、半導体窒化物あるいは半導体炭化物が好適である。

30

【0056】

なお、上述したように、第1配線部31は酸化シリコン層とは別に、窒化シリコン層や炭化シリコン層などの配線材料に対する拡散防止層としての絶縁体層を有することができる。拡散バリア材料に対する易拡散性金属の拡散係数は、これら拡散防止層の絶縁体（窒化シリコンや炭化シリコン）に対する易拡散性金属の拡散係数以下であることが好ましいが、そうでなくてもよい。拡散防止層の材料と拡散バリア領域681の拡散バリア材料が同じであってもよい。拡散防止層の厚みが、層間絶縁層よりも小さければ、拡散防止層に対する、導電部材68中の易拡散性金属の拡散の影響は考慮しなくてもよい。

40

【0057】

本例では、導電部材68が、導電部材68が含有する易拡散性金属である銅の、第1部分10への拡散を抑制する拡散バリア領域682をその一部として有する。本例では、拡散バリア領域682によって拡散が妨げられる易拡散性金属は銅である。易拡散性金属は、第1素子部30の大部分を成す第1半導体層33の材料であるシリコンや、第1配線部31の大部分を成す絶縁体層39a～39eの材料である酸化シリコンにおいて拡散しやすい。拡散バリア領域682に対する易拡散性金属の拡散係数は、第1半導体層33の材料（シリコン）やその酸化物（酸化シリコン）に対する易拡散性金属の拡散係数よりも小さい。

50

【0058】

拡散バリア領域682の配置について詳細に説明する。拡散バリア領域682の一部（第1部分）は、第1貫通部65の易拡散性金属を含む部分と第1部分10の間に位置して、第1貫通部65の易拡散性金属を含む部分の第1部分10への拡散を抑制する。拡散バリア領域682の一部（第2部分）は、第2貫通部66の易拡散性金属を含む領域と第1部分10の間に位置して、第2貫通部66の易拡散性金属を含む領域の金属の第1部分10への拡散を抑制する。拡散バリア領域682の一部（第3部分）は、連結部67の易拡散性金属を含む領域と第1部分10の間に位置して、連結部67の金属の第1部分10への拡散を抑制する。拡散バリア領域682の第1部分、第2部分、第3部分は、それぞれ第1貫通部65、第2貫通部66、連結部67の一部を構成する。

10

【0059】

拡散バリア材料は、絶縁材料および／または導電材料である。拡散バリア材料が導電材料である場合、その導電材料は導電部材68の一部として、第1配線311と第2配線512との導通の一部を担うことができる。拡散バリア材料が絶縁材料である場合、その絶縁材料は、導電部材68と第1部分10あるいは第2部分20との間に位置する。拡散バリア材料は絶縁材料および／または導電材料の双方で構成されてもよい。

【0060】

拡散バリア領域682は単層構造であってもよいし、複層構造であってもよい。単層構造としては絶縁層であってもよいし導電層であってもよい。複層構造としては、導電層のみの複層構造であってもよいし、絶縁層のみの複層構造であってもよいし、絶縁層と導電層の双方を含む複層構造であってもよい。本実施形態の拡散バリア領域682は導電材料で構成された、導電部材68の一部であり、タンタル層の単層構造である。本実施形態では、拡散バリア領域682の一部が第1貫通部65の易拡散性金属領域681と第1配線311との間に位置して、配線パターン40cに接触している。また、拡散バリア領域682の一部が第2貫通部66の易拡散性金属領域681と第2配線512との間に位置して配線パターン40cに接触している。拡散バリア領域682が導電層と絶縁層の複層構造を有する場合には、少なくとも絶縁層が、第1貫通部65の易拡散性金属領域681と第1配線311との間には位置しないようにする。同様に、拡散バリア領域682の絶縁層は第2貫通部66の易拡散性金属領域681と第2配線512との間には位置しないようにする。拡散バリア領域682の導電層と導電部材68との間に絶縁層を配置することもできる。第1配線部31には、第2貫通部66に含まれる金属（銅）と原子番号が同じ金属（銅）の第1部分10内での拡散を妨げるバリアメタル（タンタル膜）を有するビアプラグ44ab、44cが設けられている。例えばビアプラグ44bのバリアメタルの厚みを T_1 、ビアプラグ44bと同じ高さにおける拡散バリア領域682の導電層の厚みを T_0 として、 $T_1 < T_0$ が成り立つように、拡散バリア領域682の導電層の厚みを決定することができる。ビアプラグ44cと同じ高さにおける拡散バリア領域682の導電層の厚みも同様に、ビアプラグ44cのバリアメタルよりも厚くできる。第1配線部31および第2配線部51のビアプラグ44b、54bに形成したバリアメタルより、第1貫通部65、第2貫通部66に形成した易拡散性金属領域681の導電層の厚みが大きくてよい理由を述べる。ビアプラグ44b、54bに形成したバリアメタルは厚くするとEM耐性の劣化やビア抵抗の上昇が生じる。これに対して第1貫通部65、第2貫通部66の寸法は数倍以上大きいので、電流密度が低くなりEM耐性が向上するとともに、断面積が大きいために抵抗も低下する。このため第1貫通部65、第2貫通部66に形成する易拡散性金属領域681の導電層を厚くすることが可能となる。

20

30

40

【0061】

また、第1配線部31は、第2貫通部66に含まれる金属（Cu）と原子番号が同じ金属（Cu）の第1部分10内での拡散を妨げるバリアメタル（タンタル膜）を有するビアプラグを含む。例えばビアプラグ44bである。このビアプラグ44bの幅を D_1 、ビアプラグ44bのバリアメタル（タンタル膜）の厚みを T_1 、ビアプラグ44bと同じ高さにおける導電部材68（第1貫通部65または第2貫通部66）の幅を D_0 、ビアプラグ

50

44bと同じ高さにおける拡散バリア領域682の導電層の厚みを T_0 とする。本例では、 $T_0/D_0 < T_1/D_1$ が成り立つように、第1貫通部65または第2貫通部66の幅および拡散バリア領域682の導電層の厚みを決定することができる。上述した指針により拡散バリア材料を選択することにより、ビアプラグにおけるバリア金属の厚みの割合に対して、導電部材68における拡散バリア領域682の導電層の厚みの割合は小さくてよい。

【0062】

また、第1配線部31に設けられたコンタクトプラグ44aの幅を D_{1C} 、コンタクトプラグ44aと同じ高さにおける拡散バリア領域682の導電層の厚みを T_C として、 $T_C < D_{1C}$ でありうる。拡散バリア領域682の導電層 T_C はそれほど大きくなくても、

10

【0063】

第1配線部31に設けられたコンタクトプラグ44aの幅を D_{1C} 、第2配線部51に設けられたコンタクトプラグ54aの幅を D_2 として、 $D_{2C} < D_{1C}$ でありうる。第1部分10と第2部分10は別々に形成可能であり、第2部分20を第1部分10よりも微細なプロセスルールで形成することができるためである。必要性に応じて、 $D_{1C} \leq D_2$ としてもよい。 $T_C < D_{2C}$ であってもよく、 $T_C < D_{2C} < D_{1C}$ でありうる。

【0064】

拡散バリア領域682は、易拡散性金属領域681の易拡散性金属が第1半導体層33に拡散することを抑制する。この結果、第1素子部30の半導体素子 $Tr1 \sim Tr4$ で生じ得るリーク電流、あるいは、第1素子部30の光電変換素子PDで生じ得る暗電流を低減することが可能となる。また、拡散バリア領域682は、易拡散性金属領域681の易拡散性金属が絶縁体層39a～eに拡散することを抑制する。易拡散性金属領域681からの易拡散性金属の拡散による、易拡散性金属領域681でのボイドの発生が抑制される。また、絶縁体層39a～eへの易拡散性金属の拡散による、絶縁体層39a～eの低抵抗化が抑制される。これにより、第1配線部31の配線構造の信頼性が確保される。

20

【0065】

図3、図4、図5を参照しながら本実施形態の光電変換装置の製造方法を説明する。図3、図4、図5は、図2と同様の部分（図1の点Pと点Qを含む面）を示す断面図である。

30

【0066】

図3（a-1）を参照して第1部分10aの製造工程について説明する。

【0067】

まず、第1素子部30を形成する。以下、具体的に説明する。第1半導体層33となる第1半導体基板33aを準備する。第1半導体基板33aは例えばシリコン基板である。第1半導体基板33aの所望の領域を分離する絶縁領域42を形成する。絶縁領域42は、図2において、導電部材68を囲む位置に形成される。絶縁領域42は、図2の第1半導体層33の下面（裏面）104を超える深さまで形成される。絶縁領域42は、第1半導体基板33aの上面（表面）103から所望の位置を裏面側から開口し、この開口に絶縁材料を埋め込むことで形成される。絶縁領域42は、第1素子部30aの上面（表面）103から所望の位置を裏面側から溝を形成し、この溝に蓋をし、溝内の少なくとも一部が気体または空隙になるように形成することも可能である。

40

【0068】

次いで第1半導体基板の上面（表面）103に素子分離38を形成し、さらに第1半導体基板に $Tr3$ と $Tr4$ のウェルを形成する。その後、光電変換ユニットのn型半導体領域34とp型半導体領域35、および $Tr1$ 、 $Tr2$ 、 $Tr3$ 、 $Tr4$ のn型半導体領域とp型半導体領域を形成する。また第1半導体基板の上にゲート酸化膜を介してゲート電極を形成する。次いで、ゲート電極を覆うように第1半導体基板の表面103を保護する第1保護膜（不図示）を形成する。以上の様にして、第1素子部30aを形成する。

【0069】

50

次いで、第1素子部30aの上に第1配線部31を形成する。以下、具体的に説明する。まず、第1半導体基板33aの上に、第1保護膜を介して、絶縁体層39aを形成し、第1保護層と絶縁層39aにコンタクトホールを形成する。コンタクトホールに副導電層としてのチタン層と窒化チタン層、および、主導電層としてのタングステン層を形成してコンタクトプラグ44aを形成する。コンタクトプラグ44aの寸法は、例えば幅が130nm、長さ（コンタクトホールの深さ）が200nmである。

【0070】

その後、絶縁体層39bを形成し、絶縁体層39bにシングルダマシンの溝（トレンチ）を形成する。そして、シングルダマシン法を用いて、副導電層としてのタンタル層、主導電層としての銅層を形成して配線パターン40aを形成する。そして、例えば窒化シリコンや炭化シリコンなどからなる拡散防止層（不図示）を厚み50nmで堆積する。

10

【0071】

次に層間絶縁層として絶縁体層39cを形成し、パターニングを行い絶縁体層39cにデュアルダマシンの孔（ビア）を形成する。この溝（ビア）の寸法は例えば幅は150nmであり、深さは300nmである。その後パターニングを行い絶縁体層39cにデュアルダマシンの溝（トレンチ）を形成する。その後、例えば10nmのタンタル膜、100nmの銅シード膜を堆積し、例えば900nmの銅めっき膜を形成する。そして、トレンチ外にある膜の余分な部分をCMPで除去する。このように、デュアルダマシン法を用いてビアプラグ44bと配線パターン40bを一体的に形成する。そして、拡散防止層（不図示）50nmを堆積する。同様に、絶縁体層39dを形成し、デュアルダマシン法によりビアプラグ44bと配線パターン40bを一体的に形成する。その後、酸化シリコンからなる絶縁体層39eを形成する。

20

【0072】

以上によって、第1素子部30と第1配線部31を有する第1部分10aが得られる。

【0073】

図3（a-2）を参照して第2部分の製造工程について説明する。

【0074】

まず、第2素子部50を形成する。以下、具体的に説明する。まず、第2半導体層55となる第2半導体基板55aを準備する。第2半導体基板55aは例えばシリコン基板である。第2半導体基板の上面（表面）203に素子分離58を形成する。次いで、第2半導体基板にTr5、Tr6、Tr7、Tr8のウェルを形成する。その後、Tr5、Tr6、Tr7、Tr8のn型半導体領域とp型半導体領域を形成する。また第2半導体基板の上にゲート酸化膜を介してゲート電極を形成する。次いで、ゲート電極を覆うように第2半導体基板の表面203を保護する第2保護膜（不図示）を形成する。以上の様にして、第2素子部50aを形成する。

30

【0075】

次いで第2素子部50の上面（表面）203の上に第2配線部51を形成する。コンタクトプラグ54aおよびビアプラグ54cの形成はコンタクトプラグ44aと同様に行うことができる。コンタクトプラグ54aの寸法は、例えば幅が65nm、高さ（コンタクトホールの深さ）が100nmである。配線パターン53aの形成は配線パターン40aと同様に行うことができる。配線パターン53bおよびコンタクトプラグ54bの形成は配線パターン40bおよびビアプラグ44bと同様に行うことができる。ここでは配線レベルを3としたが、第2配線部51の配線レベル数を第1配線部31よりも大きくしてもよい。配線パターン53cの形成は、チタン層および／または窒化チタン層とアルミニウム層、さらにチタン層および／または窒化チタン層の積層体をパターニングすることにより行うことができる。

40

【0076】

以上によって、第2素子部50と第2配線部を有する第2部分20aが得られる。第1部分10aと第2部分20aの作製の順番はどちらが先でもよく、これらを並行して行ってもよい。

50

【0077】

図3(b)を参照して説明を続ける。第1部分10aの第1配線部31側と第2部分20aの第2配線部51側を接合面60で接合させる。第1部分10aの第1配線部31側の表面(絶縁体層39eの表面)と第2部分20aの第2配線部51側の表面(絶縁体層49eの表面)は、絶縁層で構成され、CMP法やエッチバック法などで平坦化されている。第1部分10aと第2部分20aの接合は、真空中または不活性ガス雰囲気で行うことが好ましい。また接合の前に第1部分10aの第1配線部31側の表面(絶縁体層39eの表面)と第2部分20aの第2配線部51側の表面(絶縁体層49eの表面)に対して、プラズマ照射を行うことが望ましい。このプラズマ照射を行うことで、プラズマ照射を行わない場合に比べて、酸化シリコン膜や窒化シリコン膜同士の接合がより強固なものとなる。またプラズマ照射の他に薬液処理によって接合面を活性化する方法も適用可能である。

10

【0078】

本実施形態では、第1配線部31と第2配線部51とをプラズマ接合などを用いて直接接合した例を示した。しかし、第1配線部31の絶縁体層と第2配線部51の絶縁体層とを接着層を介して接合することもできる。また、第1配線部31の導電体層と第2配線部51の導電体層とを金属接合を用いて、導電体層同士を直接接合することもできる。金属接合される導電体層の材料には銅を好適に用いることができる。

【0079】

さらに、接合後の第1部分10aの第1素子部30aの第1半導体基板を下面(裏面)から薄化する。薄化は、研削、CMPまたはエッチング等の方法によって行うことができる。面104まで薄化することによって、図3(d)の構成である第1半導体層33を含む第1素子部30を備える第1部分10が得られる。第1半導体層33を薄化することで、入射光が光電変換ユニット11に効率よく到達する。これは感度の時向上に寄与する。

20

【0080】

以上の様にして、第1部分10と第2部分20の積層体を得られる。

【0081】

図4(c)を参照して説明を続ける。薄化された第1半導体層33の表面104の上に反射防止層61、絶縁体層62を形成する。その後、遮光層63を形成する。反射防止層61はシリコン層と酸化シリコン層との間の屈折率を有することが好ましい。反射防止層61は例えば窒化シリコンで形成されうる。反射防止層61は複数あっても良い。絶縁体層62は例えば酸化シリコンからなる。遮光層63はアルミニウムやタングステンを堆積し、パターニングすることで形成できる。遮光層63は各画素間、オブティカルブラック画素上、および光の入射による影響を受ける素子の上に配するのが好ましい。遮光層63を堆積する前に反射防止層61、絶縁体層62をパターニングしてから、遮光層63を堆積することで遮光層63と第1素子部30とを導通させることも可能である。

30

【0082】

さらに、絶縁体層62、および遮光層63の上に絶縁体層69を形成する。絶縁体層69は例えば酸化シリコン膜である。その後絶縁領域42の内側の所望の領域の絶縁体層69をパターニングし、連結溝67aを形成する。連結溝67aは例えば第1素子部30に達しない深さに形成する。連結溝67aの底面に第1配線311に達する第1貫通孔65aと第2配線512に達する第2貫通孔66aを形成する。第1貫通孔65aは絶縁体層69、絶縁体層62、反射防止層61、第1素子部30、素子分離38、第1配線部31の第1保護膜、絶縁体層39a、39b、39c、39dをエッチングする。そして、第1配線部31の配線パターン40cに到達するように形成されている。また第2貫通孔66aは絶縁体層69、絶縁体層62、反射防止層61、第1素子部30、素子分離38、第1保護膜、第1配線部31の、絶縁体層39a、39b、39c、39d、絶縁体層49eをエッチングする。そして、第2配線部51の導電体層53cに到達するように形成されている。第1貫通孔65a、第2貫通孔66aの寸法は例えば幅は1~3 μm 、深さは3~8 μm である。前述の第1配線部31および第2配線部51に形成したビアプラグ

40

50

4 4 b、5 4 bに対して、深さが数倍以上大きい。第1貫通孔6 5 aと第2貫通孔6 6 aは同時に形成しても良いし、別々にパターニングを行い、各々にエッチングを行ってもよい。第1貫通孔6 5 aと第2貫通孔6 6 aとの距離は1~10 μmが好ましい。第1貫通孔6 5 aと第2貫通孔6 6 aとの距離が小さければ溝の形成が困難になり、また大きければチップ面積が大きくなってしまうため、適宜最適な距離を有した方がよい。

【0083】

図4(d)を参照して説明を続ける。第1貫通孔6 5 a、第2貫通孔6 6 a、連結溝6 7 aに、拡散バリア領域6 8 2を堆積する。拡散バリア領域6 8 2はタンタルの単層膜によりなる。拡散バリア領域6 8 2は例えば厚み30 nmのタンタル膜を堆積することで形成できる。第1貫通孔6 5 a、第2貫通孔6 6 aの寸法は、第1配線3 1 1や第2配線5 1 2のプラグのための孔よりも大きい。このため第1貫通孔6 5 a、第2貫通孔6 6 aに形成する拡散バリア領域6 8 2はビアプラグ4 4 b、5 4 bに形成するタンタル膜より厚く堆積することが好ましい。

10

【0084】

次に、第1貫通孔6 5 a、第2貫通孔6 6 a、連結溝6 7 aに、導電材料を埋め込む。第1貫通部6 5、第2貫通部6 6、連結部6 7を形成する。拡散バリア領域6 8 2が堆積された第1貫通孔6 5 a、第2貫通孔6 6 a、連結溝6 7 aに例えば厚み300 nmの銅シード層を堆積し、厚み3 μmの銅めっき層を形成する。

【0085】

図5(e)を参照して説明を続ける。拡散バリア領域6 8 2、銅膜の余分な部分を除去することで、第1貫通部6 5、第2貫通部6 6、連結部6 7が形成できる。また第1貫通部6 5、第2貫通部6 6、連結部6 7により導電部材6 8が形成される。これにより第1部分10の第1配線部31の導電体層40cと第2部分20の第2配線部51の導電体層53cとが電氣的に接続される。また本実施形態では、導電部材6 8は、第1素子部30に形成された絶縁領域42の領域内に形成されるので、導電部材6 8と第1の素子部30は電氣的に接続されることが防止される。

20

【0086】

本実施形態の導電部材6 8の形成工程では、第1貫通孔6 5 a、第2貫通孔6 6 a、連結溝6 7 aに一括で銅を埋め込むデュアルダマシン法を用いたが、これに限られるものではない。たとえば、シングルダマシン法を用いてもよい。たとえば、先に第1貫通孔6 5 aと第2貫通孔6 6 aを形成し、第1貫通孔6 5 aと第2貫通孔6 6 aに一括して導電材料を埋め込み、その後連結溝6 7 aを形成して連結溝6 7 aに導電材料を埋め込むことができる。また、デュアルダマシン法について、第1貫通孔6 5 a、第2貫通孔6 6 aよりも先に連結溝6 7 aを形成するトレンチファーストを例にあげた。しかし、第1貫通孔6 5 a、第2貫通孔6 6 aを形成してから連結溝6 7 aを形成するビアファーストとしてもよい。また、連結部6 7の形成は、導電材料の埋め込みによらず、アルミニウムなどの導電膜のパターニングで形成してもよい。例えば、第1貫通部6 5と第2貫通部6 6の上に形成した絶縁層にタングステンを主体とするビアプラグを形成し、当該絶縁層およびビアプラグを覆うアルミニウム膜をエッチングによりパターニングする。これにより、ビアプラグとアルミニウム層からなる連結部6 7を形成できる。この時ビアプラグとしてのタングステンと絶縁層の間にはチタン層及び／又は窒化チタン層からなるバリアメタルを設けることができる。また、アルミニウム層の上層及び／又は下層にも、チタン層及び／又は窒化チタン層からなるバリアメタルを設けることができる。

30

40

【0087】

第1部分10の第1配線部31の導電体層40cと、第2部分20の第2配線部51の導電体層53cとが電氣的に接続される導電部材6 8が形成される例であれば種々の変更が可能である。

【0088】

図5(f)を参照して説明を続ける。導電部材6 8を覆うように、絶縁体のキャップ層70および平坦化層71を形成する。本実施形態のように連結部6 7が銅で形成されるよ

50

うな場合はキャップ層70として窒化シリコン膜を用いることが好ましい。また本実施形態ではキャップ層70は導電部材68を覆う領域のみ形成されているが、光電変換素子を覆う領域にも形成されてもよい。本実施形態のように光電変換装置の場合は少なくともフォトダイオードの配置領域のキャップ層は除去する方が好ましい。また平坦化層71は無機絶縁体膜や有機絶縁体膜など複数の膜で構成することも可能である。また平坦化層71は適宜平坦化することも可能である。本例の第1貫通部65、第2貫通部66、連結部67により構成される導電部材68の主材料は銅であり、この銅は拡散バリア領域682及びキャップ層70で囲われている。この拡散バリア領域682及びキャップ層70は第1貫通部65、第2貫通部66、連結部67および導電部材68の金属拡散を防止することが可能となる。次に、平坦化層71の上に樹脂からなるカラーフィルタ73、オンチップレンズ74をこの順で適宜形成する。

10

【0089】

その後電極パッド78に開口77を形成する。これにより図2に示す構成が得られる。本実施形態では開口77の形成工程はカラーフィルタ73、オンチップレンズ74の形成の後とした例を示したが、カラーフィルタ73、オンチップレンズ74の形成前に行うことも可能である。カラーフィルタ73、オンチップレンズ74を形成した後では、樹脂であるカラーフィルタ73、オンチップレンズ74の保護のため、高温（400℃程度）の熱処理はできない。開口77の処理により半導体デバイス1にダメージが入ると、ダメージ回復のための熱処理が必要になる場合があり、工程順は適宜変更可能である。

20

【0090】

その後、半導体デバイス1をパッケージにダイボンドを用いて接着する。そして、開口77に、電極パッド78に接続するボンディングワイヤ79を形成する。パッケージを透明板で封止する。パッケージの外部端子であるLGA（Land Grid Array）をリフローはんだ付けにより、回路基板に固着する。

【0091】

<第2実施形態>

本実施形態は、拡散バリア領域682が、導電層と絶縁層とで構成された形態である。このような場合の製造方法を説明する。

【0092】

図6（a）に示す様に、連結溝67a、第1接続孔65b、第2接続孔66bを形成する。この時、第1配線部31に予め設けられた拡散防止層83、84の第2接続孔66aが設けられる部分はパターンニングによって予め除去されている。第1接続孔65bの形成と第2接続孔66bの形成は並行して行うことが出来る。この時、酸化シリコン層である絶縁体層39a、39b、39c、39d、39e、49eに対するエッチングレートが、拡散防止層83、84に対するエッチングレートより高くなるエッチング方法でエッチングを行う。このようにすることで、拡散防止層84がエッチングストップパとなって、第1接続孔65bと第2接続孔66bを同時形成しても、先に第1接続孔65bが配線に達することを避けられる。

30

【0093】

図6（b）に示す様に、窒化シリコンなどの絶縁材料からなる拡散バリア材料からなる第1拡散バリア膜751を形成する。

40

【0094】

図6（c）に示す様に、拡散バリア膜751をエッチバックして、底部に開口を有する窒化シリコン層750を形成する。窒化シリコン層750が、導電部材68と第1半導体層33との間の絶縁領域として機能する、拡散バリア領域682の絶縁層となる。

【0095】

図6（d）に示す様に、拡散防止層84、絶縁体層39dをエッチングして、バリアメタルのタンタル層81に達する第1貫通孔65aを形成する。また、絶縁体層49eおよびバリアメタルの窒化チタン層87をエッチングして、アルミニウム層86に達する第2貫通孔66aを形成する。

50

【0096】

図6(e)に示す様に、タンタルなどの導電材料からなる拡散バリア材料からなる第2拡散バリア膜1682を形成する。第2拡散バリア膜1682が後に、拡散バリア領域682の一部であり、導電部材68の一部でもある、拡散バリア領域682の導電層となる。第2拡散バリア膜1682と銅層82の間にはタンタル層81が位置している。このようにすることで、銅層82のエッチングによる金属汚染を避けることができる。

【0097】

図6(f)に示す様に、第1貫通孔65a、第2貫通孔66a、連結溝に銅膜1681を埋め込む。銅膜1681とアルミニウム層86の間には第2拡散バリア膜1682が位置している。このようにすることで、アルミニウム層86が露出しても、第2貫通孔66a内の銅がアルミニウム層86に拡散することを避けることができる。その後、連結溝の外の余分なタンタル膜1682、銅膜1681をCMP法により除去して、導電部材68が得られる。

10

【0098】

<第3実施形態>

本実施形態は、第1配線部31と第2配線部51との間に第1素子部30が位置する形態である。第2貫通部66が第1半導体層33および絶縁体層39eを貫通しており、第1貫通部65は絶縁体層39eを貫通しているものの第1半導体層33を貫通していない。

【0099】

本実施形態の拡散バリア領域682は窒化シリコンなどの絶縁材料で構成されている。易拡散性金属領域681は銅を含み、第1貫通部65、第2貫通部66は、拡散防止層83、87を貫通して、銅層82、86と接触している。連結部67はアルミニウム層とバリアメタルを含み、タングステンからなるビアプラグ87を介して第1貫通部65と第2貫通部66とを接続している。

20

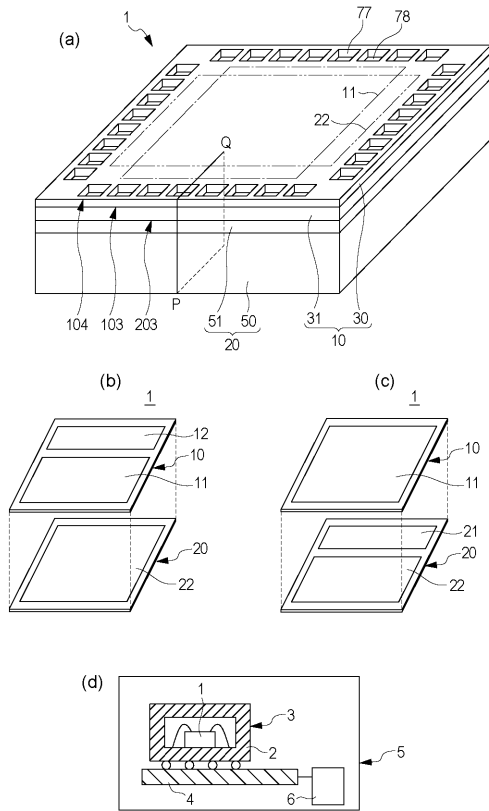
【符号の説明】

【0100】

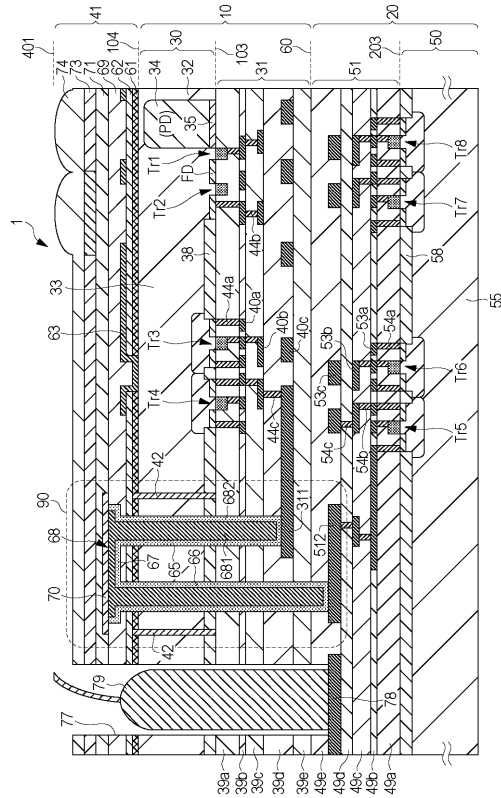
- 10 第1部分
- 30 第1素子部
- 31 第1配線部
- 20 第2部分
- 50 第2素子部
- 51 第2配線部
- 681 易拡散性金属領域
- 682 拡散バリア領域
- 65 第1貫通部
- 66 第2貫通部
- 67 連結部
- 68 導電部材

30

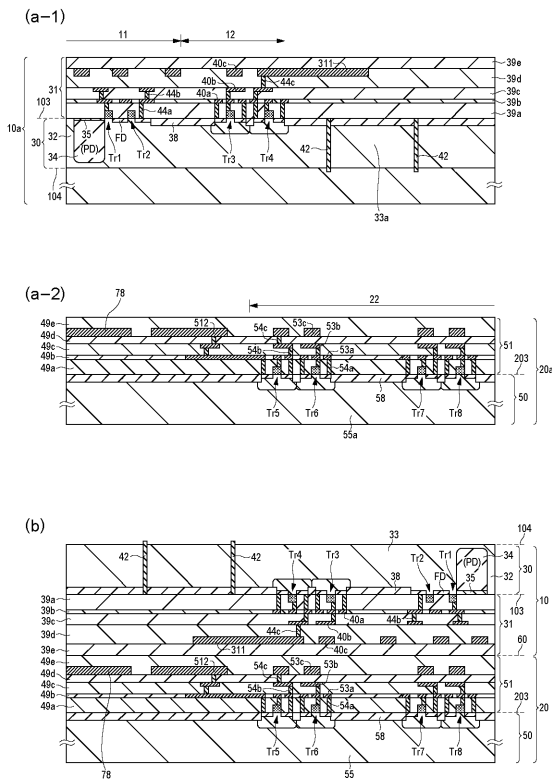
【図 1】



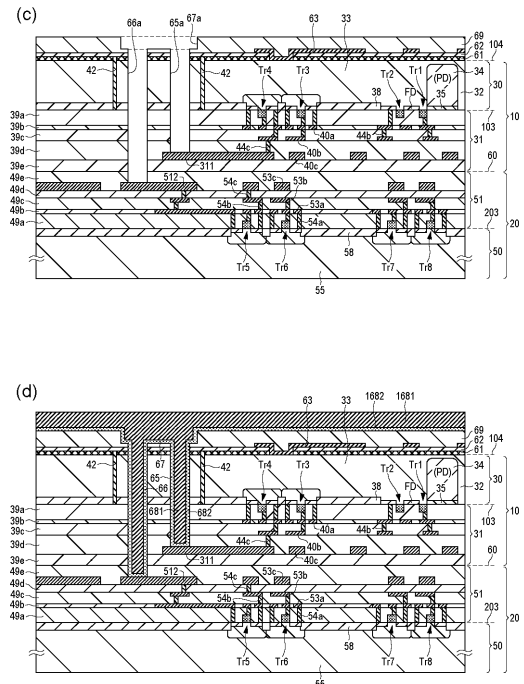
【図 2】



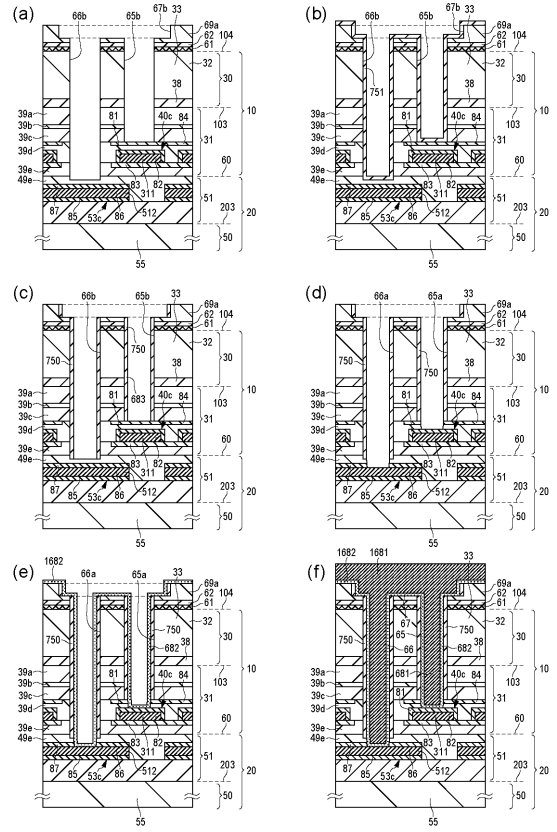
【図 3】



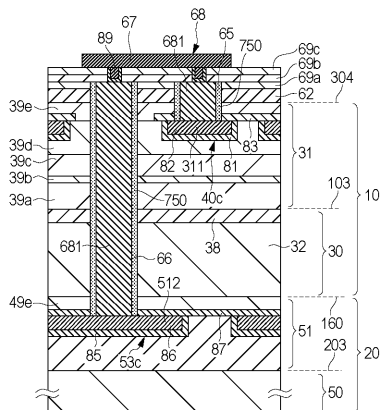
【図 4】



【図 6】



【图 7】



フロントページの続き

(56)参考文献 特開 2011-204915 (JP, A)
特許第 6128787 (JP, B2)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/768

H01L 23/522

H01L 27/146