

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6864152号
(P6864152)

(45) 発行日 令和3年4月28日 (2021.4.28)

(24) 登録日 令和3年4月5日 (2021.4.5)

(51) Int. Cl.	F I
HO 1 L 25/04 (2014.01)	HO 1 L 25/04 Z
HO 1 L 25/18 (2006.01)	HO 1 L 23/12 5 O 1 B
HO 1 L 23/12 (2006.01)	HO 1 L 21/60 3 1 1 S
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 2 1 E

請求項の数 20 (全 20 頁)

(21) 出願番号	特願2020-504400 (P2020-504400)	(73) 特許権者	591016172
(86) (22) 出願日	平成30年7月30日 (2018.7.30)		アドバンスト・マイクロ・デバイス・
(65) 公表番号	特表2020-528220 (P2020-528220A)		インコーポレイテッド
(43) 公表日	令和2年9月17日 (2020.9.17)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2018/044342		CES INCORPORATED
(87) 国際公開番号	W02019/032322		アメリカ合衆国 95054 カリフォル
(87) 国際公開日	平成31年2月14日 (2019.2.14)		ニア州、 サンタ クララ、 オーガスティ
審査請求日	令和2年7月28日 (2020.7.28)		ン ドライブ 2485
(31) 優先権主張番号	15/675, 214	(74) 代理人	100108833
(32) 優先日	平成29年8月11日 (2017.8.11)		弁理士 早川 裕司
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100111615
			弁理士 佐野 良太
		(74) 代理人	100162156
			弁理士 村雨 圭介
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 成形チップの組み合わせ

(57) 【特許請求の範囲】

【請求項 1】

第 1 P H Y 領域を有する第 1 半導体チップと、
 第 2 P H Y 領域を有する第 2 半導体チップと、
 前記第 1 P H Y 領域と前記第 2 P H Y 領域とを相互接続する相互接続チップと、
 前記第 1 半導体チップと前記第 2 半導体チップとを横方向に接合する第 1 成形層と、
 前記第 1 成形層に接合され、前記相互接続チップ及び前記第 1 成形層を少なくとも部分的に封入する第 2 成形層と、
 前記第 1 成形層と前記第 2 成形層との間に配置されたポリマー層と、を備える、
 成形チップの組み合わせ。

【請求項 2】

前記第 1 半導体チップは、前記成形チップの組み合わせが回路基板に実装される場合に前記回路基板に接続する第 1 の複数の相互接続を含み、
 前記第 2 半導体チップは、前記成形チップの組み合わせが前記回路基板に実装される場合に前記回路基板に接続する第 2 の複数の相互接続を含む、
 請求項 1 の成形チップの組み合わせ。

【請求項 3】

前記第 1 半導体チップは、前記第 1 の複数の相互接続に接続された第 1 非 P H Y 領域を含み、

前記第 2 半導体チップは、前記第 2 の複数の相互接続に接続された第 2 非 P H Y 領域を

含む、

請求項 2 の成形チップの組み合わせ。

【請求項 4】

前記第 1 半導体チップは、第 1 非 P H Y 領域を含み、

前記第 1 半導体チップの P H Y 領域は、それぞれ第 1 横方向寸法を有する第 1 グループの導体パッドを有し、

前記第 1 半導体チップの非 P H Y 領域は、それぞれ実質的に同じ前記第 1 横方向寸法を有する第 2 グループの導体パッドを有し、

前記ポリマー層は、前記第 1 グループの導体パッドと位置合わせされた複数の開口部と、前記第 2 グループの導体パッドと位置合わせされた複数の相互接続された開口部と、を有し、

10

前記ポリマー層は、前記複数の開口部の各々に導電性ピラーを有し、前記相互接続された複数の開口部の各々に相互接続された導電性ピラーを有する、

請求項 1 の成形チップの組み合わせ。

【請求項 5】

前記相互接続された導電性ピラー上の別の導電性ピラーを備え、

前記別の導電性ピラーは、前記第 1 横方向寸法よりも大きい第 2 横方向寸法を有する、

請求項 4 の成形チップの組み合わせ。

【請求項 6】

回路基板を備え、

20

前記成形チップの組み合わせは、前記回路基板に実装されている、

請求項 1 の成形チップの組み合わせ。

【請求項 7】

前記第 1 半導体チップはプロセッサを備え、前記第 2 半導体チップはメモリチップを備える、

請求項 1 の成形チップの組み合わせ。

【請求項 8】

第 1 P H Y 領域及び第 1 非 P H Y 領域を有する第 1 半導体チップと、

第 2 P H Y 領域及び第 2 非 P H Y 領域を有する第 2 半導体チップと、

前記第 1 P H Y 領域と前記第 2 P H Y 領域とを相互接続する相互接続チップと、

30

前記第 1 半導体チップと前記第 2 半導体チップとを横方向に接合する第 1 成形層と、

前記第 1 成形層に接合され、前記相互接続チップ及び前記第 1 成形層を少なくとも部分的に封入する第 2 成形層と、

前記第 1 成形層と前記第 2 成形層との間に配置されたポリマー層と、を備える、

成形チップの組み合わせ。

【請求項 9】

前記第 1 半導体チップは、前記成形チップの組み合わせが回路基板に実装される場合に前記回路基板に接続する第 1 の複数の相互接続を含み、

前記第 2 半導体チップは、前記成形チップの組み合わせが前記回路基板に実装される場合に前記回路基板に接続する第 2 の複数の相互接続を含む、

40

請求項 8 の成形チップの組み合わせ。

【請求項 10】

前記第 1 半導体チップの第 1 非 P H Y 領域は、前記第 1 の複数の相互接続に接続されており、

前記第 2 半導体チップの第 2 非 P H Y 領域は、前記第 2 の複数の相互接続に接続されている、

請求項 9 の成形チップの組み合わせ。

【請求項 11】

前記第 1 半導体チップの P H Y 領域は、それぞれ第 1 横方向寸法を有する第 1 グループの導体パッドを有し、

50

前記第 1 半導体チップの非 P H Y 領域は、それぞれ実質的に同じ前記第 1 横方向寸法を有する第 2 グループの導体パッドを有し、

前記ポリマー層は、前記第 1 グループの導体パッドと位置合わせされた複数の開口部と、前記第 2 グループの導体パッドと位置合わせされた複数の相互接続された開口部と、を有し、

前記ポリマー層は、前記複数の開口部の各々に導電性ピラーを有し、前記複数の相互接続された開口部の各々に相互接続された導電性ピラーを有し、

前記第 1 半導体チップの非 P H Y 領域は、前記相互接続された導電性ピラー上の別の導電性ピラーを含み、

前記別の導電性ピラーは、前記第 1 横方向寸法よりも大きい第 2 横方向寸法を有する、
請求項 8 の成形チップの組み合わせ。

10

【請求項 1 2】

回路基板を備え、

前記成形チップの組み合わせは、前記回路基板に実装されている、

請求項 8 の成形チップの組み合わせ。

【請求項 1 3】

前記第 1 半導体チップはプロセッサを備え、前記第 2 半導体チップはメモリチップを備える、

請求項 8 の成形チップの組み合わせ。

【請求項 1 4】

20

第 1 半導体チップの第 1 P H Y 領域と第 2 半導体チップの第 2 P H Y 領域とを、相互接続チップを用いて相互接続することと、

前記第 1 半導体チップと前記第 2 半導体チップとを、第 1 成形層を用いて合わせて成形することと、

前記相互接続チップ及び前記第 1 成形層を、前記第 1 成形層に接合された第 2 成形層を用いて少なくとも部分的に封入することと、

前記第 1 成形層と前記第 2 成形層との間にポリマー層を塗布することと、を含む、

成形チップの組み合わせの製造方法。

【請求項 1 5】

前記成形チップの組み合わせが回路基板に実装される場合に前記回路基板に接続する第 1 の複数の相互接続を前記第 1 半導体チップに形成することと、

前記成形チップの組み合わせが前記回路基板に実装される場合に前記回路基板に接続する第 2 の複数の相互接続を前記第 2 半導体チップに形成することと、を含む、

請求項 1 4 の方法。

30

【請求項 1 6】

前記第 1 半導体チップは、前記第 1 の複数の相互接続に接続された第 1 非 P H Y 領域を含み、

前記第 2 半導体チップは、前記第 2 の複数の相互接続に接続された第 2 非 P H Y 領域を含む、

請求項 1 5 の方法。

40

【請求項 1 7】

前記第 1 半導体チップは、第 1 非 P H Y 領域を含み、

前記方法は、

それぞれ第 1 横方向寸法を有する前記第 1 半導体チップの P H Y 領域の第 1 グループの導体パッドと、それぞれ実質的に同じ前記第 1 横方向寸法を有する前記第 1 半導体チップの非 P H Y 領域の第 2 グループの導体パッドと、を形成することと、

前記第 1 グループの導体パッドと位置合わせされた複数の開口部と、前記第 2 グループの導体パッドと位置合わせされた複数の相互接続された開口部と、を前記ポリマー層に設けることと、

前記複数の開口部の各々に導電性ピラーを形成し、前記複数の相互接続された開口部の

50

各々に相互接続された導電性ピラーを形成することと、を含む、
請求項 14 の方法。

【請求項 18】

前記相互接続された導電性ピラー上に別の導電性ピラーを配置することを含み、
前記別の導電性ピラーは、前記第 1 横方向寸法よりも大きい第 2 横方向寸法を有する、
請求項 17 の方法。

【請求項 19】

前記成形チップの組み合わせを回路基板に実装することを含む、
請求項 14 の方法。

【請求項 20】

前記第 1 半導体チップはプロセッサを備え、前記第 2 半導体チップはメモリチップを備える、

請求項 14 の方法。

【発明の詳細な説明】

【背景技術】

【0001】

従来のタイプのマルチチップモジュールは、キャリア基板上、又は、場合によってはキャリア基板上に順に実装されたインターポーザ（いわゆる「2.5D」）上に並べて実装された 2 つの半導体チップを含む。半導体チップは、キャリア基板に実装され、複数のはんだ接合部の各々によって相互接続されたフリップチップである。キャリア基板は、チップ間電力、接地及び信号伝搬とインターポーザ自体からの入出力との両方に半導体チップの入出力経路を提供する複数の電気経路を備えている。半導体チップは、チップ、インターポーザ及びはんだ接合部の熱膨張係数の差による熱膨張差の影響を低減するために、個別のアンダーフィル材料層を含む。

【0002】

2.5D インターポーザに基づくマルチチップモジュールの 1 つの従来の変形は、インターポーザ上に並べて実装された 2 つのチップ間の相互接続用の複数の内部導体トレースを含むシリコンインターポーザを使用する。インターポーザは、実装されたチップと、インターポーザが実装されているパッケージ基板との間の経路を提供するために、複数のシリコン貫通ビア（TSV）を用いて製造される。TSV 及びトレースは、多数の処理ステップを使用して製造される。

【0003】

別の従来のマルチチップモジュール技術は、2D ウェハレベルのファンアウト（すなわち、2D WLF O）である。従来の 2D WLF O 技術は、成形されたウェハにダイを埋め込むことに基づいており、「ウェハ再構成」とも呼ばれる。成形されたウェハは、標準的なウェハレベルの処理フローによって処理され、最終的な集積回路アセンブリ構造を形成する。ダイのアクティブ面は、成形化合物と同一平面上にあり、従来の再配線層（RDL）処理を使用して、導電性銅トレース及びはんだボールパッドを成形領域に「ファンアウト」することができる。従来の 3D WLF O は、2D 技術を、第 2 パッケージ基板を 2D WLF O に実装するマルチチップスタッキングに拡張する。

【0004】

他のいくつかの従来の設計は、埋め込み相互接続ブリッジ（EMIB）を使用する。これらは、通常、パッケージ基板の上部に埋め込まれたシリコンブリッジチップ（但し、場合によっては、上面側のみに入出力を有する有機チップレット）である。

【0005】

本発明の上記及び他の利点は、以下の詳細な説明を読み、図面を参照することによって明らかになるであろう。

【図面の簡単な説明】

【0006】

【図 1】例示的な成形チップの組み合わせを含む例示的な半導体チップデバイスの模式図

10

20

30

40

50

である。

【図 2】断面 2 - 2 で得られる図 1 の断面図である。

【図 3】拡大した倍率で示される図 2 の一部を示す図である。

【図 4】例示的な一時的なマルチチップ実装を示す断面図である。

【図 5】例示的な一時的なマルチチップ実装を示す断面図である。

【図 6】複数のチップの例示的な成形を示す断面図である。

【図 7】チップの追加処理を示す断面図である。

【図 8】チップの追加処理を示す断面図である。

【図 9】チップの追加処理を示す断面図である。

【図 10】チップの追加処理を示す断面図である。

10

【図 11】より拡大した倍率で図 10 の一部を示す断面図である。

【図 12】チップの追加処理を示す断面図である。

【図 13】チップの追加処理を示す断面図である。

【図 14】より拡大した倍率で図 13 の一部を示す断面図である。

【図 15】チップ上の相互接続チップの例示的な実装を示す断面図である。

【図 16】より拡大した倍率で図 15 の一部を示す断面図である。

【図 17】チップの追加処理を示す断面図である。

【図 18】チップの追加処理を示す断面図である。

【図 19】チップの追加処理を示す断面図である。

【図 20】例示的な回路基板上のチップの例示的な実装を示す断面図である。

20

【図 21】チップへのヒートシンクの例示的な実装を示す断面図である。

【図 22】図 2 と同様の断面図であるが、代替の例示的な成形チップの組み合わせを有する代替の例示的な半導体チップデバイスの断面図である。

【図 23】図 22 のデバイス上に実装される例示的な相互接続チップを示す断面図である。

。

【図 24】例示的な基板の実装及び成形を示す断面図である。

【図 25】成形チップの組み合わせへのヒートシンクの例示的な実装を示す断面図である。

。

【図 26】半導体チップの P H Y 領域及び非 P H Y 領域のパッドの小さい部分の例示的な初期処理を示す断面図である。

30

【図 27】図 26 に示す P H Y 領域及び非 P H Y 領域の平面図である。

【図 28】図 26 と同様の断面図であるが、チップの例示的な追加処理を示す断面図である。

【図 29】図 28 と同様の断面図であるが、チップの例示的な追加処理を示す断面図である。

【図 30】図 29 に示すチップの一部の平面図である。

【図 31】図 30 に示すマスキング層の模式図である。

【図 32】追加処理後の図 29 に示すチップの一部の平面図である。

【図 33】チップの追加処理を示す分解図である。

【図 34】図 28 と同様の断面図であるが、チップの例示的な追加処理を示す断面図である。

40

【図 35】図 34 に示すチップの一部の平面図である。

【図 36】例示的な再構成された成形チップの組み合わせのウェハの模式図である。

【発明を実施するための形態】

【0007】

チップの幾何学的形状は、過去数年にわたって継続的に転じてきた。しかしながら、チップサイズの縮小は、所定のチップに対する入出力数の付随的な増加の影響を受ける。このことは、マルチチップモジュールについてのチップ間相互接続の数を大幅に増加させる必要性をもたらした。現在の 2 D 及び 3 D W L F O は、 $2.0 \mu\text{m}$ / ライン及びスペースのオーダで、制限された最小ライン間隔を有する。また、従来の W L F O 技術は、複数

50

の硬化ポリイミドフィルムを使用して、必要なRDL層を形成する。これらのポリイミドフィルムは、機械的応力を受ける傾向があるため、反り(warpage)、ソース及びこれらの比較的高いベーキング温度は、他のセンシティブなデバイスに悪影響を与える可能性がある。最終的に、WLF0及びEMI Bの両方におけるチップのピックアップ精度が、依然として課題となる。

【0008】

本発明の1つの態様によれば、第1PHY領域を有する第1半導体チップと、第2PHY領域を有する第2半導体チップと、第1PHY領域と第2PHY領域とを相互接続する相互接続チップと、第1半導体チップと第2半導体チップと相互接続チップとを接合する成形物と、を含む、成形チップの組み合わせが提供される。

10

【0009】

成形チップの組み合わせにおいて、第1半導体チップは、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続する第1の複数の相互接続(interconnects)を含み、第2半導体チップは、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続する第2の複数の相互接続を含む。

【0010】

成形チップの組み合わせにおいて、第1半導体チップは、第1の複数の相互接続に接続された第1非PHY領域を含み、第2半導体チップは、第2の複数の相互接続に接続された第2非PHY領域を含む。

【0011】

成形チップの組み合わせにおいて、成形物は、第1成形材料層と第2成形材料層とを含む。

20

【0012】

成形チップの組み合わせは、第1成形材料層と第2成形材料層との間に位置するポリマー層を含む。

【0013】

成形チップの組み合わせは、回路基板を含み、当該回路基板に実装される。

【0014】

成形チップの組み合わせにおいて、第1半導体チップはプロセッサを含み、第2半導体チップはメモリチップを含む。

30

【0015】

本発明の別の態様によれば、第1PHY領域を有する第1半導体チップと、第2PHY領域を有する第2半導体チップと、第1PHY領域と第2PHY領域とを相互接続する相互接続チップと、第1半導体チップと第2半導体チップとを接合する第1成形材料層と、第1成形材料層に接合された第2成形材料層であって、相互接続チップを少なくとも部分的に封入する第2成形材料層と、を含む、成形チップの組み合わせが提供される。

【0016】

成形チップの組み合わせにおいて、第1半導体チップは、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続する第1の複数の相互接続を含み、第2半導体チップは、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続する第2の複数の相互接続を含む。

40

【0017】

成形チップの組み合わせにおいて、第1半導体チップは、第1の複数の相互接続に接続された第1非PHY領域を含み、第2半導体チップは、第2の複数の相互接続に接続された第2非PHY領域を含む。

【0018】

成形チップの組み合わせは、第1成形材料層と第2成形材料層との間に位置するポリマー層を含む。

【0019】

成形チップの組み合わせは、回路基板を含み、当該回路基板に実装される。

50

【 0 0 2 0 】

成形チップの組み合わせにおいて、第 1 半導体チップはプロセッサを含み、第 2 半導体チップはメモリチップを含む。

【 0 0 2 1 】

本発明の別の態様によれば、成形チップの組み合わせを製造する方法が提供される。この方法は、第 1 半導体チップの第 1 P H Y 領域と第 2 半導体チップの第 2 P H Y 領域とを相互接続チップで相互接続することと、第 1 半導体チップと第 2 半導体チップと相互接続チップとを合わせて成形することと、を含む。

【 0 0 2 2 】

方法は、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続するための第 1 の複数の相互接続を第 1 半導体チップに形成することと、成形チップの組み合わせが回路基板に実装される場合に回路基板に接続するための第 2 の複数の相互接続を第 2 半導体チップに形成することと、を含む。

10

【 0 0 2 3 】

方法において、第 1 半導体チップは、第 1 の複数の相互接続に接続された第 1 非 P H Y 領域を含み、第 2 半導体チップは、第 2 の複数の相互接続に接続された第 2 非 P H Y 領域を含む。

【 0 0 2 4 】

方法において、成形することは、第 1 成形材料層を用いて第 1 半導体チップを第 2 半導体チップに成形することと、相互接続チップを少なくとも部分的に封入するように第 2 成形材料層を成形することと、を含む。

20

【 0 0 2 5 】

方法は、第 1 成形材料層と第 2 成形材料層との間にポリマー層を塗布することを含む。

【 0 0 2 6 】

方法は、成形チップの組み合わせを回路基板に実装することを含む。

【 0 0 2 7 】

方法において、第 1 半導体チップはプロセッサを含み、第 2 半導体チップはメモリチップを含む。

【 0 0 2 8 】

以下に説明する図面において、2 つ以上の図に同一の要素が現れる場合には、符号が一般的に繰り返される。ここで、図面、特に、例示的な半導体チップデバイス 1 0 の模式図である図 1 を参照する。半導体チップデバイス 1 0 は、回路基板 1 5 (例えば、システム基盤、回路カード、半導体チップパッケージ基板等) に実装可能な成形チップの組み合わせ 1 3 を含む。回路基板 1 5 は、この構成においてはんだボールを構成する複数の相互接続構造 1 7 を介して、他の回路基板又は他の構造等の他の電気構造と電気的に接続することができる。しかしながら、当業者は、ピン、ランドグリッドアレイ構造又は他のタイプの相互接続等のように、はんだボール以外の様々なタイプの相互接続構造を使用可能であることを理解するであろう。成形チップの組み合わせ 1 3 は、複数の半導体チップを含み、これらの半導体チップのうち 2 つの半導体チップの各々が符号 1 9 , 2 0 で示されており、その両方が少なくとも部分的に成形材料 2 5 に封入されている。この構成では、成形材料 2 5 を、2 つの成形層 3 0 , 3 5 から構成することができる。以下により詳細に説明するように、半導体チップ 1 9 , 2 0 は、成形材料によって覆い隠されることによって図 1 では見えないが、以下に説明され、後の図面に示される別の半導体チップを介して、電気的に接続可能である。

30

40

【 0 0 2 9 】

半導体チップデバイス 1 0 のさらなる詳細については、断面 2 - 2 で得られる図 1 の断面図である図 2 を参照することによって理解することができる。成形チップの組み合わせ 1 3 の成形材料 2 5 は、成形層 3 0 と、成形層 3 5 と、成形層 3 0 , 3 5 間に挟まれたポリマー層 5 0 と、から構成されている。成形層 3 5 は、半導体チップ 1 9 , 2 0 を横方向に囲むが、半導体チップ 1 9 , 2 0 の各々の上面 5 5 , 6 0 は、後の半導体チップ 1 9 ,

50

20へのヒートスプレッドの任意の配置を容易にするために、露出したままである。成形層30, 35に選択される材料は、適用可能な成形温度で適切な粘度を示し、成形プロセスの時点で存在する何れかのはんだ構造の融点よりも低い成形温度を有することが望ましい。例示的な構成では、成形層30, 35の材料は、約165の成形温度を有してもよい。2つの商用バリエーションは、Sumitomo EME-G750及びG760である。

【0030】

半導体チップ19, 20は、様々な集積回路のうち何れかであってもよい。実施例の非網羅的なリストには、マイクロプロセッサ、グラフィックス処理ユニット、両方の態様を組み合わせたアプリケーション処理ユニット、メモリデバイス、特定用途向け集積回路等を含む。半導体チップ19は、チップ間信号の伝送専用の様々な内部及び外部導体構造を有する物理デバイス又は「PHY」領域と、電力及び接地並びに/又はチップ間基板信号の伝送により適合した導体構造を有する非PHY領域70と、によって構成されている。同様に、半導体チップ20は、半導体チップ19のPHY領域65及び非PHY領域70と同じ機能を有する、PHY領域75及び非PHY領域80を含む。簡単に上述したように、半導体チップ19, 20は、別の半導体チップ、即ち相互接続チップ85を介して電氣的に接続される。半導体チップ19, 20及び相互接続チップ85は、シリコン、ゲルマニウム又は他の半導体材料で構成されてもよく、バルク半導体、絶縁体上の半導体又は他の設計であってもよい。相互接続チップ85は、複数の内部導体トレースを含み、内部導体トレースは、必要に応じて複数のレベル又は単一のレベルとすることができる。これらのトレースのうち2つのトレースが示されており、まとめて符号90で示されている。トレース90は、導電経路95を介して半導体チップ19, 20のPHY領域65, 75の導体構造と電氣的に接続する。この導電経路は、図においてクロスハッチングが実用的でないスケール及びサイズであるため、それぞれ3つの矩形の複数の白色スタックとして示されている。しかしながら、後の図面では、これらの導電経路95のさらなる詳細を示す。半導体チップ19の非PHY領域70は、複数の導電性ピラー100を介して回路基板15と電氣的に接続可能である。各導電性ピラー100は、それぞれの導体パッド105を介して半導体チップ19に電氣的に接続されており、必要に応じてはんだバンプ又はマイクロバンプとすることができるのはんだ相互接続110を介して回路基板15に電氣的に接続されている。同様に、半導体チップ20の非PHY領域80は、半導体チップ19の導電性ピラー100、パッド105及びはんだバンプ110と実質的に同様の複数の導電性ピラー115、導体パッド120及びはんだバンプ125を介して回路基板15に電氣的に接続されている。導電性ピラー100は、複数の絶縁層（即ち、底部から上部に向かって、成形層30、ポリマー層50及びパッシベーション構造130）を横断することに留意されたい。パッシベーション構造130は、二酸化ケイ素、窒化ケイ素又は他の誘電材料等の様々な絶縁材料の積層体であってもよい。同様に、導電性ピラー115は、成形層30、ポリマー層50及びパッシベーション構造135を横断する。ここで、パッシベーション構造135は、上述したパッシベーション構造130と同様であってもよい。導電性ピラー100, 115は、銅及び以下により詳細に説明する他のもの等の様々な導体材料から構成されてもよい。導体パッド105, 120は、アルミニウム、銅又は様々な他の導体材料から構成されてもよい。はんだバンプ110, 125は、スズ-銀、スズ-銀-銅、又は、他のもの様々な周知のはんだ組成物から構成されてもよい。ポリマー層50は、好ましくはポリベンゾオキサゾールから構成されるが、他のポリマー材料（例えば、ベンゾシクロブテン、低温ポリイミド、又は、約200未満の硬化温度を有する他のポリマー等）が使用されてもよい。ポリマー層50は、ストレスバッファ、アイソレーションフィルムとして機能するように設計されており、再配線層ルーティングを可能にすることができる。

【0031】

回路基板15は、有機又はセラミックであってもよく、単層又はより一般的には多層であってもよい。熱膨張係数の不一致の影響を抑えるために、アンダーフィル材料140を

10

20

30

40

50

、成形層 30 と回路基板 15 の上面との間に配置することができ、必要に応じて、成形層 30 の左右縁部（及び表示されていない縁部）を越えて横方向に延在させてもよい。アンダーフィル材料 140 は、周知のポリマーアンダーフィル材料から構成されてもよい。

【0032】

P H Y 領域 65, 75 と相互接続チップ 85 との間の導電経路 95 のさらなる詳細は、図 3 も参照することによって理解することができる。図 3 は、相互接続チップ 85 及びチップ 19 の P H Y 領域 65 に関連する導電経路 95 のうち 1 つの導電経路の一部を示す図である。この説明は、他の導電経路 95 の説明でもあることを理解されたい。半導体チップ 19 に関連する導電経路 95 の一部は、半導体チップ内の不可視の他の導体トレース又はビアに接続された導体パッド 145 と、ニッケル - 金キャップ 155 によって覆われる導電性マイクロピラー 150 を含むことができる。ニッケル - 金キャップ 155 は、バリア層及びはんだ濡れ性面として機能する。他の可能な材料としては、ニッケル - パナジウム、白金、パラジウム、純金等が含まれる。アンダーバンプメタライゼーション 160 は、導電性ピラー 150 と導体パッド 145 との間に配置される。導体パッド 145 は、アルミニウム、銅、金、銀、又は、これらの組み合わせ等で構成されてもよい。U B M 構造 160 は、スパッタされたチタン、タングステン及び銅から構成されてもよく、ニッケル、パナジウム又は他の材料を含むこともできる。アンダーバンプメタライゼーション 160、導電性マイクロピラー 150 及びニッケル - 金キャップ 155 の組み合わせは、半導体チップ 19 のパッシベーション構造 130 及びポリマー層 50 を横断することに留意されたい。相互接続チップ 85 に関連する導電経路 95 の一部は、導体パッド 165 を含むことができ、この導体パッドは、導体パッド 145 と同様に、相互接続チップ 85 内に配置されるが、説明を簡単にするために図示されていない 1 つ以上の導電性トレース又はビアに電氣的に接続されている。パッシベーション構造 166 は、本明細書の他の箇所で説明するパッシベーション構造 130, 135 と同じタイプの材料から構成されており、導体パッド 165 を部分的に覆う。バリア / 接着層 167 は、導体パッド 165 上に形成されており、好ましくは T i - W 及び銅から構成されており、図中上方に向かって、銅層 170、ニッケル層 175 及び他の銅層 180 が続く。銅層 180 は、はんだマイクロバンプ 185 によって覆われている。当業者は、導体材料の選択が、含まれる成分によって変わり得ることを理解するであろう。例えば、ニッケル、金、ニッケル及び金、又は、パナジウムでも、はんだ成分の他の導電層への移動又はその逆を防ぐバリア層として機能することができる。はんだマイクロバンプ 185 は、好ましくは鉛フリーはんだ（例えば、スズ - 銅 - 銀、スズ - 銀、又は、他のタイプのはんだ等）から構成されてもよい。ニッケル - 金キャップ 155 は、バリア層機能を提供しながら、はんだマイクロバンプ 185 のための良好なはんだ濡れ性層を提供するように設計される。上述したように、図 3 に示す導電経路 95 を、図 2 に示され説明された他の導電経路 95 に使用することができる。

【0033】

図 1 及び図 2 に示す半導体チップデバイス 10 を製造する例示的なプロセスは、図 4、図 5、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 13、図 14、図 15、図 16、図 17、図 18、図 19 及び図 20 を参照し、図 4 を最初に参照することによって理解することができる。図 4 は、半導体チップ 19, 20 を断面で示し、図 1 及び図 2 に示す成形チップの組み合わせ 13 に組み立てる前の状態の自立した半導体チップとして示している。図 4 において、半導体チップ 19, 20 は、図 1 及び図 2 に示す向きから反転して示されていることに留意されたい。半導体チップ 19, 20 を半導体ウェハ（図示省略）でまとめて製造することができ、その後、ウェハを個片化して個々の半導体チップ 19, 20 が得られる。これらの製造プロセスの間に、様々な電子構造（例えば、トランジスタ、キャパシタ、インダクタ、及び、チップ 19, 20 に適切な任意の他の論理素子及び回路構造を含む）を構築することができ、上述した P H Y 領域 65, 75 及び非 P H Y 領域 70, 80 の各々をチップ 19, 20 に設けることができる。この点に関して、半導体チップ 19 は、導体パッド 105, 145 が、パッシベーション構造 130 と、下方の導体パッド 105 に通じるパッシベーション構造 130 内の複数の開口部 190 と、導体

パッド145に通じるパッシベーション構造130を貫通する複数の開口部195と共に製造されている時点まで製造されてもよい。同様に、半導体チップ20は、非PHY領域80内の導体パッド120が製造され、PHY領域75内の導体パッド145と、パッシベーション構造135内の開口部200と、導体パッド145に通じるパッシベーション構造135内の複数の開口部205とが設けられる時点まで製造されてもよい。めっき、スパッタリング、化学蒸着、これらの組み合わせ等の周知の材料堆積技術を使用して、導体パッド105, 120, 145を製造することができる。周知のフォトリソグラフィ及び方向性エッチング技術を使用して、開口部190, 195, 200, 205を形成することができる。

【0034】

次に、図5に示すように、半導体チップ19, 20を図4に示す向きから反転させて、キャリア基板210に実装することができる。光活性化接着剤(図示省略)又は他の一時的な固定技術によって半導体チップ19, 20をキャリア基板210に固定することができるが、これは、キャリアウェハ210が、その後、様々な処理ステップに従って除去されることを意図しているためである。

【0035】

次に、図6に示すように、例えばSumitomo EME-G750又はG760等の適切な化合物を約165で約60~120分間圧縮成形することによって、成形層35を形成する。この圧縮成形プロセスは、半導体チップ19, 20を最初に封入し、キャリア基板210のそれ以外の覆われていない部分を覆う。半導体チップ19, 20の上面55, 60の各々を露出させることが望ましいので、成形層35は、図7に示す研削プロセスを経て、これらの表面55, 60を露出させることができる。このとき、半導体チップ19, 20は、キャリア基板210に実装されたままであるが、成形層35を介して横方向に機械的に接合される。

【0036】

次に、図8に示すように、半導体チップ19, 20及び成形層35を、図7に示すキャリア基板210から分離し、図7に示す向きから反転させることができる。このとき、ポリマー層50を、半導体チップ19, 20及び成形層35の両方に塗布することができる。周知のスピンコーティング及びベーク技術を使用してポリマー層50を塗布することができ、さらに、ブランケット堆積プロセスを使用することができるので、この時点で様々な開口部190, 195, 200, 205をポリマー層50の材料で充填することができる。図9に示すように、半導体チップ19の様々な導体パッド105, 145及び半導体チップ20の導体パッド120, 145を再度露出させるために、ポリマー層50は、導体パッド105への開口部215を設け、半導体チップ19の導体パッド145への開口部220を設け、半導体チップ20の導体パッド145, 120への開口部220, 225を設けるために、適宜マスクされ、リソグラフィ、即ちフォトリソグラフィによってパターンニングされてもよい。

【0037】

次に、図10に示すように、レジストマスク235をポリマー層50上に塗布し、適宜パターンニングして、半導体チップ19の導体パッド145に通じる開口部240と、半導体チップ20の導体パッド145に通じる開口部245とを設ける。ここで、レジストマスク235の目的は、各半導体チップ19, 20の導体パッド105, 120をマスクして、各チップ19, 20の導体パッド145に関連する様々な導体構造を製造することである。この製造ステップのさらなる詳細は、図11も参照することによって理解することができる。図11は、図10の破線矩形250によって囲まれた部分であり、より拡大した倍率で示されている。ボックス250は、半導体チップ19のPHY領域65の一部、したがって、1つの導体パッド105と1つの導体パッド145とを囲むことに留意されたい。図11に示す構造は、半導体チップ19の他の同様の導体構造、及び、チップ20のPHY領域75内のこれらの導体構造を例示するものであることを理解されたい。また、図11に示すように、レジストマスク235を塗布する前に、周知のスパッタ及び/又

10

20

30

40

50

はCVD技術を使用してUBM160(図3にも示されている)を堆積することができることを理解されたい。このスパッタプロセスは、図示するように、UBM160をブランケット堆積させることができる。その後、周知の技術を使用して、レジストマスク235をスピンコーティング及びベークによって塗布することができる。開口部240は、そのうちの1つが図11に示されているが、レジストマスク235内でフォトリソグラフィによってパターニングすることができ、その後、マイクロピラー150を、ニッケル-金キャップ155と同様に図3に関連して上述した技術を使用して、製造することができる。複数の導体材料252の塗布は、開口部240及び同様の開口部245を介して行われる。上述したように、マイクロピラー150は、半導体チップ19のパッシベーション構造130と、ポリマー層50の一部とを横断する。この図示した構成における導体パッド145, 105は、各々の横方向寸法(直径や他の形状) X_1 及び X_2 ($X_2 > X_1$)で製造されることに留意されたい。しかしながら、以下に説明する別の構成では、半導体チップ19は、 X_1 及び X_2 がほぼ同じサイズで製造される。この状況は、別の開示された技術によって対処される技術的問題を生じさせる。

【0038】

次に、図12に示すように、周知のアッシング技術及び溶剤剥離(solvent stripping)技術を使用して図11に示すレジストマスク235を剥離し、周知のスピンコーティング及びベーク技術を使用して別のレジストマスク260を塗布し、半導体チップ19, 20の各々の導体パッド145及びマイクロピラー150を覆うが、半導体19の下方の導体パッド105に通じる開口部265と、半導体チップ20の下方の導体パッド120に通じる開口部270とを有するようにパターニングする。

【0039】

次に、図13に示すように、複数の材料堆積ステップを実行して、液滴275によって概略的に表される導体材料を堆積し、半導体チップ19, 20の導電性ピラー100, 115の各々を製造する。これらの材料製造プロセスのさらなる詳細は、図14を参照することによって理解することができる。図14は、図13の破線矩形280によって囲まれた部分をより拡大した倍率で示す図である。図14に示すように、レジストマスク260を塗布して開口部270をパターニングする前に、図10に示すレジストマスク235の前に堆積した上述のUBM構造160が依然として所定の位置にある。ここで、UBM構造160をめっき電極として使用するバイアスメッキプロセスから構成し得る周知のめっき技術を使用して、導電性ピラー115を製造することができる。銅、銅及び銀、銅及びスズ、又は、他のタイプの材料を使用することができる。導電性ピラー115のめっきに続いて、はんだキャップ285を、めっきによって、又は、ステンシル及びペーストプロセスによってピラー115上に製造する。UBM構造160が導体パッド120上に配置され、導体パッド120とオーム接触していることと、UBM構造160と導電性ピラー115の下部との組み合わせが、半導体チップ20上のパッシベーション構造135及びポリマー層50の一部を通して垂直方向に延在していることと、に留意されたい。

【0040】

図15及び図16を参照して、相互接続チップ85の半導体チップ19, 20への実装について説明する。図15に示すように、周知のアッシング及び溶剤剥離技術を使用して図13及び図14に示すレジストマスク260を剥離し、導電性ピラー100, 115の各々を半導体チップ19, 20から上方に突出させる。相互接続チップ85を実装する前に、半導体チップ19, 20及び成形層35の組み合わせは、ウェットエッチング等の材料除去プロセスを経て、ポリマー層50上に位置するがピラー100, 115に対して横方向に位置するUBM構造160の余分な部分を除去することができる。このエッチングは、隣接するピラー100, 115間等の後の電氣的短絡を抑制するために必要である。この時点まで、相互接続チップ85は、内部導電トレース90だけでなく、図3に示すように相互接続チップ85に関連する導電経路95の部分も設けるために、様々な周知の技術を使用して製造される。例えば、図16は、図15の一部、特に、破線矩形290によって囲まれた相互接続チップ85の小さな部分をより拡大した倍率で示している。上述し

たように、図 3 に示す相互接続チップ 85 に関連する導電経路 95 の部分は、導体パッド 165 と、パッシベーション構造 166 と、シード層 167 と、様々な層 170, 175, 180 と、これに続くはんだキャップ 185 と、から構成されており、これらの全ては、図 3 に反映された向きから反転して示されている。相互接続チップ 85 がポリマー層 50 上に配置されると、はんだキャップ 185 と、半導体チップ 19, 20 のマイクロピラー 150 上に配置された下方のニッケル - 金キャップ 155 との間の金属学的結合を確立するために、リフローが実行されることに留意されたい。

【0041】

次に、図 17 に示すように、第 2 成形プロセスを実行して、相互接続チップ 85、導電性ピラー 100, 115 及び他にポリマー層 50 の露出部分に成形層 30 を形成する。成形層 30 は、約 165 で約 60 ~ 120 分間の圧縮成形プロセスと、Sumitomo EME - G750 若しくは G760 又は本明細書に開示する他の成形材料とを使用して製造される。図 18 に示すように成形層 30 に対して研削プロセスを行い、導電性ピラー 100, 115 を露出させる必要がある。この研削プロセスは、導電性ピラー 100, 115 を露出させるように設計され、相互接続チップ 85 の高さに応じて、相互接続チップ 85 の裏面を薄くすることもできる。図 19 に示すようにピラー 100, 115 を露出させた状態で、はんだ相互接続 110 をピラー 100 上に形成し、はんだ相互接続 125 をピラー 115 上に形成する。周知のはんだめっき及び/若しくはペーストステンシルプロセス又は他の技術によって、はんだパンプのピックアンドプレイス配置 (pick and place placement) によってはんだ相互接続 110, 125 を形成することができる。

【0042】

次に、図 20 に示すように、完成した成形チップの組み合わせ 13 を、図 19 に示す向きから反転させ、はんだ相互接続 110, 125 のリフロープロセスによって回路基板 15 に実装することができる。その後、アンダーフィル 140 は、液体としてのアンダーフィルを毛細管作用によって分配することによって設けられる。

【0043】

熱管理目的のために、図 21 に示すように、オプションのヒートスプレッド又はシンク 300 を成形チップの組み合わせ 13 に実装し、半導体チップ 19, 20 の各々と熱接触するように配置することができる。熱伝導グリース又はペースト (図示省略) 等の適切な熱伝導材料を、ヒートスプレッド 300 と、半導体チップ 19, 20 の各々の上面 55, 60 との間に配置することができる。

【0044】

図 22 は、図 2 と同様の断面図であるが、代替の例示的な半導体チップデバイス 10' の断面図である。半導体チップデバイス 10' は、本明細書の他の箇所で図示及び説明する半導体チップデバイス 10 と殆どの属性を共有する。主な相違点は、半導体チップデバイス 10 が図 2 に示すようなアンダーフィル材料層 140 を利用するのに対し、半導体チップデバイス 10' は、代替の成形チップの組み合わせ 13' の成形層 30 の全体的な高さを増加させるために、アンダーフィル材料層 140 を除去することにある。成形層 35 及びポリマー層 50 は、上述した構成と同様に使用される。しかしながら、図 22 に示すように、成形層 30 は、導電性ピラー 100, 115 の下端部付近で終端するのではなく、回路基板 15 まで下方に延在し、回路基板 15 に形成し、又は、上方に延在してチップ 19, 20、成形材料 35 及びポリマー層 50 の組み合わせを少なくとも部分的に封入する。ここでは、成形層 35 を用いて半導体チップ 19, 20 を成形するために本明細書の他の箇所で説明した製造工程と、半導体チップ 19 の P H Y 領域 65 及び非 P H Y 領域 70 内並びにこれらの周辺における様々な導体構造の構成と、が同様に使用される。半導体チップ 20 の P H Y 領域 75 及び非 P H Y 領域 80 は、半導体チップデバイス 10 に関して本明細書の他の箇所で説明するように再現されるか、同一である。同様に、相互接続チップ 85 は、半導体チップデバイス 10 に関して本明細書の他の箇所で概して説明するように構成される。しかしながら、半導体チップデバイス 10 と半導体チップデバイス 10' との間では、製造プロセスにおいてプロセスフローの違いがあるので、図 23 を用いて

最初に説明する。図 23 は、ポリマー層 50 の製造及び相互接続チップ 85 の実装後の半導体チップ 19, 20 と成形層 35 との成形された組み合わせを示す図である。また、導電性ピラー 100, 115 は、図 15 に示すように上述した技術を用いて製造され、露出されている。しかしながら、この段階では、はんだ相互接続 110, 125 の各々は、導電性ピラー 100, 115 に実装される。これは、本質的にピックアップブレースプロセスであるドロッププロセスを使用して実現することができる。また、はんだ相互接続 110, 125 を配置するためにステンシル（図示省略）を配置することが可能である。はんだ相互接続 110 と導電性ピラー 100 との間、及び、はんだ相互接続 125 と導電性ピラー 115 との間の初期の金属学的接合部を設けるために、この時点で、短時間のリフローを実現することができる。次に、図 24 に示すように、半導体チップ 19, 20 及び成形層 35 を、相互接続チップ 85 と共に、図 23 に示す向きから反転させて回路基板 15 に実装することができる。これは、はんだ相互接続 110, 125 と、回路基板 15 の導電性パッド（図示省略）との間に金属学的接続を設けるリフロープロセスを必要とする。次に、トランスファ成形又は他の技術を使用して、成形材料 30 をポリマー層 50 と回路基板 15 との間に成形して、図 22 に完成した形で示す成形層 30 を設けることができる。これにより、完成した成形チップの組み合わせ 13' が設けられる。図 25 に示すように、オプションのヒートスプレッド 300 を、上述したように成形チップの組み合わせ 13' に実装することができる。必要に応じて、成形層 30 の成形プロセスは、成形層 30 の横方向の縁部を、成形層 35 及びポリマー層 50 の横方向の縁部と同一端に形成することができることに留意されたい。この場合も、熱伝導材料（図示省略）を、ヒートシンク 300 と半導体チップ 19, 20 との間に配置することができる。

【0045】

上記の開示した構成では、半導体チップ 19, 20 の P H Y 領域 65, 75 の導体パッドは、横方向寸法 X_2 を有する非 P H Y 領域 70, 80 の導体パッドよりも数が多く、寸法 X_1 が若干小さい。しかしながら、半導体チップ 19, 20 を、全ての導体パッドについて、即ち、P H Y 領域 65, 75 及び非 P H Y 領域 70, 80 の両方について、単一の横方向寸法 X_1 で製造することができる。しかしながら、これは、デバイス 70, 80 の非 P H Y 領域がより小さい横方向寸法 X_1 サイズのパッドを含む場合であっても、ピラー 100, 115 等のより大きい導電性ピラーを使用可能であることが望ましいという点において技術的複雑性を表す。この問題に対する技術的な解決策を、図 26、図 27、図 28、図 29、図 30、図 31、図 32、図 33、図 34 及び図 35 に関連して、最初に図 26 を参照して図示及び説明する。図 26 は、半導体チップ 20 と、その P H Y 領域 75 及び非 P H Y 領域 80 の一部との断面図である。ここで、P H Y 領域 75 は、本明細書の他の箇所で概して説明するように製造された、ある横方向寸法 X_1 を有する複数の導体パッド 120 を含む。しかしながら、非 P H Y 領域 80 は、本明細書の他の箇所に示す横方向寸法 X_2 を有するより大きな導体パッド 120 の代わりに、横方向寸法 X_1 を有する追加の複数の導体パッド 145 を含む。これは、2つの別々の横方向寸法を有するトップレベルの導体パッドを構成してパターンニングすることを必要としないプロセスを使用して半導体チップ 20 を製造する場合に起こり得る。パッシベーション構造 135 は、P H Y 領域 75 及び非 P H Y 領域 80 の両方の全ての導体パッド 145 に、複数の開口部 225 を有するように適用され、パターンニングされている。図 27 は、パッシベーション構造 135、開口部 225 及び下方の導体パッド 145 の一部の平面図である。いくつかの導体パッド 145 のみが示されており、半導体チップは、その複雑さに応じて数百又は数千個のこのようなパッドを含むことができることを理解されたい。図 27 及び他の図における破線 308 は、P H Y 領域 75 と非 P H Y 領域 80 との間の境界を表す。2つの破線の円 310 は、下方の導体パッド 145 とオーム接触することになる、後に形成される導電性ピラー 115 が形成される位置を表す。より小さいマイクロピラー 150 が、P H Y 領域 75 の導体パッド 145 とオーム接触して形成されることに留意されたい。技術的な目標は、大きいサイズの導電性ピラー 115 を、下方の小さい導体パッド 145 とオーム接触する破線の円 310 の位置に最終的に製造可能にすることである。最初に、図 28 に示すよ

10

20

30

40

50

うに、ポリマー層 50 を、半導体チップ 20 のパッシベーション構造 135 に P H Y 領域 75 及び非 P H Y 領域 80 に亘って塗布し、開口部 225 を充填する。ポリマー層 50 は、光活性化化合物を含むことが好ましい。図 29 に示すように、レジストマスク 320 は、ポリマー層 50 に塗布され、パッシベーション構造 135 の P H Y 領域 75 上の開口部 225 と位置合わせされた適切な開口部 322 と、パッシベーション構造 135 の非 P H Y 領域 80 上の開口部 225 と位置合わせされた他の適切な開口部 323 と、を有するようにパターニングされる。開口部 322 , 323 の各々は、図 30 及び図 31 の平面図及び模式図に示されている。開口部 322 及び開口部 323 は、異なるフットプリントを有することに留意されたい。開口部 322 は、P H Y 領域 75 における下方の開口部 225 を追跡するフットプリントを有する。しかしながら、開口部 323 は、縦横に交差する接続部 340 と、非 P H Y 領域 80 における下方の開口部 225 と位置合わせされた開口部 345 との組み合わせから構成されている。マスク 320 が所定の位置にありパターニングされた状態でポリマー層 50 を露出して成長させ (developed)、図 32 の平面図に示すようにマスク 320 を剥離して、マスク開口部 322 (図 31 参照) のフットプリントを有する P H Y 領域 75 の開口部 347 と、交差接続部 350 の開口部 349 と、マスク開口部 323 (図 31 参照) のフットプリントを有する非 P H Y 領域 80 の開口部 352 と、を生じさせる。ここで、P H Y 領域 75 及び非 P H Y 領域 80 の両方における下方の導体パッド 145 が露出される。

【0046】

次に、図 33 の分解図に示すように、別のレジストマスク 330 をポリマー層 50 に塗布してパターニングして、ポリマー層 50 の開口部 347 と位置合わせされた適切な開口部 354 を P H Y 領域 75 に設け、パッシベーション構造 135 の開口部 349 と位置合わせされた別のセットの開口部 356 を非 P H Y 領域 80 に設ける。開口部 354 は、ポリマー層 50 の開口部 347 と同じフットプリントを有し、開口部 356 は、ポリマー層 50 の開口部 349 と同じフットプリントを有する。マスク 320 が所定の位置にある状態で開口部 347 内に個別の導電性ピラー 150 が形成され、相互接続された導電性ピラー 150 ' が、本明細書の他の箇所で説明するめっき及び材料を使用して開口部 349 内に形成される。導電性ピラー 150 及び導電性ピラー 150 ' は、同じ金属学的組成物を含むが、異なるフットプリントを有する。導電性ピラー 150 ' は、ポリマー層 50 を通じて下方に延在し、導体バー 359 によって相互接続された下方の導体パッド 145 (見えない) まで延在するピラー 358 から構成されている。後続の処理によって、より大きい直径の導電性ピラー 370 (破線) が、非 P H Y 領域 80 の導電性ピラー 150 ' の上部に形成されることを理解されたい。めっきマスク 330 は、導電性ピラー 150 及び導電性ピラー 150 ' を残すために、本明細書の他の箇所で説明する技術を使用して最終的に剥離される。ポリマー層 50 が再配線層トレースの形成を可能にするように、導体トレース (図示省略) も導体バー 359 と同様に形成することができる。P H Y 領域 75 の導電性ピラー 150 の基本的な構成は、導電性ピラー 150 について図 11 に示したものと同一一般的な構成である。導電性ピラー 150 ' も同じ層を含むが、そのフットプリントは、図 33 に示すように導電性ピラー 150 と異なる。

【0047】

次に、図 34 に示すように、めっきマスク 360 をポリマー層 50 に形成し、図 27 に示す破線の円 310 のサイズ及び位置に対応するように配置及びサイズ設定された適切な開口部 365 を用いてパターニングする。目的は、図 33 に示す相互接続されたピラー 358 及びバー 359 を構成する下方の相互接続された導電性ピラー 150 ' とオーム接触する導電性ピラー 370 を、後続のめっきプロセスによって設けることを可能にすることである。図 35 は、非 P H Y 領域 80 のめっきマスク 360 及びめっきされた導電性ピラー 370 の平面図である。下方の個別の導電性ピラー 150 は、めっきマスク 360 によって隠され (よって、破線で示される)、相互接続された導電性ピラー 150 ' は、導電性ピラー 370 及びめっきマスク 360 の一部の両方によって隠され、同様に導電性ピラー 150 が隠されるため、破線で示されることに留意されたい。周知の技術を使用して、

めっきマスク 360 を最終的に剥離する。

【0048】

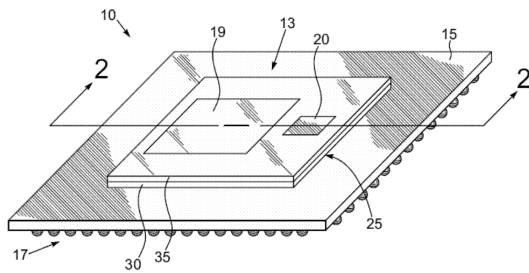
当業者であれば、本明細書に記載の成形チップの組み合わせ 13 が、単一のユニットとして製造され、又は、ウェハレベルのプロセスに相当するようにウェハ状の構造（再構成されたウェハ）380 内にまとめて製造され得ることを理解するであろう。例えば、図 36 の模式図に示すように、複数の成形チップの組み合わせ 13 を、例えば多数の成形層 35, 30 を同時に使用して合わせて成形することができ、必要に応じて、このウェハレベルの段階において、相互接続チップ 85 を成形チップの組み合わせ 13 に実装することができる。その後、成形チップの組み合わせ 13 を、本明細書の他の図に示す個別のユニットに分割することができる。

10

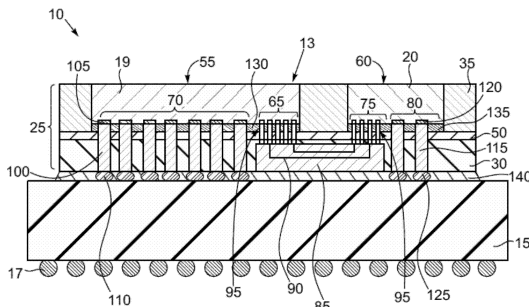
【0049】

本発明は、様々な変形及び代替形態を受け入れることができ、特定の実施形態が、図面において例として示されており、本明細書において詳細に説明されている。しかしながら、本発明は、開示された特定の形態に限定されることを意図していないことを理解されたい。むしろ、本発明は、添付の特許請求の範囲によって定義される本発明の趣旨及び範囲内にある全ての変形、均等物及び代替物をカバーする。

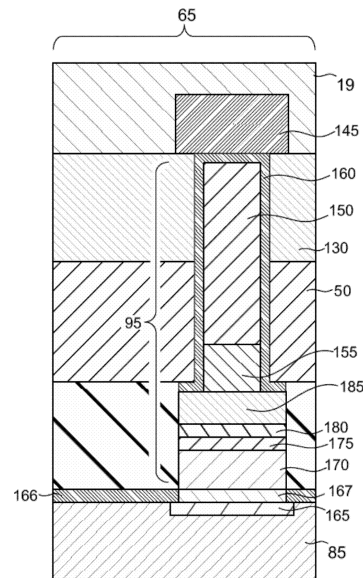
【図 1】



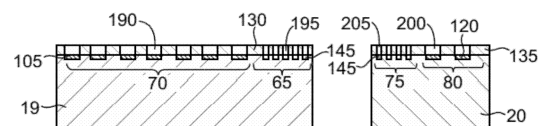
【図 2】



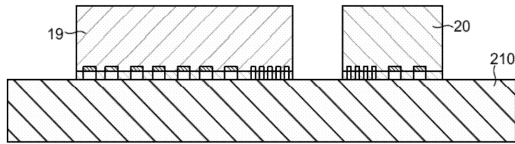
【図 3】



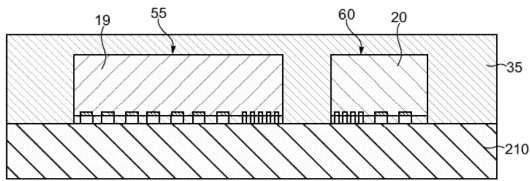
【図 4】



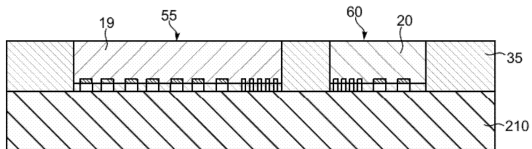
【図 5】



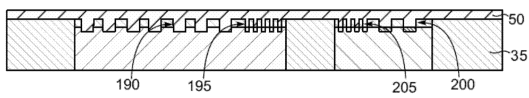
【図 6】



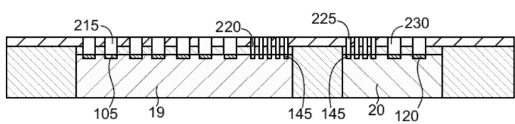
【図 7】



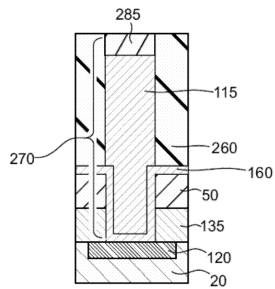
【図 8】



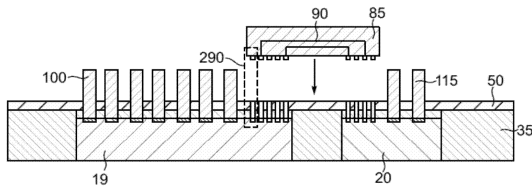
【図 9】



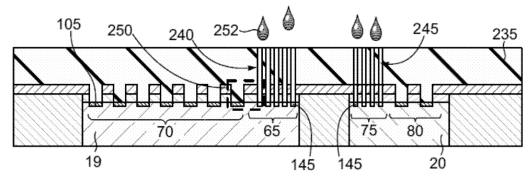
【図 14】



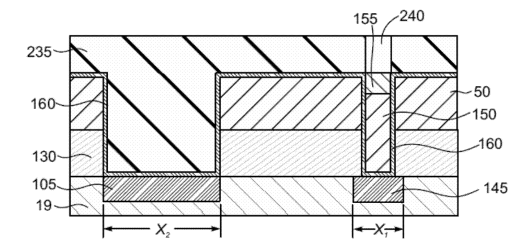
【図 15】



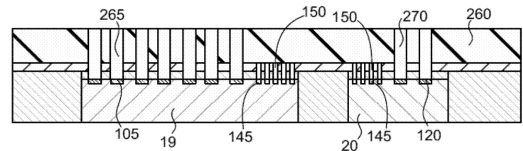
【図 10】



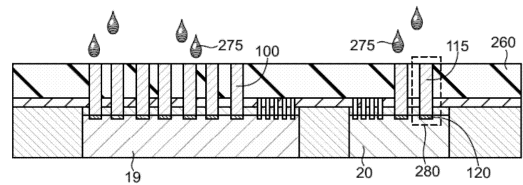
【図 11】



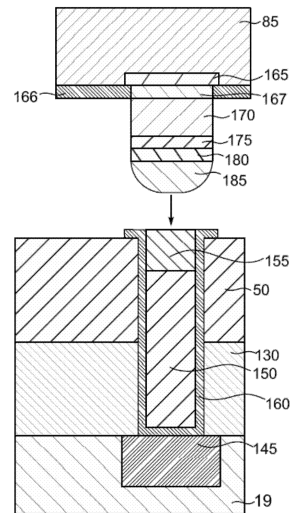
【図 12】



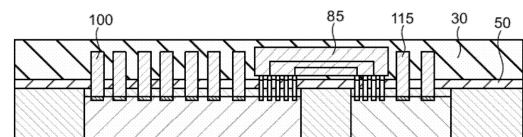
【図 13】



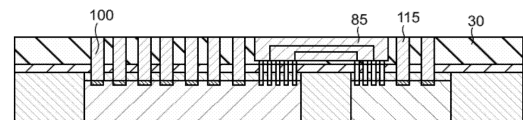
【図 16】



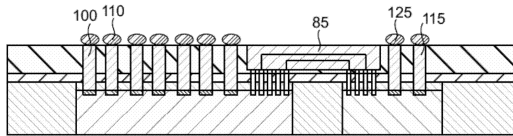
【図 17】



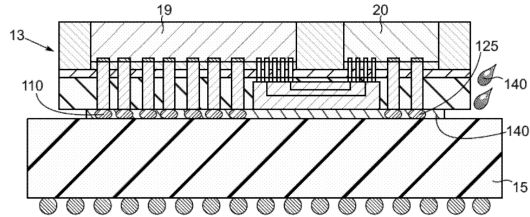
【図 18】



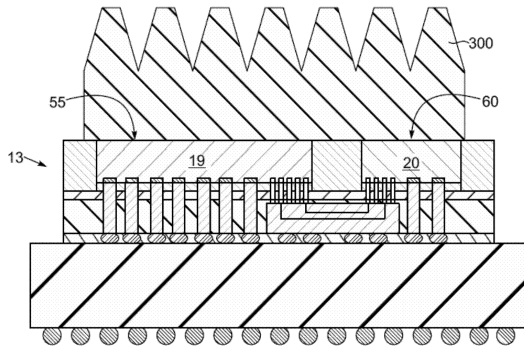
【図 19】



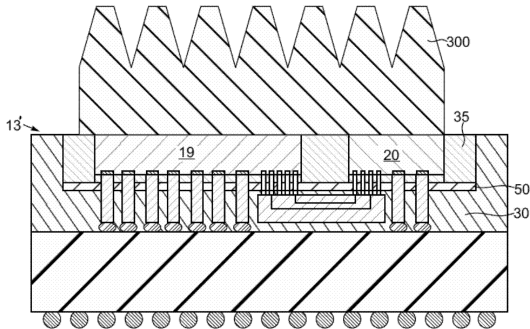
【図 20】



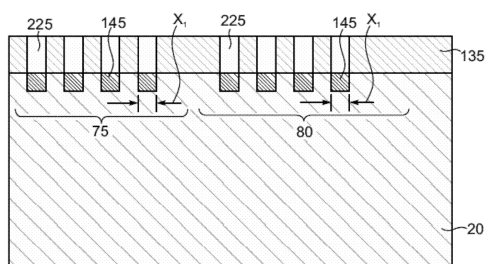
【図 21】



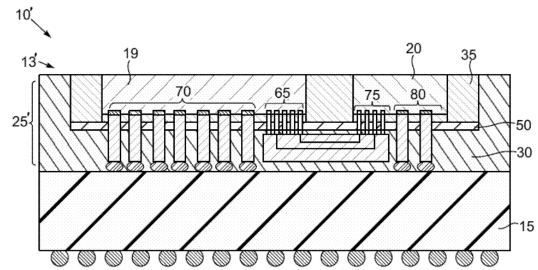
【図 25】



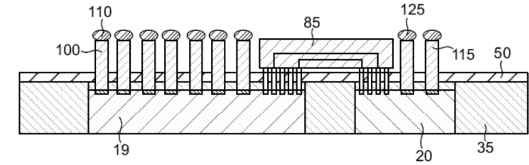
【図 26】



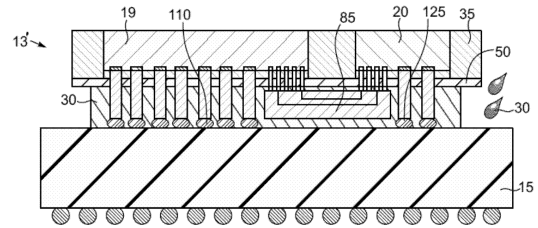
【図 22】



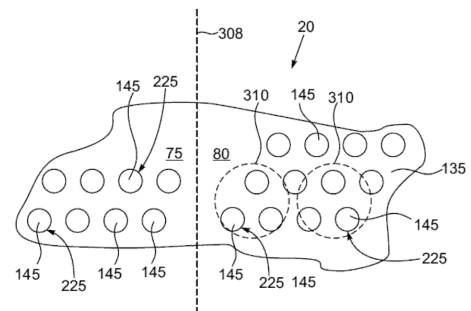
【図 23】



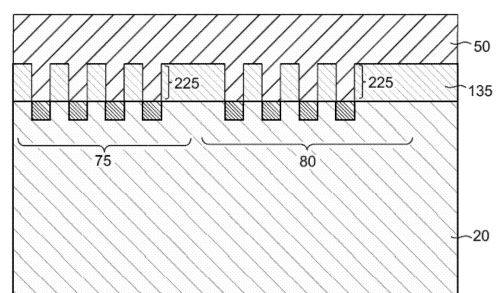
【図 24】



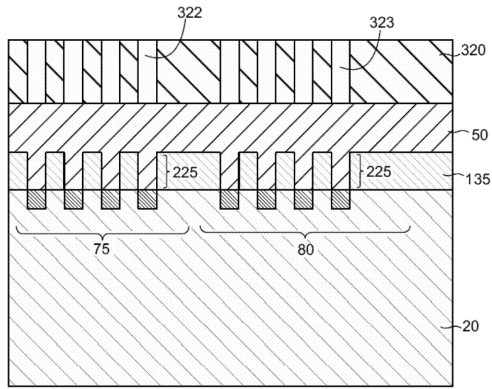
【図 27】



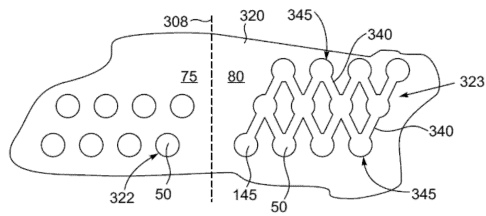
【図 28】



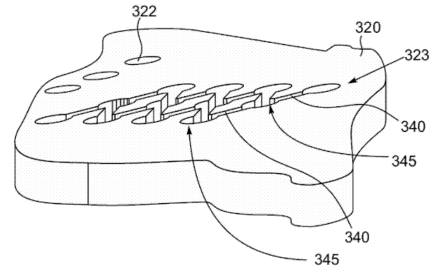
【図 29】



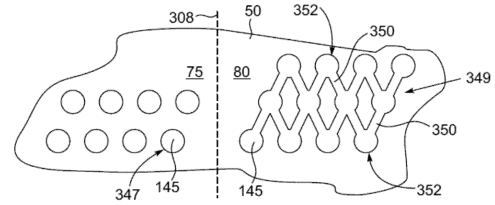
【図 30】



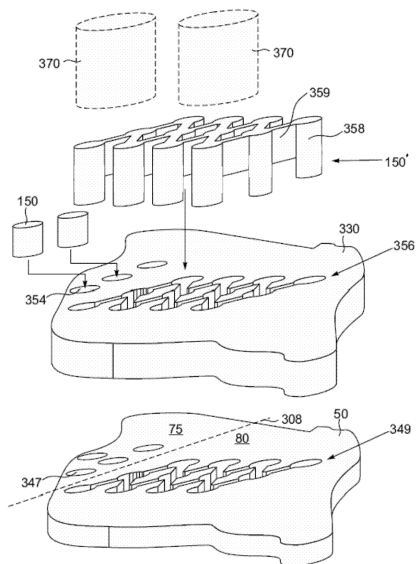
【図 31】



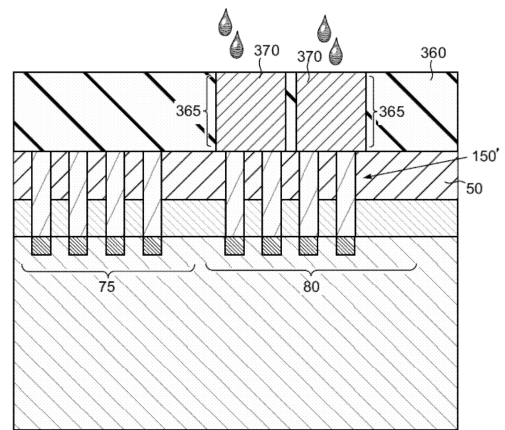
【図 32】



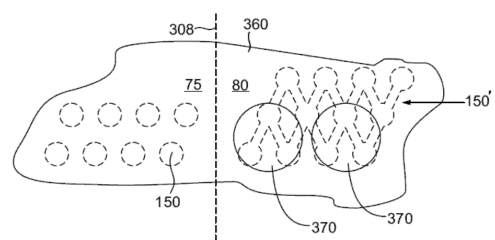
【図 33】



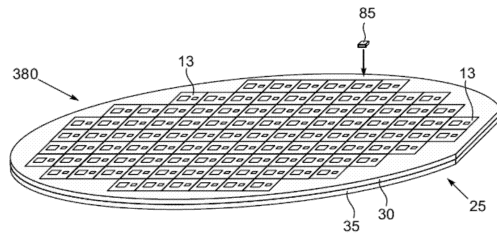
【図 34】



【図 35】



【図 36】



フロントページの続き

- (72)発明者 ミリンド エス. バガヴァット
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ
2 4 8 5
- (72)発明者 レイ フ
アメリカ合衆国 7 8 7 3 5 テキサス州、オースティン、サウスウェスト パークウェイ 7 1
7 1
- (72)発明者 アイヴァー パーバー
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ
2 4 8 5
- (72)発明者 チアケン レオン
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ
2 4 8 5
- (72)発明者 ラフル アガルワル
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ
2 4 8 5

審査官 川原 光司

- (56)参考文献 米国特許出願公開第2014/0299999(US, A1)
特開2004-111415(JP, A)
国際公開第2017/111957(WO, A1)
米国特許出願公開第2011/0285006(US, A1)
特開2014-179613(JP, A)
米国特許出願公開第2014/0159228(US, A1)
米国特許出願公開第2016/0133571(US, A1)
米国特許出願公開第2016/0315071(US, A1)
特開2017-085147(JP, A)
特開2014-135346(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 23/12 - 23/15
H01L 25/00 - 25/07
H01L 25/10 - 25/11
H01L 25/16 - 25/18