

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 18 年 8 月 10 日 (2006.8.10)

【公開番号】特開 2005-38557 (P2005-38557A)

【公開日】平成 17 年 2 月 10 日 (2005.2.10)

【年通号数】公開・登録公報 2005-006

【出願番号】特願 2003-277068 (P2003-277068)

【国際特許分類】

G 1 1 C 11/413 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 2 F 1/1345 (2006.01)

G 0 2 F 1/1368 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/36 (2006.01)

H 0 1 L 51/50 (2006.01)

G 1 1 C 11/407 (2006.01)

G 1 1 C 17/18 (2006.01)

【F I】

G 1 1 C 11/34 3 0 1 A

G 0 2 F 1/133 5 5 0

G 0 2 F 1/1345

G 0 2 F 1/1368

G 0 9 G 3/20 6 2 1 L

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/30 H

G 0 9 G 3/36

H 0 5 B 33/14 A

G 1 1 C 11/34 3 5 4 D

G 1 1 C 17/00 3 0 6 Z

【手続補正書】

【提出日】平成 18 年 6 月 28 日 (2006.6.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】メモリ回路およびそのメモリ回路を有する表示装置、電子機器

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線と、第 1 のビット線と、第 2 のビット線と、前記ワード線に接続されたレベル

シフト回路と、メモリセルと、を有し、

前記メモリセルは、

第 1 のインバータからの出力が第 2 のインバータに入力され、前記第 2 のインバータからの出力が前記第 1 のインバータへ入力されるように接続された二つのインバータを含む回路と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された高電位配線と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された低電位配線と、

前記ワード線にゲートが接続され、前記第 1 のビット線にドレインが接続され、前記回路にソースが接続された第 1 の N 型スイッチトランジスタと、

前記ワード線にゲートが接続され、前記第 2 のビット線にソースが接続され、前記回路にドレインが接続された第 2 の N 型スイッチトランジスタと、

を有し、

前記レベルシフト回路は、前記メモリセルにデータを書き込むときに前記ワード線を前記高電位配線の電位よりも高い電位で駆動し、前記メモリセルからデータを読み出すときに前記ワード線を前記高電位配線の電位よりも低い電位で駆動するレベルシフト回路であることを特徴とするメモリ回路。

【請求項 2】

ワード線と、第 1 のビット線と、第 2 のビット線と、前記ワード線に接続されたレベルシフト回路と、メモリセルと、を有し、

前記メモリセルは、

第 1 のインバータからの出力が第 2 のインバータに入力され、前記第 2 のインバータからの出力が前記第 1 のインバータへ入力されるように接続された二つのインバータを含む回路と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された高電位配線と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された低電位配線と、

前記ワード線にゲートが接続され、前記第 1 のビット線にドレインが接続され、前記回路にソースが接続された第 1 の N 型スイッチトランジスタと、

前記ワード線にゲートが接続され、前記第 2 のビット線にソースが接続され、前記回路にドレインが接続された第 2 の N 型スイッチトランジスタと、

を有し、

前記レベルシフト回路は、切り換え信号入力端子からの切り換え信号に応じて異なる振幅の出力信号を出力することによって、前記メモリセルにデータを書き込むときに前記ワード線を前記高電位配線の電位よりも高い電位で駆動し、前記メモリセルからデータを読み出すときに前記ワード線を前記高電位配線の電位よりも低い電位で駆動する可変レベルシフト回路であることを特徴とするメモリ回路。

【請求項 3】

前記切り換え信号入力は、CPU によって行うことを特徴とする請求項 2 に記載のメモリ回路。

【請求項 4】

ワード線と、第 1 のビット線と、第 2 のビット線と、前記ワード線に接続されたレベルシフト回路と、メモリセルと、を有し、

前記メモリセルは、

第 1 のインバータからの出力が第 2 のインバータに入力され、前記第 2 のインバータからの出力が前記第 1 のインバータへ入力されるように接続された二つのインバータを含む回路と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された高電位配線と、

前記第 1 のインバータ及び前記第 2 のインバータに接続された低電位配線と、

前記ワード線にゲートが接続され、前記第 1 のビット線にドレインが接続され、前記回路にソースが接続された第 1 の N 型スイッチトランジスタと、

前記ワード線にゲートが接続され、前記第 2 のビット線にソースが接続され、前記回路

にドレインが接続された第2のN型スイッチトランジスタと、
を有し、

前記レベルシフト回路は、前記メモリセルにデータを書き込むときに前記ワード線を前記高電位配線の電位よりも高い電位で駆動し、前記メモリセルからデータを読み出すときに前記ワード線を前記高電位配線の電位よりも低い電位で駆動するレベルシフト回路であり、ハイレベルシフト回路と、ロウレベルシフト回路とを含むことを特徴とするメモリ回路。

【請求項5】

前記第1のインバータ、前記第2のインバータ、前記第1のN型スイッチトランジスタ、及び前記第2のN型スイッチトランジスタは、それぞれ、薄膜トランジスタでなることを特徴とする請求項1乃至請求項4のいずれか一項に記載のメモリ回路。

【請求項6】

前記ハイレベルシフト回路は、
デコーダからの出力が入力される第3のインバータと、
前記第3のインバータに接続された第1の低電位側電源と、
前記第3のインバータに接続された第1の高電位側電源と、
前記第1の高電位側電源よりも高い電位の第2の高電位側電源と、
前記第3のインバータからの出力がゲートに入力されるように前記第3のインバータに接続され、前記第1の低電位側電源にソースが接続された第1のトランジスタと、
前記デコーダからの出力がゲートに入力され、前記第1の低電位側電源にソースが接続された第2のトランジスタと、
前記第2の高電位側電源にソースが接続され、前記第1のトランジスタのドレインにゲートが接続された第3のトランジスタと
前記第2の高電位側電源にソースが接続され、前記第2のトランジスタのドレインにゲートが接続された第4のトランジスタと、
を有することを特徴とする請求項4または請求項5に記載のメモリ回路。

【請求項7】

前記ロウレベルシフト回路は、
前記第1のトランジスタのドレイン及び前記第3のトランジスタのドレインにゲートが接続され、前記第2の高電位電源にソースが接続された第5のトランジスタと、
前記第2のトランジスタのドレイン及び前記第4のトランジスタのドレインにゲートが接続され、前記第2の高電位電源にソースが接続された第6のトランジスタと、
前記第1の低電位側電源よりも低い電位の第2の低電位側電源と、
前記第5のトランジスタのドレインにゲートが接続され、前記第2の低電位側電源にソースが接続された第7のトランジスタと、
前記第6のトランジスタのドレインにゲートが接続され、前記第2の低電位側電源にソースが接続された第8のトランジスタと、
を有することを特徴とする請求項6に記載のメモリ回路。

【請求項8】

画素部と、請求項1乃至請求項7のいずれか一項に記載のメモリ回路とが、基板上に一体形成されたことを特徴とする表示装置。

【請求項9】

請求項8に記載の表示装置を表示部に有することを特徴とする電子機器。