



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I822112 B

(45)公告日：中華民國 112 (2023) 年 11 月 11 日

(21)申請案號：111122217

(22)申請日：中華民國 110 (2021) 年 03 月 29 日

(51)Int. Cl. : H01L23/538 (2006.01)

H01L23/66 (2006.01)

H01L25/065 (2006.01)

H01L29/16 (2006.01)

H03F3/193 (2006.01)

H03F3/195 (2006.01)

H03F3/213 (2006.01)

(30)優先權：2020/04/03 美國

63/004,766

(71)申請人：美商沃孚半導體有限公司(美國) WOLFSPEED, INC. (US)

美國

(72)發明人：諾里 巴辛 NOORI, BASIM (US)；馬貝 馬文 MARBELL, MARVIN (GH)；林

廣模 LIM, KWANGMO CHRIS (US)；母千里 MU, QIANLI (CN)

(74)代理人：陳長文

(56)參考文獻：

TW 200303605A

TW 201330189A

TW 201711142A

TW 201834169A

EP 3133735A1

US 2018/0342467A1

US 2020/0058592A1

US 2020/0105774A1

審查人員：郭德豐

申請專利範圍項數：21 項 圖式數：9 共 64 頁

(54)名稱

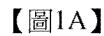
在電晶體晶粒之閘極及/或汲極上通過穿碳化矽通孔進行堆疊式射頻電路拓撲

(57)摘要

一種射頻(RF)功率放大器裝置封裝包含：一基板；及一第一晶粒，其在該第一晶粒之一底部表面處附接至該基板。該第一晶粒在與該底部表面相對的該第一晶粒之一頂部表面上包含頂部閘極或汲極觸點。該等頂部閘極或汲極觸點中之至少一者藉由一各別導電通孔結構被電連接至該第一晶粒之該底部表面上之一各別底部閘極或汲極觸點。位於該第一晶粒上與該基板相對之之一整合式互連結結構包含：一第一接觸墊，其位於該第一晶粒之該頂部閘極觸點或該頂部汲極觸點上；及至少一個第二接觸墊，其連接至一封裝引線、一第二晶粒之一觸點、阻抗匹配電路系統及/或諧波終止電路系統。

A radio frequency (RF) power amplifier device package includes a substrate and a first die attached to the substrate at a bottom surface of the first die. The first die includes top gate or drain contacts on a top surface of the first die opposite the bottom surface. At least one of the top gate or drain contacts is electrically connected to a respective bottom gate or drain contact on the bottom surface of the first die by a respective conductive via structure. An integrated interconnect structure, which is on the first die opposite the substrate, includes a first contact pad on the top gate contact or the top drain contact of the first die, and at least one second contact pad connected to a package lead, a contact of a second die, impedance matching circuitry, and/or harmonic termination circuitry.

符號簡單說明：



105v:導電穿孔結構/穿
孔結構/汲極通孔結構/
汲極通孔/閘極通孔/閘

極側通孔/導電穿孔連接結構

107:晶粒附接材料/預成型件/導電晶粒附接材料層

110i:整合式互連件/整合式被動裝置/被動裝置/輸入整合式被動裝置/覆晶整合式被動裝置/輸入/輸入匹配電路

110p:接合墊/凸塊/接觸墊

111:導電凸塊

113:塑膠外模製件/外模製件

114:導電佈線結構



I822112

【發明摘要】

【中文發明名稱】

在電晶體晶粒之閘極及/或汲極上通過穿碳化矽通孔進行堆疊式射頻電路拓撲

【英文發明名稱】

STACKED RF CIRCUIT TOPOLOGY USING TRANSISTOR DIE WITH THROUGH SILICON CARBIDE VIAS ON GATE AND/OR DRAIN

【中文】

一種射頻(RF)功率放大器裝置封裝包含：一基板；及一第一晶粒，其在該第一晶粒之一底部表面處附接至該基板。該第一晶粒在與該底部表面相對的該第一晶粒之一頂部表面上包含頂部閘極或汲極觸點。該等頂部閘極或汲極觸點中之至少一者藉由一各別導電通孔結構被電連接至該第一晶粒之該底部表面上之一各別底部閘極或汲極觸點。位於該第一晶粒上與該基板相對之之一整合式互連結構包含：一第一接觸墊，其位於該第一晶粒之該頂部閘極觸點或該頂部汲極觸點上；及至少一個第二接觸墊，其連接至一封裝引線、一第二晶粒之一觸點、阻抗匹配電路系統及/或諧波終止電路系統。

【英文】

A radio frequency (RF) power amplifier device package includes a substrate and a first die attached to the substrate at a bottom surface of the first die. The first die includes top gate or drain contacts on a top surface of the first die opposite the bottom surface. At least one of the top gate or drain contacts is electrically connected to a respective bottom

gate or drain contact on the bottom surface of the first die by a respective conductive via structure. An integrated interconnect structure, which is on the first die opposite the substrate, includes a first contact pad on the top gate contact or the top drain contact of the first die, and at least one second contact pad connected to a package lead, a contact of a second die, impedance matching circuitry, and/or harmonic termination circuitry.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

100: 射頻功率裝置封裝/封裝

101: 封裝基板/基板/鈍化層/介電或其他絕緣材料層/層

101s: 附接表面

102d: 汲極/外部汲極引線/封裝汲極引線/汲極引線/封裝引線/射頻輸出引線/引線

102g: 閘極/閘極引線/封裝引線/外部閘極引線/射頻輸入引線/引線

102s: 源極/源極引線/熱引線

103: 導電晶粒墊/導電散熱結構/高密度導電陣列/導電結構

104p: 接合墊/接觸墊

105: 主動電晶體晶粒/主動晶粒/晶粒/元件/組件/射頻電晶體放大器晶粒/電晶體晶粒

105p: 電連接觸點/觸點/汲極觸點/底側汲極接合墊/接合墊/底側汲極墊/汲極墊/閘極觸點/底部閘極觸點/頂部閘極觸點/閘極墊/底側觸點/頂側觸點/閘極接合墊/汲極接合墊/接觸墊/閘極接觸墊/汲極接觸墊/閘極端子/

汲極端子

105v: 導電穿孔結構/穿孔結構/汲極通孔結構/汲極通孔/閘極通孔/閘極側通孔/導電穿孔連接結構

107: 晶粒附接材料/預成型件/導電晶粒附接材料層

110i: 整合式互連件/整合式被動裝置/被動裝置/輸入整合式被動裝置/覆晶整合式被動裝置/輸入/輸入匹配電路

110p: 接合墊/凸塊/接觸墊

111: 導電凸塊

113: 塑膠外模製件/外模製件

114: 導電佈線結構

【發明說明書】

【中文發明名稱】

在電晶體晶粒之間極及/或汲極上通過穿碳化矽通孔進行堆疊式射頻電路拓撲

【英文發明名稱】

STACKED RF CIRCUIT TOPOLOGY USING TRANSISTOR DIE WITH THROUGH SILICON CARBIDE VIAS ON GATE AND/OR DRAIN

【技術領域】

【0001】 本發明係針對積體電路裝置，且更特定而言，針對用於進行積體電路裝置封裝之結構。

【先前技術】

【0002】 RF功率放大器被用於諸如用於無線通信系統之基地台等的多種應用中。由RF功率放大器放大之信號通常包含具有一經調變載波之信號，該經調變載波具有在兆赫(MHz)至千兆赫(GHz)範圍中之頻率。將載波調變之基帶信號通常係在一相對較低頻率下，且取決於該應用該載波可高達300 MHz或更高。諸多RF功率放大器設計利用半導體切換裝置作為放大裝置。此等切換裝置之實例包含功率電晶體裝置，諸如MOSFET (金屬氧化物半導體場效應電晶體)、DMOS (經雙擴散之金屬氧化物半導體)電晶體、HEMT (高電子行動性電晶體)、MESFET (金屬半導體場效應電晶體)、LDMOS (經橫向擴散之金屬氧化物半導體)電晶體等。

【0003】 RF放大器通常形成為半導體積體電路晶片。大多數RF放大器係在矽中實施或使用諸如碳化矽(「SiC」)及III族氮化物材料之寬帶隙半導體材料(亦即，具有大於1.40 eV之一帶隙)來實施。如本文中所使

用，術語「III族氮化物」係指在氮與元素週期表之III族中之元素之間形成的彼等半導體化合物，通常指鋁(Al)、鎵(Ga)及/或銦(In)。該術語亦指三元化合物及四元化合物，諸如AlGa_N及AlInGa_N。此等化合物具有其中一莫耳氮與總共一莫耳III族元素組合的實驗式。

【0004】 基於矽之RF放大器通常使用LDMOS電晶體來實施，且可藉助相對不昂貴之製作來呈現高位準之線性。基於III族氮化物之RF放大器通常使用HEMT來實施，主要用於需要高功率及/或高頻率操作之應用中，其中LDMOS電晶體放大器可具有固有效能限制。

【0005】 RF電晶體放大器可包含一或多個放大級，其中每一級通常實施為一電晶體放大器。為了增加輸出功率及電流處置能力，RF電晶體放大器通常以一「單位單元」組態實施，其中一大數目之個別「單位單元」電晶體並聯地進行電配置。一RF電晶體放大器可實施為一單個積體電路晶片或「晶粒」，或者可包含複數個晶粒。當使用多個RF電晶體放大器晶粒時，該多個RF電晶體放大器晶粒可串聯及/或並聯地進行連接。

【0006】 RF放大器通常包含：匹配電路，諸如阻抗匹配電路，其等經設計以改良主動電晶體晶粒(例如，包含MOSFET、HEMT、LDMOS等)與連接至主動電晶體晶粒的用於基本操作頻率下之RF信號之傳輸線之間的阻抗匹配；及諧波終止電路，其等經設計以至少部分地終止可在裝置操作期間產生之諧波產物，諸如第二階及第三階諧波產物。諧波產物之終止亦影響互調變失真產物之產生。

【0007】 RF放大器電晶體晶粒以及阻抗匹配及諧波終止電路可被圍封在一裝置封裝中。一晶粒或晶片可係指在其上製作電子電路元件之半導體材料或其他基板之一小區塊。進行積體電路封裝可係指將一或多個晶粒

囊封在一支撐外殼或封裝中，該支撐外殼或封裝保護晶粒免受實體損壞及/或腐蝕且支撐用於連接至外部電路之電觸點。一積體電路裝置封裝中之輸入及輸出阻抗匹配電路通常包含提供一阻抗匹配電路之至少一部分之LC網路，該阻抗匹配電路經組態以將主動電晶體晶粒之阻抗與一固定值匹配。電引線可自該封裝延伸以將RF放大器電連接至諸如輸入及輸出RF傳輸線以及偏壓電壓源之外部電路元件。

【0008】 可藉由整合式被動裝置(IPD)來實現諸多功能區塊，諸如阻抗匹配電路、諧波濾波器、耦合器、平衡-不平衡變壓器及功率組合器/分配器。IPD包含被動電組件且一般使用諸如薄膜及光微影處理之標準晶圓製作技術來製作。IPD可被設計為可進行覆晶安裝或可進行導線結合之組件。用於IPD之基板通常係類似矽、氧化鋁或玻璃之薄膜基板，此可允許藉助主動電晶體晶粒使製造及封裝變得容易。

【0009】 用於裝配RF功率裝置之某些習用方法可涉及將電晶體晶粒以及匹配網路組件(例如，預先匹配之電容器，諸如MOS電容器)中之某些者裝配在一CPC (銅、銅-鉬、銅層板結構)或銅凸緣上之一陶瓷或經包覆成型之封裝中。電晶體晶粒、電容器及輸入/輸出引線可與諸如金導線及/或鋁導線之導線互連。此一裝配程序可係緩慢且連續的(例如，一次接合一個封裝)，並且裝配成本可係高昂的(例如，歸因於金導線之成本及昂貴的導線接合機器)。

【發明內容】

【0010】 根據本發明之某些實施例，一種射頻(RF)功率放大器裝置封裝包含：一基板；及一第一晶粒，其在該第一晶粒之一底部表面處附接至該基板。該第一晶粒包含：複數個電晶體單元；及頂部閘極或汲極觸

點，其等位於與該底部表面相對的該第一晶粒之一頂部表面上。該等頂部閘極或汲極觸點中之至少一者係藉由至少一個各別導電通孔結構電連接至該第一晶粒之該底部表面上之至少一個各別底部閘極或汲極觸點。在該第一晶粒上提供與該基板相對的一整合式互連結構。該整合式互連結構包含：一第一接觸墊，其位於該第一晶粒之該頂部閘極觸點或該頂部汲極觸點上；及至少一個第二接觸墊，其連接至一封裝引線、一第二晶粒之一觸點、阻抗匹配電路系統及/或諧波終止電路系統。

【0011】 在某些實施例中，該封裝引線可係一第一封裝引線，且該第一晶粒之該底部表面上之該各別底部閘極或汲極觸點可電連接至一第二封裝引線。

【0012】 在某些實施例中，該整合式互連結構可包含用於由該第一晶粒之該等電晶體單元界定之一電路的該阻抗匹配電路系統之至少一部分。

【0013】 在某些實施例中，可在界定用於由該第一晶粒之該等電晶體單元界定之該電路的該諧波終止電路系統之至少一部分的該基板上提供導電配線。該各別底部閘極或汲極觸點可藉由該導電配線耦合至該第二封裝引線。

【0014】 在某些實施例中，上面具有該整合式互連結構之該第一接觸墊之該頂部閘極觸點或該頂部汲極觸點可藉由該各別導電通孔結構電連接至該各別底部閘極或汲極觸點。

【0015】 在某些實施例中，該整合式互連結構可係包含一或多個被動電子組件之一整合式被動裝置(IPD)。

【0016】 在某些實施例中，該第一接觸墊可係該IPD之一表面上的

電連接至該一或多個被動電子組件之一接合墊，該表面面向該第一晶粒之該頂部表面。該接合墊可藉由該接合墊與頂部閘極或汲極觸點之間的一導電凸塊連接至該頂部閘極或汲極觸點。

【0017】 在某些實施例中，由該第一晶粒之該等電晶體單元界定之該電路可係一射頻(RF)放大器電路之一第一級，且該第二晶粒可包含界定該RF放大器電路之一第二級之電晶體單元。

【0018】 在某些實施例中，該IPD可在其導電元件之間包含一絕緣材料，以界定整合於該IPD中之至少一個電容器。

【0019】 在某些實施例中，該第二晶粒可包含界定該阻抗匹配電路系統之該至少一部分之一或多個電容器。

【0020】 在某些實施例中，該第一晶粒可在毗鄰該至少一個各別底部閘極或汲極觸點的該第一晶粒之該底部表面上之一源極觸點處附接至該基板。

【0021】 在某些實施例中，該至少一個各別底部閘極或汲極觸點可包含一底部閘極觸點及一底部汲極觸點兩者。該源極觸點可在該第一晶粒之該底部表面上位於該底部閘極觸點與該底部汲極觸點之間。

【0022】 在某些實施例中，該第一晶粒可包含一基於III族氮化物之材料。

【0023】 在某些實施例中，該第一晶粒可包含碳化矽(SiC)上之一基於III族氮化物之材料，且該各別導電通孔結構可係一穿碳化矽(TSiC)通孔。

【0024】 根據本發明之某些實施例，一種射頻(RF)功率放大器裝置封裝包含：一基板；及一第一晶粒，其在該第一晶粒之一底部表面上之一

源極觸點處附接至該基板。該第一晶粒包含：複數個電晶體單元；及頂部閘極及汲極觸點，其等位於與該底部表面相對的該第一晶粒之一頂部表面處。該等頂部閘極或汲極觸點中之至少一者係藉由一各別導電通孔結構電連接至該底部表面上之一各別底部閘極或汲極觸點。該頂部閘極觸點或該頂部汲極觸點在該第一晶粒之該頂部表面處連接至阻抗匹配電路系統或諧波終止電路系統中之一者，且該各別底部閘極或汲極觸點在該第一晶粒之該底部表面處連接至該阻抗匹配電路系統或該諧波終止電路系統中之另一者。

【0025】 在某些實施例中，該第一晶粒可包含一基於III族氮化物之材料。

【0026】 在某些實施例中，可在該第一晶粒上提供一整合式互連結構，該整合式互連結構包含與該基板相對的該阻抗匹配電路系統之至少一部分。該頂部閘極觸點或該頂部汲極觸點係藉由該整合式互連結構耦合至附接至該基板及/或一第一封裝引線之一第二晶粒。

【0027】 在某些實施例中，該整合式互連結構可係包含一或多個被動電子組件之一整合式被動裝置(IPD)。

【0028】 在某些實施例中，該整合式互連結構可包含：一第一接觸墊，其位於面向該第一晶粒之該頂部表面的該第一晶粒之一表面上，其中該第一接觸墊位於該頂部閘極觸點或該頂部汲極觸點上；及至少一個第二接觸墊，其位於該第二晶粒之該表面上，其中該至少一個第二接觸墊位於該第二晶粒之一觸點上及/或藉由至少第二接觸墊與封裝引線中之一者之間的一導電凸塊耦合至該等封裝引線中之該一者。

【0029】 在某些實施例中，可在界定該諧波終止電路系統之至少一

部分之該基板上提供導電配線。該各別底部閘極或汲極觸點可藉由該導電配線耦合至一第二封裝引線。

【0030】 在某些實施例中，上面具有該整合式互連結結構之該第一接觸墊之該頂部閘極觸點或該頂部汲極觸點可藉由該各別導電通孔結構電連接至該各別底部閘極或汲極觸點。

【0031】 在某些實施例中，該第二晶粒可在與該基板相對的該第二晶粒之一表面上包含至少一個觸點，且該整合式互連結結構之該至少一個第二接觸墊可位於該至少一個觸點上。在某些實施例中，該第二晶粒可包含一或多個電容器。在某些實施例中，該第二晶粒可包含界定一RF放大器電路之一級之複數個電晶體單元。

【0032】 在審閱隨附圖式及詳細說明之後，根據某些實施例之其他裝置、設備及/或方法對於熟習此項技術者將旋即變得顯而易見。除上文實施例之任一及所有組合之外，所有此等額外實施例意欲包含於本說明書內、歸屬於本發明之範疇內且由隨附申請專利範圍保護。

【圖式簡單說明】

【0033】 圖1A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。

【0034】 圖1B係圖1A之實施例之一等效電路圖。

【0035】 圖2A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。

【0036】 圖2B係圖2A之實施例之一等效電路圖。

【0037】 圖3A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。

【0038】 圖3B係圖3A之實施例之一等效電路圖。

【0039】 圖4A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。

【0040】 圖4B係圖4A之實施例之一等效電路圖。

【0041】 圖5A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。

【0042】 圖5B係圖5A之實施例之一等效電路圖。

【0043】 圖5C係圖解說明根據本發明之某些實施例的圖5A之實施例之一封裝佔用面積之一仰視平面圖。

【0044】 圖5D係圖解說明根據本發明之某些實施例的圖5C之實施例之封裝佔用面積之一俯視平面圖。

【0045】 圖6A及圖6B係分別圖解說明根據本發明之某些實施例的IPD之實例之平面及透視圖。

【0046】 圖7A至圖7C係圖解說明根據本發明之某些實施例的在對置表面上之接合墊之間包含導電穿孔連接的主動電晶體晶粒之實例之剖視圖。

【0047】 圖7D係穿過圖7A之頂側金屬化結構之一部分截取之一剖視圖。

【0048】 圖8及圖9係圖解說明根據本發明之進一步實施例的包含堆疊式拓撲及導電穿孔連接結構的經熱增強之積體電路裝置封裝之實例之剖視圖。

【實施方式】

優先權聲明

【0049】 本申請案主張於2020年4月3日向美國專利與商標局提出申請的依據美國臨時申請案第63/004,766號之優先權，本申請案之揭示內容以引用方式併入本文中。

【0050】 本發明之某些實施例可產生進行裝配及將包含於一積體電路裝置封裝中之各種組件之參數最佳化的困難。舉例而言，某些習用基於III族氮化物之RF放大器可使用接合導線將電晶體晶粒連接至封裝引線、阻抗匹配電路及/或諧波終止電路。此等接合導線具有可用以在RF放大器之阻抗匹配及/或諧波終止電路中實施電感器中之某些者的固有電感。所提供之電感量可隨接合導線之長度及/或截面積(例如，直徑)而發生變化。當應用移動至較高頻率時，接合導線之電感可超出阻抗匹配及/或諧波終止電路所期望之一電感量。可使用極短及/或具有大截面積之接合導線，以努力將該等接合導線之電感降低至適合位準。然而，極短接合導線可能難以焊接就位，或者可能違反可製造性之設計規則，此可增加製造成本及/或可能導致較高裝置故障率。具有大截面積之接合導線可能在RF放大器晶粒上需要較大閘極及/或汲極接合墊，此可增加RF放大器晶粒之總體大小。而且，在某些較高頻率應用中，具有大截面積之甚至極短接合導線可具有過多電感，使得匹配網路無法(舉例而言)適當終止較高階(例如，第二階或第三階)諧波。

【0051】 而且，可基於至一接地平面之接近度而影響某些被動RF裝置(例如，包含諸如電感器或電容器之被動電子組件之IPD，本文中一般被稱為被動裝置)之效能。特定而言，當電感器線圈之纏繞部與一裝置封裝之一經接地連接之凸緣(或其他經接地結構)之間的一距離減小時，電感器線圈之品質因子Q可減小。然而，由於晶粒通常係在該等晶粒之一表面上

具有用於電連接至外部晶粒或裝置的導電接觸元件(本文中亦稱為接觸墊、接合墊、墊或觸點)之平坦結構，因此增加被動組件與接地平面之間的距離可增加接合導線之長度，該等接合導線將被動組件與包含於一主動電晶體晶粒(本文中亦稱為一電晶體晶粒或主動晶粒)中之一或多個主動電子組件(例如，電晶體，諸如包含電晶體單元之功率電晶體裝置)連接。所增加之連接長度可減小或抵消由被動組件尤其在較高頻率下提供之阻抗匹配網路之有效性。

【0052】 與可使用導線接合環路來實施輸入及輸出預匹配之某些習用RF功率裝置相比，本發明之實施例在經封裝RF功率產品中提供用於高功率應用(例如，用於5G或基地台應用)之組件之配置，其中在不使用導線接合的情況下，藉由在一層或基板上包含導電組件之一或多個結構(本文中一般被稱為整合式互連結構)在組件之間(例如，在電路位準組件之間，諸如在一或多個主動電晶體晶粒之接合墊之間及/或在主動電晶體晶粒之接合墊與封裝之間極及/或汲極引線之間)實施連接。

【0053】 一般而言，一整合式互連結構或裝置(或「整合式互連件」)可指在一層或基板上包含諸如電阻器(包含傳輸線)、通孔、電感器及/或電容器之積體電路系統的一結構，舉例而言，具有整合式跡線、通孔及/或電路系統之一介電基底結構，該介電基底結構可用於替代接合導線以減少及/或避免相關寄生電感及製造問題。在本文中所闡述之某些實施例中，整合式互連件可實施為被動裝置(包含具有諸如矽、氧化鋁或玻璃之薄膜基板之IPD)及/或導電佈線結構(在一鈍化層(RDL)結構或其他基板上包含導電導線)。如上文所陳述，IPD包含電感器及/或其他被動電組件，且可使用諸如薄膜及/或光微影處理之標準半導體處理技術來製作。

IPD可係可進行覆晶安裝或可進行導線接合之組件，且可包含諸如矽、氧化鋁或玻璃之薄膜基板。一RDL結構係指具有導電層圖案及/或導電通孔之一基板或層板。藉由將導電層及絕緣層及/或圖案沈積在一基底材料上以及藉由在結構內形成用於經由RDL結構傳輸信號之通孔及銅配線圖案，可使用半導體處理技術來製作RDL結構。

【0054】 整合式互連件可如本文中所闡述地用於提供至輸入、輸出及/或電晶體晶粒之級之間的連接，以及提供可對電晶體晶粒之操作有用及/或必要之電路。舉例而言，整合式互連件可提供經組態以減小主動電晶體晶粒之間及/或連接至封裝引線之一外部裝置之間的一阻抗失配的一阻抗。在特定實例中，可藉由諸如IPD之整合式互連件來實施用於一主動電晶體晶粒之輸入及/或輸出預匹配網路電路，從而導致最小導線接合或無導線接合。在某些實施例中，包含面向一或多個電晶體晶粒之各別觸點的各別觸點之覆晶IPD可用於對多個電晶體晶粒進行互連，舉例而言，在多級放大器實施方案中。亦即，在某些實施例中，整合式互連件可提供一互連功能及一阻抗匹配/諧波終止功能，使得可在封裝中減少或消除導線接合之使用。在某些實施例中，如本文中所闡述之IPD可沒有主動組件。

【0055】 在某些實施例中，將提供用於主動晶粒(本文中亦稱為預匹配IPD)之阻抗匹配網路的IPD直接放置或堆疊在電晶體晶粒及/或電容器晶片之閘極及/或汲極接觸墊之頂部上，因此藉助進行零導線接合或極少導線接合來減少或最小化與互連相關的損失。而且，可在一批量程序中裝配多個晶片，從而進一步減少裝配時間及成本。被動組件與諸如一裝置封裝晶粒墊之經接地連接之凸緣之一附接表面之間的經升高高度或所增加距離(如在一個100 μm 厚之主動電晶體晶粒之頂部上由(舉例而言)堆疊式配置

提供)可減少耦合至接地之電容，因此減小或最小化(且在某些情形中增加)對品質因子Q之負面效應、減少或最小化被動組件之損失以及導致較佳RF效能。

【0056】 額外被動組件(例如，用於特定應用)可包含於被動裝置中及/或位於封裝之附接表面上，該附接表面直接位於被動裝置下面。舉例而言，在某些實施例中，可將用於進行預匹配及/或諧波終止之電容器(例如，MOS電容器)放置在輸入預匹配IPD與附接表面之間。類似地，可將高密度輸出電容器放置在輸出預匹配IPD與附接表面之間，用於經改良視訊頻帶寬(VBW)，從而提供供用於裝納高密度VBW電容器之一較大面積。在某些實施例中，被動裝置可包含整合於其中之電容器，諸如MIM(金屬層-絕緣層-金屬層)電容器。

【0057】 本發明之實施例進一步提供電晶體晶粒組態，藉由該等電晶體晶粒組態，一主動電晶體晶粒之觸點或接合墊中之一或多者可藉由一整合式互連結構或裝置(例如，一覆晶IPD)自晶粒之一個側並且使用本文中亦被稱為導電通孔(例如，當延伸穿過基於SiC之電晶體晶粒時之穿碳化矽(TSiC)通孔)之導電穿孔連接結構自晶粒之另一側進行同時連接。舉例而言，電晶體晶粒之一底側(例如，毗鄰封裝基板附接表面)上之底部觸點或接合墊可連接至封裝基板(例如，一RDL層)中或上之匹配元件(例如，用於諧波終止)，而電晶體晶粒之頂側(例如，與封裝基板附接表面相對)上之頂部觸點或接合墊可連接至在一層或基板(例如，整合式互連結構)上包含導電組件之一或多個結構，或反之亦然，其中各別TSiC通孔在頂部觸點與底部觸點之間延伸。

【0058】 提供在電晶體晶粒之不同表面上連接觸點(例如，在頂部上

在各別閘極觸點及/或各別汲極觸點與電晶體晶粒之底部表面之間延伸)的導電通孔可消除對額外IPD、銅墊片及/或將RF信號連接至封裝之閘極/汲極引線的導線接合之需要。而且，導電通孔提供多個路徑以接觸封裝閘極/汲極引線，在同步允許(例如，藉由堆疊式IPD)電晶體晶粒之頂部表面處之阻抗匹配的同時，此允許(例如，藉由RDL上之導電配線)在電晶體晶粒之底部表面處在基板中/上之至少某些阻抗匹配貢獻，以進一步預匹配基本頻率及/或諧波。電晶體晶粒之頂部與底部處之匹配貢獻之組合允許將預匹配電路整合至一較小空間中，且可減小或消除由於在多個功能性之間必須共用接合墊空間之效能降級。

【0059】亦即，與其中在汲極與調諧導線之間或者在用於預匹配基本頻率之導線及/或IPD與用於諧波終止之導線及/或IPD之間共用電晶體接合墊空間的某些習用封裝相比，本發明之實施例可將電晶體接合墊之一個整個側(例如，頂側)專用於一個功能(例如，第一功能)且將另一整個側(例如，底側，穿過TSiC通孔)專用於其他功能(例如，第二功能)。舉例而言，主動晶粒之頂部接合墊可專用於在基本頻率 f_0 下進行阻抗匹配，而底部接合墊可提供用於輸入/輸出及諧波終止之連接，如各圖中所圖解說明，或反之亦然。在特定實施例中，可經由配線至一底側RDL上之TSiC通孔及跡線達成對輸入及輸出之諧波終止，而頂側藉助用於預匹配基本頻率之覆晶IPD進行連接。另一選擇係，替代串聯及分路導線在同一接合墊上共用空間，分路調諧導線在一覆晶IPD中可自頂側實施，且串聯汲極自底側直接連接至汲極引線。更一般而言，預匹配、諧波終止及/或裝置互連可藉由使用如本文中所闡述之導電穿孔連接與整合式互連之組合自電晶體接合墊之每一頂部、底部或兩個側來達成。

【0060】 因此，本發明之實施例可使用堆疊式晶片拓撲與包含穿孔連接結構之電晶體晶粒之組合來大大減少在閘極接合導線與汲極接合導線之間進行耦合的問題，此可造成增益損失及不穩定性。在某些實施例中，可消除或減少閘極及/或汲極接合導線，且整合式互連件(例如，預匹配IPD)中之薄的、低輪廓導電跡線可提供閘極接合導線與汲極接合導線之間的極少耦合及/或至輸出導線或跡線之較低耦合。

【0061】 本發明之實施例可用於5G及基地台應用之RF功率產品以及雷達及/或單片式微波積體電路(「MMIC」)類型之應用中。舉例而言，基於III族氮化物之RF放大器可實施為MMIC裝置，其中一或多個電晶體晶粒在一單個積體電路晶粒中與該等電晶體晶粒之相關聯阻抗匹配及諧波終止電路一起實施。

【0062】 圖1A係根據本發明之某些實施例的圖解說明包含堆疊式拓撲及穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。如圖1A中所展示，本發明之某些實施例提供一RF功率裝置封裝100，其包含：一主動電晶體晶粒105，其包含至少一個導電穿孔結構105v；及一電容器晶片或晶粒104 (例如，MOS電容器)，其裝配在一封裝基板101之一附接表面101s上，其中一整合式互連裝置(圖解說明為一IPD或其他被動裝置110i)係與附接表面101s相對。

【0063】 主動晶粒105可包含功率電晶體裝置，例如，界定一RF功率放大器。在某些實施例中，主動晶粒105可包含離散多級MMIC及/或多路徑(例如，多厄悌(Doherty))電晶體裝置。導電穿孔結構105v可穿過主動晶粒105之半導體層結構實體地延伸至主動晶粒105之不同側或表面上之電連接觸點105p (諸如接合墊)。在某些實施例中，穿孔結構105v可包

含穿過一個基於III族氮化物之半導體層結構230而延伸之導電閘極通孔262、導電汲極通孔264及/或導電源極通孔266，如下文參考圖7A至圖7C之主動晶粒705所更詳細闡述。

【0064】 本文中所闡述之主動電晶體晶粒可在矽中實施或使用諸如碳化矽(「SiC」)及III族氮化物材料之寬帶隙半導體材料來實施。在特定實施例中，主動晶粒可係基於III族氮化物的(諸如基於氮化鎵(GaN)及/或碳化矽(SiC)的)，該等主動晶粒包含在一半導體層結構之一上部部分中並聯連接之單位單元電晶體以及在半導體層結構之一下部或底部表面上毗鄰一源極觸點的一閘極觸點及/或一汲極觸點，該下部或底部表面毗鄰附接表面。術語「半導體層結構」可係指包含諸如半導體基板及/或半導體磊晶層之一或多個半導體層的一結構。在圖1A中，主動晶粒105包含一SiC晶粒上之RF GaN，其中一個觸點105p (在此實例中，汲極觸點)包含一汲極通孔結構105v (在此實例中，一穿碳化矽(TSiC)通孔結構)，汲極通孔結構105v在晶粒105之頂側或頂部表面與晶粒105之該底側或底部表面上之汲極觸點105p之間提供電連接及信號之路由，該底側或底部表面毗鄰附接表面101s。

【0065】 在圖1A之實例中，基板101係一鈍化層(RDL)層板結構。RDL 101可包含使用半導體處理技術來製作之導電層。然而，將理解，基板101並不限於此；舉例而言，基板101可係一印刷電路板(例如，具有金屬跡線之一多層印刷電路板)、包含導電通孔之一陶瓷基板及/或導電墊或者主動晶粒105之任何其他適合安裝表面。RDL 101之底側包含在附接表面101s上之組件與諸如一外部電路板之一外部裝置(未展示)之間傳導電信號的封裝引線(特定而言，閘極102g、汲極102d及源極102s引線，統稱

為封裝引線102)。附接表面101s可包含一或多個導電晶粒墊103，導電晶粒墊103在某些實施例中可為封裝100之組件提供一電接地。RDL 101包含用於傳輸信號之通孔及/或多層導電配線，以將信號自底側汲極接合墊105p傳遞至封裝100之外部汲極引線102d。RDL 101中之信號跡線可具有遠離源極引線102s之充足間隔(例如，大於約5 μm)，以避免信號對接地短路及/或引入有害寄生耦合。

【0066】 由於RF放大器通常用於高功率及/或高頻率應用中，因此在操作期間在電晶體晶粒內可產生高位準之熱。若電晶體晶粒變得過熱，則RF放大器之效能(例如，輸出功率、效率、線性、增益等)可惡化及/或電晶體晶粒可能被損壞。如此，通常將RF放大器安裝在可經最佳化或以其他方式經組態以用於熱移除之封裝中。在圖1A之實例中，源極引線102包含或被附接至提供熱傳導性之一導電散熱結構103 (例如，一散熱片)(圖解說明為一嵌入式導電塊或通孔)。特定而言，電晶體晶粒105下面之RDL 101之一區段可填充(例如，大於約85%填充、完全填充或幾乎完全填充)有銅通孔之一高密度導電陣列103，用於遠離電晶體晶粒105之電晶體而傳輸熱。舉例而言，在一嵌入式封裝之程序中，導電結構103亦可填充有一嵌入式銅塊或硬幣。利用晶粒附接材料107及技術(諸如共晶材料、預塗佈(例如，AuSn預塗佈)、預成型、燒結(例如，Ag-燒結)等)將電晶體晶粒105及電容器晶片104附接至RDL 101之附接表面101s。

【0067】 仍參考圖1A，在主動電晶體晶粒105與封裝引線102之間不具有導線接合的情況下，藉由整合式互連件110i (在此實例中，一IPD 110i)及/或穿孔結構105v來實施主動電晶體晶粒105 (特定而言，在電晶體晶粒105之一頂側或表面上之觸點或接合墊105p之間)與封裝引線102之間

的一或多個連接。由穿孔結構105v提供之連接可進一步包含基板101中之一或多個導電元件(例如，導電跡線或通孔)。由被動裝置110i提供之連接係與主動晶粒105之底側或表面所附接至的附接表面101s或基板101相對(而不是在其中)。更特定而言，電晶體晶粒105之一頂部表面上之接合墊105p連接至面向IPD 110i之一表面上之接合墊110p，且藉由導電佈線結構114將IPD 110i之接合墊110p連接至閘極引線102g。如上文所陳述，被動裝置110i可包含一半導體或其他基板上之被動電子組件，諸如電阻器/傳輸線、電感器及/或電容器。穿孔結構105v亦可提供某些串聯電感及/或電阻。

【0068】在圖1A中，被動裝置110i之組件經組態以為由主動晶粒105之電晶體單元界定之一電路(例如，一RF放大器電路)提供一輸入阻抗匹配網路，且圖解說明為一IPD，但如本文中所闡述之被動裝置並不限於此。輸入阻抗匹配電路系統可將輸入至RF功率裝置封裝100之RF信號之基本組件之阻抗與主動晶粒105之輸入處之阻抗匹配。在圖1A之實例中，IPD 110i併入有電感器與傳輸線之一配置，用於預匹配基本頻率 f_0 ，且亦用於終止可存在於輸入處之基本RF信號之諧波(例如， $2f_0$)。

【0069】在圖1A之實例中，用於輸入預匹配網路之IPD 110i係在IPD 110i之一表面上包含接合墊110p之一覆晶裝置。因此，IPD 110i係「覆晶」在電晶體晶粒105及一電容器晶片104之頂部上，使得IPD 110i之接合墊110p分別與電晶體晶粒105之接合墊105p及電容器晶片104之接合墊104p對準。IPD 110i可包含導電凸塊111(例如，在某些實施例中預附接至IPD 110之導電環氧樹脂圖案或焊接凸塊)，用於將接合墊110p連接至接合墊105p及104p。亦可將一導電凸塊111預放置在電晶體晶粒105之底側

汲極墊105p上，以在RDL 101中穿過導電跡線及/或通孔將汲極墊105p連接至封裝汲極引線102d。

【0070】藉由研磨晶圓(用於晶粒或電容器晶片)及/或藉由使用不同厚度之預成型件107在IPD 110i下方將元件104與105之高度對準，可將電容器晶片104及電晶體晶粒105之頂部表面對準至同一高度。如此，封裝100包含具有元件104及105之一堆疊式結構，元件104及105附接至基板101與整合式互連件110i之間的附接表面101s (其可提供至接地之電連接)。在不具有在元件104及105與引線102之間延伸之各別接合導線的情況下，整合式互連件110i與至少一個穿孔結構105v之一組合在元件104、105與引線102之間提供電連接。一封裝之材料(圖解說明為一塑膠外模製件(OMP) 113)在提供至引線102之通道的同時囊封晶粒105、110或以其他方式為晶粒105、110提供保護，引線102用於連接至封裝100外部之電路或裝置，本文中一般被稱為外部裝置。外模製件113可實質上環繞晶粒105、110，且可由一塑膠或一塑膠高分子化合物形成，藉此提供免受外部環境之影響。外模製件類型之封裝之優點包含封裝之經減小總體高度或厚度，以及引線102之間的配置及/或間隔之設計靈活性。在某些實施例中，如本文中所闡述之外模製件類型之封裝可具有約400微米(μm)至約700 μm 之一高度或OMP厚度。在其他實施例中，晶粒105、110可包含於包含陶瓷材料之一開放式模腔封裝(例如，一經熱增強之封裝(TEPAC或T3PAC))中，該開放式模腔封裝界定環繞晶粒105、110之一模腔且可具有約1400微米(μm)至約1700 μm 之一高度或厚度。

【0071】圖1B係圖1A之實施例之一等效電路圖。輸入預匹配網路係由IPD 110i及輸入電容器104實施，以提供基本頻率 f_0 下之一L-C匹配電

路(例如，一低通L-C)以及用於最佳終止諧波頻率(例如， $2f_0$)之一分路-L電感 L_s 匹配電路(例如，一高通 L_s)。輸入IPD 110i中之串聯傳輸線110r可經選擇以提供自電晶體晶粒105至閘極引線102g之合適阻抗變換。串聯傳輸線(例如，如由導電結構110r所提供)可被視為板傳輸線匹配網路之一延伸，且電寬度可經選擇或經組態以達成用於進行阻抗匹配之所期望特性阻抗。汲極通孔105v提供自電晶體晶粒105之底側上之汲極觸點105p至汲極引線102d之一串聯汲極連接，且其自身包含某些內部電感。

【0072】 由本文中所闡述之閘極及/或汲極通孔105v注入之串聯電感可係由可比較閘極及汲極接合導線注入之串聯電感之一小分率(例如，由習用閘極及汲極接合導線注入之電感之大約15%至20%)，此可確保可為基於III族氮化物之RF放大器之各種匹配電路提供一最佳量之串聯電感。如此，本文中所闡述之閘極及/或汲極通孔105v可有助於電晶體晶粒105之輸入及/或輸出處之阻抗匹配及/或諧波終止電路。可在封裝基板101內提供進一步貢獻，如圖2A及圖2B中所展示。

【0073】 圖2A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及穿孔結構的一積體電路裝置封裝之一實例之一剖視圖。如圖2A中所展示，一RF功率裝置封裝200包含：一主動電晶體晶粒105，其包含多個穿孔結構105v；及一電容器晶片或晶粒104 (例如，MOS電容器)，其裝配在一封裝基板101之一附接表面101s上，其中一整合式互連件(圖解說明為一IPD或其他被動裝置110i)係與附接表面101s相對。封裝200包含類似於如圖1A中所展示之組件及連接，但在圖2A之實例中，閘極及汲極觸點105p兩者包含各別穿孔結構105v (在此實例中，各別TSiC通孔結構)，穿孔結構105v分別在晶粒105之頂側或表面與毗鄰附接表面101s之晶粒105

之底側或表面上之閘極及汲極觸點105p之間提供電連接及信號之路由。

【0074】 在圖2A中，使用電晶體晶粒105之底側上之閘極觸點105p在輸入側上實施諧波終止。底部閘極觸點105p在RDL 101上接觸經組態以提供額外電感及分路電容之導電跡線配線1011ci。由於輸入諧波可能需要之電感及/或電容之量可係相對小的，因此在由閘極側通孔105v提供之電感與RDL 101上及/或中之額外導電跡線配線1011ci (例如，導電跡線及開放式分路短截線)進行組合的情況下，可達成用於輸入諧波終止之所期望阻抗。因此，更具體而言，用於進行輸入預匹配之覆晶IPD 110i及電容器晶粒104可經組態以在基本頻率 f_0 下提供阻抗匹配，舉例而言，使用在覆晶IPD 110i下面具有較少電容器(在圖2B中展示為一單個電容器C)之一較小電容器晶片104。亦即，歸因於閘極通孔105v，頂部閘極觸點105p可專用於透過IPD 110i進行阻抗匹配，而底部閘極觸點105p可為輸入諧波終止1011ci提供連接(其中閘極通孔105v之阻抗界定輸入諧波終止之一部分)。而且，與圖1A相比，在於RDL 101中在電容器晶粒104與源極引線102s之間具有獨立連接的情況下，導電結構103 (例如，一銅塊)在大小上減小且被侷限在電晶體晶粒105下方。

【0075】 圖2B係圖2A之實施例之一等效電路圖。類似於圖1B中所展示，輸入預匹配網路係由IPD 110i及輸入電容器104實施以在基本頻率 f_0 下提供一L-C匹配電路(例如，一低通L-C)。在圖2B中，輸入諧波終止在封裝基板101中由導電跡線配線1011ci之電感L及電容C提供。閘極引線102g與汲極引線102d之間的連接分別由IPD 110i中之串聯傳輸線110r及汲極通孔105v之串聯電感提供。

【0076】 圖3A係圖解說明根據本發明之某些實施例的包含堆疊式拓

撲及穿孔結構的一積體電路裝置封裝之一實例之一剖視圖。如圖3A中所展示，本發明之某些實施例提供一RF功率裝置封裝300，其包含一主動晶粒105及裝配在一封裝基板101之一附接表面101s上之電容器晶片或晶粒104、106。如在圖2A中，電晶體晶粒105之閘極及汲極觸點105p兩者包含各別導電穿孔連接結構105v (在此實例中，各別TSiC通孔結構)，導電穿孔連接結構105v分別在毗鄰附接表面101s之晶粒105之底側上在晶粒105之頂側與閘極及汲極觸點105p之間提供電連接及信號之路由。

【0077】 圖3A之封裝300進一步包含各別整合式互連件(圖解說明為被動裝置110i、110o；統稱為110)，其與附接表面101s相對，且在電晶體晶粒105之頂側處連接至閘極及汲極觸點或墊105p。特定而言，被動裝置110之組件經組態以為由主動晶粒105之電晶體界定之一電路(例如，一RF放大器電路)提供輸入110i及輸出110o阻抗匹配網路，且圖解說明為高Q IPD，但如本文中所闡述之被動裝置並不限於此。輸入阻抗匹配電路可將輸入至RF功率裝置封裝300之RF信號之基本組件之阻抗與電晶體晶粒105之頂側處之閘極墊105p處之阻抗匹配，且輸出阻抗匹配電路可將自RF功率裝置封裝300輸出之RF信號之基本組件之阻抗與在電晶體晶粒105之頂側處連接至汲極墊105p之電路系統之阻抗匹配。在圖3A之實例中，用於輸入及輸出預匹配網路之IPD 110係在IPD 110之一表面上包含各別接合墊110p之覆晶裝置，該等覆晶裝置「覆晶」在電晶體晶粒105及電容器晶片104、106之頂部上，使得IPD 110之接合墊110p分別與電晶體晶粒105之接合墊105p及電容器晶片104、106之接合墊104p、106p對準，且藉由導電凸塊111連接至接合墊105p及104p、106p。如上文所陳述，電容器晶片104、106及電晶體晶粒105之頂部表面可藉由研磨晶圓(用於晶粒或電容

器晶片)及/或使用將元件104、105及106之高度對準之不同厚度之預成型件107來對準至同一高度。

【0078】 仍參考圖3A，電晶體晶粒105之輸入及輸出兩者處之諧波終止係由閘極及汲極通孔105v、底側觸點或接合墊105p及RDL 101上之跡線配線1011ci、1011co實施。特定而言，電晶體晶粒105之底側處之閘極通孔105v及閘極觸點105p連接至RDL 101上之導電跡線配線1011ci，導電跡線配線1011ci經組態以提供對基本RF信號之接地諧波(例如， $2f_0$)短路之額外電感及分路電容，該等接地諧波可呈現於主動晶粒105之輸入處。同樣地，電晶體晶粒105之底側處之汲極通孔105v及汲極觸點105p連接至RDL 101上之導電跡線配線1011co，導電跡線配線1011co經組態以提供對基本RF信號之接地諧波短路之額外電感及分路電容，該等接地諧波可呈現於主動晶粒105之輸出處。

【0079】 因此，在電晶體晶粒105之頂側處在閘極及汲極墊105p上之覆晶IPD 110i及110o專用於在電晶體晶粒105之輸入及輸出處對基本頻率 f_0 進行預匹配。如在圖2A之實例中，一單個電容器104 (例如，一MOS電容器)可連接至電晶體晶粒105之頂側處之輸入以提供阻抗匹配電路系統，此乃因輸入諧波終止電路系統係由藉由閘極通孔105v連接至電晶體晶粒105之底側處之輸入的跡線配線1011ci實施。類似地，一單個電容器106 (例如，用於經改良視訊頻帶寬(VBW)之一MOS電容器或高密度電容器)可連接至電晶體晶粒105之頂側處之輸出以提供阻抗匹配電路系統，此乃因輸出諧波終止電路系統係由藉由汲極通孔105v連接至電晶體晶粒105之底側處之輸出的跡線配線1011co實施。亦即，藉由將底側觸點105p用於諧波終止，頂側觸點105p可僅僅用於基本頻率預匹配，該基本頻率預匹

配經組態以達成較低損失且因此提供較高RF效能。如在圖2A中，在於RDL 101中在電容器晶粒104、106與源極引線102s之間具有獨立連接的情況下，導電結構103 (例如，一銅塊)在大小上減小且被侷限於電晶體晶粒105下方。

【0080】 如此，封裝300包含具有附接至基板101與整合式互連件110i、110o之間的附接表面101s (其可提供至接地之電連接)之元件104、105及106之一堆疊式結構。在各別接合導線不在元件104、105及106與引線102之間延伸的情況下，整合式互連件110i、110o與穿孔結構105v之一組合在元件104、105及106與引線102之間提供電連接。特定而言，穿孔結構105v為閘極及/或汲極觸點105p提供額外信號路由路徑，從而允許在電晶體晶粒105之輸入及輸出處在併入頻率匹配拓撲方面具更大靈活性。

【0081】 圖3B係圖3A之實施例之一等效電路圖。在電晶體晶粒105之頂側處提供基本頻率 f_0 下之阻抗匹配，其中輸入預匹配網路係由IPD 110i及輸入電容器104實施以提供一L-C匹配電路(例如，一低通L-C)，且輸出預匹配網路係由輸出電容器106及IPD 110o實施以提供一分路-L電感 L_s 匹配電路(例如，一高通 L_s)。在電晶體晶粒105之底側處提供諧波頻率(例如， $2f_0$)之終止，其中輸入諧波終止係由與閘極通孔105v組合的封裝基板101中之導電跡線配線1011ci之電感及電容提供，且輸出諧波終止係由與汲極通孔105v組合的封裝基板101中之導電跡線配線1011co之電感及電容提供。輸入110i及輸出110o IPD中之每一者中之串聯傳輸線110r可經選擇以分別提供自電晶體晶粒105之頂側處之閘極及汲極接合墊105p至閘極102g或汲極102d引線之合適阻抗變換。串聯傳輸線(例如，如由導電結構110r提供)可被視為板傳輸線匹配網路之一延伸，其中電寬度經選擇或

經組態以達成用於進行阻抗匹配之所期望特性阻抗。

【0082】 圖4A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。如圖4A中所展示，RF功率裝置封裝400包含主動電晶體晶粒405i、405o及裝配在一基板101上之一整合式互連件(圖解說明為一IPD或其他被動裝置410)。如在圖1A中，基板101被實施為一導電結構103 (例如，一銅塊)，導電結構103提供附接表面101s、源極引線102s及用於遠離電晶體晶粒405i、405o之電晶體而傳輸熱的熱傳導性(例如，一散熱片)，且由被動裝置410提供之連接係與附接表面101s或基板101相對(而不是在附接表面101s或基板101中)。

【0083】 在圖4A之實施例中，主動晶粒405i、405o界定一經多級封裝之RF功率放大器裝置(藉由實例之方式展示為兩個級)，諸如一基於二級GaN之RFIC產品。舉例而言，主動晶粒405i可係用以實施驅動器級之一較小電晶體晶粒，且主動晶粒405o可係用以實施放大器之輸出級或最終級之較大電晶體晶粒405o (例如，在周邊比驅動器級電晶體晶粒405i大大約6至8或7至10倍)。將電晶體晶粒405i、405o附接至提供源極/熱引線102s之基板101/導電結構103之附接表面101s，其中在晶粒405i、405o之間在附接表面101s上具有一個級間電容器晶片或晶粒404 (例如，具有整合於一個晶片中之一個或兩個或更多個獨立電容器之一MOS或MIM電容器晶片)。將一個級間被動裝置(參考IPD 410所闡述)附接至兩個電晶體晶粒405i、405o以及電容器晶片404，且在兩個電晶體晶粒405i、405o與電容器晶片404之間提供電連接。

【0084】 特定而言，在圖4A中，IPD 410被覆晶安裝在電晶體晶粒

405i、405o及級間匹配電容器晶片404之頂部上，使得IPD 410之接合墊410p與電晶體晶粒604i、604o及電容器晶片404之接合墊405p及404p對準。IPD 410之接合墊410p可接觸位於提供一驅動器汲極引線405d之驅動器級電晶體晶粒405i之頂側上的一或多個汲極墊405p以及位於提供一最終閘極引線405g之最終級電晶體晶粒405o之頂側上的一或多個閘極墊605p。IPD 410可包含導電凸塊111 (例如，在某些實施例中預附接至IPD 410之導電環氧樹脂圖案或焊接凸塊)，用於在接合墊410p與接合墊405p及404p之間不具有導線接合的情況下將接合墊410p連接至接合墊405p及404p。藉由研磨晶圓(用於晶粒或電容器晶片)及/或藉由使用將用於使用IPD 410進行連接之元件404、405i、405o之高度對準的不同厚度之預成型件107，可將電容器晶片404及電晶體晶粒405i、405o之頂部表面對準至同一高度。

【0085】 在多級放大器400中，IPD 410包含界定級間匹配電路系統之被動組件，該級間匹配電路系統經組態以在驅動器級電晶體晶粒405i之輸出與輸出級電晶體晶粒405o之輸入之間提供阻抗匹配，亦即，將驅動器晶粒405i之負載與最終晶粒405o之輸入匹配。儘管參考兩個級405i及405o來進行圖解說明，但將理解，可在附接表面101s上呈現多個輸入或輸出電晶體晶粒，其中一個級之輸出藉由各別IPD 410連接至下一級之輸入。

【0086】 分別使用導電通孔結構405v (在此實例中，TSiC通孔結構)來實施在晶粒405i及405o之底側(毗鄰附接表面101s)處自封裝引線102g及102d至閘極及汲極接合墊405p之連接。特定而言，驅動器級電晶體晶粒405i包含自晶粒405i之頂側上之閘極墊405p延伸至晶粒405i之底側上之閘

極墊405p的一閘極通孔405v，從而提供自晶粒405i之底側至RDL 101上之導電跡線414及外部閘極引線102g的連接。類似地，最終級電晶體晶粒405o包含自晶粒405o之頂側上之汲極墊405p延伸至晶粒405o之底側上之汲極墊405p的一汲極通孔405v，從而提供自晶粒405o之底側至RDL 101上之導電跡線414及外部汲極引線102d的連接。

【0087】 導電穿孔連接405v提供至經多級封裝之RF功率放大器400之輸入及輸出的低電感及低損失連接。在某些實施例中，晶粒405i及405o之底側處之連接或接合墊405p可用於RF輸入引線102g及RF輸出引線102d，而晶粒405i之頂側處之連接或接合墊405p以及最終晶粒405o之頂側處之連接或接合墊405p可連接至一高電感元件(例如，一DC扼流圈)且可用於RF功率放大器裝置400之DC偏壓饋送。

【0088】 圖4B係圖4A之實施例之一等效電路圖。如圖4B中所展示，級間匹配網路係由電容器404及被動裝置410實施，以在驅動器級電晶體晶粒405i之輸出處且在最終級電晶體晶粒405o之輸入處提供一分路-L預匹配網路 L_s ，以及提供連接驅動器級電晶體晶粒405i與最終級電晶體晶粒405o之一串聯L-C-L網路。此拓撲可為一多級RF功率放大器產品提供一寬頻帶回應。將理解，在圖4B中僅藉由實例之方式展示電晶體晶粒405i與電晶體晶粒405o之間的級間阻抗匹配網路，且根據本發明之實施例的在兩個或更多個主動晶粒之間提供電連接之級間被動裝置410可包含或實施其他網路拓撲。

【0089】 而且，在某些實施例中，電容器404可不位於輸出IPD 410下方，而是可將電容(例如)作為MIM電容器C整合至IPD 410中。在某些實施例中，MIM電容器C可藉由在IPD 410之導電元件中之一者與接合墊

410p中之一或多者之間提供一絕緣材料來形成，如圖5A及圖5B之實例中所展示。

【0090】 圖5A係圖解說明根據本發明之某些實施例的包含堆疊式拓撲及導電穿孔連接結構的一積體電路裝置封裝之一實例之一剖視圖。如圖5A中所展示，RF功率裝置封裝500包含一主動晶粒105以及裝配在一封裝基板101上以分別在電晶體晶粒105之輸入及輸出與封裝引線102g及102d之間提供電連接的整合式互連件(圖解說明為IPD或其他被動裝置110ic、110o；統稱為110)。特定而言，在圖5A中，IPD 110o被覆晶安裝在電晶體晶粒105及電容器晶片106之頂部上，使得IPD 110o之接合墊110p經由導電凸塊111與汲極墊105p及接合墊106p對準並進行接觸(在電晶體晶粒105及電容器晶片106之頂側上)。

【0091】 電晶體晶粒105之頂側上之汲極墊105p專用於進行阻抗匹配並且連接至包含被動電子組件之一覆晶IPD 110o，該等被動電子組件經組態以在電晶體晶粒105之輸出處實施阻抗匹配電路系統(圖解說明為一分路-L電感 L_s 預匹配電路)。一汲極通孔105v (例如，一TSiC通孔)連接電晶體晶粒105之頂部及底側上之汲極墊105p。電晶體晶粒105之底側上之汲極墊105p連接至RDL 101及外部汲極引線102d，汲極墊105p退出毗鄰於源極/熱引線102s之封裝500。覆晶IPD 110o之另一端連接至一輸出電容器晶粒106 (例如，用於改良視訊頻帶寬(VBW)之一MOS電容器或一高密度電容器) (且由輸出電容器晶粒106支撐)。由於電晶體晶粒105及覆晶IPD 110o之頂側上之整個汲極墊105p被用以提供至分路-L電感 L_s 之連接，因此可實現一較低損失電感。輸出電容器106之接地端連接至輸出接地引線G。

【0092】 電晶體晶粒105亦包含連接電晶體晶粒105之頂部及底側上之閘極墊105p之一閘極通孔105v (例如，一TSiC通孔)。電晶體晶粒105之底側上之閘極墊105p連接至RDL 101，RDL 101包含提供至覆晶IPD 110ic之接合墊110p之連接的導電跡線。IPD 110ic之另一端連接至閘極引線102g。IPD 110ic包含經組態以在電晶體晶粒105之輸入處實施一阻抗匹配電路的被動電子組件。在圖5A之實例中，舉例而言，藉由在IPD 110ic之導電元件中之一者與接合墊110p之一或多者之間提供一絕緣材料，將電容器C (例如，MIM電容器)整合至IPD 110ic中。類似於圖2A，導電結構103 (例如，一銅塊)在大小上減小且被侷限在電晶體晶粒105下方，其中在RDL 101中在IPD 110ic中之整合式電容C與源極引線102s之間進行單獨連接。

【0093】 圖5B係圖5A之實施例之一等效電路圖。輸入預匹配網路係由覆晶IPD 110ic實施，覆晶IPD 110ic提供基本頻率 f_0 下之L-C匹配電路(例如，一低通L-C)以及用於藉助整合於其中之輸入電容C來進行諧波頻率(例如， $2f_0$)之最佳終止的一分路-L電感 L_s 匹配電路(例如，一高通 L_s)。輸出預匹配網路係由覆晶IPD 110o實施，覆晶IPD 110o提供具有輸出電容C之一分路-L電感 L_s 匹配電路(例如，一高通 L_s)，輸出電容C係由電容器晶粒106提供且連接至接地引線G。閘極通孔105v在閘極墊105p與IPD 110ic之間提供額外電感，而汲極通孔105v在汲極墊105p與汲極引線102d之間提供額外電感。

【0094】 如圖5A及圖5B中所展示，由於汲極引線102d在導電結構103與輸出接地引線G之間退出封裝500，因此本文中所闡述之實施例提供一封裝佔用面積500f及PCB電路設計515i、515o以支援此拓撲。圖5C係

圖解說明針對圖5A之實施例之封裝佔用面積500f之一平面圖。如圖5C中所展示，在源極/熱引線102s與較小接地引線G之間具有汲極引線102d的情況下，至輸出電容器晶粒106之接地連接係由與源極/熱引線102s相對的多個(展示為三個)較小接地引線G實施。輸出接地引線G可與外部電路板515中或與其之對應之經接地通孔515v對準，諸如如圖5D中所展示之一RF電路板。

【0095】 特定而言，圖5D具有一透明封裝500之一俯視平面圖，該俯視平面圖圖解說明圖5C之封裝佔用面積500f，且進一步圖解說明至外部電路板515之一輸入匹配電路板515i及一輸出匹配電路板515o之連接。在某些實施例中，輸入匹配電路板515i及輸出匹配電路板515o可包含額外主動及/或被動電組件。接地引線G可大(例如，就相對於佔用面積500f之表面面積而言)得足以製造約束，但並非小得實質上使輸出匹配電路板515o之效能降級。

【0096】 圖6A及圖6B係分別圖解說明根據本發明之某些實施例的提供阻抗匹配及整合式互連件的IPD 110、410之實例之平面圖及透視圖。在圖6A及圖6B之實例中，需要對電晶體進行合適預匹配之分路-L電感之精確值係使用線圈電感器Ls來實施的。可最佳化線圈電感器Ls之形狀、寬度及大體設計以減小損失。線圈電感器Ls之一個端結束於一凸塊或接觸墊110p1上，凸塊或接觸墊110p1可預附接有導電凸塊(例如，111)，用於附接至用於進行預匹配之電容器(例如，104)或用於改良視訊頻帶寬之高密度電容器(例如，106)。用以實施串聯電感器之串聯連接條帶L之寬度可經組態以提供自電晶體晶粒至汲極引線之所期望阻抗變換。串聯連接條帶L可在凸塊或接觸墊110p之間延伸，且可被視為板傳輸線匹配網路之一延

伸，並且每一串聯連接條帶L之寬度可經組態以提供所期望特性阻抗。更一般而言，本文中所闡述之被動裝置中之任一者可包含串聯連接條帶L或可使用串聯連接條帶L來實施，串聯連接條帶L在接觸墊110p之間耦合以除在一或多個主動晶粒105之接觸墊105p之間及/或在一主動晶粒105之接觸墊105p與一封裝引線102之間提供阻抗變換之外還提供電連接。同樣地，本文中所闡述之被動裝置中之任一者可包含線圈電感器Ls或可使用線圈電感器Ls來實施，線圈電感器Ls經組態以用於連接至電容器(例如，整合於被動裝置中之電容器或者藉由接觸墊110pl之外部電容器)。

【0097】 圖8及圖9係圖解說明根據本發明之進一步實施例的包含堆疊式拓撲及導電穿孔連接結構的經熱增強之積體電路裝置封裝之實例之剖視圖。為了易於圖解說明，圖8及圖9中之特徵大小被放大。如圖8及圖9中所展示，RF功率裝置封裝1100、1200包含組件104、105、106、110及類似於圖3A之封裝100a、100b及100c之連接，但該等連接被安裝在一導電基底或凸緣1101、1201上或者由經熱增強之封裝之一蓋部件1113、1213而不是由一塑膠外模製件113保護。特定而言，圖8圖解說明一第一實施方案(被稱為一TEPAC封裝1100)，且圖9圖解說明根據本發明之實施例的經熱增強之封裝的一第二實施方案(被稱為一T3PAC封裝1200)。

【0098】 圖8之TEPAC封裝1100可係一基於陶瓷之封裝，其包含一基底1101及一上部殼體，該上部殼體可包含一蓋部件1113及側壁部件1104。蓋部件1113及/或側壁1104可包含陶瓷材料(例如，氧化鋁)且可界定在導電基底或凸緣1101上環繞組件104、105、106、110之一開放式模腔。導電基底或凸緣1101既為組件104、105、106、110提供一附接表面1101s又提供用於耗散或以其他方式傳輸由封裝1100之外部之組件產生之

熱的熱傳導性(例如，一散熱片)。

【0099】 圖9之T3PAC封裝1200亦可係一基於陶瓷之封裝，其包含一基底1201以及具有一蓋部件1213及側壁部件1204之一上部殼體。類似地，蓋部件1213及側壁1204界定在導電基底及凸緣1201上環繞組件104、105、106、110之一開放式模腔，同樣地，導電基底及凸緣1201提供一附接表面1201s及用於耗散或以其他方式傳輸封裝1200之外部之熱的熱傳導性(例如，一散熱片)。在封裝1200中，蓋部件1213可係一陶瓷材料(例如，氧化鋁)，而側壁部件1204被圖解說明為印刷電路板(PCB)。

【0100】 在圖8及圖9中，凸緣1101、1201可係一導電材料，舉例而言，一銅層/層板或者其之一合金或金屬基質複合物。在某些實施例中，凸緣1101可包含一銅-鉬(CuMo)層、CPC (Cu/MoCu/Cu)或其他銅合金(諸如銅-鎢CuW)及/或其他層板/多層結構。在圖8之實例中，凸緣1101被圖解說明為側壁1104及/或蓋部件1113所附接至的一基於CPC之結構。在圖9之實例中，凸緣1201被圖解說明為側壁1204及/或蓋部件1213 (例如)藉由一導電膠黏劑1208所附接至的一基於銅-鉬(RCM60)之結構。為避免主動晶粒105之底部閘極及汲極接觸墊105p對導電凸緣1101、1201短路，在凸緣1101、1201上沈積或以其他方式提供一介電或其他絕緣材料層101，且在層101上沈積或以其他方式提供導電跡線1011ci及1011co (其等經組態以分別為輸入及輸出諧波終止提供額外電感及/或分路電容)。

【0101】 在圖8及圖9中，藉由各別導電晶粒附接材料層107將主動晶粒105、被動裝置(例如，電容器晶片104及106)及整合式互連件(統稱為110)附接至凸緣1101、1201之附接表面1101s、1201s。凸緣1101、1201亦為封裝1100、1200提供源極引線102s。閘極引線102g及汲極引線102d

係由各別導電佈線結構1114、1214提供，導電佈線結構1114、1214被附接至凸緣1101、1201且由各別側壁部件1104、1204支撐。

【0102】側壁部件1104、1204之厚度可導致組件104、105、106、110與封裝引線102g、102d之間相對於附接表面1101s、1201s之一高度差。舉例而言，主動晶粒105與其上之整合式互連件110i、110o相對於附接表面1101s之所組合高度可係約100 μm ，而閘極引線102g及汲極引線102d可與附接表面1101s分離約635 μm 之一距離。在圖8及圖9之實例中，各別導線接合14因此用以將封裝引線102g、102d連接至附接表面1101s、1201s上之被動RF組件104、106之接觸墊104p、106p。如此，一引線102g上之一RF信號輸入可透過導線接合14傳送至輸入匹配電路110i、104及RF電晶體放大器晶粒105之一閘極端子105p，且經放大輸出RF信號可自RF電晶體放大器晶粒105之汲極端子105p傳送至輸出匹配電路110o、106，且經由引線102d自輸出匹配電路110o、106傳送至用於輸出之接合導線14。然而，將瞭解，可在其他實施例中省略導線接合14且可使用不同電連接。

【0103】與某些習用設計相比，根據本發明之實施例的包含堆疊式拓撲結構之積體電路裝置封裝可提供進一步優點：堆疊式互連結結構可允許較薄或經減小之高度封裝。在外模製件封裝實施例(例如，如圖1至圖5中所展示)中，封裝之底部處之封裝引線之配線亦可允許封裝靈活性。舉例而言，基於經修改封裝佔用面積，可藉由修改電路板/PCB上之跡線之佈局來適應封裝引線之高度及/或間隔之改變。經熱增強之封裝實施例(例如，如圖8至圖9中所展示)可提供類似優點，但可需要相對於標準化尺寸來改變封裝尺寸(例如，凸緣高度及/或封裝引線間隔)。

【0104】 相應地，在本發明之實施例中，組件之間(例如，電路位準組件之間，諸如一或多個主動電晶體晶粒之接觸墊之間，及/或主動電晶體晶粒之接觸墊與封裝之閘極及/或汲極引線之間)的電連接係藉由在組件之間實體地延伸之一或多個整合式互連結構(例如，導電佈線結構及/或被動裝置，諸如IPD)而不是藉由導線接合來實施。亦即，整合式互連件可提供一互連及一阻抗匹配/諧波終止功能兩者，使得可減少或消除導線接合在封裝中之使用。

【0105】 如本文中所闡述，本發明之某些實施例使用「倒置」在電晶體及電容器之頂部上之IPD。位於封裝之接地平面(例如，如由亦可界定主動晶粒之附接表面的導電結構所提供)上方的IPD之額外立面提供較高Q及較低損失預匹配。經翻轉IPD下方之大部分空間可用於電容器，諸如通常用在輸出上之高密度電容器。較大值之電容可用於可用空間中，因此改良裝置之視訊頻帶寬。為將RF信號自IPD連接回至RDL及閘極/汲極引線，可使用具有TSV之一銅墊片或IPD。IPD可經組態以用於基本頻率之預匹配以及諧波頻率之最佳終止兩者。

【0106】 另外，如本文中所闡述之電晶體晶粒可包含在主動電晶體晶粒之多個側或表面處提供額外信號路由路徑的導電穿孔結構。依據本發明之特定實施例，提供包含電晶體晶粒之基於III族氮化物之RF放大器，該等電晶體晶粒在電晶體晶粒之同一側(例如，毗鄰封裝基板之附接表面的晶粒之底部表面)上具有閘極觸點、汲極觸點及/或源極觸點。該電晶體晶粒可包含用以將位於電晶體晶粒之頂側上之一閘極匯流排及/或一汲極匯流排連接至位於電晶體晶粒之背側上之各別閘極及汲極觸點的一或多個閘極通孔及一或多個汲極通孔。導電通孔之長度可係習用接合導線之長度

之一小分率(例如，10%至30%)，且因此閘極及汲極匯流排與載波基板之間的連接之電感可顯著減小。

【0107】 圖7A、圖7B及圖7C係圖解說明根據本發明之某些實施例的包含對置表面上之接合墊之間的導電穿孔連接的基於III族氮化物之電晶體晶粒705a、705b及705c (統稱為705)之實例之剖視圖。電晶體晶粒705可表示本文中所闡述之電晶體晶粒105及/或405。

【0108】 現參考圖7A至圖7C，基於III族氮化物之電晶體晶粒705包含一半導體層結構230。在半導體層結構230之一上部部分中提供複數個單位單元電晶體，且在經組態以附接至一載波基板之一下部或底部表面214 (例如，一封裝基板101之一附接表面101s)上提供一源極觸點226。

【0109】 在圖7A至圖7C之實例中，電晶體晶粒705係具有一上部側或頂部表面212及一下部側或底部表面214之一基於III族氮化物之HEMT RF電晶體放大器晶粒。RF放大器晶粒705包含依序進行堆疊之一底側金屬化結構220a、220b、220c (統稱為220)、一半導體層結構230及一頂側金屬化結構240a、240b、240c (統稱為240)。半導體層結構230可包含至少一通道層234及形成於一半導體或絕緣基板232 (諸如一SiC或藍寶石基板)上之一障壁層236。基板232可係一生長基板，並且，即使由一非半導體材料形成，基板232亦可被視為半導體層結構230之一部分。歸因於障壁層236與通道層234之間的帶隙差以及障壁層236與通道層234之間的介面處之壓電效應，在通道層234與障壁層236之間的一接面處在通道層234層中誘發一個二維電子氣體(2DEG)。

【0110】 如圖7A至圖7C中所展示，頂側金屬化結構240在晶粒705之頂部表面212上包含一頂部閘極觸點或接合墊242以及一頂部汲極觸點

或接合墊244。底側金屬化結構220可包含一源極觸點226及一或多個額外觸點222及/或224。此等觸點242、244、222、224、226中之每一者可包括(舉例而言)一經曝露銅墊。特定而言，在圖7A中，底側金屬化結構220a在底部表面214上包含一底部閘極觸點222、一底部汲極觸點224及底部閘極觸點222與底部汲極觸點224之間的一底部源極觸點226。在圖7B中，底側金屬化結構220b在底部表面214上包含一底部閘極觸點222及一底部源極觸點226。在圖7C中，底側金屬化結構220c在底部表面214上包含一底部汲極觸點224及一底部源極觸點226。亦即，在某些實施例中(如圖7A中所展示)，在閘極觸點222與汲極觸點224之間具有源極觸點226的情況下，可在晶粒之底部表面214上提供閘極觸點222及汲極觸點224，而在其他實施例中(如圖7B及圖7C中所展示)，在毗鄰源極觸點226處在晶粒705之底部表面上提供閘極觸點222或汲極觸點224中之僅一者。

【0111】 複數個導電通孔262、264、266 (例如，經金屬電鍍或經金屬填充之通孔)透過半導體層結構230之部分自頂部金屬化結構240延伸以提供至底部金屬化物220之電連接。舉例而言，晶粒705之底部表面214上之源極觸點226可藉由一或多個源極通孔266電連接至一源極觸點256。晶粒705可進一步包含在頂部閘極觸點242及頂部汲極觸點244中之一或多者之間延伸至各別底部閘極觸點222及各別底部汲極觸點224的導電通孔262及264。特定而言，在圖7A及圖7B中，頂部閘極觸點242可藉由一或多個導電閘極通孔262實體地連接及電連接至底部閘極觸點222。在圖7A及圖7C中，頂部汲極觸點244可藉由一或多個導電汲極通孔264實體地連接及電連接至底部汲極觸點224。

【0112】 儘管在圖7A至圖7C中在同一剖視圖中將導電通孔262、

264、266圖解說明為可見的，但在某些實施例中，通孔262、264、266中之一或多者可彼此偏移。舉例而言，三個所圖解說明之源極通孔266可沿著一同一軸線對準，而閘極通孔262及/或汲極通孔264可相對於三個源極通孔266沿著其對準的軸線偏移，如沿著圖7D之視圖中之線A-A'所更容易看到。將導電閘極通孔262及導電汲極通孔264自導電源極通孔266偏移可增加導電通孔262、264、266之間的距離，此可減少晶粒705中歸因於機械弱點而產生裂縫之可能性。此配置亦減少可在各種通孔262、264、266之間發生之寄生閘極至源極耦合及/或寄生源極至汲極耦合，此可以其他方式導致增益損失及/或不穩定性。在某些實施例中，導電通孔262、264及/或266可經金屬電鍍(例如，具有經空氣填充之中心而不是經金屬填充之中心)以減小可在熱循環中發生之應力。

【0113】 在某些實施例中，頂側金屬化結構240可包含可藉由半導體層結構230之一上部表面上之一或多個各別匯流排進行連接的複數個閘極、汲極及/或源極「指狀物」。圖7D係經由圖7A之晶粒705a之頂側金屬化結構240之一部分、沿著線D-D'截取之一剖視圖。閘極指狀物252、汲極指狀物254及源極指狀物257 (及進行連接之匯流排)可界定晶粒705a之分別經閘極、汲極及源極連接之電極之一部分。閘極指狀物252可由能夠與一基於III族氮化物之半導體材料(諸如Ni、Pt、Cu、Pd、Cr、W及/或WSiN)發生一肖特基(Schottky)接觸之材料形成。汲極指狀物254及/或源極指狀物257可包含可與基於III族氮化物之材料形成一歐姆接觸之一金屬，諸如TiAlN。閘極指狀物252可藉由閘極匯流排243彼此電連接且藉由一或多個導電閘極通孔262連接至底部閘極觸點222，並且汲極指狀物254可藉由汲極匯流排245彼此電連接且藉由一或多個導電汲極通孔264連接

至底部汲極觸點224。為了較佳圖解說明該等元件，未展示幫助閘極、汲極及源極連接之結構彼此隔離之一或多個介電層。

【0114】圖7D中亦展示單位單元電晶體216中之一者。如所展示，單位單元電晶體216包含一閘極指狀物252、一汲極指狀物254及一源極指狀物257連同半導體層結構230之下伏部分一起。由於閘極指狀物252電連接至一共同閘極匯流排243，汲極指狀物254電連接至一共同汲極匯流排245，且源極指狀物257經由導電源極通孔266及源極墊226/256電連接在一起，因此，可看到，單位單元電晶體216全部並聯地電連接在一起。

【0115】本發明之實施例可構建在基板或層板(例如，一鈍化層(RDL)層板)上，且可使用現代經增強晶圓級封裝技術進行批量裝配。可立即構建多個部分，從而減少裝配時間、成本及良率問題。另外，可減少或消除導線接合程序，從而節省時間及成本。由電晶體晶粒產生之熱可被有效移除且在封裝之外部被傳導至一散熱片，舉例而言，使用一高密度銅填充之陣列或嵌入式銅塊來有效移除該熱(此乃因對於高功率RF應用，典型中空或經部分填充之通孔將不能足夠有效地移除該熱)。本發明之實施例可用於各種蜂巢式基礎設施(CIFR) RF功率產品(包含但不限於5 W、10 W、20 W、40 W、60 W、80 W及不同頻率之頻帶)中，例如，用於5G及基地台應用。本發明之實施例亦可適用於雷達及單片式微波積體電路(MMIC)型應用。

【0116】已在本文中參考在其中展示實例性實施例之隨附圖式來闡述各種實施例。然而，此等實施例可體現為不同形式，且不應被視為限於本文中所陳述之實施例。而是，提供此等實施例使得本發明係透徹且完整的，並且將本發明之概念完全傳達給熟習此項技術者。對本文中所闡述之

實例性實施例以及泛用原理及特徵的各種修改將係顯而易見的。在各圖式中，層及區域之大小及相對大小未按比例展示，且在某些例項中可出於清晰目的而被放大。

【0117】 將理解，儘管本文中可使用術語「第一」、「第二」等來闡述各種元件，但此等元件不應由此等術語限制。此等術語僅用以將一個元件與另一元件區分開。舉例而言，在不背離本發明之範疇的情況下，可將一第一元件稱作一第二元件，且類似地，可將一第二元件稱作一第一元件。如本文中所使用，術語「及/或」包含相關聯所列物項中之一或多者之任一或所有組合。

【0118】 本文中所使用之術語僅出於闡述特定實施例之目的而並不意欲限制本發明。如本文中所使用，單數形式「一(a)」、「一(an)」及「該(the)」亦意欲包含複數形式，除非內容脈絡另外明確指示。將進一步理解，當在本文中使用時，術語「包括(comprises)」、「包括(comprising)」、「包含(includes)」及/或「包含(including)」規定所陳述特徵、整數、步驟、操作、元件及/或組件之存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組之存在或添加。

【0119】 除非另有定義，否則本文中所使用之所有術語(包含技術及科學術語)具有與本發明所屬之熟習此項技術者所通常理解之相同含義。將進一步理解，應將本文中所使用之術語(例如彼等於常用字典中所定義者)解釋為具有與該等術語在本說明書之內容脈絡中及相關技術之含義相一致之含義，且不應以理想化或過分形式化之意義來解釋，除非本文中明確如此定義。

【0120】 將理解，當一元件(例如一層、區域或基板)被稱為位於另

一元件「上」、「附接」或延伸「至」另一元件「上」時，該元件可直接位於另一元件上，或亦可存在介入元件。相比而言，當一元件被稱為「直接位於」另一元件「上」或「直接附接」或「直接」延伸「至」另一元件「上」時，不存在介入元件。亦將理解，當一元件被稱為「連接」或「耦合」至另一元件時，該元件可直接連接或耦合至另一元件，或者可存在介入元件。相比而言，當一元件被稱為「直接連接」或「直接耦合」至另一元件時，不存在介入元件。

【0121】 本文中可使用相對術語(諸如「下方」或「上方」、或者「上部」或「下部」、或者「水平」或「橫向」或「垂直」)來闡述如各圖中所圖解說明之一個元件、層或區域與另一元件、層或區域的一關係。將理解，除各圖中所繪示之定向之外，此等術語亦意欲囊括裝置之不同定向。

【0122】 本文中參考示意性圖解說明本發明之理想化實施例(及中間結構)之剖面圖解說明來闡述本發明之實施例。在圖式中，層及區域之厚度可出於清晰目的而被放大。另外，將預期，圖解說明之形狀會因(舉例而言)製造技術及/或公差而有所變化。因此，本發明之實施例不應被視為限於本文所圖解說明之區域之特定形狀，而是將包含因(舉例而言)製造而引起之形狀偏差。在所圖解說明之實施例中，由虛線圖解說明之元件可係可選的。

【0123】 通篇中相似符號係指相似元件。因此，可參考其他圖式闡述相同或類似符號，即使該等相同或類似符號在對應圖式中並未得到提及亦未得到闡述。而且，可參考其他圖式闡述未由元件符號表示之元件。

【0124】 在圖式及說明書中，已揭示本發明之典型實施例，且儘管

採用了特定術語，但其等僅係在泛用及闡述性意義上使用且並非出於限制目的，本發明之範疇係陳述於以下申請專利範圍中。

【符號說明】

【0125】

14: 導線接合/接合導線

100: 射頻功率裝置封裝/封裝

101: 封裝基板/基板/鈍化層/介電或其他絕緣材料層/層

1011ci: 導電跡線配線/額外導電跡線配線/輸入諧波終止/跡線配線/導電跡線

1011co: 跡線配線/導電跡線配線/導電跡線

101s: 附接表面

102d: 汲極/外部汲極引線/封裝汲極引線/汲極引線/封裝引線/射頻輸出引線/引線

102g: 閘極/閘極引線/封裝引線/外部閘極引線/射頻輸入引線/引線

102s: 源極/源極引線/熱引線

103: 導電晶粒墊/導電散熱結構/高密度導電陣列/導電結構

104: 電容器晶片/電容器晶粒/元件/輸入電容器/較小電容器晶片/電容器/組件/被動射頻組件/輸入匹配電路

104p: 接合墊/接觸墊

105: 主動電晶體晶粒/主動晶粒/晶粒/元件/組件/射頻電晶體放大器晶粒/電晶體晶粒

105p: 電連接觸點/觸點/汲極觸點/底側汲極接合墊/接合墊/底側汲極墊/汲極墊/閘極觸點/底部閘極觸點/頂部閘極觸點/閘極墊/底側觸點/頂側

觸點/閘極接合墊/汲極接合墊/接觸墊/閘極接觸墊/汲極接觸墊/閘極端子/
汲極端子

105v: 導電穿孔結構/穿孔結構/汲極通孔結構/汲極通孔/閘極通孔/閘
極側通孔/導電穿孔連接結構

106: 電容器晶片/電容器晶粒/元件/電容器/輸出電容器/輸出電容器晶
粒/高密度電容器/組件/被動射頻組件/輸出匹配電路

106p: 接合墊/接觸墊

107: 晶粒附接材料/預成型件/導電晶粒附接材料層

110i: 整合式互連件/整合式被動裝置/被動裝置/輸入整合式被動裝置/
覆晶整合式被動裝置/輸入/輸入匹配電路

110ic: 整合式被動裝置/被動裝置/覆晶整合式被動裝置

110o: 被動裝置/輸出/覆晶整合式被動裝置/整合式互連件/整合式被
動裝置/輸出匹配電路

110p: 接合墊/凸塊/接觸墊

110pl: 凸塊/接觸墊

110r: 串聯傳輸線/導電結構

111: 導電凸塊

113: 塑膠外模製件/外模製件

114: 導電佈線結構

200: 射頻功率裝置封裝/封裝

212: 上部側表面/頂部表面

214: 下部表面/下部側表面/底部表面

216: 單位單元電晶體

- 220a: 底側金屬化結構
- 220b: 底側金屬化結構
- 220c: 底側金屬化結構
- 222: 額外觸點/觸點/底部閘極觸點/閘極觸點
- 224: 額外觸點/觸點/底部汲極觸點/汲極觸點
- 226: 源極觸點/觸點/底部源極觸點/源極墊
- 230: 基於III族氮化物之半導體層結構/半導體層結構
- 232: 半導體或絕緣基板/基板
- 234: 通道層
- 236: 障壁層
- 240a: 頂側金屬化結構
- 240b: 頂側金屬化結構
- 240c: 頂側金屬化結構
- 242: 頂部閘極觸點/頂部接合墊/觸點
- 243: 閘極匯流排/共同閘極匯流排
- 244: 頂部汲極觸點/頂部接合墊/觸點
- 245: 汲極匯流排/共同汲極匯流排
- 252: 閘極指狀物
- 254: 汲極指狀物
- 256: 源極觸點/源極墊
- 257: 源極指狀物
- 262: 導電閘極通孔/導電通孔/通孔/閘極通孔
- 264: 導電汲極通孔/導電通孔/通孔/汲極通孔

266: 導電源極通孔/導電通孔/源極通孔/通孔

300: 射頻功率裝置封裝/封裝

400: 射頻功率裝置封裝

404: 級間電容器晶片/級間電容器晶粒/電容器晶片/級間匹配電容器
晶片/元件/電容器

404p: 接合墊

405d: 驅動器汲極引線

405g: 最終閘極引線

405i: 主動電晶體晶粒/電晶體晶粒/主動晶粒/驅動器級電晶體晶粒/晶
粒/元件/級

405o: 主動電晶體晶粒/電晶體晶粒/主動晶粒/較大電晶體晶粒/晶粒/
最終級電晶體晶粒/元件/輸出級電晶體晶粒/最終晶粒/級

405p: 接合墊/汲極墊/閘極接合墊/汲極接合墊/閘極墊/連接

405v: 導電通孔結構/閘極通孔/汲極通孔/導電穿孔連接

410: 整合式被動裝置/被動裝置/級間被動裝置/輸出整合式被動裝置

410p: 接合墊

414: 導電跡線

500: 射頻功率裝置封裝/封裝/透明封裝

500f: 封裝佔用面積

515i: 印刷電路板電路設計/輸入匹配電路板

515o: 印刷電路板電路設計/輸出匹配電路板

515v: 經接地通孔

705a: 基於III族氮化物之電晶體晶粒

705b: 基於III族氮化物之電晶體晶粒

705c: 基於III族氮化物之電晶體晶粒

1100: 射頻功率裝置封裝/經熱增強之封裝/封裝

1101: 導電基底/導電凸緣/基底/凸緣

1101s: 附接表面

1104: 側壁部件/側壁

1113: 蓋部件

1114: 導電佈線結構

1200: 射頻功率裝置封裝/經熱增強之封裝/封裝

1201: 導電基底/導電凸緣/基底/凸緣

1201s: 附接表面

1204: 側壁部件/側壁

1208: 導電膠黏劑

1213: 蓋部件

1214: 導電佈線結構

A-A': 線

C: 金屬層-絕緣層-金屬層電容器/電容器/整合式電容/輸入電容/輸出電容

G: 輸出接地引線/接地引線/較小接地引線

L: 串聯連接條帶

Ls: 線圈電感器

【發明申請專利範圍】

【請求項1】

一種功率放大器裝置封裝，其包括：

一基板；及

一第一電晶體晶粒，其包括在該基板上之一底部表面及在與該底部表面相對的該第一電晶體晶粒的一頂部表面上的頂部閘極觸點及頂部汲極觸點，其中該頂部閘極觸點或該頂部汲極觸點至少其中之一係藉由一各別的導電通孔結構而電連接至該底部表面上之一各別的底部閘極觸點或底部汲極觸點；及

其中該頂部閘極觸點或該頂部汲極觸點係連接至一第一電路，該第一電路係經組態以在該第一電晶體晶粒的該頂部表面上提供一第一功能，且其中該各別的底部閘極觸點或底部汲極觸點係連接至一第二電路，該第二電路係經組態以在該第一電晶體晶粒的該底部表面提供一第二功能。

【請求項2】

如請求項1之功率放大器裝置封裝，其中該頂部閘極觸點或該頂部汲極觸點係連接至該第一電路而在該第一電晶體晶粒之該頂部表面處沒有導線接合；及/或其中該各別的底部閘極觸點或底部汲極觸點係連接至該第二電路而在第一電晶體晶粒的該底部表面上沒有導線接合。

【請求項3】

如請求項1之功率放大器裝置封裝，其中該第一電路包含一電感元件，而該第二電路包含一封裝引線。

【請求項4】

如請求項3之功率放大器裝置封裝，其中該電感元件包含一整合式互

連結構，該整合式互連結構具有在該頂部閘極觸點或該頂部汲極觸點上的一第一接觸墊。

【請求項5】

如請求項4之功率放大器裝置封裝，進一步包含：

該基板上之導電配線，其中該各別的底部閘極觸點或汲極觸點藉由該導電配線被耦合至該封裝引線。

【請求項6】

如請求項5之功率放大器裝置封裝，其中上面具有該整合式互連結構之該第一接觸墊的該頂部閘極觸點或該頂部汲極觸點藉由該各別導電通孔結構被電連接至該各別底部閘極或汲極觸點。

【請求項7】

如請求項4之功率放大器裝置封裝，其中該整合式互連結構係包含一或多個被動電子組件之一整合式被動裝置(IPD)。

【請求項8】

如請求項7之功率放大器裝置封裝，其中該整合式被動裝置 (IPD) 係經組態以提供一分路電感匹配電路。

【請求項9】

如請求項7之功率放大器裝置封裝，其中該第一接觸墊係在該IPD之一表面上電連接至該一或多個被動電子組件之一接合墊，該表面面向該第一電晶體晶粒之該頂部表面，其中該接合墊藉由該接合墊與該頂部閘極或汲極觸點之間的一導電凸塊被連接至該頂部閘極或汲極觸點。

【請求項10】

如請求項7之功率放大器裝置封裝，其中該IPD在其導電元件之間包

括一絕緣材料，以界定整合於該IPD中之至少一個電容器。

【請求項11】

如請求項1之功率放大器裝置封裝，其中該第一電晶體晶粒之電晶體單元包含係一射頻(RF)放大器電路之一第一級，且進一步包含：

在該基板上的一第二電晶體晶粒，且其包含界定該RF放大器電路之一第二級之電晶體單元。

【請求項12】

如請求項11之功率放大器裝置封裝，其中該第一電晶體晶粒係在毗鄰該各別的底部閘極觸點或汲極觸點的該第一電晶體晶粒之該底部表面上之一源極觸點處附接至該基板。

【請求項13】

如請求項12之功率放大器裝置封裝，其中該各別底部閘極或汲極觸點包含一底部閘極觸點及一底部汲極觸點兩者，且其中源極觸點在該第一電晶體晶粒之該底部表面上介於該底部閘極觸點與該底部汲極觸點之間。

【請求項14】

如請求項1之功率放大器裝置封裝，其中該第一電晶體晶粒包括碳化矽(SiC)上之一基於III族氮化物之材料，且其中該各別導電通孔結構包括一穿碳化矽(TSiC)通孔。

【請求項15】

一種功率放大器裝置封裝，其包括：

一基板；及

一第一電晶體晶粒，其包括在該基板上之一底部表面及在與該底部表面相對的該第一電晶體晶粒的一頂部表面上的頂部閘極觸點及頂部汲極

觸點，其中該頂部閘極觸點或該頂部汲極觸點至少其中之一係藉由一各別的導電通孔結構而電連接至該底部表面上之一各別的底部閘極觸點或底部汲極觸點；及

其中該頂部閘極觸點或該頂部汲極觸點係連接至一第一電路，該第一電路在該第一電晶體晶粒的該頂部表面處沒有導線接合；及/或其中該各別的底部閘極觸點或底部汲極觸點在該第一電晶體晶粒的該底部表面上沒有導線接合而連接至一第二電路。

【請求項16】

如請求項15之功率放大器裝置封裝，其中該第一電路包含一電感元件，而該第二電路包含一封裝引線。

【請求項17】

如請求項16之功率放大器裝置封裝，其中該電感元件包含一整合式互連結構，該整合式互連結構具有在該頂部閘極觸點或該頂部汲極觸點上的一第一接觸墊。

【請求項18】

如請求項17之功率放大器裝置封裝，其中該整合式互連結構係包含一或多個被動電子組件之一整合式被動裝置(IPD)，其中該第一接觸墊係電連接至該一或多個被動電子組件，且藉由該第一接觸墊與該頂部閘極或汲極觸點之間的一導電凸塊而被連接至該頂部閘極或汲極觸點。

【請求項19】

如請求項17之功率放大器裝置封裝，其中上面具有該整合式互連結構之該第一接觸墊的該頂部閘極觸點或該頂部汲極觸點藉由該各別導電通孔結構被電連接至該各別底部閘極或汲極觸點。

【請求項20】

如請求項17之功率放大器裝置封裝，進一步包含：

一第二晶粒，其係在該基板上；及

其中該頂部閘極觸點或該頂部汲極觸點藉由該整合式互連結構而耦合於該第二晶粒。

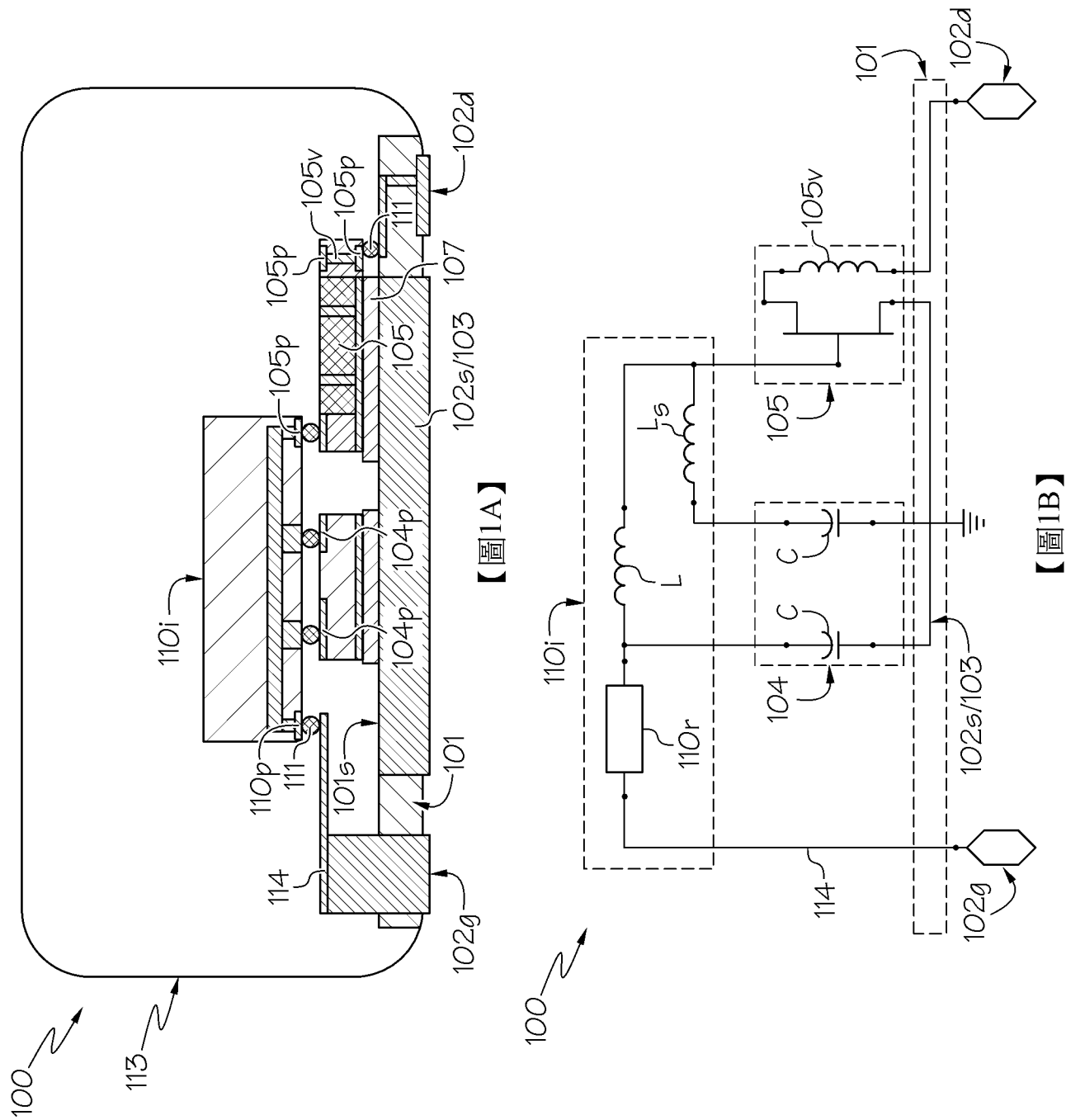
【請求項21】

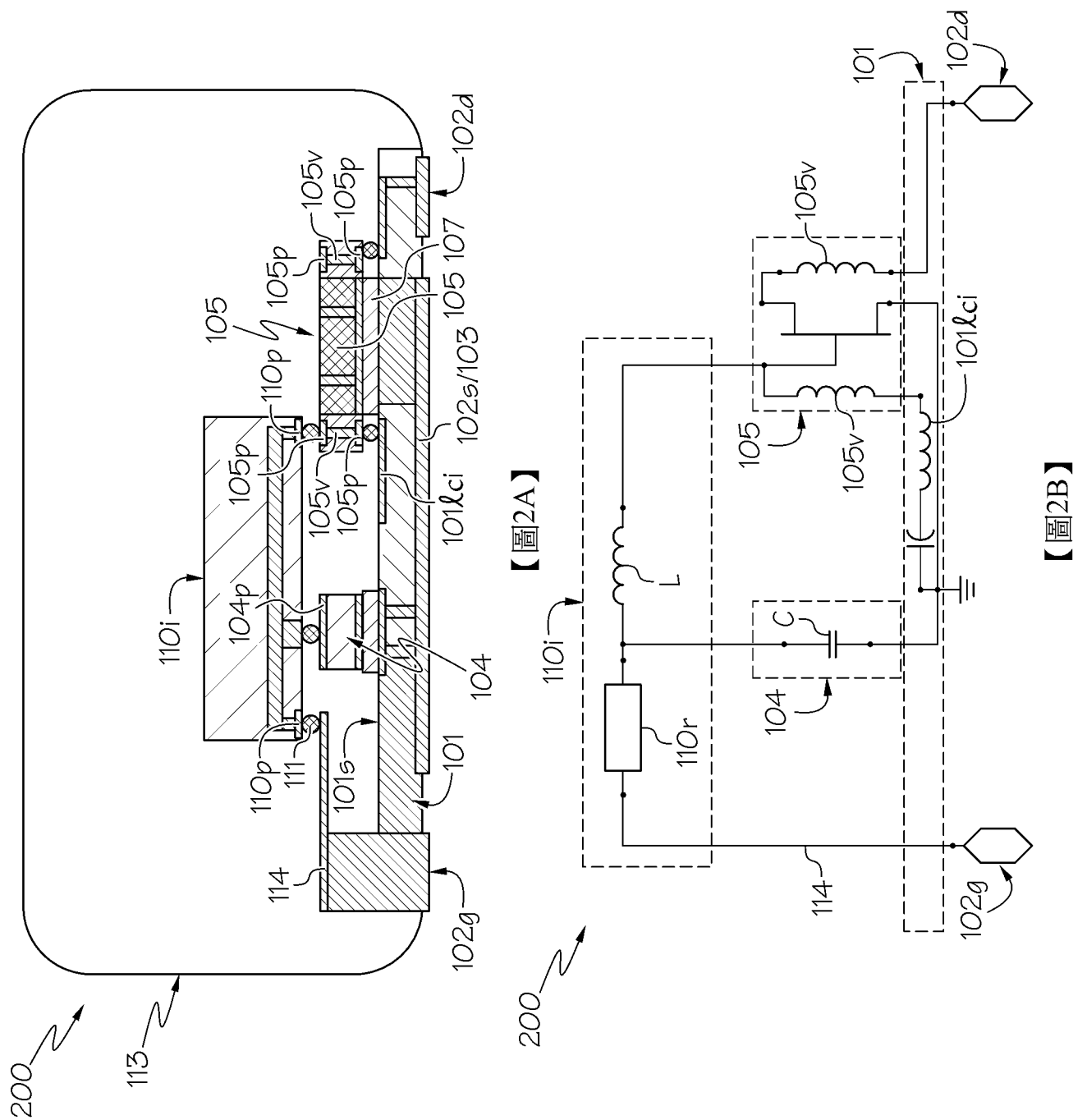
如請求項20之功率放大器裝置封裝，其中：

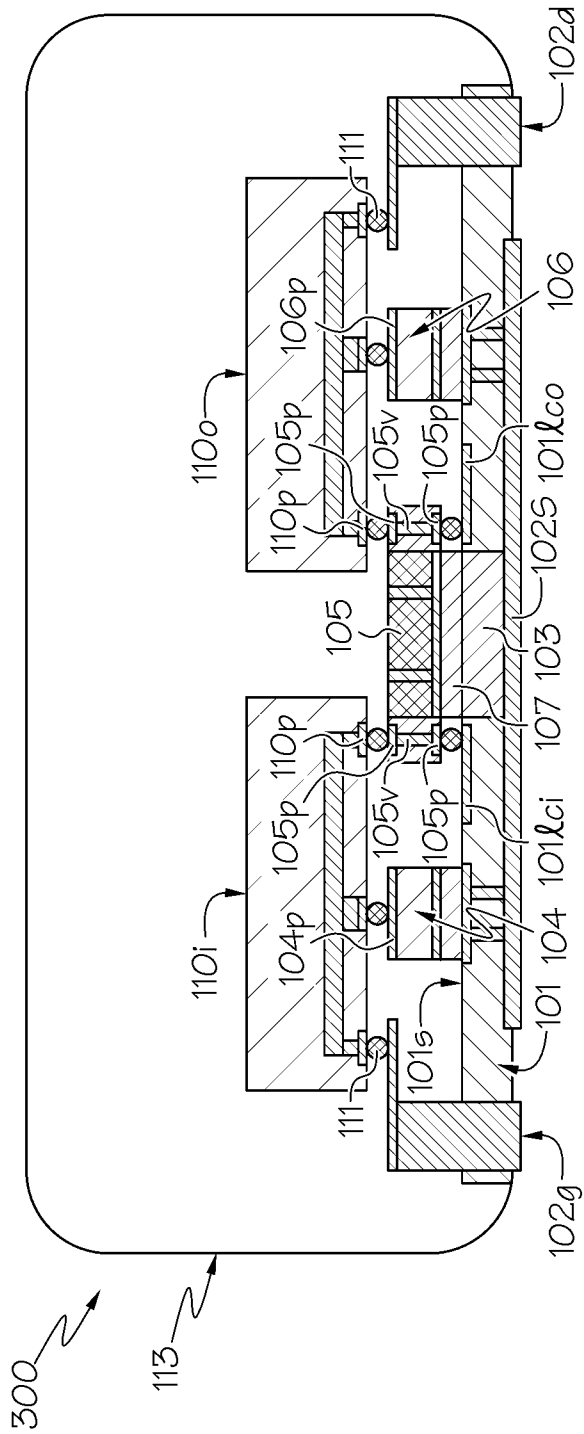
該第二晶粒包括一或多個電容器；或

該第二晶粒包括界定一RF放大器電路之一級之複數個電晶體單元。

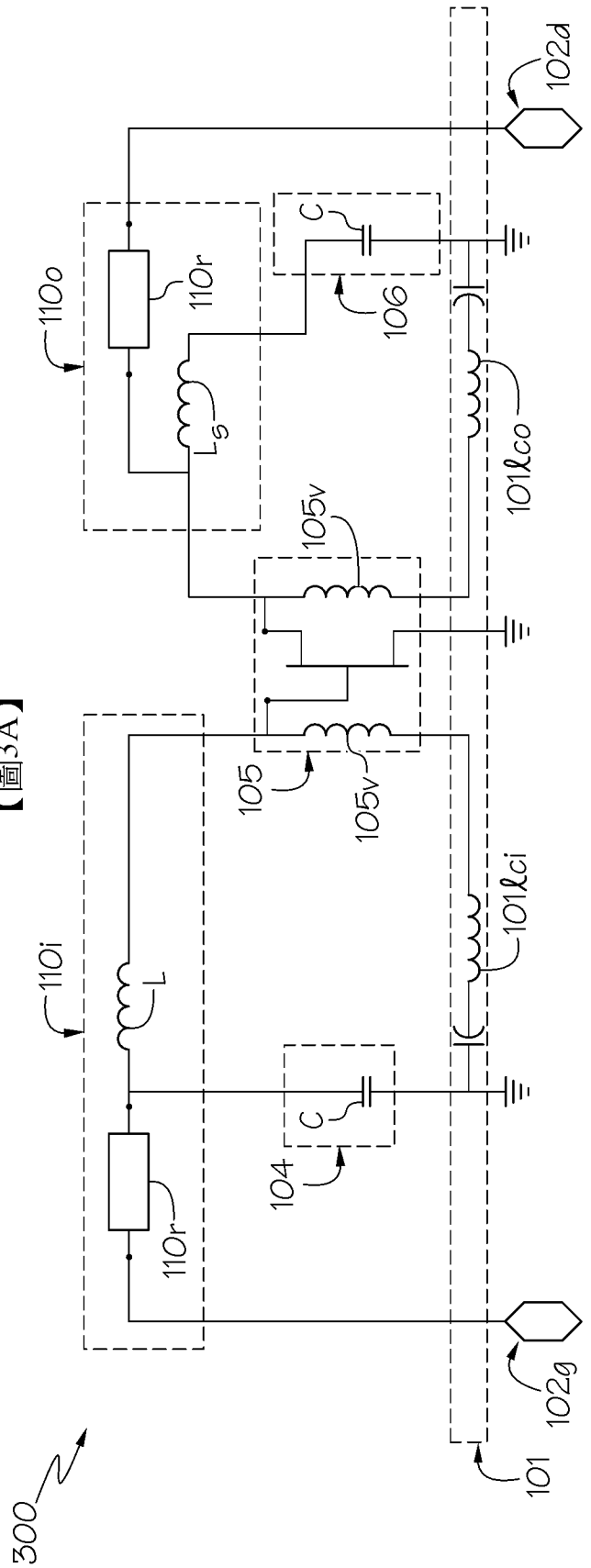
【發明圖式】



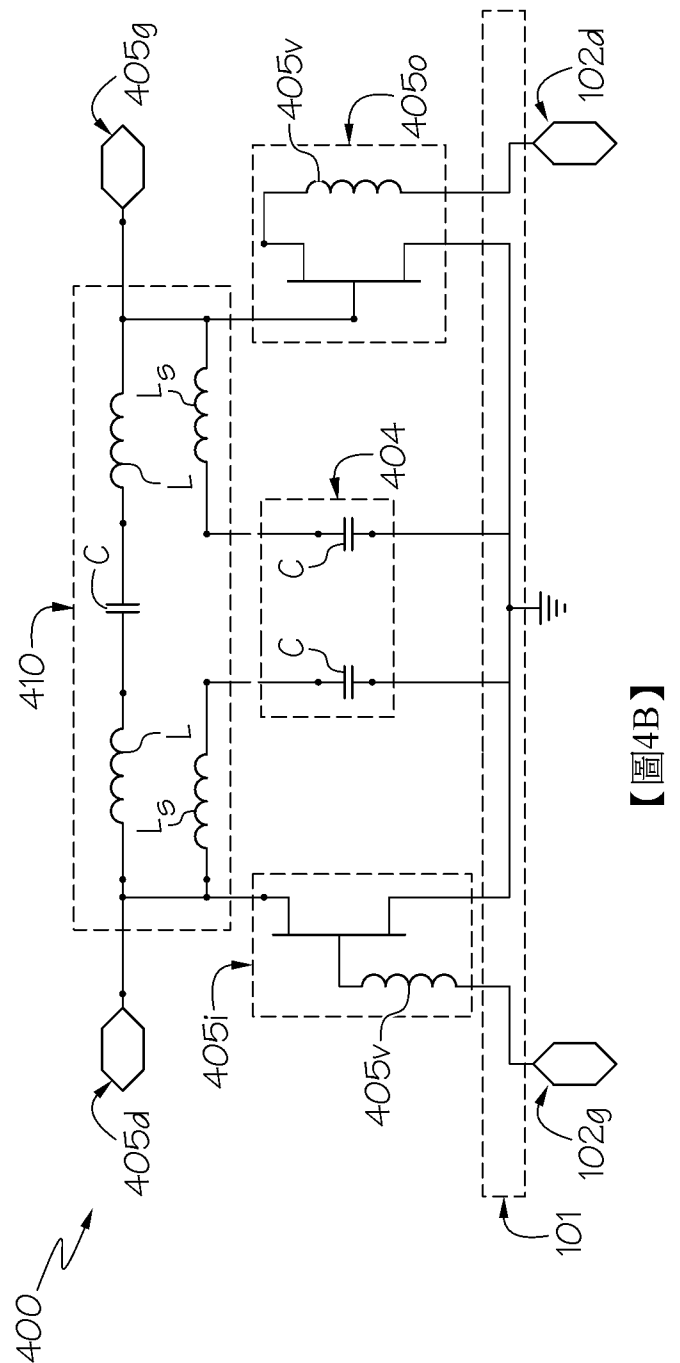


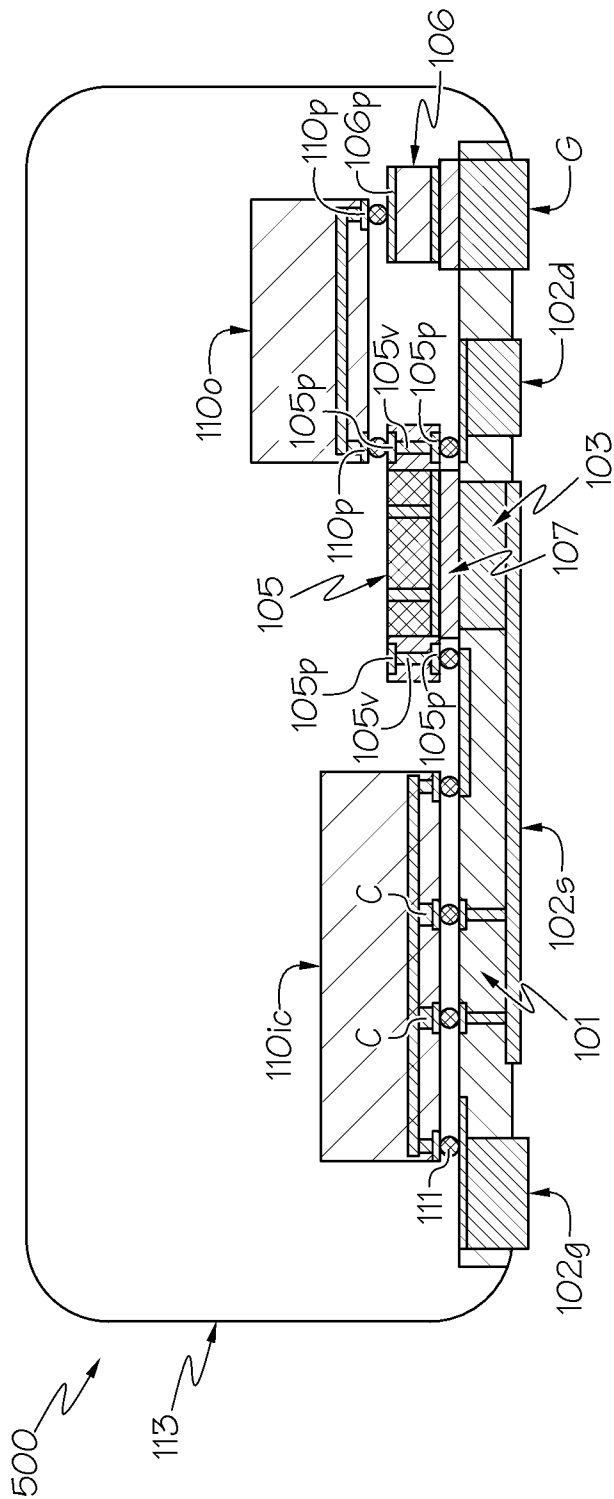


【圖3A】

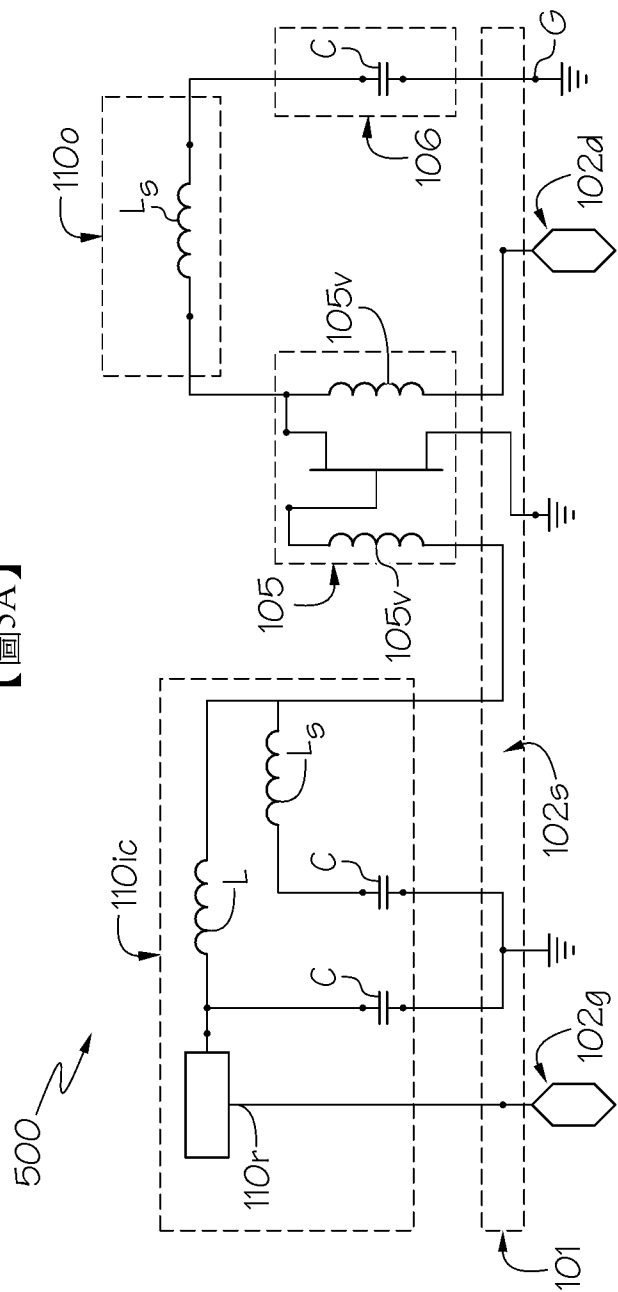


【圖3B】

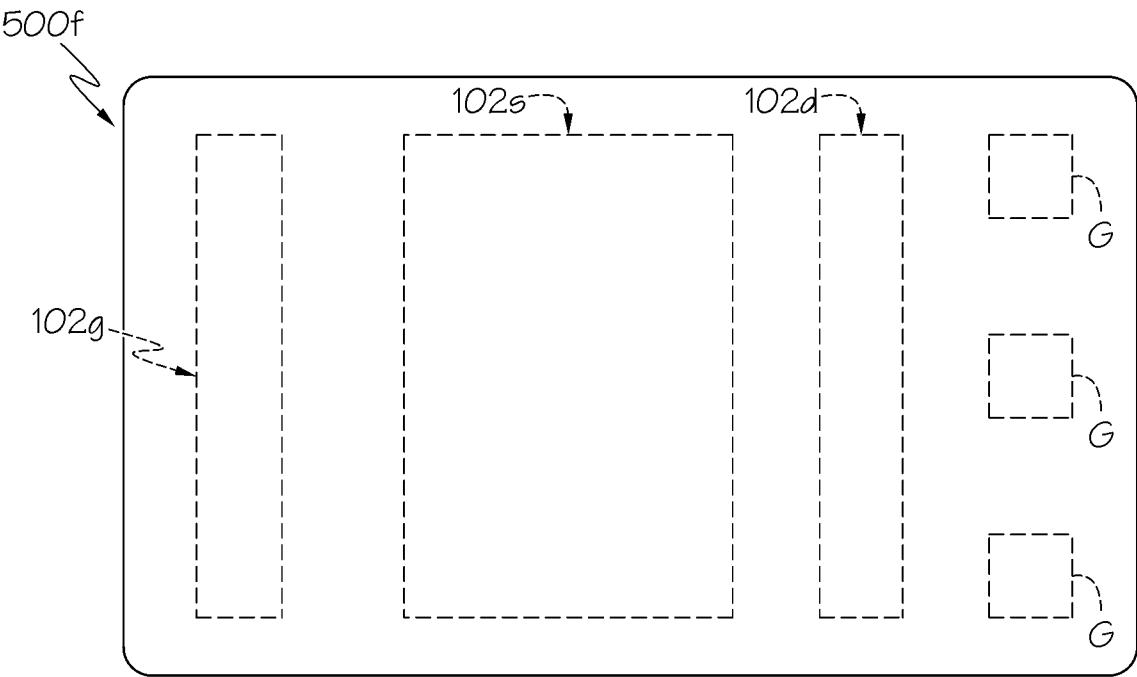




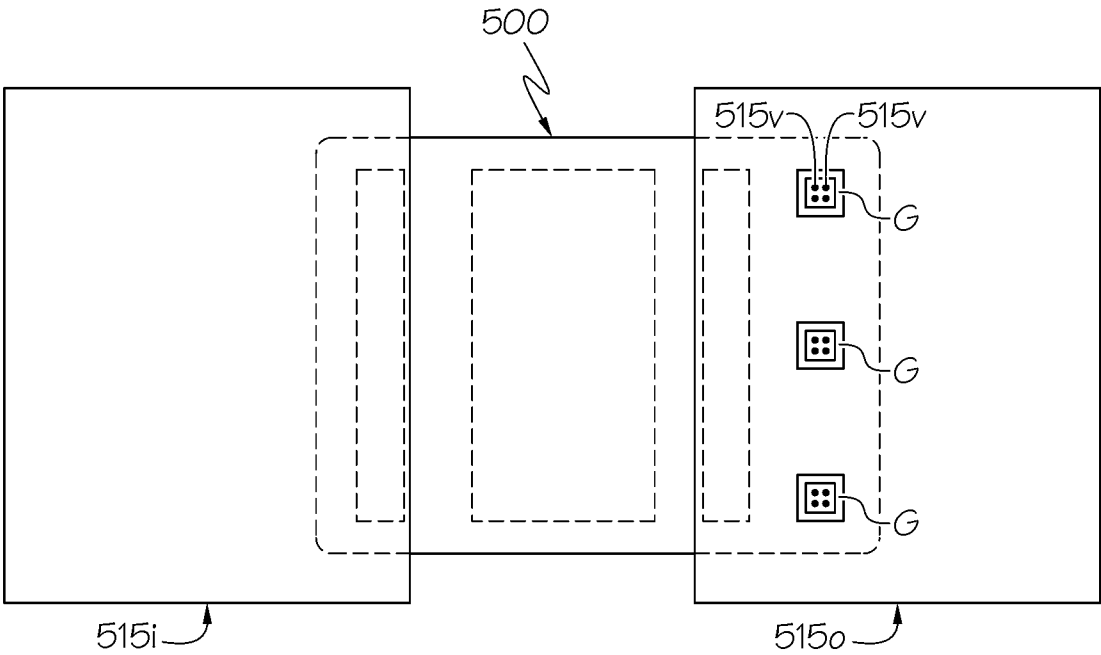
【圖5A】



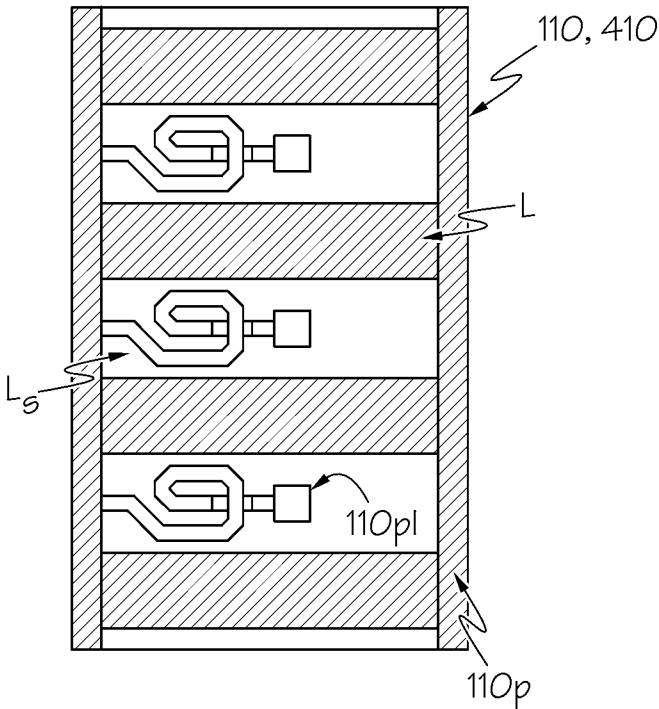
【圖5B】



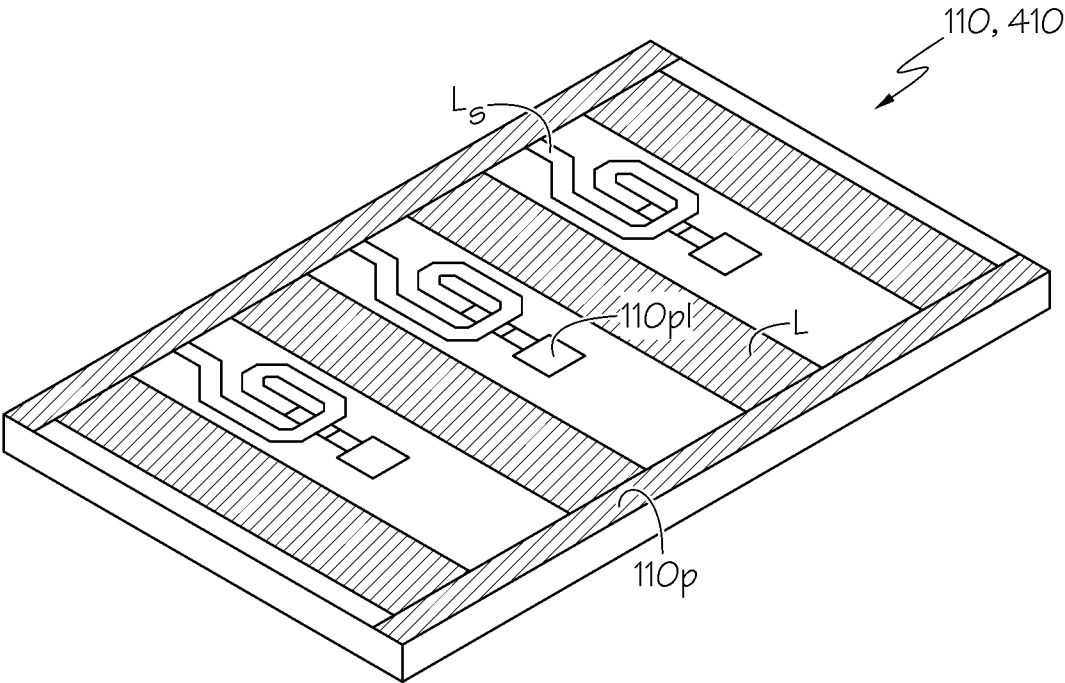
【圖5C】



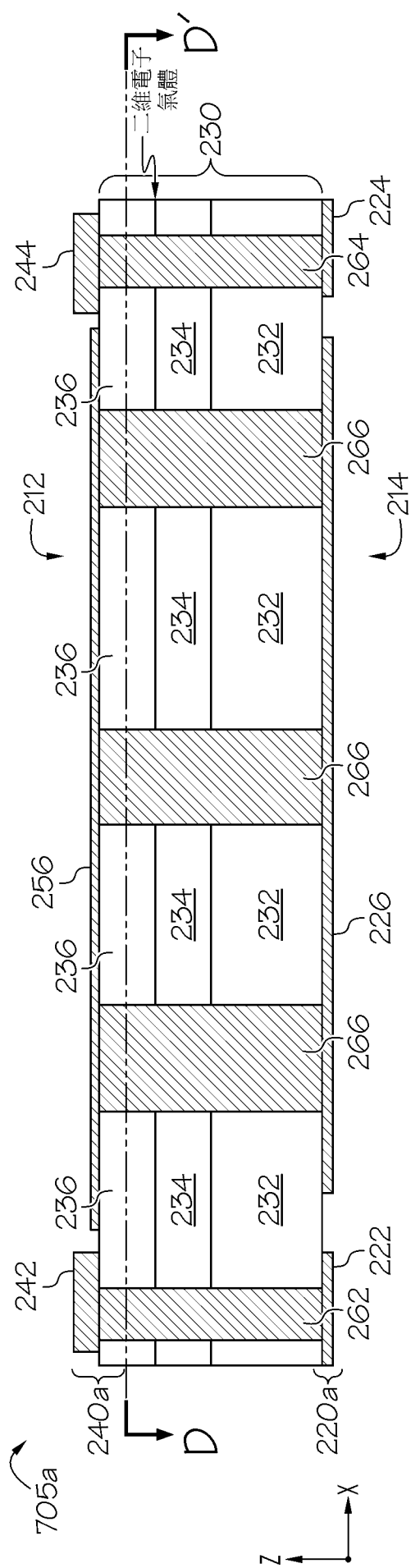
【圖5D】



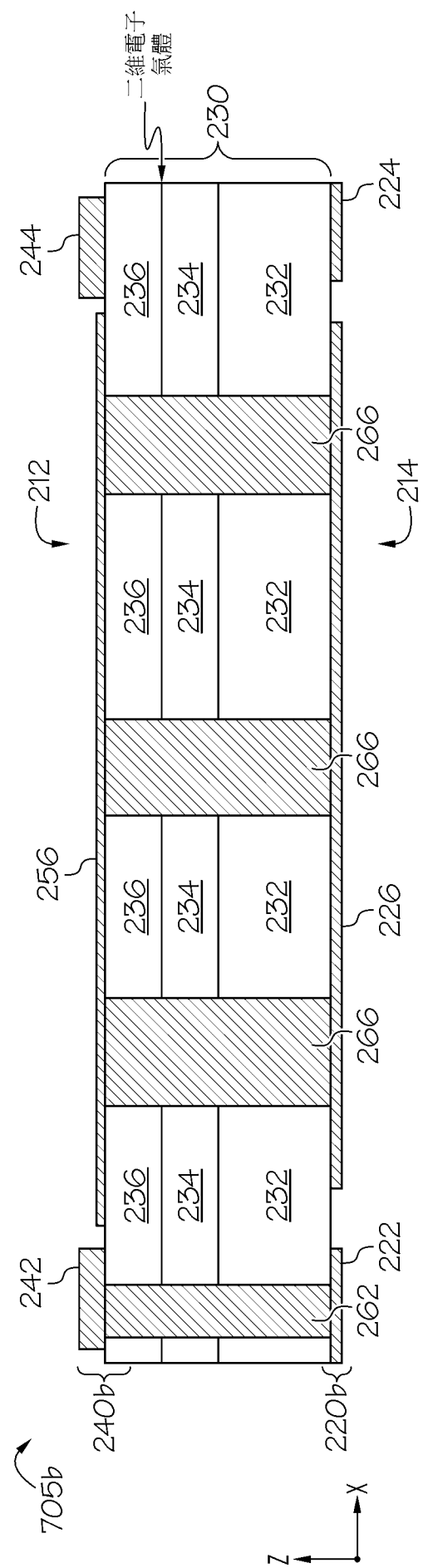
【圖6A】



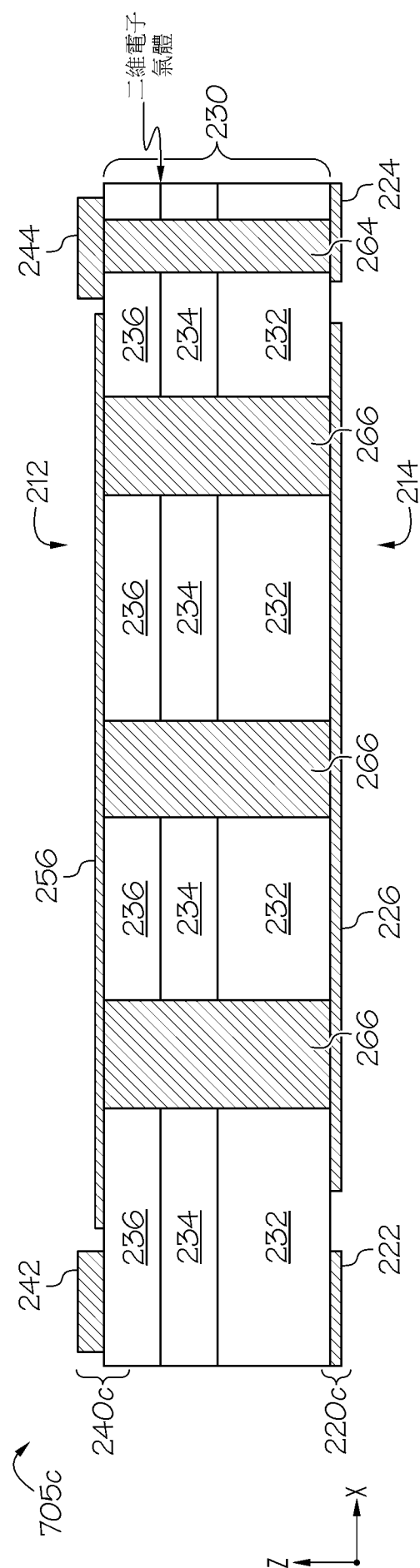
【圖6B】



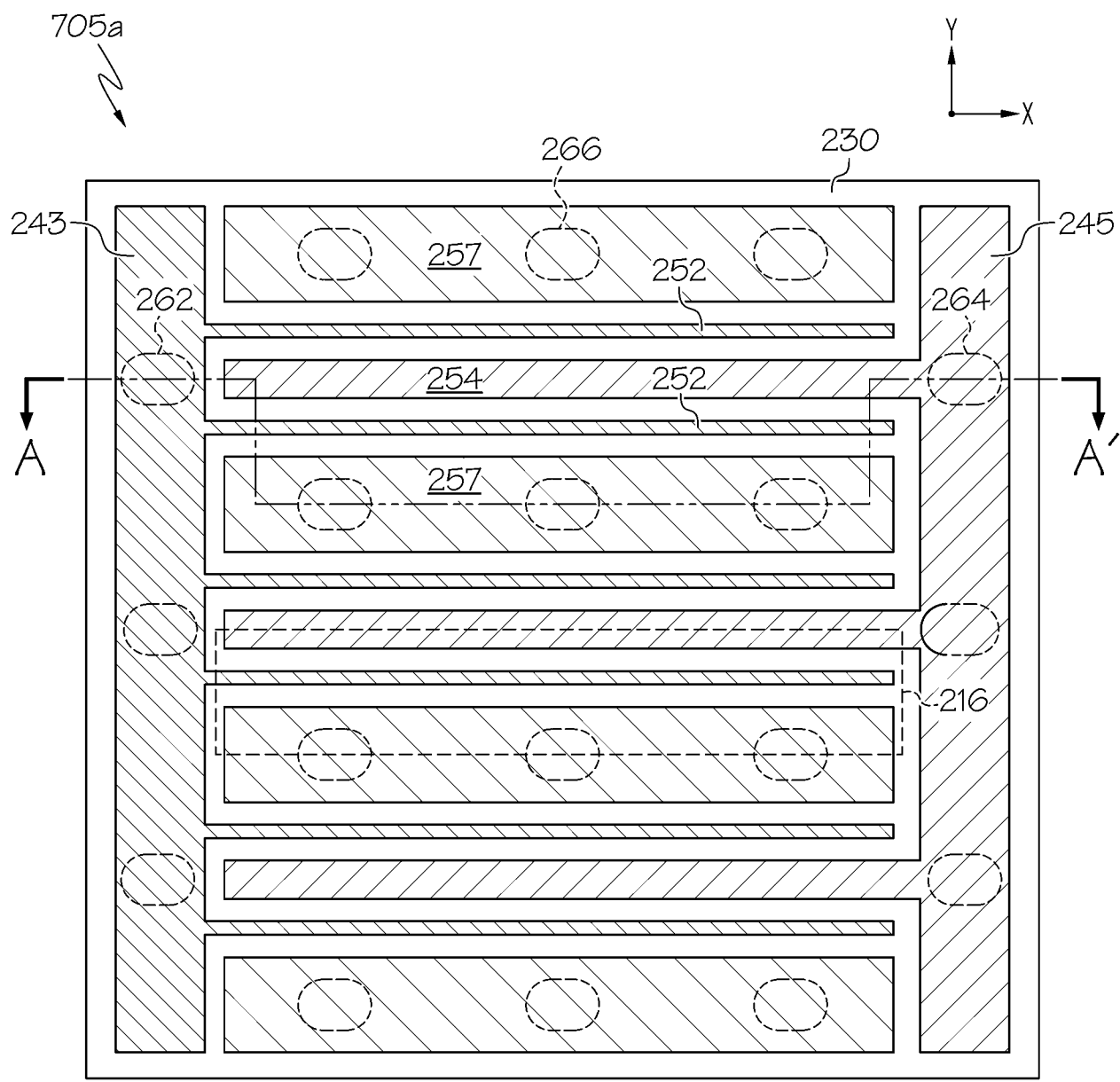
【圖7A】



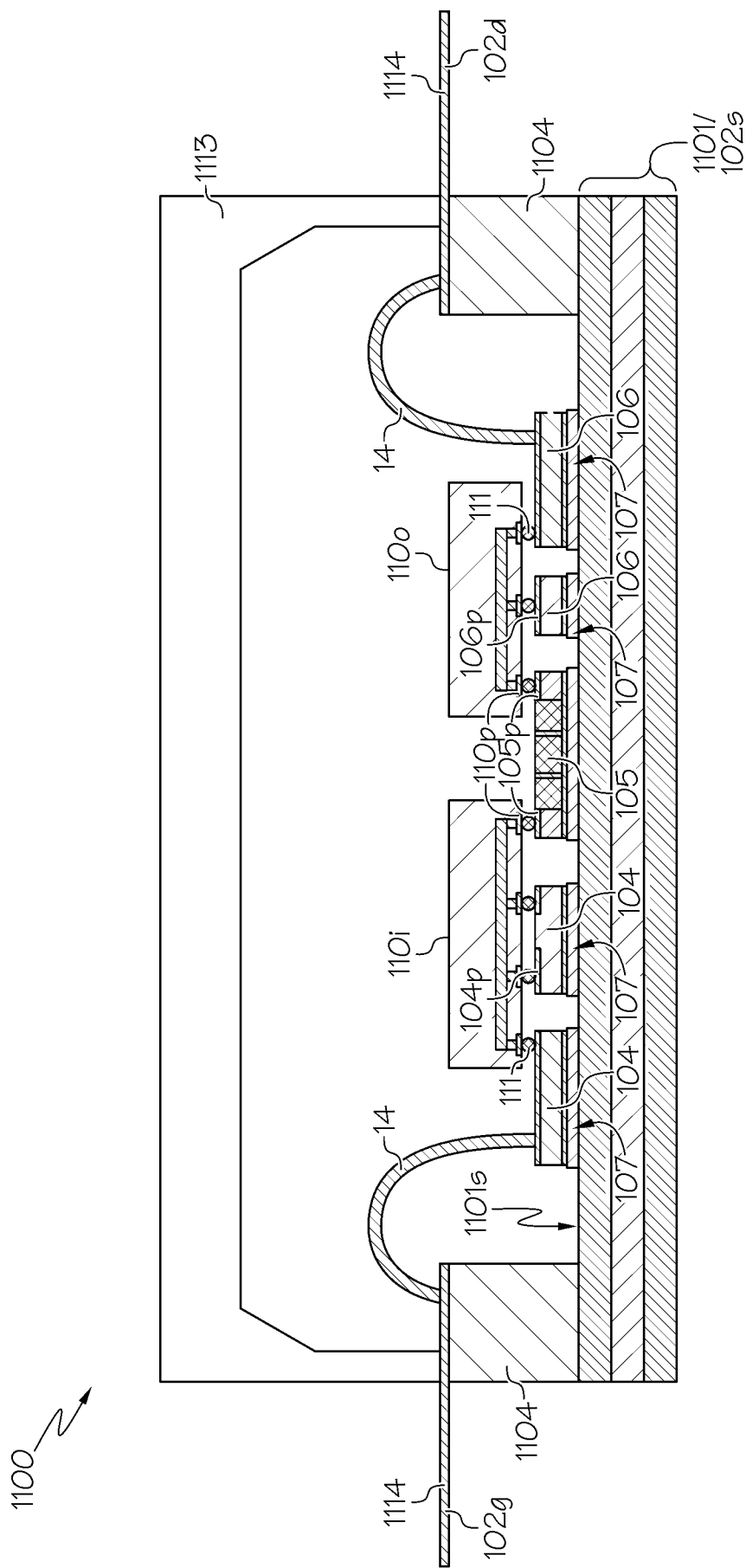
【圖7B】



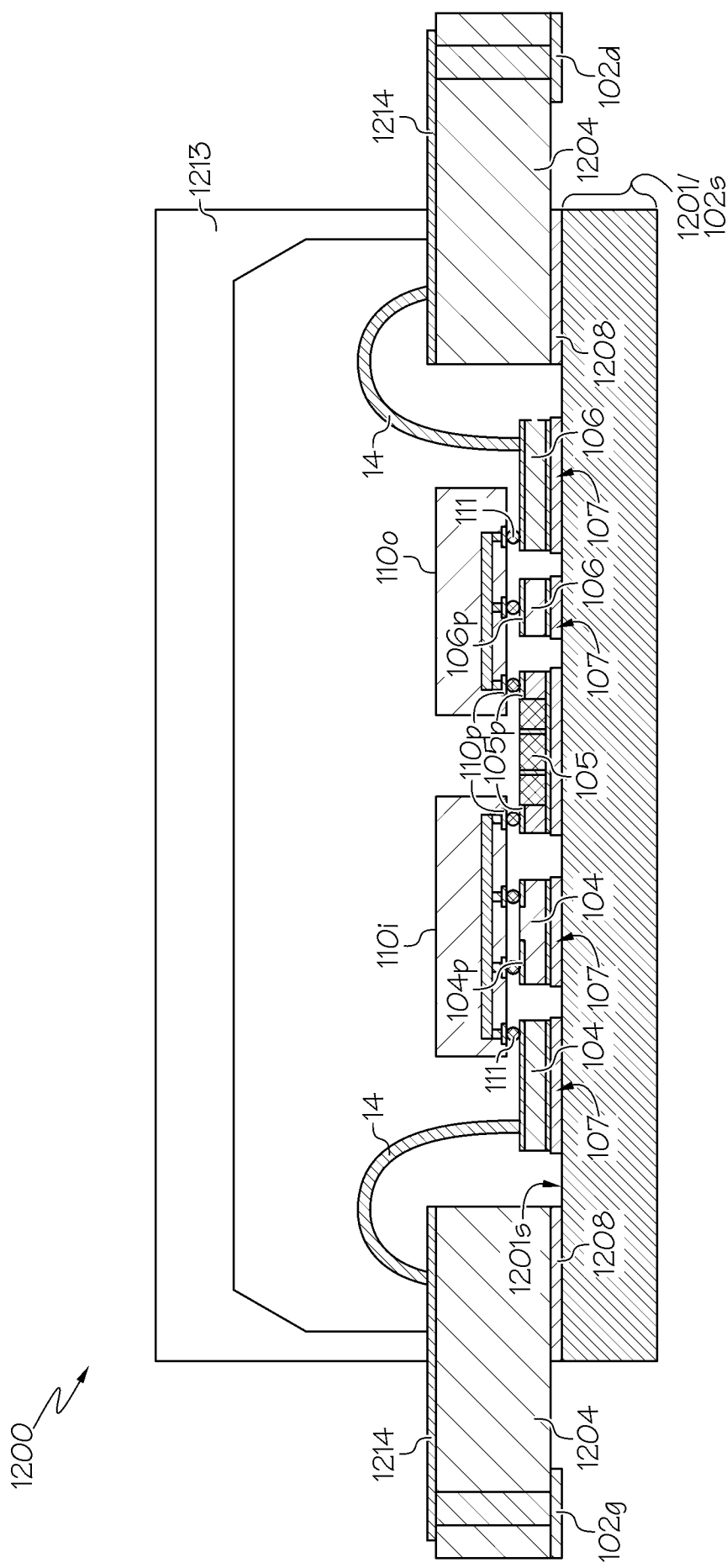
【圖7C】



【圖7D】



【圖8】



【圖9】