

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-126582

(P2004-126582A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int.Cl.⁷

G02F 1/025

F I

G02F 1/025

テーマコード (参考)

2H079

審査請求 未請求 請求項の数 14 O L (全 15 頁)

(21) 出願番号 特願2003-339580 (P2003-339580)
 (22) 出願日 平成15年9月30日 (2003.9.30)
 (31) 優先権主張番号 02292403.9
 (32) 優先日 平成14年9月30日 (2002.9.30)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 397068274
 コーニング インコーポレイテッド
 アメリカ合衆国 ニューヨーク州 148
 31 コーニング リヴァーフロント プ
 ラザ 1
 (74) 代理人 100073184
 弁理士 柳田 征史
 (74) 代理人 100090468
 弁理士 佐久間 剛
 (72) 発明者 トーマス ベリン ペアソール
 フランス国 75002 パリ リュ デ
 ブティーシャン 18

最終頁に続く

(54) 【発明の名称】 高速光変調器

(57) 【要約】

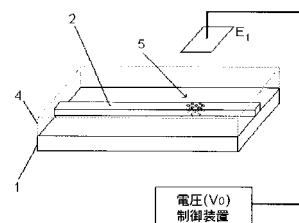
【課題】

半導体導波路において、波長選択性を高め、選択波長の光信号の強度変調時の誘起損失を小さくする。

【解決手段】

光変調器は、シリカ基板(1)上に設けられたシリコン導波路(2)を組み込んでいるプレーナ型光波回路により構成される。シリコン導波路の内部には共振キャビティ(5)が形成されている。共振キャビティ(5)は、フォトリソニックバンドギャップデバイスを画成する孔の周期アレイとして、便宜よく実現できる。導波路はフォトリソニック結晶導波路とすることもできる。共振キャビティ(5)のQ値、したがって伝送特性、をMOS効果によるかまたはp-n接合の空乏領域の幅の変化によって変えるため、共振キャビティ(5)に電場が印加される。制御ユニット(10)が共振キャビティ(5)に印加される電圧を制御し、よって、キャビティ(5)の単一または複数の共振周波数における光の変調を制御する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

光信号の変調方法において、
前記光信号の光路を画成する導波路(2)を提供する工程、
前記光路に共振キャビティ(5)を設ける工程、及び
前記光路内を伝搬する選択された周波数の光の伝送度を制御するために、前記共振キャビティ(5)の伝送特性を変える工程、
を含むことを特徴とする変調方法。

【請求項 2】

前記導波路を提供する工程が、フォトニック結晶導波路、内部全反射導波路、及びフォトニック結晶導波路の原理と内部全反射導波路の原理が複合されている導波路からなる群から選ばれる導波路(2)を提供する工程を含むことを特徴とする請求項 1 に記載の変調方法。 10

【請求項 3】

前記共振キャビティを設ける工程が、前記導波路にフォトニックバンドギャップデバイスを画成する複数の孔を設ける工程を含むことを特徴とする請求項 1 または 2 に記載の変調方法。

【請求項 4】

前記導波路を提供する工程が、シリカ(SiO_2)でクラッドしたシリコン(Si)コア層を有する導波路を提供する工程を含むことを特徴とする請求項 1, 2 または 3 に記載の変調方法。 20

【請求項 5】

前記伝送特性を変える工程が、MOS 効果を生じさせて、前記共振キャビティ(5)の Q 値を変えるために、前記共振キャビティ(5)に電場を印加する工程を含むことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記共振キャビティにおいて前記導波路に p-n 接合を設ける工程を含み、前記伝送特性を変える工程が前記共振キャビティ(5)の Q 値を変えるために前記 p-n 接合にバイアス電場を印加する工程を含むことを特徴とする請求項 1 または 2 に記載の変調方法。

【請求項 7】

光信号変調器において、
光信号の光路を画成する導波路(2)、
前記光路にある共振キャビティ(5)、及び
前記光路を伝搬する選択された周波数の光の伝送度を制御するために前記共振キャビティの伝送特性を変えるための制御ユニット(10)、
を備えることを特徴とする光信号変調器。 30

【請求項 8】

前記導波路(2)が、フォトニック結晶導波路、内部全反射導波路、及びフォトニック結晶導波路の原理と内部全反射導波路の原理が複合されている導波路からなる群から選ばれることを特徴とする請求項 7 に記載の光信号変調器。 40

【請求項 9】

前記共振キャビティ(5)が、前記導波路にフォトニックバンドギャップデバイスを画成する複数の孔を含むことを特徴とする請求項 7 または 8 に記載の光信号変調器。

【請求項 10】

前記導波路が、シリカ(SiO_2)でクラッドしたシリコン(Si)コア層を有することを特徴とする請求項 7, 8 または 9 に記載の光信号変調器。

【請求項 11】

前記制御ユニットが、使用において、MOS 効果を生じさせて、前記共振キャビティ(5)の Q 値を変えるために、前記共振キャビティ(5)に電場を印加するように適合されていることを特徴とする請求項 10 に記載の光信号変調器。 50

【請求項 1 2】

前記共振キャビティにおいて前記導波路に設けられた p-n 接合を備え、前記制御ユニットが、使用時に、前記共振キャビティ(5)の Q 値を変えるために前記 p-n 接合にバイアス電場を印加するように適合されていることを特徴とする請求項 7 または 8 に記載の光信号変調器。

【請求項 1 3】

光路を画成するプレーナ型シリコン導波路において、前記導波路が前記光路に形成された共振キャビティ(5)を有することを特徴とするプレーナ型シリコン導波路。

【請求項 1 4】

前記共振キャビティ(5)がフォトリソニックバンドギャップデバイスにより構成されていることを特徴とする請求項 1 3 に記載のプレーナ型シリコン導波路。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光信号の強度変調及びスイッチングの分野に関する。さらに詳しくは、本発明は光強度変調方法及びこの方法を実施するデバイスに関する。

【0002】

本明細書で称される“変調”または“強度変調”が、信号が消滅するような程度までの変調を含むこと、言い換えれば、“変調”という表現がスイッチング機能を包含すると理解されたい。また、“導波路”という表現が光を搬送するあらゆる構造も含み、したがって“導波路”は光波光回路導波路及び光ファイバに限定されるものではない。 20

【背景技術】

【0003】

マルチメディア情報の伝送に使用される広帯域通信システムは増加の一途をたどっている。そのようなシステムで実施される重要な機能は光信号の強度変調及びスイッチングである。

【0004】

シリコン導波路内で伝搬する光信号に電気-光吸収変調を施すものなど、様々な光変調及びスイッチング技法が知られている。自由電荷キャリアの存在がシリコン、実際には半導体一般、の屈折率及び損失係数(光吸収)の両方を変化させることは周知である。図 1 は、自由キャリア濃度の $1 \times 10^{15} / \text{cm}^3$ から $1 \times 10^{18} / \text{cm}^3$ までの増加にともない、シリコンの屈折率がどのように変化するかを示す。図 2 は、自由キャリア濃度の $5 \times 10^{16} / \text{cm}^3$ から $8.5 \times 10^{17} / \text{cm}^3$ までの増加にともない、シリコンの光損失がどのように変化するかを示す。いずれの場合にも、キャリア濃度が $10^{17} / \text{cm}^3$ に達し、これをこえない限り、キャリア濃度増加の効果は顕著にならない。このレベルより高いキャリア濃度の場合、屈折率の変化及び光損失の変化はいずれもキャリア濃度の変化に比例する。しかし、シリコン導波路の電気-光吸収に基づく既知の変調器は波長選択性が劣り、この変調法は導波路全体に比較的高い損失を招く。 30

【非特許文献 1】ジェイ・ディー・ジョアノポウロス(J. D. Joannopoulos)、アール・ミーデ(R. Meade)及びジェイ・エヌ・ウィン(J. N. Winn)著の書籍、「光流をモデル化するフォトリソニック結晶」, プリンストン大学出版(Princeton University Press), 1995 年 40

【非特許文献 2】オー・ペインター(O. Painter)、ジェイ・バコビック(J. Vuckovic)及びエイ・シェラー(A. Scherer)著、「光学的薄誘電体スラブにおける 2 次元フォトリソニック結晶の欠陥モデル」, ジャーナル・オブ・ジ・オブティカル・ソサエティ・オブ・アメリカ(Journal of the Optical Society of America)B, 第 16 巻, 第 2 号, 1999 年 2 月, p. 275-285

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の好ましい実施態様は、改善された光信号強度変調方法及びこの方法を実施する 50

デバイスを提供する。

【0006】

特に、本発明の好ましい実施態様は、導波路内を伝搬する選択された波長の光信号に対して強度変調が達成され、導波路における総損失が低く抑えられる、光変調技法を提供する。

【0007】

また、本発明の好ましい実施態様は、(寸法が数 μm から数100 μm の)超小型デバイスにおいて有用な変調度を達成する光変調器を提供する。

【課題を解決するための手段】

【0008】

詳細には、本発明は光信号の強度を変調する方法を提供し、本方法は、光信号に対する光路を定める導波路を提供する工程、光路に共振キャビティを設ける工程、及び、光路内を伝搬する、少なくとも1つの選択された周波数の光の伝送量を制御するために、共振キャビティの伝達関数を変える工程を含む。

【0009】

共振キャビティ内の自由電荷キャリアの濃度を変えることにより、共振キャビティの伝達関数を変えることが有利である。半導体内のキャリア濃度を変えるには、例えば、温度を変えることまたは外部光を与えることを含む、様々な方法を用いることができる。しかし、本発明にしたがえば、電圧の印加によりキャリア濃度を制御することが好ましい。

【0010】

本発明の好ましい一実施態様において、MOS効果の使用により自由キャリア濃度を変化させる。さらに詳しくは、MOS(金属-酸化物-半導体)構造が共振キャビティに設けられ、半導体のエネルギーバンドに曲がりを生じさせるように電圧が金属電極に印加される。バンドの曲がり、価電子帯にある荷電キャリアを伝導帯に入らせ、半導体と酸化物の間の界面において半導体に反転領域を形成するに十分である。この反転領域において、自由キャリアは半導体のドーピング型とは逆の極性をもつ。例えば、バイアス印加金属電極を載せている酸化物層に隣接するp型半導体(例えばp型シリコン)層を用いるデバイスでは、金属電極に印加される比較的高いバイアス電圧により、p型半導体と隣接酸化物の間の界面に自由電子の蓄積がおこる。

【0011】

本発明の第2の好ましい実施態様において、p-n接合の両側にバイアス電圧を印加することにより、自由キャリア濃度を変化させる。これにより、p-n接合の空間電荷領域における局所キャリア濃度が変わる。p-n接合の空間電荷(したがって、局所キャリア濃度)は、接合の電気バイアスに強く依存する。逆バイアス下では、キャリアの空乏が生じ、キャリア濃度が(接合から数 μm までの範囲で)大きく減少する。

【0012】

本発明はさらに、光信号のための光路を定める導波路と、光路に設けられた共振キャビティと、光路を伝搬する、少なくとも1つの選択された周波数の光の伝送量を制御するために共振キャビティの伝送特性を変えるための制御ユニットとを備える光信号変調器を提供する。

【0013】

導波路は様々な方法で作成することができる。フォトリソニック結晶導波路の原理または内部全反射導波路の原理を用いて導波路を作成することが有利であり、あるいはこれら2つを組み合わせてもよい。

【0014】

本発明の好ましい実施態様では、フォトリソニック結晶を画成する複数の孔を導波路に設けることにより、光共振キャビティが光路に設けられる。そのようなフォトリソニック結晶は、数 μm の範囲内で高いQ値を有する共振キャビティを実現する。したがって、そのようなキャビティは“マイクロキャビティ”と称される。

【0015】

本発明の好ましい実施態様において、導波路はシリコン導波路である。すなわち、導波路はシリコン(Si)コア層を有する。シリコン導波路は、シリコン—オン—インシュレーター(SOI)基板の、最上部の、シリコン層に形成してもよい。シリコンは光学活性材料すなわち光学非線形材料ではない。それにもかかわらず、本発明にしたがえば、導波路に共振キャビティを設け、共振キャビティの伝送特性を制御することにより、シリコン導波路を効率の高い変調器として用いることができる。

【0016】

本発明の第1の好ましい実施態様にしたがえば、シリカ(SiO₂)のような誘電体でシリコンコア層がクラッドされるか、または誘電体の下部層が設けられ、伝送特性は、共振キャビティに相当する導波路領域においてシリコンコアとクラッド層(または下部層)の間の界面に電場を印加することにより制御される。共振キャビティ体に自由キャリアを効率的に注入する上述のMOS効果により、印加電場がシリコンの界面領域における自由キャリア濃度を変える。本発明の第2の好ましい実施形態にしたがえば、共振キャビティに相当するシリコン導波路領域にp-n接合が形成される。印加電場が接合における自由キャリア濃度を変える。

10

【0017】

自由キャリア濃度を高めることにより、共振キャビティのクオリティファクター、すなわち“Q”が低められ、伝送量が減少する。逆に、自由キャリア濃度を低めることにより、共振キャビティのQ値が高められ、伝送量が増加する。印加バイアス電圧を極端に大きく変化させなくとも、自由キャリア濃度を少なくとも3桁変化させることが可能である。これにより、対応する大きさの変化がQ値に生じ、導波路内を伝搬する光の対応する大きさの変調がおこる。しかし、変調は共振波長に対してだけ達成される。すなわち、変調は波長限定であり、導波路の総損失は低く抑えられる。

20

【0018】

光吸収が変調されている半導体材料は共振キャビティ内におかれているから、半導体材料の実効光吸収はおおよそキャビティのQ値倍である。数1000までのQ値を有する光共振器は稀ではない。これにより、超小型光デバイス、すなわち寸法が数μmから数100μm程度の光デバイスで、大きな信号変調を達成することが可能になる。そのようなデバイスの大きさは、従来の既知の光変調器の1/100程度になる。(共振キャビティを用いていない)シリコン自体の光吸収の変調は、上記の大きさの光デバイスにおいて有用な変調を得るには不十分である。

30

【0019】

本発明はさらにまた、光信号のための光路を定め、光路に共振キャビティを有するプレーナ型シリコン導波路を提供する。共振キャビティはフォトリソニック結晶として実施されることが好ましい。

【0020】

本発明のさらに別の特徴及び利点は、例として与えられる、以下の本発明の好ましい実施形態の説明を、添付図面を参照しながら読むことにより明らかになるであろう。

【発明を実施するための最良の形態】

【0021】

先に説明したように、本発明は半導体、特にシリコン、の光学特性が半導体内の自由キャリア濃度にしたがって変化するという事実を利用するものである。図1及び2に戻れば、キャリア濃度が $10^{17}/\text{cm}^3$ をこえて高くなるにつれて、屈折率の%変化は(屈折率は比較的大きな値から出発するから)比較的小さいが、光損失の%変化は光損失の出発値(実質的にゼロ)に比較して大きいことがわかるであろう。したがって、本発明の好ましい実施形態は共振キャビティの自由キャリア濃度を変えることで共振キャビティの光損失を変更することにより動作する。

40

【0022】

本発明にしたがう光変調器の第1の好ましい実施形態が、図3に簡略に示される。図示されるように、この光変調器は誘電体材料、本例ではシリカ(SiO₂)、でつくられ、上

50

にプレーナ型シリコン導波路が形成された基板 1 を備える(図示されるように内部全反射型導波路が用いられるが、代わりにフォトニック結晶導波路を用いることもできる)。プレーナ型導波路は、単一モードシリコン導波路を構成する、シリコンコア層 2 及びシリカオーバークラッド層 4 を備える。オーバークラッド層 4 は誘電体材料、本例ではシリカ、で形成される。ちなみに、図 3 では、シリカオーバークラッド層 4 が透明であるかのように表わされている。導波路には共振キャビティ 5 が組み込まれ、導波路を伝搬する全ての光子は共振キャビティ 5 を通過しなければならない。

【0023】

フォトニックバンドギャップ構造、特にシリコンコア層 2 に形成された孔のアレイを用いて共振キャビティ 5 を実現することが有利である。アレイの孔のピッチは、導波路コアにおける信号の波長の $1/2$ と同程度である。例えば、 $1.55 \mu\text{m}$ の波長に対し、孔のピッチは(アレイ及び導波路の形状寸法に依存して) $0.35 \mu\text{m} \sim 0.7 \mu\text{m}$ の範囲になる。さらに、フォトニック結晶は、フォトニックバンドギャップが信号波長を包含するように設計される。そのような構造は、シリコンコア層のパターニングに用いられるリソグラフィ及びエッチング工程中に形成することができる。したがって、光変調器の作成にかかわる工程の数が必要以上に増えることはない。ちなみに、図 3 では、図示を簡単にするために、フォトニックバンドギャップデバイスを画成するアレイに示される孔の数は、実際に存在するはずの数より少ない。

【0024】

共振キャビティ 5 に MOS 構造を形成するように、電極 E_1 が共振キャビティ 5 の上部のシリカに取付けられている。本例において、MOS 構造の金属層は電極 E_1 により形成され、酸化物は SiO_2 オーバークラッド層 4 により形成され、半導体はシリコンコア層 2 から形成されている。電圧を電極 E_1 に印加することによって、半導体-酸化物の界面に電場をかけることができる。図 3 においては、より明確にするために、電極 E_1 が共振キャビティ 5 から距離をあけて示されている。適切な極性の印加電圧 V_g により、シリコン導波路の価電子帯のエネルギーを、界面近傍で伝導帯のエネルギーを上まわるように高めることが可能である。これにより反転条件が生じ、自由電荷キャリアが界面に蓄積する。周知のように、p 型ドープシリコンコア層の場合は、所望の反転条件を生じさせるためには、印加電圧 V_g を正にする必要があり、n 型シリコンコア層 2 の場合は、 V_g を負にする必要がある。

【0025】

酸化物オーバークラッド層 4 は、酸化物層 4 とシリコン導波路コア層 2 の間の界面においてシリコンコア層 2 に導電性反転が起こり得る程度に低い界面準位レベルを有するべきである。適切な界面準位レベルは、 $10^{11} / \text{cm}^2$ 以下である。界面準位(または“界面トラップ電荷”)の数が界面の形成に用いられる技術及びプロセス条件に依存することが当業者に分かるであろう。

【0026】

図 4 は、シリコン導波路コア 2 とシリカオーバークラッド層 4 の間の界面領域を示す。二酸化シリコン層 4 の厚さは X_0 で表わされる。シリコン層 2 にかかる電圧降下を ψ_s で表わし、二酸化シリコンとシリコンの間の界面における電場を ϵ_s で表わせば、バイアス電圧 V_g は、関係式：

【数 1】

$$V_g = \phi_s + (K_s / K_{ox}) X_0 \epsilon_s$$

【0027】

にしたがう。ここで K_s はシリコン層 2 の比誘電率であり、 K_{ox} は二酸化シリコン層 4 の比誘電率である。一般に、 K_s は 11.9 であり、 K_{ox} は 3.9 であって 3.4 の (K_s / K_{ox}) を与える。

【0028】

シリコンコア層 2 が、 $10^{15} / \text{cm}^3$ にドープされた n 型であって、界面電荷が 10

$10^{15} / \text{cm}^2$ の場合は、電極 E_1 を介して、 -1.15 V のバイアス電圧を印加することによって、シリカ／シリコン界面に 15 kV/cm の電場が生じ、シリコン層に 0.641 V のバンド曲がりが生じて、界面において $5 \times 10^{15} / \text{cm}^3$ であるが、界面から 100 nm 離れたシリコンコア層において $2.4 \times 10^{13} / \text{cm}^3$ に減少する p 型蓄積がシリコンコア層 2 に生じる。p 型自由電荷キャリアは共振キャビティの Q 値を下げ、よって共振波長における光の伝送量を低下させる。

【0029】

シリコンコア層 2 が、 $10^{15} / \text{cm}^3$ にドーピングされた n 型であって、界面電荷が $10^{12} / \text{cm}^2$ の場合は、電極 E_1 を介して、 -6.6 V のバイアス電圧を印加することによって、シリカ／シリコン界面に 168 kV/cm の電場が生じ、シリコン層に 0.8098 V のバンド曲がりが生じて、界面において $3 \times 10^{16} / \text{cm}^3$ であるが、界面から 100 nm 離れたシリコンコア層において $7 \times 10^{14} / \text{cm}^3$ に減少する p 型蓄積がシリコンコア層 2 に生じる。

【0030】

シリコンコア層 2 が、 $10^{15} / \text{cm}^3$ にドーピングされた n 型であって、界面電荷が $10^{13} / \text{cm}^2$ の場合は、電極 E_1 を介して、 -55 V のバイアス電圧を印加することによって、シリカ／シリコン界面に $1.77 \times 10^6 \text{ V/cm}$ の電場が生じ、シリコン層に 0.9342 V のバンド曲がりが生じて、界面において $4.5 \times 10^{20} / \text{cm}^3$ であるが、界面から 100 nm 離れたシリコンコア層において $7.7 \times 10^{17} / \text{cm}^3$ に減少する p 型蓄積がシリコンコア層 2 に生じる。

【0031】

図 5 は、共振キャビティ 5 の領域におけるシリカ層 4 とシリコンコア層 2 の間の界面における、誘起キャリア濃度対印加電圧のグラフである。図 5 は、共振キャビティにおけるキャリア濃度が電極 E_1 への印加電圧にしたがってどのように変化するかを示す。

【0032】

自由電荷キャリアの存在は共振キャビティ 5 の損失を自由キャリア濃度に比例して高める。この損失が共振キャビティの Q 値をやはり自由キャリア濃度に比例して変化させる。自由キャリア濃度が高くなるほど、共振キャビティの Q 値は下がる。適度の電圧変化で自由キャリア濃度に 3 桁ないしそれより大きい変化を生じさせることができる。したがって、キャビティの Q 値を数桁にわたって変化させることができる。図 6 は (1550 nm の共振波長に対する) 光吸収対電極 E_1 への印加電圧のグラフである。図 6 から、比較的小さな印加電圧に対して共振キャビティ 5 の光吸収係数が劇的に増加することがわかるであろう。

【0033】

図 5 及び 6 に表わされた結果を得るために用いられた実験構成は、外部源からシリコン導波路への光の結合を伴うものであった。この目的のためテーパ付光ファイバを用い、テーパ付光ファイバとシリコン導波路の間の結合を、シリコン導波路からの出力が最大になるように光ファイバとシリコン導波路の相対位置を変えることにより、最適化した。共振キャビティの波長選択は、伝送量対波長を測定することによりチェックした。次いで、選択された波長におけるシリコン導波路からの出力を、電極 E_1 への様々な印加電圧値に対して測定した。

【0034】

図 3 の変調器は、選択された波長 λ_s (あるいは、望ましければ、高調波関係を有する必要のない複数の波長) の光の変調が可能になるように設計される。変調される波長がキャビティの共振周波数に対応するならば、波長選択は、共振キャビティ 5 の適切な設計によりなされる。共振キャビティ 5 がシリコンコア層 2 に形成された孔の周期アレイからなるフォトニックバンドギャップデバイスとして実施されている場合には、1 つ (または複数) の共振周波数の設定は、アレイの選択された孔を埋める (または単に、適切な位置に孔を形成しない) ことでなされる。

【0035】

フォトリソニック結晶共振器の理論は周知であり、よって共振器設計の詳細をここには記載しない。必要であれば、全般的なフォトリソニック結晶に関するより多くの情報を、非特許文献1に見ることができ、プレーナ型フォトリソニック結晶の設計の例を、非特許文献2に見ることができる。

【0036】

シリコン導波路内を伝搬する光の選択波長 λ_s を変調するため、制御ユニット10が共振キャビティに印加される電圧 V_g のレベルを制御する。印加電圧 V_g の絶対値を大きくすることにより、共振キャビティのQ値が低められ、よって、選択された波長 λ_s における、光の伝送量が減少する。

【0037】

また、印加電圧（以降、“遮断電圧”と称される）が十分なレベルに設定されれば、選択された波長 λ_s の導波路に沿っても遠くに伝搬することはない。すなわち、変調器は、選択された波長 λ_s の伝送を可能にするかまたは阻止するように選択的にはたらくことができるスイッチとして動作できる。選択された波長 λ_s の光を通過させるときは、制御手段は電極 E_1 に電圧を印加しない。選択された波長 λ_s の光を通過させないときは、制御ユニット10が電極 E_1 に遮断電圧を印加する。

【0038】

ここで、シリコン導波路及び共振キャビティ5を組み込んでいる図3のプレーナ型構造の作成を、図7A～7Eを参照して説明する。

【0039】

図7Aに示されるように、二酸化シリコン(SiO_2)基板1上に設けられたシリコン層2からなるウエハが初めに形成される。次いで、図7Bに示されるように、ウエハがポリメチルメタクリレート(PMMA)レジスト膜3で被覆される。次いで、PMMA膜の選択された部分が、電子ビームリソグラフィパターン発生器において電子ビーム露光により鋭感化される。すなわち、鋭感化PMMAレジスト膜部分は所望のパターンを再現している。鋭感化部分は図7Cで灰色に塗られて表わされる。このパターンが現像され、次いで、シリコン層2の不要部分を除去して図7Dに示される構造をつくるための、プラズマエッチング(ここではイオンビームエッチングであるが、反応性イオンエッチング(RIE)、誘導結合プラズマ(ICP)エッチング等を使用することができよう)のためのマスクとして用いられる。次いで、図7Eに示されるようなプレーナ型光波回路を作成するため、この構造を二酸化シリコンオーバークラッド層4で被覆することが有利である。

【0040】

上述の作成プロセスの変更例として、リソグラフィ及びエッチング工程を、初期段階においてシリコン導波路構造だけを作成し、共振キャビティ5を次の段階で形成するように適合させてもよい。

【0041】

共振キャビティ5は導波路に孔のアレイを設けることにより形成されることが好ましい。上述したように、特定の共振波長は、アレイの選択された孔を埋めることによるか、または、より簡単には、初めからそのような孔を形成しないことにより、選択される。本プロセスと様々なピッチの音をだすためにフルートの穴をふさぐことの間で適切な類推を行うことができる。一般に光遠距離通信にかかわる波長(特に $1.55\mu m$)で動作する場合は、キャビティ5を $10\sim 20\mu m$ より小さくすることができる。

【0042】

シリコン導波路2及び共振キャビティ5を組み込んでいるプレーナ型光波回路が作成されてしまえば、既知の技法を用い、別のリソグラフィ及びエッチング工程により電極 E_1 を所定の場所に形成することができ、超小型電子集積回路で既知の通常のワイヤボンディング法を用いて、ボンディングワイヤを取り付けることができる。

【0043】

本発明の第1の好ましい実施形態では、共振キャビティにおける自由キャリアの数が、シリコンコアと隣接する誘電体層の間の界面における条件を調整することにより制御され

10

20

30

40

50

る。図3, 4及び7を参照する上記の説明において、隣接誘電体層はシリカオーバークラッド層である。言い換えれば、界面は(図3の配置にあるように)シリコン層の上面である。しかし、適切な界面をシリコンコア層の下面に設けることもできる。これは、所要の制御電圧を印加できるように、シリカアンダークラッド層の下に導電層を配することを要する。これは、周知のシリコン-オン-インシュレーター基板を基板1として用いることにより、比較的簡単に行うことができる。

【0044】

本発明の第1の好ましい実施形態の上記の説明では、変調器にプレーナ型シリコン導波路が用いられ、共振キャビティが孔のアレイを用いて定められるフォトニック結晶により設けられる。しかし、フォトニック結晶導波路及び導波路にまたは導波路に隣接して設けられたマイクロキャビティを用いて同じ効果を得ることができ、マイクロキャビティが共振キャビティを構成する。図8A(及び8B)は、そのようなデバイスの一般的な構造を示す。本発明の第1の実施形態がフォトニック結晶導波路及びマイクロキャビティを用いて実施される場合には、一般に、シリコンコア層2の厚さは300nmであり、シリカオーバークラッド層4の厚さは100nmないしそれより小さい。

10

【0045】

本発明の第1の好ましい実施形態にしたがう変調器は、上述のプレーナ型導波路構造を通して進行する光の変調に有効である。しかし、計算によれば、シリカオーバークラッド層4との界面においてシリコンコア層2内につくられる反転領域がインターフェースから広がる物理的距離は短いものでしかない。さらに詳しくは、自由キャリア濃度が $10^{17}/\text{cm}^3$ を上まり得る領域は、一般に、オーバークラッド層4との界面からコア層2内にせいぜい10nm程度の深さまでしか広がらない。この領域の大きさを(理想的にはシリコンコア層の寸法に一致するように)広げることができれば、変調器の効率を改善できるであろう。

20

【0046】

導波路コア内の自由キャリア濃度を導波路内のより広い領域にわたって変調することができ、よって変調効率を改善できる、本発明の第2の好ましい実施形態を次に説明する。

【0047】

本発明の第2の好ましい実施形態にしたがえば、光変調器は導波路2により定められる光路に共振キャビティ5を有し、p-n接合が共振キャビティに設けらる。図9は、そのような変調器の、共振キャビティにおける断面を簡略に示す。ここでは、ドーブ型が相異なる材料の層の重ね合わせ(図9ではp型シリコンがn型シリコンに重なっているとして示される)を用いて導波路及び共振キャビティを形成することによりp-n接合が確立される。共振キャビティにおいては、n型ドーブ領域とp型ドーブ領域の間の空乏領域で荷電キャリア濃度が減少しており、したがって、この領域における光損失は隣接するn型ドーブ領域及びp型ドーブ領域における光損失より低い。逆バイアス電圧を(電極 E_1 及び E_2 と電圧制御ユニット10を用いて)p-n接合に印加することにより、空乏領域の寸法が大きくなり、よってキャビティの光損失が減少する。共振キャビティにおいてp-n接合に印加される逆バイアス電圧レベルの適切な制御により、導波路を通過する選択された波長(共振波長)の光を変調させることができる。

40

【0048】

本発明の第2の好ましい実施形態の光変調器の作成は、p-n接合の形状寸法を変えることにより簡易化できることがわかった。さらに詳しくは、ドーブ型が相異なる層の重ね合わせを用いる代わりに、ドーブ型が相異なる領域を並行して配置することができる。この配置が図10に示される。

【0049】

図11は、シリコンに実施された、並行配置型p-n接合において自由キャリア濃度(及び空乏領域厚)が印加逆バイアス電圧にしたがってどのように変わるかを示すグラフである。図11の作成に用いられた例では、接合の両側でのドープレベルは $10^{18}/\text{cm}^3$ である。グラフの左側の曲線は電圧無印加時の自由キャリア濃度及び空乏層厚を示し、

50

グラフの右側の曲線は2 Vの逆バイアス印加時の自由キャリア濃度及び空乏層厚を示す。2 Vの逆バイアス印加により、空乏領域(低自由キャリア濃度/光損失減少領域)の寸法がほぼ20 nm拡大することがわかるであろう。言い換えると、図14を参照すれば、2 Vのバイアス電圧印加により、(市松模様で表わされている)空乏領域30が図の右側に向かってさらに広がることになる。

【0050】

図12は、フォトニック結晶導波路及びマイクロキャビティを用い、図10のように構成された、第2の好ましい実施形態にしたがう光変調器の全体構造を簡略に表わす。図12では、理解しやすくするために電極が示されていない。

【0051】

図13はマイクロキャビティのさらに詳細な断面図を示す。本例では、シリコン基板21がn型シリコン領域22を支持している。このシリコン領域22は例えば $10^{17}/\text{cm}^3$ または $10^{18}/\text{cm}^3$ のバックグラウンドドーピングレベルを有し、その下側に共振キャビティ(マイクロキャビティ25)を構成するエアポケットがある。p⁺領域26及びn⁺領域28は所望のp-n接合を形成するにはたらく。金属コンタクト27がp⁺領域に設けられ、金属コンタクト29がn⁺領域に設けられる。p⁺領域26及びn⁺領域28のそれぞれは、一般に、p型ドーパント(例：ホウ素)及びn型ドーパント(例：リン)のイオン注入または拡散により形成される。

【0052】

p⁺領域26とn⁺領域28の間に、キャリア濃度が強いp型から強いn型に変化する遷移領域がある。マイクロキャビティにおける損失は、この領域で最も小さい。p-n接合にかけて逆バイアス電圧を印加することにより、この低損失領域の幅を拡大することができ、よって、キャビティの損失を低下させ、キャビティのQ値を高めることができる。

【0053】

図14は図13のp-n接合への逆バイアス印加の効果を示す。参照数字32が付された領域は、図13に示される対応する領域22のバックグラウンドドーピングレベルのため、高濃度の自由電子を有する。逆バイアス印加により、バイアス電圧が高くなるとともに図の右側に向かってさらに一層広がる(図14で市松模様で示される)空乏領域30がつくられ、対応してキャビティの光損失が漸減する。最終的に、高バイアス電圧により空乏領域30がマイクロキャビティの全幅に広がり(すなわち、領域26から領域28まで広がり)、よって、アバランシェ降伏がおこらない限り、最小光損失構造が達成される。p-n接合に印加される逆バイアス電圧を変化させることにより、光損失を変更できることは明白である。この変更機能が利用可能であるためには、ゼロ印加バイアス電圧時に、空乏領域30が既にキャビティの全幅に広がっていることのないように、キャビティの幅が十分広くなければならないことは明らかである。

【0054】

フォトニック結晶導波路の現行の設計では、マイクロキャビティが単一欠陥を用いて形成されていれば、導波路の断面寸法は300 nm(図14における高さ)×500 nm(図14における幅)になるであろう。

【0055】

シリコンの空乏特性は周知である。シリコン領域32(22)のバックグラウンドドーピングレベルが $10^{17}/\text{cm}^3$ であれば、アバランシェ降伏は10 Vであろう。しかし、順バイアス及び逆バイアスを用いれば、アバランシェ降伏をおこさせずに、空乏領域30の幅を50 nmから500 nmまで変化させることができる(言い換えれば、バイアス電圧印加により空乏領域30を導波路/マイクロキャビティの全幅に広げることができる)。しかし、上記のバックグラウンドドーピングレベルでは、キャビティ損失を最大値から最小値に変化させたときでさえ、Q値の変化は大きくはない。

【0056】

他方で、シリコン領域32(22)のバックグラウンドドーピングレベルが $10^{18}/\text{cm}^3$ であれば、アバランシェ降伏が3 Vでおこる。この場合、順バイアス及び逆バイアス

10

20

30

40

50

を用いれば、空乏領域 30 の幅を 10 nm から 50 nm まで変調できる(言い換えれば、空乏領域 30 を導波路/マイクロキャビティの全幅に広げることにはできない)。しかし、そうではあっても、キャビティ損失を最大値から最小値まで変化させたときには、より大きなキャビティの Q 値の変化を得ることができる。

【0057】

本発明を、特に本発明の好ましい実施形態を参照して、図示し、説明したが、特許請求の範囲に定められるような本発明の範囲を逸脱することなく、上述及びその他の変更がなされ得ることが、当業者に理解されるであろう。

【0058】

例えば、シリコン導波路及び共振キャビティを組み込んでいるプレーナ型光波デバイスの作成方法において、二酸化シリコン層及びシリコン層のリソグラフィ及びエッチングを、電子ビームリソグラフィ及びプラズマエッチング以外の既知の技法を用いて実施することができ(例えば反応性イオンビームエッチング(CAIBE)を用いることができる)、PMMMA 以外のレジスト材料を用いることができる。

【0059】

さらに、本発明の第 1 の好ましい実施形態において、オーバークラッド(またはアンダークラッド)材料をシリカであるとして説明したが、その他の酸化物、 Si_3N_4 等のような、別の代替誘電体材料を用いることもできよう。

【0060】

共振キャビティがフォトニック結晶構造を用いて実施される本発明の好ましい実施形態において、信号伝搬が導波路の軸に沿うという事実から見て、このフォトニック結晶構造を一次元構造とすることができる。實際上、1D(一次元)フォトニック結晶は、1D マイクロキャビティを列の中心に配置した状態で、導波路軸に対して所望の共振周波数値にしたがう適切な角度に向けられた一列の溝として実現することができよう。

【図面の簡単な説明】

【0061】

【図 1】シリコンの屈折率が自由キャリア濃度にしたがってどのように変化するかを示すグラフである

【図 2】シリコンの光損失が自由キャリア濃度にしたがってどのように変化するかを示すグラフである

【図 3】本発明の第 1 の好ましい実施形態にしたがう導波路変調器の略図である

【図 4】図 3 にしたがう導波路変調器におけるシリコン導波路コアとシリカオーバークラッド層の間の界面領域を示す図である

【図 5】図 3 のデバイスの共振キャビティにおいて自由キャリア濃度が印加電圧 V_g にしたがってどのように変化するかを示すグラフである

【図 6】図 3 のデバイスにおいて共振キャビティにおける光吸収が印加電圧 V_g にしたがってどのように変化するかを示すグラフである

【図 7】図 3 のデバイスの作成における各工程を示す図であり、図 7A から図 7E はこのプロセスの連続工程を示す

【図 8】フォトニック結晶導波路及び付帯するマイクロキャビティを示す図であり、図 8A はマイクロキャビティが導波路に合せて一列に並ぶ第 1 の例を示し、図 8B はマイクロキャビティが導波路に隣接する第 2 の例を示す

【図 9】本発明の第 2 の好ましい実施形態にしたがう導波路変調器の一構成の略断面図である

【図 10】本発明の第 2 の好ましい実施形態にしたがう導波路変調器の別の(好ましい)構成の略断面図である

【図 11】図 10 の構成を有する導波路変調器において、印加電圧にしたがって空乏領域の自由キャリア濃度及び寸法がどのように変化するかを示すグラフである

【図 12】図 10 の構成を有し、フォトニック結晶導波路を用いて実施された導波路変調器の略図である

【図 1 3】 図 1 2 の構造を導入した実用的なデバイスの断面図である

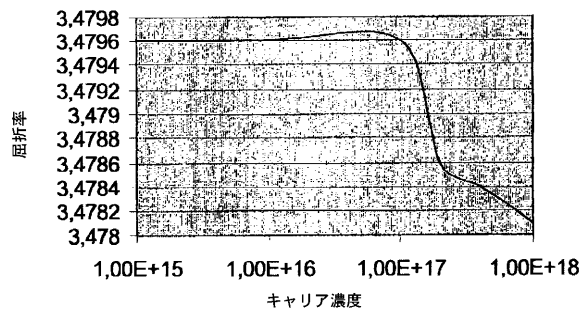
【図 1 4】 図 1 3 の一部を示し、空乏領域を示す

【符号の説明】

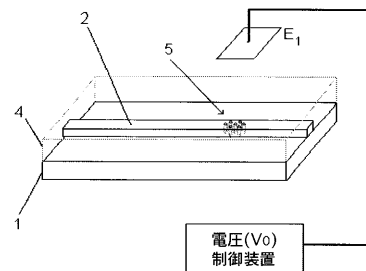
【 0 0 6 2 】

- 1 基板
- 2 シリコンコア層
- 4 シリカオーバークラッド層
- 5 共振キャビティ
- 1 0 制御ユニット

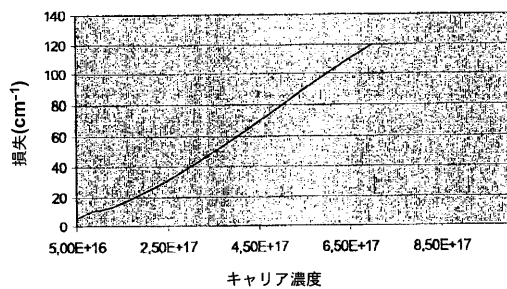
【 図 1 】



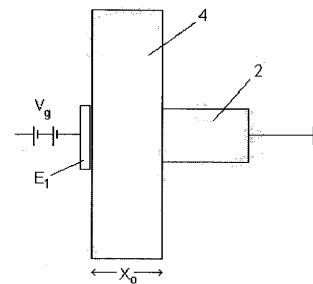
【 図 3 】



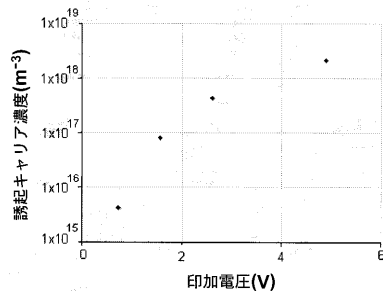
【 図 2 】



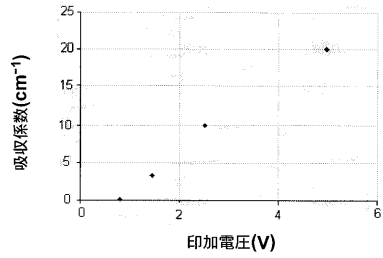
【 図 4 】



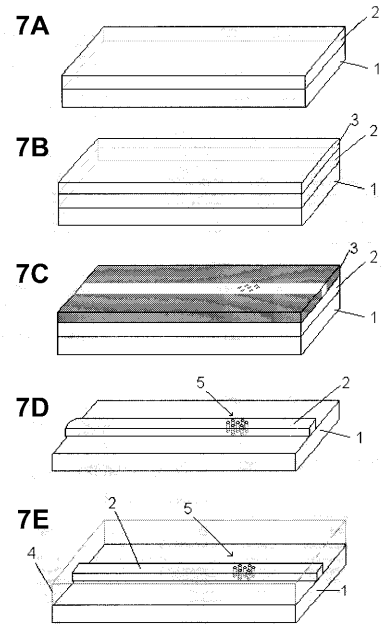
【図 5】



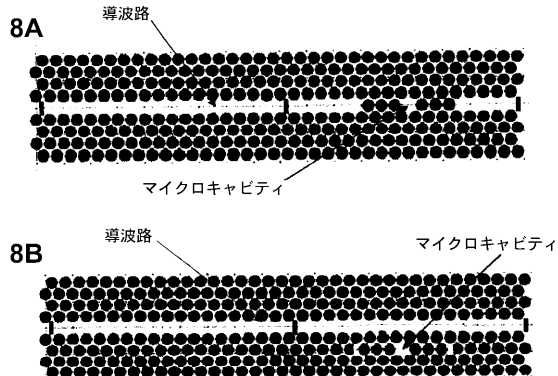
【図 6】



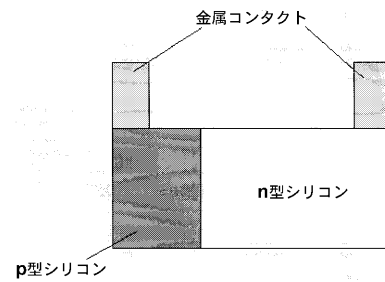
【図 7】



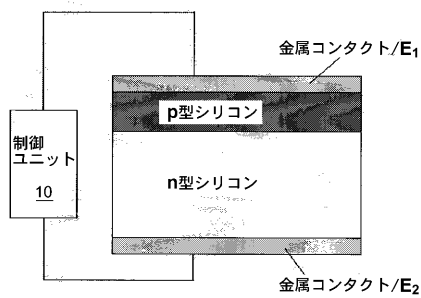
【図 8】



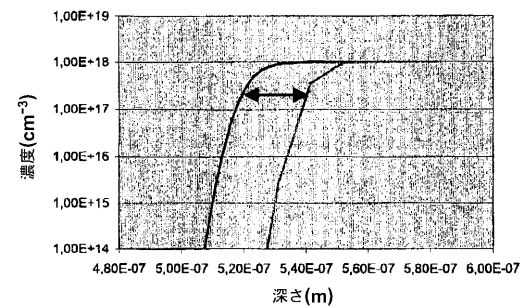
【図 10】



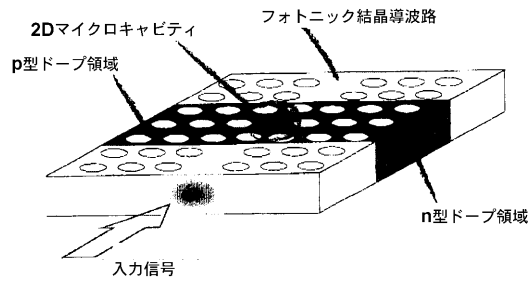
【図 9】



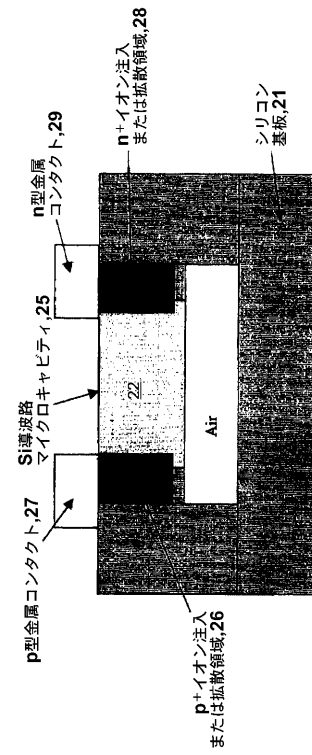
【図 11】



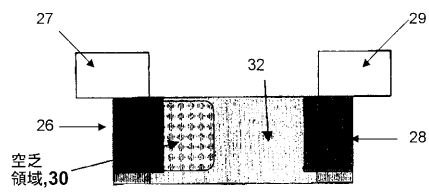
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(72)発明者 アレクセイ ヴィ チェルノコフ

フランス国 94270 クレムキンービストル リュ ドゥ ラ コンヴァンسیون 9

Fターム(参考) 2H079 AA02 AA12 AA13 BA01 DA16 EA03 EA07 EB04 EB05 HA16