



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월03일
(11) 등록번호 10-2550579
(24) 등록일자 2023년06월28일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/02 (2006.01)
H01L 21/306 (2006.01) H01L 21/8234 (2006.01)
H01L 27/092 (2006.01) H01L 27/12 (2006.01)
H01L 29/08 (2006.01) H01L 29/417 (2006.01)
- (52) CPC특허분류
H01L 29/785 (2013.01)
H01L 21/02271 (2013.01)
- (21) 출원번호 10-2019-7007266
- (22) 출원일자(국제) 2017년08월11일
심사청구일자 2020년07월28일
- (85) 번역문제출일자 2019년03월12일
- (65) 공개번호 10-2019-0047696
- (43) 공개일자 2019년05월08일
- (86) 국제출원번호 PCT/US2017/046525
- (87) 국제공개번호 WO 2018/052591
국제공개일자 2018년03월22일
- (30) 우선권주장
15/266,840 2016년09월15일 미국(US)
- (56) 선행기술조사문헌
US20130181299 A1*
US20140225168 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
노, 옥진
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
최, 윤성
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
액보테, 샤산크
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 13 항

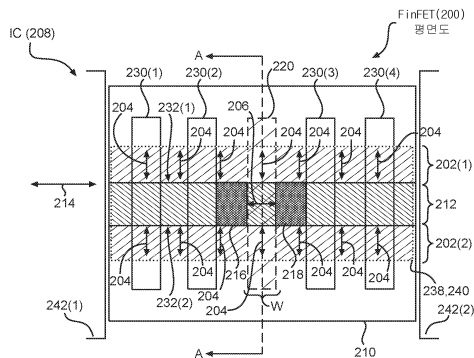
심사관 : 최정민

(54) 발명의 명칭 채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는 Fin 전계 효과 트랜지스터(FET)(FinFET)들

(57) 요약

채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는 Fin 전계 효과 트랜지스터(FET)(FinFET)들이 개시된다. 일 양상에서, 기판, 및 기판 위에 배치된 Fin을 포함하는 FinFET가 제공된다. Fin은 소스, 드레인, 및 소스와 드레인 사이의 채널 구역을 포함한다. 게이트는 채널 구역 주위에 배치된다. 채널 구역에 응력을 적 (뒷면에 계속)

대표도 - 도2b



용하기 위해, 제1 유전체 재료층이 기판 위에 그리고 Fin의 일측에 인접하게 배치된다. 제2 유전체 재료층이 기판 위에 그리고 Fin의 다른 측에 인접하게 배치된다. 유전체 재료층들은 채널 구역을 포함하여 Fin에 따라 응력을 적용한다. 유전체 재료층들에 의해 적용된 응력의 레벨은 각각의 층의 체적에 의존하지 않는다.

(52) CPC특허분류

- H01L 21/30604* (2013.01)
 - H01L 21/823418* (2013.01)
 - H01L 21/823431* (2013.01)
 - H01L 21/823437* (2013.01)
 - H01L 21/823481* (2013.01)
 - H01L 29/0847* (2013.01)
 - H01L 29/41791* (2013.01)
 - H01L 29/7843* (2013.01)
 - H01L 29/7846* (2013.01)
-

명세서

청구범위

청구항 1

Fin 전계 효과 트랜지스터(FinFET)(500)로서,

기관(210);

상기 기관(210) 위에 배치된 제1 Fin(212(1)) - 상기 제1 Fin(212(1))은, 제1 소스(216(1)); 제1 드레인(218(1)); 및 상기 제1 소스(216(1))와 상기 제1 드레인(218(1)) 사이에 배치된 제1 채널 구역(206(1))을 포함 -;

상기 제1 채널 구역(206(1)) 주위에 배치된 게이트(220);

상기 기관(210) 위에 그리고 상기 제1 Fin(212(1))의 제1 측 상의 상기 제1 채널 구역(206(1))에 인접하게 배치된 제1 유전체 재료층(202(1)) - 상기 제1 유전체 재료층(202(1))은 상기 제1 채널 구역(206(1))에 응력을 적용함 -;

상기 기관(210) 위에 그리고 상기 제1 측과는 상이한 상기 제1 Fin(212(1))의 제2 측 상의 상기 제1 채널 구역(206(1))에 인접하게 배치된 제2 유전체 재료층(202(2)) - 상기 제2 유전체 재료층(202(2))은 상기 제1 채널 구역(206(1))에 응력을 적용함 -;

상기 기관(210) 위에 그리고 상기 제1 Fin(212(1))에 평행하게 배치된 제2 Fin(212(2)) - 상기 제2 Fin(212(2))은, 제2 소스(216(2)); 제2 드레인(218(2)); 및 상기 제2 Fin(212(2))의 상기 제2 소스(216(2))와 상기 제2 드레인(218(2)) 사이에 배치된 제2 채널 구역(206(2))을 포함하고, 상기 게이트(220)는 상기 제2 Fin(212(2))의 상기 제2 채널 구역(206(2)) 주위에 배치됨 -; 및

상기 기관(210) 위에 그리고 상기 제2 Fin(212(2))의 제2 측 상의 상기 제2 채널 구역(206(2))에 인접하게 배치된 제3 유전체 재료층(202(3))을 포함하고,

상기 제3 유전체 재료층(202(3))은 상기 제2 Fin(212(2))의 상기 제2 채널 구역(206(2))에 응력을 적용하고; 그리고

상기 제2 유전체 재료층(202(2))은, 상기 제2 유전체 재료층(202(2))이 상기 제2 Fin(212(2))의 상기 제2 채널 구역(206(2))에 응력을 적용하도록, 상기 제2 측과는 상이한 상기 제2 Fin(212(2))의 제1 측 상의 상기 제2 채널 구역(206(2))에 인접하게 배치되고;

상기 제1 Fin(212(1))과 상기 제2 Fin(212(2)) 사이의 거리는 32나노미터와 동일하거나 32나노미터 미만이고,

상기 FinFET은 상기 FinFET의 활성층을 둘러싸는 활성 영역 경계를 더 포함하고, 상기 활성층은 소스들 및 드레인들이 형성되는 상기 기관의 도핑된 구역들에 대응하고, 그리고 상기 제1 유전체 재료층, 상기 제2 유전체 재료층, 및 상기 제3 유전체 재료층은 각각 상기 활성 영역 경계 내에 배치되고 그리고 상기 활성 영역 경계로 제한되는, Fin 전계 효과 트랜지스터(FinFET)(500).

청구항 2

제1항에 있어서,

상기 제1 유전체 재료층의 최상부 표면은 상기 제1 Fin의 최상부 표면보다 낮고; 그리고

상기 제2 유전체 재료층의 최상부 표면은 상기 제1 Fin의 최상부 표면보다 낮은, Fin 전계 효과 트랜지스터(FinFET)(500).

청구항 3

제1항에 있어서,

상기 FinFET은 N-타입 FinFET을 포함하고; 그리고

상기 제1 유전체 재료층 및 상기 제2 유전체 재료층은, 상기 제1 유전체 재료층 및 상기 제2 유전체 재료층이 상기 제1 채널 구역에 인장 응력을 적용하도록 하나 이상의 산화물 재료들을 포함하는, Fin 전계 효과 트랜지스터(FinFET)(500).

청구항 4

제1항에 있어서,

상기 FinFET은 P-타입 FinFET을 포함하고; 그리고

상기 제1 유전체 재료층 및 상기 제2 유전체 재료층은, 상기 제1 유전체 재료층 및 상기 제2 유전체 재료층이 상기 제1 채널 구역에 압축 응력을 적용하도록 하나 이상의 산화물 재료들을 포함하는, Fin 전계 효과 트랜지스터(FinFET)(500).

청구항 5

제1항에 있어서,

집적 회로(IC)로 통합되는, Fin 전계 효과 트랜지스터(FinFET)(500).

청구항 6

채널 구역에 응력을 적용하기 위해 유전체 재료층들을 이용하여 Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300)으로서,

제1 Fin 및 제2 Fin을 포함하는 기판을 제공하는 단계(302) - 상기 제1 Fin은, 제1 소스, 제1 드레인 및 상기 제1 소스와 상기 제1 드레인 사이에 배치된 제1 채널 구역을 포함하고, 그리고 상기 제2 Fin은, 제2 소스, 제2 드레인 및 상기 제2 소스와 상기 제2 드레인 사이에 배치된 제2 채널 구역을 포함함 -

상기 기판 위에 그리고 상기 제1 Fin의 제1 측 상의 상기 채널 구역에 인접하게 제1 유전체 재료층을 배치하는 단계(304);

상기 기판 위에 그리고 상기 제1 Fin의 제2 측 상의 상기 채널 구역에 인접하게 제2 유전체 재료층을 배치하는 단계(306) - 상기 제2 측은 상기 제1 측과는 상이함 -; 및

상기 제1 Fin, 상기 제2 Fin, 상기 제1 유전체 재료층, 및 상기 제2 유전체 재료층 위의 게이트 구역에 상기 FinFET의 게이트 길이와 동일한 폭을 갖는 게이트를 배치하는 단계(320)를 포함하고,

상기 제1 Fin과 상기 제2 Fin 사이의 거리는 32나노미터와 동일하거나 32나노미터 미만이고,

상기 제1 유전체 재료층을 배치하는 것은, 상기 FinFET의 활성층을 둘러싸는 활성 영역 경계 내에서 상기 기판 위에 그리고 상기 제1 Fin의 제1 측 상의 상기 채널 구역에 인접하게 상기 제1 유전체 재료층을 배치하는 것을 포함하고, 상기 활성층은 소스들 및 드레인들이 형성되는 상기 기판의 도핑된 구역들에 대응하고; 그리고

상기 제2 유전체 재료층을 배치하는 것은, 상기 활성 영역 경계 내에서 상기 기판 위에 그리고 상기 제1 Fin의 제2 측 상의 상기 채널 구역에 인접하게 상기 제2 유전체 재료층을 배치하는 것을 포함하고, 상기 제1 유전체 재료층 및 상기 제2 유전체 재료층은 상기 활성 영역 경계로 제한되는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 7

제6항에 있어서,

상기 FinFET의 상기 채널 구역에 적용되는 응력을 조정하기 위해 상기 제1 유전체 재료층 및 상기 제2 유전체 재료층을 습식 어닐링하는 단계를 더 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 8

제7항에 있어서,

상기 FinFET의 상기 채널 구역에 적용되는 응력을 조정하기 위해 상기 제1 유전체 재료층 및 상기 제2 유전체 재료층을 건식 어닐링하는 단계를 더 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 9

제6항에 있어서,

상기 게이트를 배치하는 것은:

상기 제1 Fin 및 상기 제2 Fin 위의 게이트 구역에 상기 FinFET의 게이트 길이와 동일한 폭을 갖는 게이트 산화물 층을 배치하는 것;

상기 게이트 산화물 층, 상기 제1 유전체 재료층, 및 상기 제2 유전체 재료층 위의 게이트 구역에 상기 FinFET의 게이트 길이와 동일한 폭을 갖는 게이트 유전체 재료층을 배치하는 것;

상기 게이트 유전체 재료층 위의 게이트 구역에 상기 FinFET의 게이트 길이와 동일한 폭을 갖는 일함수 층을 배치하는 것; 및

상기 일함수 층 위의 게이트 구역에 상기 FinFET의 게이트 길이와 동일한 폭을 갖는 전도성 층을 배치하는 것을 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 10

제6항에 있어서,

상기 게이트 구역의 제1 측 상에서 상기 FinFET의 소스 구역에 대응하는 상기 제1 Fin을 에칭하는 단계;

상기 게이트 구역의 제1 측과는 상이한 상기 게이트 구역의 제2 측 상에서 상기 FinFET의 드레인 구역에 대응하는 상기 제1 Fin을 에칭하는 단계;

상기 소스 구역에서 소스 재료를 성장시키는 단계; 및

상기 드레인 구역에서 드레인 재료를 성장시키는 단계를 더 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 11

제6항에 있어서,

상기 제1 유전체 재료층을 배치하는 것은, 유동가능 화학 기상 증착을 사용하여, 상기 기판 위에 그리고 상기 제1 Fin의 제1 측 상의 상기 채널 구역에 인접하게 상기 제1 유전체 재료층을 배치하는 것을 포함하고; 그리고

상기 제2 유전체 재료층을 배치하는 것은, 유동가능 화학 기상 증착을 사용하여, 상기 기판 위에 그리고 상기 제1 Fin의 제2 측 상의 상기 채널 구역에 인접하게 상기 제2 유전체 재료층을 배치하는 것을 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 12

제6항에 있어서,

상기 제1 유전체 재료층을 배치하는 것은, 유동가능 화학 기상 증착을 사용하여, 상기 기판 위에 그리고 상기 제1 Fin의 제1 측에 인접하게 하나 이상의 산화물 재료들을 배치하는 것을 포함하고; 그리고

상기 제2 유전체 재료층을 배치하는 것은, 유동가능 화학 기상 증착을 사용하여, 상기 기판 위에 그리고 상기 제1 Fin의 제2 측에 인접하게 하나 이상의 산화물 재료들을 배치하는 것을 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조하기 위한 방법(300).

청구항 13

제6항에 있어서,

상기 제1 유전체 재료층을 배치하는 것은, 상기 기판 위에 그리고 상기 제1 Fin의 제1 측 상의 상기 채널 구역에 인접하게 하나 이상의 산화물 재료들을 배치하는 것을 포함하고; 그리고

상기 제2 유전체 재료층을 배치하는 것은, 상기 기판 위에 그리고 상기 제1 Fin의 제2 측 상의 상기 채널 구역에 인접하게 하나 이상의 산화물 재료들을 배치하는 것을 포함하는, Fin 전계 효과 트랜지스터(FinFET)를 제조

하기 위한 방법(300).

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기술 분야

[0001] 본 출원은, 발명의 명칭이 "FIN FIELD EFFECT TRANSISTORS (FETs) (FINFETs) EMPLOYING DIELECTRIC MATERIAL LAYERS TO APPLY STRESS TO CHANNEL REGIONS"으로 2016년 9월 15일자로 출원된 미국 특허 출원 시리얼 넘버 제15/266,840호를 우선권으로 주장하며, 그 특허 출원은 그 전체가 인용에 의해 본 명세서에 포함된다.

[0002] 본 개시내용의 기술은 일반적으로 Fin 전계 효과 트랜지스터(FET)(FinFET)들에 관한 것으로, 더 상세하게는 FinFET의 채널 구역에 응력을 적용하는 것에 관한 것이다.

배경 기술

[0003] 트랜지스터들은 현대의 전자 디바이스들에서 본질적인 컴포넌트들이다. 많은 수들의 트랜지스터들이 많은 현대의 전자 디바이스들의 집적 회로(IC)들에서 이용된다. 예컨대, 컴포넌트들, 이를테면 중앙 프로세싱 유닛(CPU)들 및 메모리 시스템들 각각은 로직 회로들 및 메모리 디바이스들에 대해 많은 양의 트랜지스터들을 이용한다.

[0004] 전자 디바이스들이 기능에서 더 복잡해짐에 따라, 그러한 디바이스들에 더 많은 수의 트랜지스터들을 포

함시킬 필요가 있다. 그러나, 예컨대, 전자 디바이스들이 점차 더 작은 패키지들에서, 이를테면 모바일 디바이스들에서 제공되도록 요구됨에 따라, 더 작은 IC 칩에서 더 많은 수의 트랜지스터들을 제공할 필요성이 존재한다. 트랜지스터들의 수의 이러한 증가는 IC들에서 트랜지스터들을 소형화시키려는(즉, 점차 더 많은 트랜지스터들을 동일한 양의 공간으로 배치하려는) 계속된 노력들을 통해 부분적으로 달성된다. 특히, IC들의 노드 사이즈들은 IC들에서의 최소 금속 라인 폭(예컨대, 65나노미터(nm), 45nm, 28nm, 20nm 등)의 감소에 의해 축소되고 있다. 그 결과, 평면형 트랜지스터들의 게이트 길이들이 또한 스케일러블하게 감소되고, 그에 의해 트랜지스터들 및 상호연결들 내의 채널 길이를 감소시킨다. 평면형 트랜지스터들 내의 감소된 채널 길이는 구동 강도(즉, 증가된 드레인 전류)를 증가시키고 더 작은 기생 커패시턴스들을 제공하여 감소된 회로 지연을 초래하는 이점을 갖는다. 그러나, 평면형 트랜지스터들 내의 채널 길이가 감소되어 채널 길이가 공핍층 폭들과 유사한 크기에 도달함에 따라, 성능을 저하시키는 SCE(short channel effect)들이 발생할 수 있다. 더 구체적으로, 평면형 트랜지스터들의 SCE들은 증가된 전류 누설, 감소된 임계 전압, 및/또는 임계 전압 롤-오프(roll-off)(즉, 더 짧은 게이트 길이들에서의 감소된 임계 전압)를 야기한다.

[0005] 이와 관련하여, SCE들을 회피 또는 완화시키면서 트랜지스터들 내의 채널 길이들을 축소시키기 위한 필요성을 해결하기 위해, 평면형 트랜지스터들에 대한적인 트랜지스터 설계들이 개발되었다. 하나의 그러한 대안적인 트랜지스터 설계는 기판으로부터 형성된 "Fin"을 통해 전도 채널을 제공하는 Fin 전계 효과 트랜지스터(FET)(FinFET)를 포함한다. 재료는 Fin을 랩 어라운드(wrap around)되어, 디바이스의 게이트를 형성한다. 예컨대, 도 1은 예시적인 FinFET(100)를 예시한다. FinFET(100)는 기판(102) 및 기판(102)으로부터 형성된 Fin(104)을 포함한다. 산화물 층(106)이 Fin(104) 양측에 포함된다. FinFET(100)는, Fin(104)의 내부 부분이 소스(108)와 드레인(110) 사이의 전도 채널(112)로서 기능하도록 Fin(104)에 의해 상호연결된 소스(108) 및 드레인(110)을 포함한다. Fin(104)은 "랩-어라운드" 게이트(114)에 의해 둘러싸인다. 게이트(114)의 랩-어라운드 구조는 채널(112)에 대한 더 양호한 정전식 제어를 제공하며, 따라서, 누설 전류를 감소시키고 다른 SCE들을 극복하는 것을 돕는다.

[0006] FinFET, 이를테면 FinFET(100)가 평면형 트랜지스터들과 비교하여 누설 전류를 감소시키고 SCE들을 회피 또는 완화시키지만, FinFET들을 이용하는 IC들은 증가된 성능을 계속 필요로 한다. FinFET(100)를 포함하는 FET에서 증가된 성능을 달성하기 위한 하나의 방식은 채널 내의 캐리어 모빌리티를 수정하기 위해 응력을 채널에 적용하는 것이다. 예컨대, N-타입 FinFET로서 이용되는 FinFET(100)의 채널(112)에 적용된 응력(116)은 대응하는 전자들로 하여금 더 용이하게 흐르게 한다. 추가로, P-타입 FinFET로서 이용되는 FinFET(100)의 채널(112)에 적용된 응력(116)은 대응하는 홀들로 하여금 더 용이하게 흐르게 한다. 어느 경우든, 채널(112)에 적용된 응력(116)은 채널(112)에서 컨덕턴스를 증가시키기 위해 캐리어 모빌리티를 변경시키도록 설계되고, 그에 따라 대응하는 FinFET(100)의 성능을 증가시킨다. 응력(116)은 채널(112)에 압축 또는 인장 압력을 적용함으로써 달성된다. 응력(116)을 적용하기 위한 종래의 방법들은, FinFET(100)를 포함하는 FinFET들과 함께 이용될 경우 더 복잡하고 덜 효과적이다. 예컨대, 응력(116)은 소스(108) 및 드레인(110)에 대응하는 에피택셜 층들(도시되지 않음)을 성장시킴으로써 또는 FinFET(100)를 다른 디바이스들로부터 분리시키는 격리 트렌치들(도시되지 않음)의 조성을 수정함으로써 채널(112)에 적용될 수 있다. 추가로, 이들 종래의 방법들은, FinFET들이 면적에서 계속 감소됨에 따라 특히 덜 효과적이다.

발명의 내용

[0007] 본 명세서에 개시된 양상들은 채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는 Fin 전계 효과 트랜지스터(FET)(FinFET)들을 포함한다. 일 양상에서, FinFET가 제공된다. FinFET는 기판, 및 기판 위에 배치된 Fin을 포함한다. Fin은 소스, 드레인, 및 소스와 드레인 사이의 채널 구역을 포함한다. 게이트는 채널 구역 주위에 배치된다. FinFET의 채널 구역에 응력을 적용하기 위해, 제1 유전체 재료층이 기판 위에 그리고 Fin의 일측에 인접하게 배치된다. 부가적으로, 제2 유전체 재료층이 기판 위에 그리고 Fin의 다른 측에 인접하게 배치된다. 이러한 방식으로, 제1 및 제2 유전체 재료층들 둘 모두는 채널 구역을 포함하여 Fin에 따라 응력을 적용한다. 추가로, 에피택셜 층들을 성장시킴으로써 유도된 응력과는 달리, 제1 및 제2 유전체 재료층들에 의해 적용될 수 있는 응력의 레벨은 각각의 층의 체적에 의존하지 않는다. 따라서, 제1 및 제2 유전체 재료층들은, FinFET 면적이 감소되는 경우라도 채널 구역 상에 일관된 레벨의 응력을 제공할 수 있다.

[0008] 이와 관련하여, 일 양상에서, FinFET가 제공된다. FinFET는 기판을 포함한다. FinFET는 또한 기판 위에 배치된 Fin을 포함한다. Fin은 소스, 드레인, 및 소스와 드레인 사이에 배치된 채널 구역을 포함한다. FinFET는 또한 채널 구역 주위에 배치된 게이트를 포함한다. FinFET는 또한, 기판 위에 그리고 Fin의 제1 측에

인접하게 배치된 제1 유전체 재료층을 포함한다. 제1 유전체 재료층은 채널 구역에 응력을 적용한다. FinFET는 또한, 기판 위에 그리고 제1 측과는 상이한 Fin의 제2 측에 인접하게 배치된 제2 유전체 재료층을 포함한다. 제2 유전체 재료층은 채널 구역에 응력을 적용한다.

[0009] 다른 양상에서, FinFET가 제공된다. FinFET는 기판을 제공하기 위한 수단을 포함한다. FinFET는 또한 기판 위에 Fin을 제공하기 위한 수단을 포함한다. Fin은 소스, 드레인, 및 소스와 드레인 사이에 배치된 채널 구역을 포함한다. FinFET는 또한 채널 구역 주위에 게이트를 제공하기 위한 수단을 포함한다. FinFET는 또한, 기판 위에 그리고 Fin의 제1 측에 인접하게 배치된 제1 유전체 재료층을 제공하기 위한 수단을 포함한다. 제1 유전체 재료층은 채널 구역에 응력을 적용한다. FinFET는 또한, 기판 위에 그리고 제1 측과는 상이한 Fin의 제2 측에 인접하게 배치된 제2 유전체 재료층을 제공하기 위한 수단을 포함한다. 제2 유전체 재료층은 채널 구역에 응력을 적용한다.

[0010] 다른 양상에서, 채널 구역에 응력을 적용하기 위해 유전체 재료층들을 이용하는 FinFET를 제조하기 위한 방법이 제공된다. 방법은 Fin을 포함하는 기판을 제공하는 단계를 포함한다. 방법은 또한, 기판 위에 그리고 Fin의 제1 측에 인접하게 제1 유전체 재료층을 배치하는 단계를 포함한다. 방법은 또한, 기판 위에 그리고 Fin의 제2 측에 인접하게 제2 유전체 재료층을 배치하는 단계를 포함하며, 여기서 제2 측은 제1 측과는 상이하다. 방법은 또한, Fin, 제1 유전체 재료층, 및 제2 유전체 재료층 위의 게이트 구역에 FinFET의 게이트 길이와 대략적으로 동일한 폭을 갖는 게이트를 배치하는 단계를 포함한다.

도면의 간단한 설명

[0011] 도 1은 예시적인 Fin 전계 효과 트랜지스터(FET)(FinFET)의 사시도이다.

[0012] 도 2a는 채널 구역에 응력을 적용하기 위해 유전체 재료층을 이용하는 예시적인 FinFET의 단면도이다.

[0013] 도 2b는 도 2a의 예시적인 FinFET의 평면도이다.

[0014] 도 3a, 도 3b는 도 2a, 도 2b에서 채널 구역에 응력을 적용하기 위해 유전체 재료층들을 이용하는 FinFET를 제조하는 예시적인 프로세스를 예시하는 흐름도를 제공한다.

[0015] 도 4a 내지 도 4d는 도 3의 제조 프로세스의 각각의 스테이지에서 도 2b의 FinFET를 예시하는 단면도 및 평면도이다.

[0016] 도 5a는 다수의 채널 구역들에 응력을 적용하기 위해 다수의 Fin들에 대응하는 유전체 재료층들을 이용하는 예시적인 FinFET의 단면도이다.

[0017] 도 5b는 도 5a의 다수의 Fin들을 갖는 예시적인 FinFET의 평면도이다.

[0018] 도 6은 도 2a, 도 2b, 도 5a, 및 도 5b의 채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는 FinFET들을 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이제 도면의 도들을 참조하여, 본 개시내용의 수 개의 예시적인 양상들이 설명된다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 양상은 다른 양상들에 비해 바람직하거나 유리한 것으로서 반드시 해석되는 것은 아니다.

[0020] 본 명세서에 개시된 양상들은 채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는 Fin 전계 효과 트랜지스터(FET)(FinFET)들을 포함한다. 일 양상에서, FinFET가 제공된다. FinFET는 기판, 및 기판 위에 배치된 Fin을 포함한다. Fin은 소스, 드레인, 및 소스와 드레인 사이의 채널 구역을 포함한다. 게이트는 채널 구역 주위에 배치된다. FinFET의 채널 구역에 응력을 적용하기 위해, 제1 유전체 재료층이 기판 위에 그리고 Fin의 일측에 인접하게 배치된다. 부가적으로, 제2 유전체 재료층이 기판 위에 그리고 Fin의 다른 측에 인접하게 배치된다. 이러한 방식으로, 제1 및 제2 유전체 재료층들 둘 모두는 채널 구역을 포함하여 Fin에 따라 응력을 적용한다. 추가로, 에피택셜 층들을 성장시킴으로써 유도된 응력과는 달리, 제1 및 제2 유전체 재료층들에 의해 적용될 수 있는 응력의 레벨은 각각의 층의 체적에 의존하지 않는다. 따라서, 제1 및 제2 유전체 재료층들은, FinFET 면적이 감소되는 경우라도 채널 구역 상에 일관된 레벨의 응력을 제공할 수 있다.

[0021] 이와 관련하여, 도 2a 및 도 2b는 채널 구역(206)에 응력(204)을 적용하기 위해 제1 및 제2 유전체 재료층들(202(1), 202(2))을 이용하는 예시적인 FinFET(200)를 예시한다. 본 명세서에 설명된 바와 같이,

FinFET(200)는 그것이 집적 회로(IC)(208)에 통합될 수 있도록 설계된다. 도 2a는 FinFET(200)의 단면도를 예시하는 반면, 도 2b는 FinFET(200)의 평면도를 예시한다. FinFET(200)의 컴포넌트들은 도 2a 및 도 2b에서 공통 엘리먼트 넘버들을 이용하여 지칭된다.

[0015] [0022] 도 2a 및 도 2b를 참조하면, FinFET(200)는 기판(210) 및 기판(210) 위에 배치된 Fin(212)을 포함한다. 이러한 예에서, Fin(212)은 제1 방향(214)으로 배치된다. 도 2b에 예시된 바와 같이, Fin(212)은 소스(216) 및 드레인(218)을 포함한다. FinFET(200)의 채널 구역(206)은 소스(216)와 드레인(218) 사이에서 Fin(212)에 배치된다. 부가적으로, 게이트(220)는 채널 구역(206) 주위에 배치된다. 이러한 예에서, 게이트(220)는 HKMG(high-dielectric metal gate)로서 형성된다. 따라서, 아래에서 더 상세히 설명되는 바와 같이, 게이트 산화물 층(222), 게이트 유전체 재료층(224), 일함수 층(work function layer)(226), 및 전도성 층(228)이 이용하여 게이트(220)를 형성한다. 그러나, FinFET(200)의 다른 양상들은 본 명세서에 설명된 HKMG 이외의 게이트 타입들을 이용할 수 있다. 추가로, FinFET(200)는 또한, 더미 게이트들로서 기능하도록 구성된 게이트 구조들(230(1) 내지 230(4))을 이용할 수 있다.

[0016] [0023] 도 2a 및 도 2b를 계속 참조하면, 채널 구역(206)에 응력(204)을 적용하기 위해, 제1 유전체 재료층(202(1))은 기판(210) 위에 그리고 Fin(212)의 제1 측(232(1))에 인접하게 배치된다. 부가적으로, 제2 유전체 재료층(202(2))은 기판(210) 위에 그리고 제1 측(232(1))과는 상이한 Fin(212)의 제2 측(232(2))에 인접하게 배치된다. 이러한 예에서, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 제1 방향(214)으로 배치된다. 부가적으로, 제1 및 제2 유전체 재료층들(202(1), 202(2))의 최상부 표면들(234(1), 234(2))은 각각, 공간을 남겨 게이트(220)를 형성하기 위해 Fin(212)의 최상부 표면(236)보다 낮다. 부가적으로, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 FinFET(200)의 활성층(240)을 둘러싸는 활성 영역 경계(238) 내에 배치된다. 본 명세서에서 사용되는 바와 같이, FinFET(200)의 활성층(240)은, 활성 엘리먼트들, 이를테면 FinFET(200)의 소스들 및 드레인들이 형성될 수 있는 기판(210)의 도핑된 구역들에 대응한다. 이러한 방식으로, 제1 및 제2 유전체 재료층들(202(1), 202(2))은, 응력(204)이 적용가능하지 않은 비활성 또는 비-도핑된 구역들에 재료들을 배치하는 것을 회피하면서 채널 구역(206)에 응력(204)을 적용하기 위해 활성 영역 경계(238)로 제한될 수 있다.

[0017] [0024] 도 2a 및 도 2b를 계속 참조하면, 아래에서 더 상세히 설명되는 바와 같이, 이러한 양상에서 제1 및 제2 유전체 재료층들(202(1), 202(2))은 프로세스, 이를테면 FCVP(flowable chemical vapor deposition) 또는 HARP(high aspect ratio processing)를 사용하여 기판(210) 위에 배치(예컨대, 증착)된 하나 이상의 산화물 재료들로부터 형성된다. 제1 및 제2 유전체 재료층들(202(1), 202(2))의 산화물 재료(들)는 특정 타입 또는 크기의 응력(204)을 적용하도록 열적으로 어닐링(anneal)될 수 있다. 예컨대, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 실리콘 이산화물 또는 실리콘 질화물로부터 형성될 수 있다. FinFET(200)가 N-타입 FinFET이면, 제1 및 제2 유전체 재료층들(202(1), 202(2))은, 채널 구역(206)에 적용된 응력(204)이 인장 응력이도록 열적으로 어닐링될 수 있다. 반대로, FinFET(200)가 P-타입 FinFET이면, 제1 및 제2 유전체 재료층들(202(1), 202(2))은, 채널 구역(206)에 적용된 응력(204)이 압축 응력이도록 열적으로 어닐링될 수 있다.

[0018] [0025] 도 2a 및 도 2b를 계속 참조하면, 위에서 설명된 바와 같이 제1 및 제2 유전체 재료층들(202(1), 202(2))의 산화물 재료(들)를 배치 및 어닐링하는 것은 채널 구역(206)을 포함하여 Fin(212)을 따라 응력(204)을 적용한다. 이러한 방식으로, 다른 방법들에 의해, 이를테면 에피택셜 층들을 성장시킴으로써 유도되는 응력과 달리, 제1 및 제2 유전체 재료층들(202(1), 202(2))에 의해 적용된 응력(204)의 레벨은 제1 및 제2 유전체 재료층들(202(1), 202(2))의 체적에 의존하지 않는다. 더 구체적으로, 제1 및 제2 유전체 재료층들(202(1), 202(2)) 대신 에피택셜 층들을 이용하는 예시적인 FinFET에서, 에피택셜 층들에 의해 적용된 응력의 크기는 그러한 층들의 체적에 상관된다. 따라서, 그러한 FinFET의 면적이 감소됨에 따라, 에피택셜 층들에 의해 유도된 응력의 크기가 또한 감소된다. 이것은 부분적으로는, 결정 구조의 체적이 감소됨에 따라, 더 작은 응력을 유도하는 에피택셜 층들의 결정 구조의 속성으로 인한 것이다. 따라서, 에피택셜 층들에 의해 유도되는 응력과 달리, 제1 및 제2 유전체 재료층들(202(1), 202(2))은, FinFET(200)의 면적이 감소되는 경우라도 채널 구역(206) 상에 일관된 레벨의 응력(204)을 제공할 수 있다.

[0019] [0026] 추가로, 회로의 다른 디바이스들로부터 FinFET(200)를 전기적으로 격리시키는 데 이용되는 STI(shallow trench isolation) 구조들(242(1), 242(2))을 사용함으로써 유도되는 응력과 달리, 제1 및 제2 유전체 재료층들(202(1), 202(2))을 사용하여 응력(204)을 적용하는 것은 FinFET(200)의 면적을 증가시키지 않는다. 예컨대, STI 구조들(242(1), 242(2))은 각각의 STI 구조(242(1), 242(2))의 폭을 증가시킴으로써 응력을 유도하도록 설계될 수 있다. STI 구조들(242(1), 242(2))의 증가된 폭은 FinFET(200)를 이용하는 회로의 면적을 증가시킨다. 부가적으로, STI 구조들(242(1), 242(2))의 증가된 폭은 FinFET(200)에 적용된 응력의 크기를 감소시킨다. 더

구체적으로, STI 구조들(242(1), 242(2))에 의해 적용된 응력의 크기는 STI 구조들(242(1), 242(2))의 폭에 반 비례한다. 따라서, STI 구조들(242(1), 242(2))이 확장됨에 따라, 결과적인 적용된 응력이 감소된다. 따라서, FinFET(200)의 면적이 감소되는 경우에도 일관된 응력(204)을 제공하는 것에 부가하여, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 면적을 증가시키지 않으면서 일관된 크기로 응력(204)을 적용한다.

[0020] [0027] 도 3a 및 도 3b는 도 2a 및 도 2b의 FinFET(200)를 제조하는 데 이용되는 예시적인 제조 프로세스(300)를 예시한다. 추가로, 도 4a 내지 도 4d는 제조 프로세스(300) 동안의 FinFET(200)의 각각의 스테이지들(400(1) 내지 400(4))을 예시한 단면도 및 평면도를 제공한다. 도 4a 내지 도 4d의 FinFET(200)를 예시하는 단면도 및 평면도는 도 3a 및 도 3b의 제조 프로세스(300)의 예시적인 제조 단계들의 논의와 함께 논의될 것이다.

[0021] [0028] 이와 관련하여, 도 3a에서 시작하는 제조 프로세스(300)는 Fin(212)을 포함하는 기판(210)을 제공하는 것(블록(302), 도 4a의 스테이지(400(1)))을 포함한다. 이러한 예에서, Fin(212)은 제1 방향(214)으로 배치된다. 제조 프로세스(300)는 또한, 기판(210) 위에 그리고 Fin(212)의 제1 측(232(1))에 인접하게 제1 유전체 재료층(202(1))을 배치하는 것을 포함한다(블록(304), 도 4b의 스테이지(400(2))). 제조 프로세스(300)는, 기판(210) 위에 그리고 Fin(212)의 제2 측(232(2))에 인접하게 제2 유전체 재료층(202(2))을 배치하는 것을 더 포함한다(블록(306), 도 4b의 스테이지(400(2))). 이러한 예에서, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 제1 방향(214)으로 배치된다. 이전에 설명된 바와 같이, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 프로세스들, 이를테면 FCVP(flowable chemical vapor deposition) 또는 HARP(high aspect ratio processing)를 사용하여 블록들(304 및 306)에서 기판(210) 위에 배치될 수 있다. 추가로, 제1 및 제2 유전체 재료층들(202(1), 202(2))은 활성 영역 경계(238)로 제한되도록 배치될 수 있다.

[0022] [0029] 도 3a 및 도 3b를 계속 참조하면, 열적 어닐링이 제1 및 제2 유전체 재료층들(202(1), 202(2))에 의해 적용된 응력(204)을 조정하는 데 이용될 수 있다. 더 구체적으로, 제조 프로세스(300)는 FinFET(200)의 채널 구역(206)에 적용된 응력(204)을 조정하기 위해 제1 유전체 재료층(202(1)) 및 제2 유전체 재료층(202(2))을 습식 어닐링하는 것을 포함할 수 있다(블록(308), 도 4b의 스테이지(400(2))). 예컨대, 대략 섭씨(C) 600도의 저온 습식 어닐링 프로세스가 블록(308)에서 이용될 수 있다. 제조 프로세스(300)는 또한, FinFET(200)의 채널 구역(206)에 적용된 응력(204)을 조정하기 위해 제1 유전체 재료층(202(1)) 및 제2 유전체 재료층(202(2))을 건식 어닐링하는 것을 포함할 수 있다(블록(310), 도 4b의 스테이지(400(2))). 예컨대, 대략 1050C의 고온 어닐링 프로세스가 블록(310)에서 이용될 수 있다.

[0023] [0030] 도 3a 및 도 3b를 계속 참조하면, 제조 프로세스(300)는 게이트 구역(406)의 제1 측(404(1)) 상에서 FinFET(200)의 소스 구역(402)에 대응하는 Fin(212)을 에칭시키는 것을 포함할 수 있다(블록(312), 도 4b의 스테이지(400(2))). 제조 프로세스(300)는 또한, 제1 측(404(1))과는 상이한 게이트 구역(406)의 제2 측(404(2)) 상에서 FinFET(200)의 드레인 구역(408)에 대응하는 Fin(212)을 에칭시키는 것을 포함할 수 있다(블록(314), 도 4b의 스테이지(400(2))). 추가로, 제조 프로세스(300)는 소스 구역(402)에서 소스 재료(410)를 성장시키는 것을 포함할 수 있다(블록(316), 도 4b의 스테이지(400(2))). 제조 프로세스(300)는 또한, 드레인 구역(408)에서 드레인 재료(412)를 성장시키는 것을 포함할 수 있다(블록(318), 도 4b의 스테이지(400(2))).

[0024] [0031] 도 3a 및 도 3b를 계속 참조하면, 제조 프로세스(300)는 또한, 게이트 구역(406)에 FinFET(200)의 게이트 길이와 대략적으로 동일한 폭(W)을 갖는 게이트(220)를 배치하는 것을 포함한다(블록(320), 도 4c, 도 4d의 스테이지들(400(3), 400(4))). 예컨대, FinFET(200)가 10나노미터(nm) 기술로 이용되면, 게이트 길이는 대략적으로 10nm와 동일하다. 특히, 게이트(220)는 Fin(212), 제1 유전체 재료층(202(1)), 및 제2 유전체 재료층(202(2)) 위에 배치된다. 이러한 예에서, 게이트(220)는 제1 방향(214)에 실질적으로 직교하는 제2 방향(414)으로 배치된다. 게이트(220)는 Fin(212) 위의 게이트 구역(406)에 FinFET(200)의 게이트 길이와 대략적으로 동일한 폭(W)을 갖는 게이트 산화물 층(222)을 배치함으로써 블록(320)에서 배치될 수 있다(블록(322), 도 4c의 스테이지(400(3))). 블록(320)에서 게이트(220)를 배치하는 것은 또한, 게이트 구역(406)에 FinFET(200)의 게이트 길이와 대략적으로 동일한 폭(W)을 갖는 게이트 유전체 재료층(224)을 배치하는 것을 포함할 수 있다(블록(324), 도 4d의 스테이지(400(4))). 게이트 유전체 재료층(224)은 블록(324)에서 게이트 산화물 층(222), 제1 유전체 재료층(202(1)), 및 제2 유전체 재료층(202(2)) 위에 배치된다. 블록(320)에서 게이트(220)를 배치하는 것은 또한, 게이트 구역(406)에 FinFET(200)의 게이트 길이와 대략적으로 동일한 폭(W)을 갖는 일함수 층(226)을 배치하는 것을 포함할 수 있다(블록(326), 도 4d의 스테이지(400(4))). 일함수 층(226)은 게이트 유전체 재료층(224) 위에 배치된다. 추가로, 블록(320)에서 게이트(220)를 배치하는 것은, 일함수 층(226) 위의 게이트 구역(406)에 FinFET(200)의 게이트 길이와 대략적으로 동일한 폭(W)을 갖는 전도성 층(228)을 배치하는 것을 포

함할 수 있다(블록(328), 도 4d의 스테이지(400(4))).

- [0025] [0032] 제조 프로세스(300)를 사용하여 FinFET(200)를 제조하는 것은, FinFET(200)의 면적이 감소되는 경우라도 FinFET(200)가 채널 구역(206)에 일관된 레벨의 응력(204)을 제공할 수 있게 한다. 부가적으로, 제조 프로세스(300)는 종래의 FinFET 제조 방법들에 포함된 다양한 단계들을 포함한다. 특정 타입 또는 크기의 응력(204)을 유도하기 위해 위의 부가적인 단계들을 통합하는 것은 종래의 방법들과 비교하여 하나의 부가적인 마스크를 포함할 수 있다. 따라서, FinFET(200)는 증가된 제조 비용들 및 복잡도를 최소화시키면서 위에서 설명된 바와 같이 응력(204)을 적용하도록 제조될 수 있다.
- [0026] [0033] 도 2a 및 도 2b의 FinFET(200)에 부가하여, 본 명세서에 설명된 양상들은 또한, 다수의 채널 구역들에 응력을 적용하기 위해 다수의 Fin들에 대응하는 유전체 재료층들을 이용하는 FinFET들을 포함할 수 있다. 이와 관련하여, 도 5a 및 도 5b는 제1 및 제2 채널 구역들(206(1), 206(2))에 응력(204)을 적용하기 위해 제1, 제2, 및 제3 유전체 재료층들(202(1) 내지 202(3))을 이용하는 예시적인 FinFET(500)를 예시한다. 도 5a는 FinFET(500)의 단면도를 예시하는 반면, 도 5b는 FinFET(500)의 평면도를 예시한다. FinFET(500)의 컴포넌트들은 도 5a 및 도 5b에서 공통 엘리먼트 넘버들을 이용하여 지칭된다. 추가로, FinFET(500)는, 도 2a, 도 2b, 도 5a 및 도 5b 사이에서 유사한 엘리먼트 넘버들에 의해 도시된 바와 같이 도 2a, 도 2b의 FinFET(200)와 특정한 공통 컴포넌트들을 포함하며, 따라서, 여기서 재설명되지 않을 것이다.
- [0027] [0034] 도 5a 및 도 5b를 계속 참조하면, FinFET(500)는 기판(210) 및 기판(210) 위에 배치된 제1 및 제2 Fin들(212(1), 212(2))을 포함한다. 이러한 예에서, 제1 및 제2 Fin들(212(1), 212(2))은 제1 방향(214)으로 배치된다. 비-제한적인 예로서, FinFET(500)가 10nm 기술(즉, 10nm 게이트 길이)로 제조되면, 제1 및 제2 Fin들(212(1), 212(2))은 32nm와 대략적으로 동일한 거리(D)만큼 분리된다. 도 5b에 예시된 바와 같이, 제1 및 제2 Fin들(212(1), 212(2)) 각각은 소스(216(1), 216(2)) 및 드레인(218(1), 218(2))을 각각 포함한다. FinFET(500)의 제1 및 제2 채널 구역들(206(1), 206(2))은 각각의 소스(216(1), 216(2))와 드레인(218(1), 218(2)) 사이에서 제1 및 제2 Fin들(212(1), 212(2))에 각각 배치된다. 부가적으로, 게이트(220)는 제1 및 제2 채널 구역들(206(1), 206(2)) 주위에 배치된다. FinFET(200)와 유사하게, 제1 및 제2 Fin들(212(1), 212(2)) 각각 위의 게이트 산화물 층들(222(1), 222(2)), 게이트 유전체 재료층(224), 일함수 층(226), 및 전도성 층(228)이 이용되어 게이트(220)를 형성한다.
- [0028] [0035] 도 5a 및 도 5b를 계속 참조하면, 제1 및 제2 유전체 재료층들(202(1), 202(2))이 제1 채널 구역(206(1))에 응력(204)을 적용하는 것에 부가하여, FinFET(500)는 응력(204)이 또한 채널 구역(206(2))에 적용되도록 설계된다. 특히, 제2 Fin(212(2))의 채널 구역(206(2))에 응력(204)을 적용하기 위해, 제3 유전체 재료층(202(3))이 기판(210) 위에 그리고 제2 Fin(212(2))의 제2 측(502(2))에 인접하게 배치된다. 부가적으로, 제2 유전체 재료층(202(2))은 기판(210) 위에 그리고 제2 측(502(2))과는 상이한 제2 Fin(212(2))의 제1 측(502(1))에 인접하게 배치된다. 이러한 예에서, 제2 및 제3 유전체 재료층들(202(2), 202(3))은 제1 방향(214)으로 배치된다. 이러한 방식으로, 제2 유전체 재료층(202(2))은 또한 채널 구역(206(2))에 응력(204)을 적용한다. 부가적으로, 제1, 제2, 및 제3 유전체 재료층들(202(1) 내지 202(3))은 FinFET(500)의 활성층(506)을 둘러싸는 활성 영역 경계(504) 내에 배치된다. 따라서, 제1, 제2 및 제3 유전체 재료층들(202(1) 내지 202(3))은, FinFET(500)의 면적이 감소되는 경우라도 제1 및 제2 채널 구역들(206(1), 206(2)) 상에 일관된 레벨의 응력(204)을 제공할 수 있다. 예컨대, FinFET(500)의 면적이 감소됨에 따라, 제1 및 제2 Fin들(212(1), 212(2)) 사이의 거리(D)가 32nm 미만으로 또한 감소된다. 그러나, 위에서 설명된 제1, 제2 및 제3 유전체 재료층들(202(1) 내지 202(3))의 속성들로 인해, 에피택셜 층들에 의해 유도된 응력과 달리, 응력(204)은 거리(D)가 감소되는 경우라도 일관되게 유지된다.
- [0029] [0036] 본 명세서에 설명된 엘리먼트들은 때때로 특정 속성을 달성하기 위한 수단으로 지칭된다. 이와 관련하여, 기판(210)은 때때로 "기판을 제공하기 위한 수단"으로 본 명세서에서 지칭된다. Fin(212)은 때때로 "기판 위에 Fin을 제공하기 위한 수단"으로 본 명세서에서 지칭된다. 추가로, 게이트(220)는 때때로 "채널 구역 주위에 게이트를 제공하기 위한 수단"으로 본 명세서에서 지칭된다. 제1 유전체 재료층(202(1))은 때때로 "기판 위에 그리고 Fin의 제1 측에 인접하게 배치된 제1 유전체 재료층을 제공하기 위한 수단 - 제1 유전체 재료층은 채널 구역에 응력을 적용함" - 으로 본 명세서에서 지칭된다. 제2 유전체 재료층(202(2))은 때때로 "기판 위에 그리고 제1 측과는 상이한 Fin의 제2 측에 인접하게 배치된 제2 유전체 재료층을 제공하기 위한 수단 - 제2 유전체 재료층은 채널 구역에 응력을 적용함" - 으로 본 명세서에서 지칭된다.
- [0030] [0037] 본 명세서에 개시된 양상들에 따른 채널 구역들에 응력을 적용하기 위해 유전체 재료층들을 이용하는

FinFET들은 임의의 프로세서-기반 디바이스에서 제공되거나 그에 통합될 수 있다. 예들은, 셋탑 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(SIP) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예컨대, 스마트 워치, 건강 또는 운동 추적기, 안경류 등), 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차(automobile), 차량용 컴포넌트, 항공전자 시스템들, 드론, 및 멀티콥터(multicopter)를 포함하지만 이에 제한되지는 않는다.

[0031] [0038] 이와 관련하여, 도 6은, 도 2a 및 도 2b에 예시된 FinFET(200), 및 도 5a 및 도 5b에 예시된 FinFET(500)를 이용할 수 있는 프로세서-기반 시스템(600)의 일 예를 예시한다. 이러한 예에서, 프로세서-기반 시스템(600)은, 하나 이상의 프로세서들(604)을 각각 포함하는 하나 이상의 중앙 프로세싱 유닛(CPU)들(602)을 포함한다. CPU(들)(602)는 임의로 저장된 데이터에 대한 신속한 액세스를 위해 프로세서(들)(604)에 커플링된 캐시 메모리(606)를 가질 수 있다. CPU(들)(602)는 시스템 버스(608)에 커플링되며, 프로세서-기반 시스템(600)에 포함된 마스터 및 슬레이브 디바이스들을 상호커플링시킬 수 있다. 잘 알려진 바와 같이, CPU(들)(602)는, 시스템 버스(608)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 예컨대, CPU(들)(602)는 슬레이브 디바이스의 일 예로서의 메모리 제어기(610)에 버스 트랜잭션 요청들을 통신할 수 있다. 도 6에 예시되지 않지만, 다수의 시스템 버스들(608)이 제공될 수 있으며, 여기서, 각각의 시스템 버스(608)는 상이한 패브릭으로 구성된다.

[0032] [0039] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(608)에 연결될 수 있다. 도 6에 예시된 바와 같이, 이들 디바이스들은 예들로서, 메모리 시스템(612), 하나 이상의 입력 디바이스들(614), 하나 이상의 출력 디바이스들(616), 하나 이상의 네트워크 인터페이스 디바이스들(618), 및 하나 이상의 디스플레이 제어기들(620)을 포함할 수 있다. 입력 디바이스(들)(614)는 입력 키들, 스위치들, 음성 프로세서들 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(616)는 오디오, 비디오, 다른 시각적인 표시자들 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(618)는 네트워크(622)로의 그리고 네트워크(622)로부터의 데이터의 교환을 가능하게 하도록 구성된 임의의 디바이스일 수 있다. 네트워크(622)는, 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 로컬 영역 네트워크(LAN), 무선 로컬 영역 네트워크(WLAN), 광역 네트워크(WAN), BLUETOOTH™ 네트워크, 및 인터넷을 포함하지만 이에 제한되지는 않는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(618)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다. 메모리 시스템(612)은 하나 이상의 메모리 유닛들(624(O) 내지 624(M))을 포함할 수 있다.

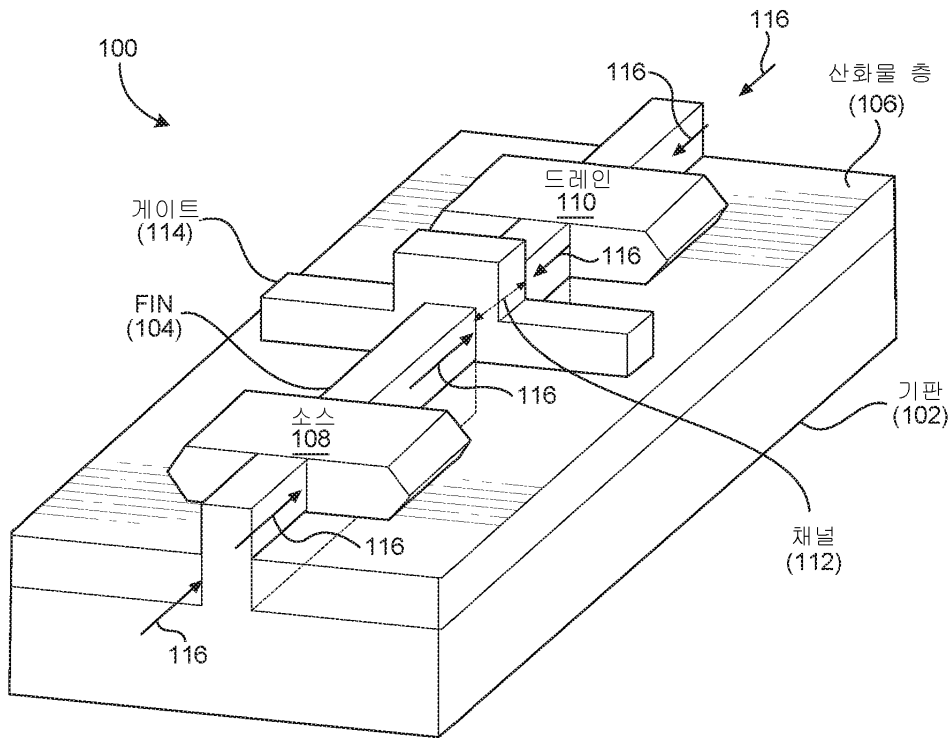
[0033] [0040] CPU(들)(602)는 또한, 하나 이상의 디스플레이들(626)로 전송되는 정보를 제어하기 위해 시스템 버스(608)를 통하여 디스플레이 제어기(들)(620)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(620)는 하나 이상의 비디오 프로세서들(628)을 통해 디스플레이될 정보를 디스플레이(들)(626)에 전송하며, 그 프로세서들은 디스플레이될 정보를 디스플레이(들)(626)에 적합한 포맷으로 프로세싱한다. 디스플레이(들)(626)는, 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이, 발광 다이오드(LED) 디스플레이 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 디스플레이를 포함할 수 있다.

[0034] [0041] 당업자들은, 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터 판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이들의 결합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 본 명세서에서 설명된 마스터 및 슬레이브 디바이스들은, 예들로서 임의의 회로, 하드웨어 컴포넌트, 집적 회로(IC), 또는 IC 칩에서 이용될 수 있다. 본 명세서에서 개시된 메모리는 임의의 타입 및 사이즈의 메모리일 수 있으며, 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능 관점에서 일반적으로 위에서 설명되었다. 그러한 기능이 어떻게 구현되는지는, 특정한 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

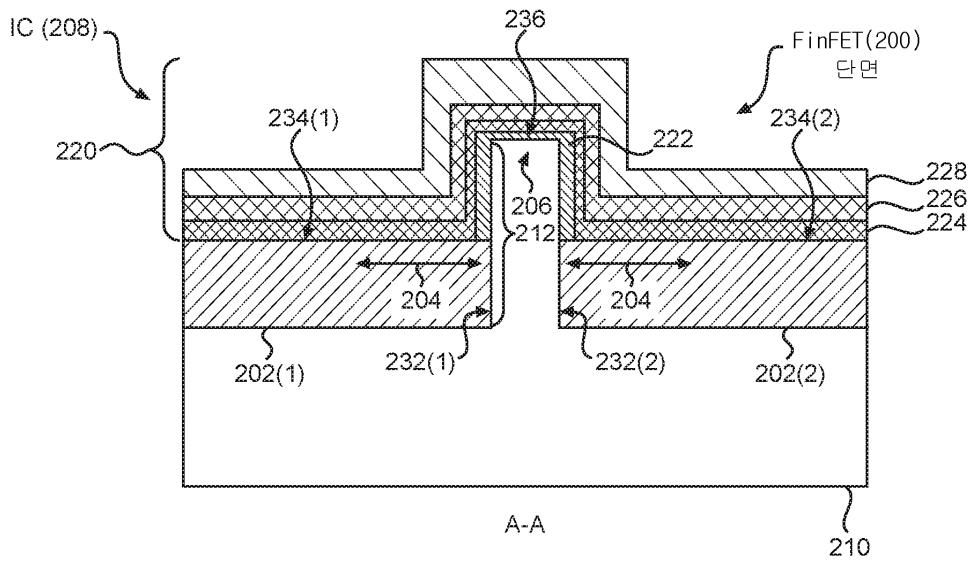
- [0035] [0042] 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 조합(예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성)으로서 구현될 수 있다.
- [0036] [0043] 본 명세서에 개시된 양상들은 하드웨어 및 하드웨어에 저장된 명령들로 구현될 수 있으며, 예컨대, 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적으로 프로그래밍가능 ROM(EPROM), 전기적으로 소거가능한 프로그래밍가능 ROM(EEPROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버에서 별개의 컴포넌트들로서 상주할 수 있다.
- [0037] [0044] 또한, 본 명세서의 예시적인 양상들 중 임의의 양상에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된다는 것을 유의한다. 설명된 동작들은 예시된 시퀀스들 이외의 다수의 상이한 시퀀스들에서 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로는 다수의 상이한 단계들에서 수행될 수 있다. 부가적으로, 예시적인 양상들에서 논의된 하나 이상의 동작 단계들이 조합될 수 있다. 흐름도들에 예시된 동작 단계들은, 당업자에게는 용이하게 명백할 바와 같은 다수의 상이한 변형들을 겪을 수 있다는 것이 이해될 것이다. 당업자들은 또한, 정보 및 신호들이 다양한 상이한 기법들 및 기술들 중 임의의 기법 및 기술을 사용하여 표현될 수 있음을 이해할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.
- [0038] [0045] 개시내용의 이전 설명은 임의의 당업자가 개시내용을 사용하거나 또는 실시할 수 있도록 제공된다. 개시내용에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에서 정의된 일반적인 원리들은 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 개시내용은 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

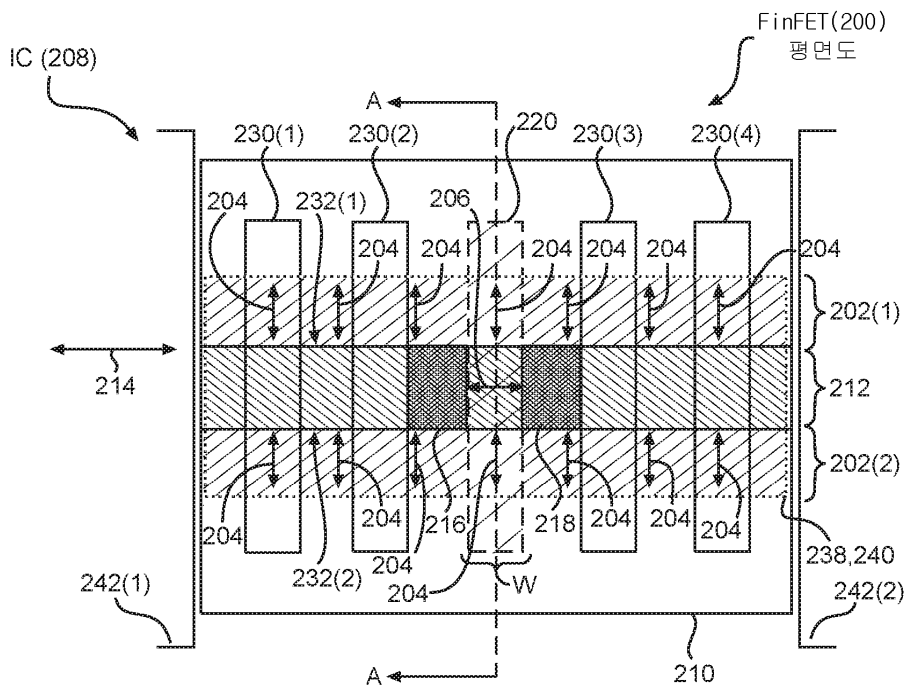
도면1



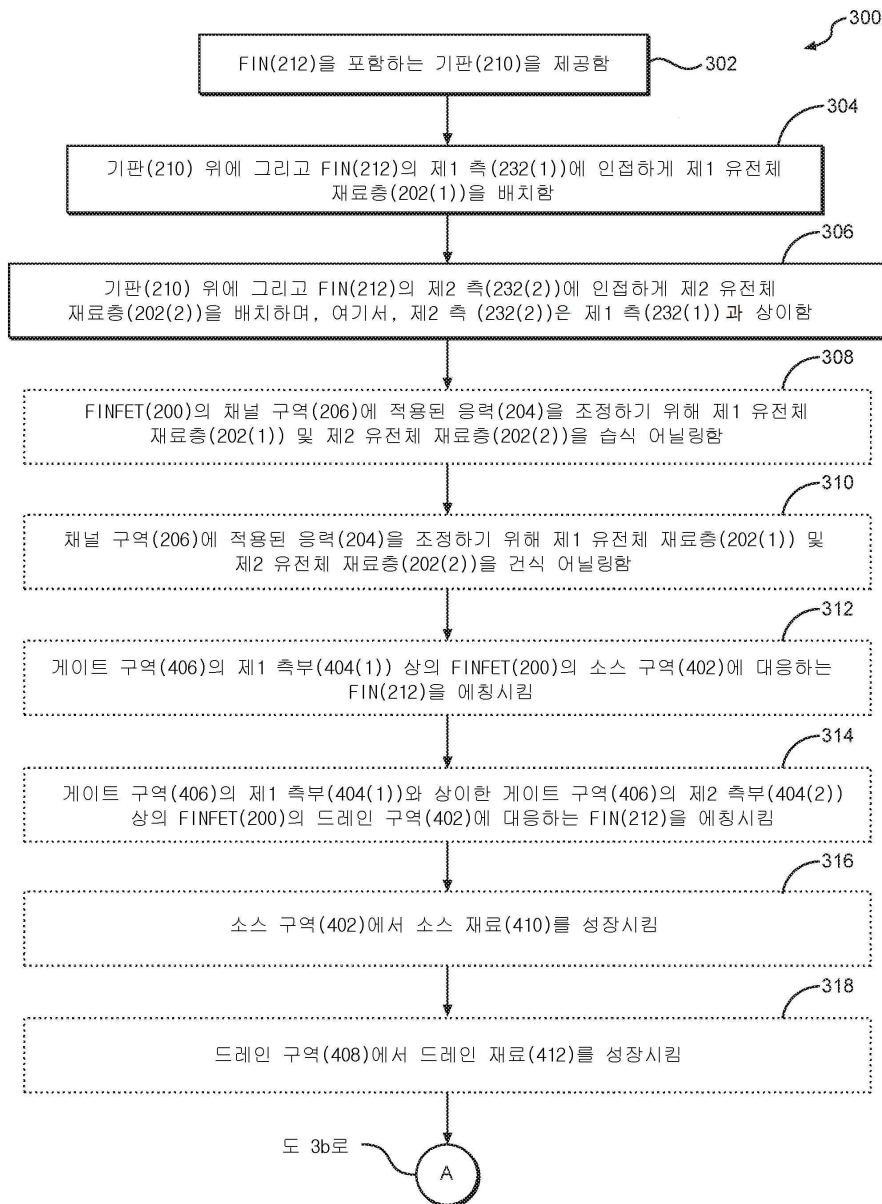
도면2a



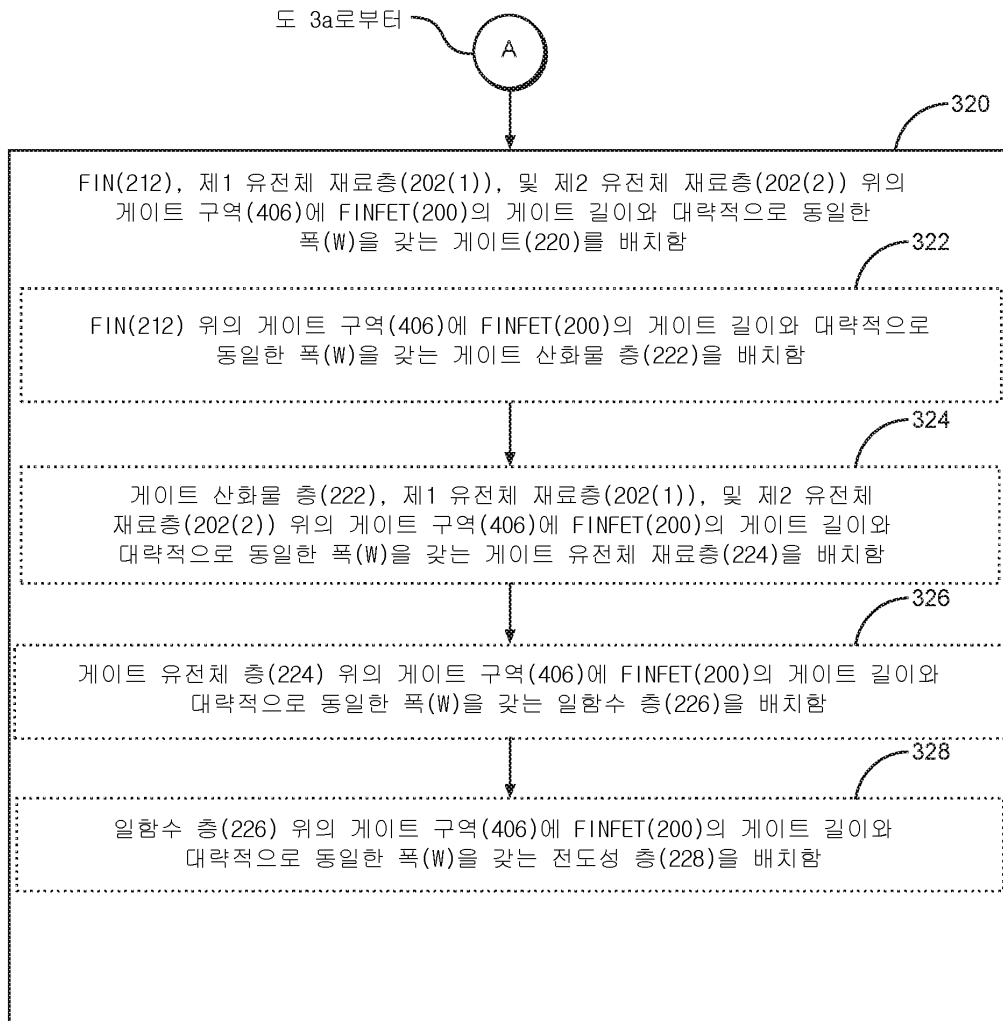
도면 2b



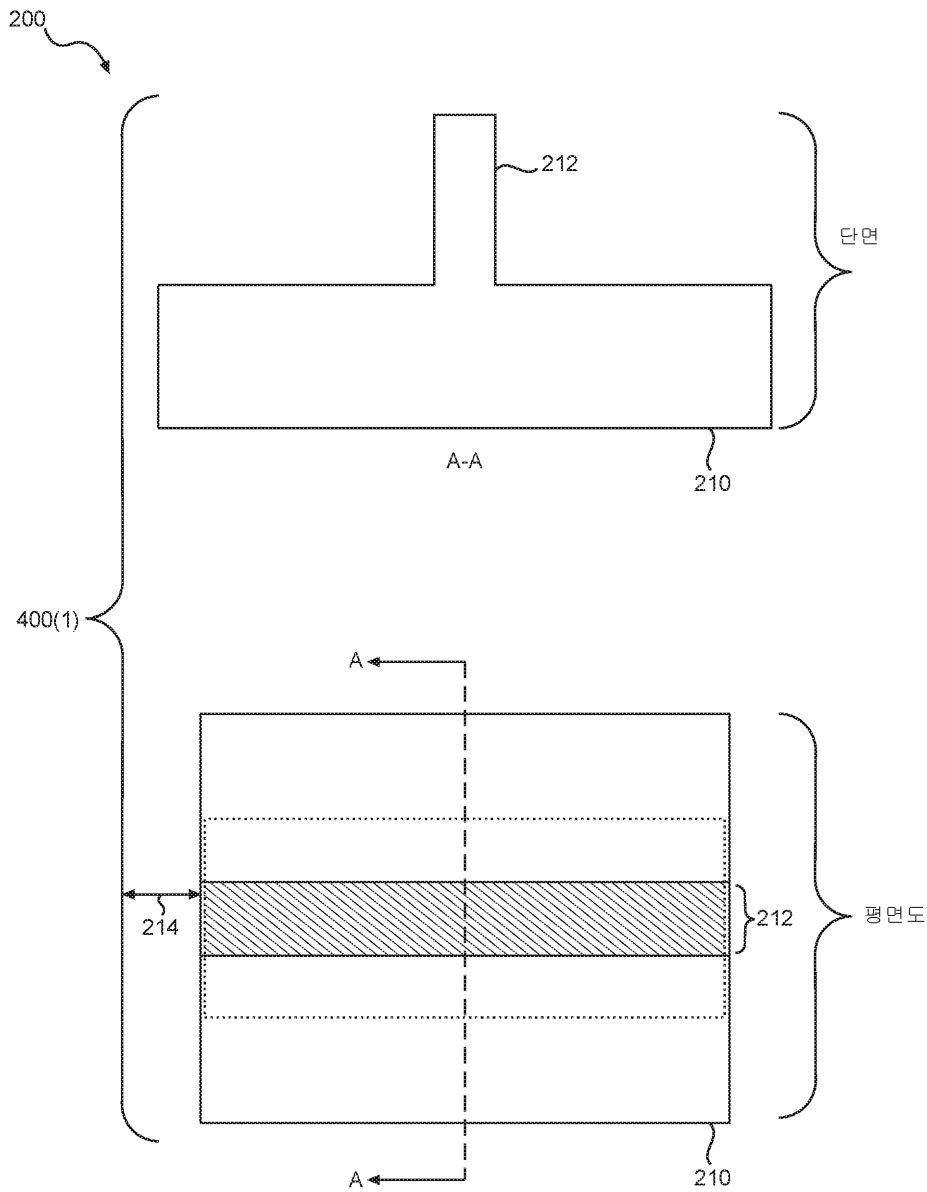
도면3a



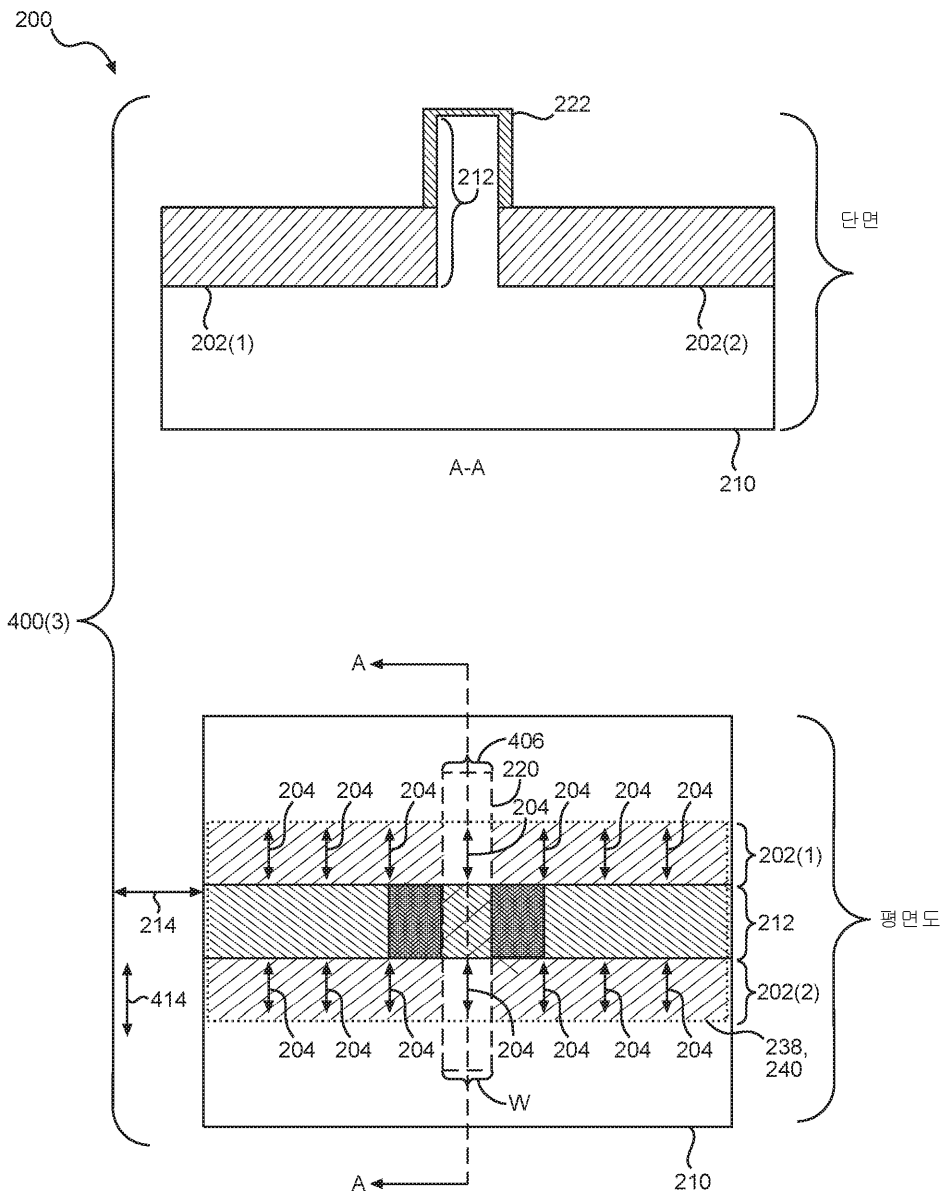
도면 3b



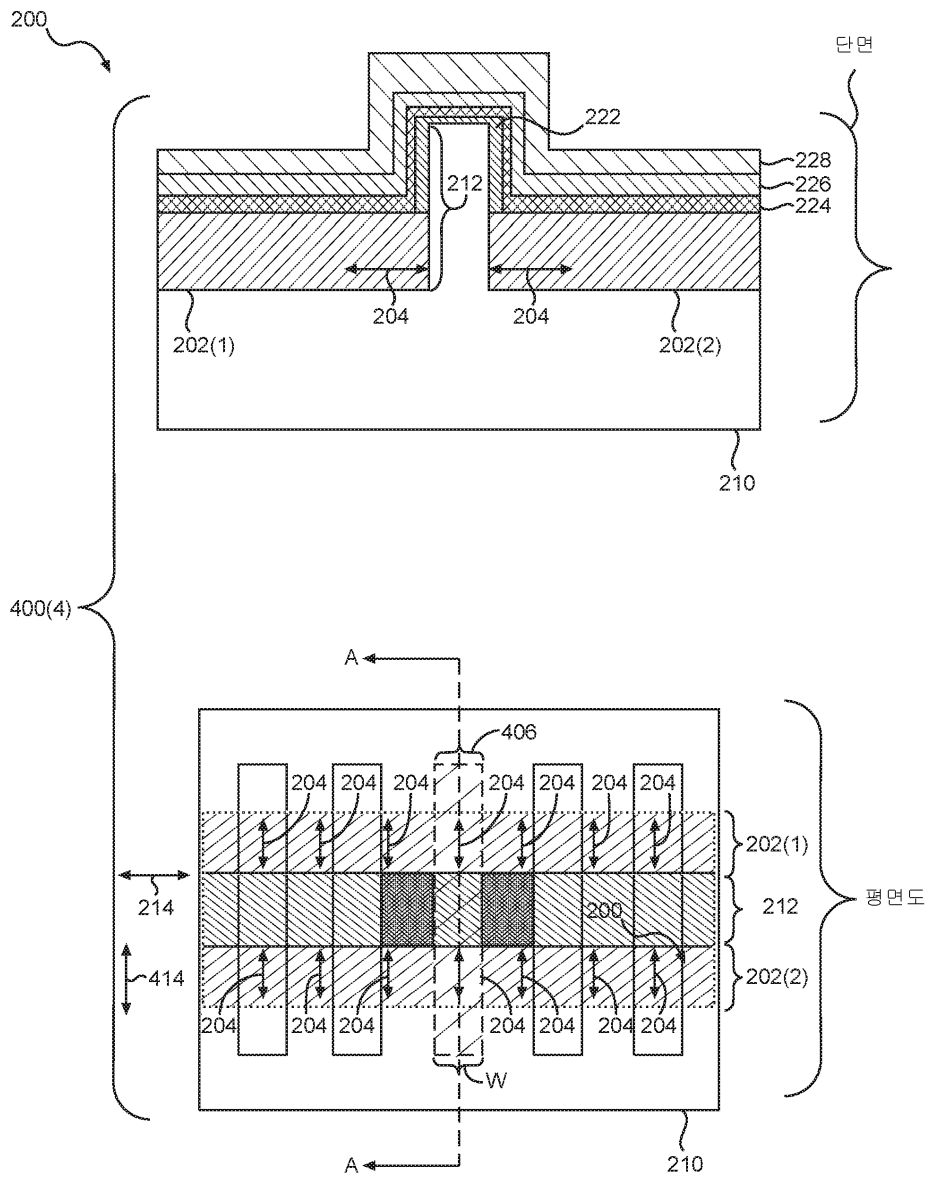
도면4a



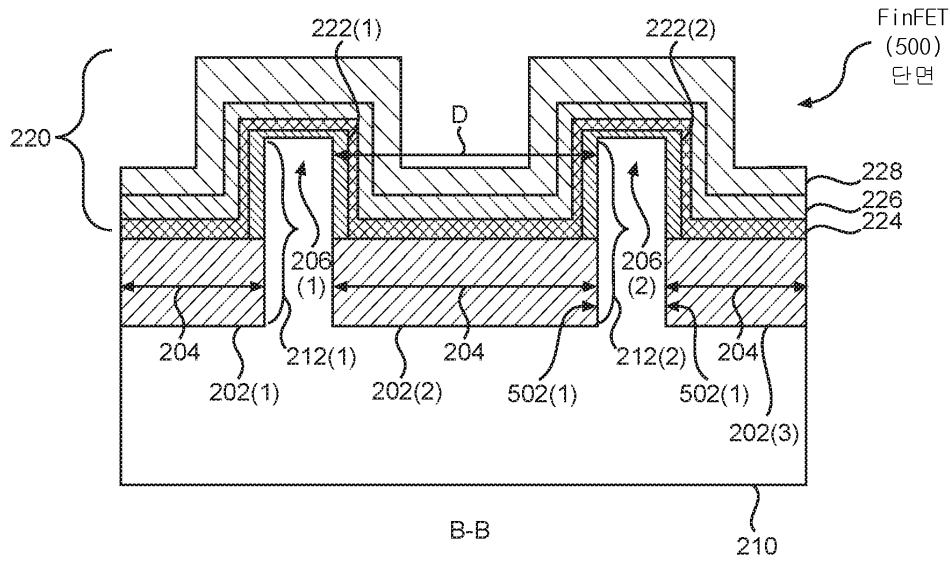
도면4c



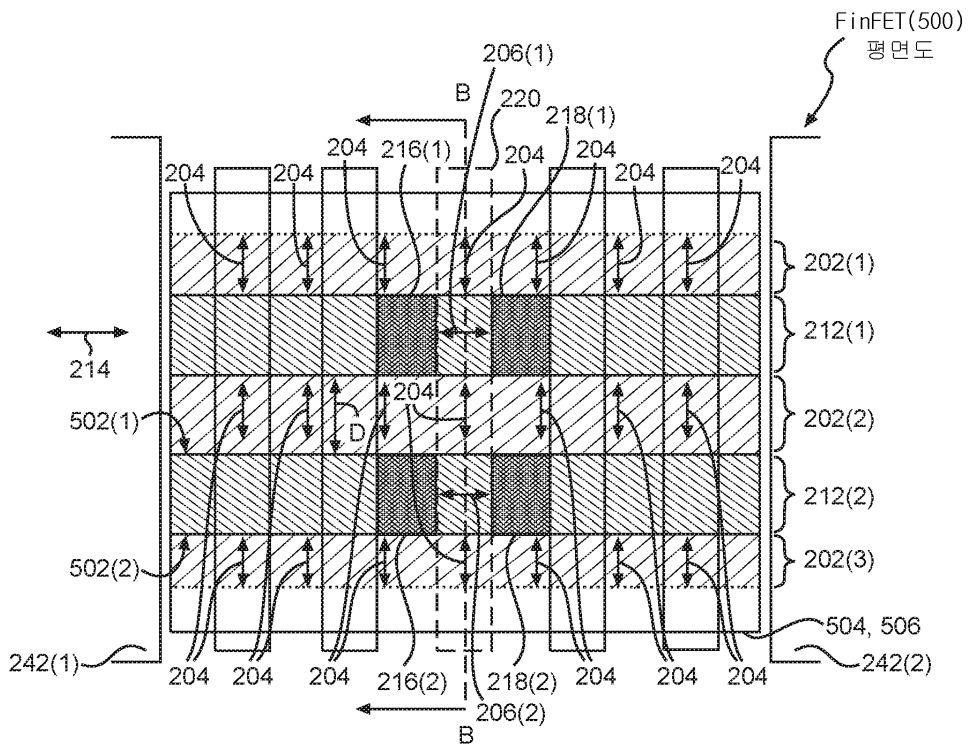
도면4d



도면5a



도면5b



도면6

