

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-95897

(P2014-95897A)

(43) 公開日 平成26年5月22日(2014.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
H01L 21/336 (2006.01)	H01L 29/78 612Z	2H192
H01L 29/786 (2006.01)	H01L 29/78 618B	2H193
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G02F 1/133 (2006.01)	G02F 1/133 55O	5C080

審査請求 未請求 請求項の数 6 O L (全 38 頁) 最終頁に続く

(21) 出願番号	特願2013-211596 (P2013-211596)	(71) 出願人	000153878
(22) 出願日	平成25年10月9日 (2013.10.9)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2012-226973 (P2012-226973)		神奈川県厚木市長谷398番地
(32) 優先日	平成24年10月12日 (2012.10.12)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	三宅 博之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H092 GA13 JA26 JA28 JA34 JA37
			JA41 JA46 JB03 JB22 JB31
			JB64 JB66 JB69 KA08 NA07
			NA26 PA06

最終頁に続く

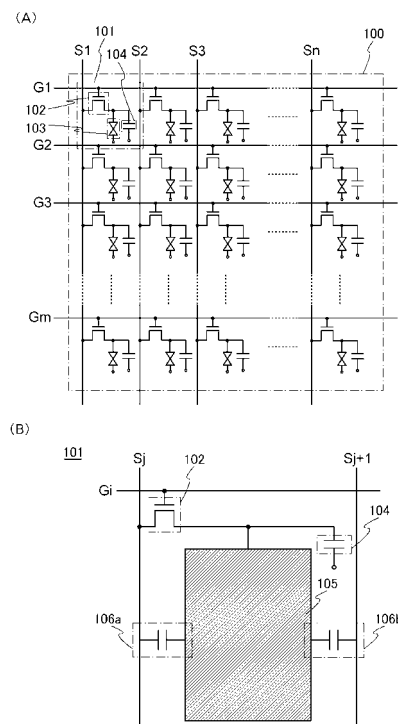
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画像品質を維持しつつ、高精細化と消費電力の低減を図った、液晶表示装置を提供する。

【解決手段】オフ電流が著しく低いトランジスタを用いて、アクティブマトリクス型の液晶表示装置のスイッチングトランジスタを形成し、容量素子の面積を低減した上で、画素電極左端と第1のソース線が形成する寄生容量と、画素電極の右端が第2のソース線と形成する寄生容量の容量値を概略同程度とし、第1のソース線と第2のソース線に互いに極性のことなるビデオ信号を入力する液晶表示装置である。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

行方向に延伸して設けられた複数のゲート線と、
列方向に延伸して設けられた複数のソース線と、
前記複数のゲート線および前記複数のソース線と電氣的に接続され、マトリクス状に設けられた複数の画素と、を有し、

前記複数の画素の一は、

第 1 のゲート線および第 1 のソース線と電氣的に接続された、酸化物半導体を含むトランジスタと、

前記トランジスタと電氣的に接続された画素電極と、を含み、

前記第 1 のソース線に入力されるビデオ信号の極性は、当該第 1 のソース線と前記画素電極を挟んで隣接して設けられる第 2 のソース線に入力されるビデオ信号の極性と互いに異なり、

前記画素電極と前記第 1 のソース線との間に形成される寄生容量の容量値に対する、前記画素電極と前記第 2 のソース線との間に形成される寄生容量の容量値の差分が、 -10% 以上 10% 以下である、液晶表示装置。

【請求項 2】

前記画素電極は、前記第 1 のソース線と前記第 2 のソース線との 2 等分線に対して概略左右対称な平面形状を有する、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素電極の第 1 の配線側の端部と前記第 1 の配線との距離と、前記画素電極の第 2 の配線側の端部と前記第 2 の配線との距離とが概略同一である、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記複数のゲート線と同じ層に複数の容量線が設けられ、

前記画素において、前記容量線の一を含む容量素子の容量値が 30 fF 以下となる、請求項 1 乃至 3 のいずれかに記載の液晶表示装置。

【請求項 5】

前記ゲート線と、前記ソース線は、 $1\text{ インチあたり }300\text{ 本}$ 以上の密度で設けられる、請求項 1 乃至 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記酸化物半導体は、シリコンよりもバンドギャップが広く、且つシリコンよりも真性キャリア密度が低い請求項 1 乃至 5 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

液晶表示装置、特に酸化物半導体を有するトランジスタを用いたアクティブマトリクス型の液晶表示装置に関する。

【背景技術】**【0002】**

近年、アモルファスシリコンやポリシリコンに代わって、酸化物半導体と呼ばれる金属酸化物が新たな半導体素子の活性層として注目を集めている。酸化物半導体は、ポリシリコンや微結晶シリコンの特長である高い移動度と、アモルファスシリコンの特長である均一な素子特性の両方を兼ね備える。

【0003】

このような酸化物半導体としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがある。特に、インジウム、ガリウム、亜鉛からなる金属酸化物である、 In-Ga-Zn 系の酸化物半導体は、良好なトランジスタ特性をもたらすため、次世代のトランジスタの活性層として注目されている（特許文献 1 及び特許文献 2 参照）。

【0004】

10

20

30

40

50

また、In - Ga - Zn系の酸化物半導体を用いたトランジスタは、オフ状態の電流値（以下、オフ電流と呼ぶ）が従来のシリコン系半導体を用いたトランジスタと比較して著しく低い（特許文献3参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-96055号公報

【特許文献2】特開2007-123861号公報

【特許文献3】特開2011-145290号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

近年、省エネルギー化の観点から電子機器の低消費電力化が求められており、液晶表示装置にも低消費電力化のニーズが存在する。特に、携帯電話、高機能携帯電話（スマートフォン）、タブレット端末、ノートPCなどの携帯可能な電子機器においては、表示装置の低消費電力化が連続使用時間の長さに直結するため、さらなる低消費電力化が求められている。

【0007】

また、このような携帯可能な電子機器においては、液晶表示装置と使用者の目との距離が短くなってしまったため、液晶表示装置の高精細化も必要となる。また、テレビなどの大型の液晶表示装置においても、フルハイビジョン以上の画質を目指して液晶表示装置の高精細化が求められている。

20

【0008】

このように、液晶表示装置の高精細化を進めると、必然的に一画素辺りの面積が狭くなり、画素に占めるトランジスタ、容量素子の面積が大きくなる。これにより、透過型の液晶表示装置において、バックライトから発せられる光が画素を透過する領域が狭くなるため、開口率が下がってしまう。開口率が低下すると、輝度を補うためにバックライトの光をより強くしなければならなくなる。よって、バックライトの消費電力が増大するため、液晶表示装置の消費電力も増大することになる。

【0009】

30

液晶表示装置の高精細化を図った上でさらに消費電力の低減を図るためには、画素面積を縮小し、さらに開口率の向上を図る必要がある。例えば、容量素子の占有面積を低減すれば開口率は向上するが、容量値も低下するため、画素電極の電位を保持できる時間が短くなり、画像品質が低下するという問題が生じる。

【0010】

このような問題に鑑み、本発明の一態様は、画像品質を維持しつつ、高精細化と消費電力の低減を図った、液晶表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0011】

40

リーク電流による画素電極の電位の変化

上記課題において、画像品質を維持するためには画素電極の電位を長時間保持する必要がある。画素電極の電位を保持している間、画素電極はトランジスタによってソース線と理想的には絶縁されており、フローティング状態となって電荷を保持している。しかしながら、トランジスタのソース・ドレイン間のリーク電流（オフ電流）が大きくなると、画素電極からソース線に電荷が移動し、画素電極の電位が変化してしまう。すなわち、アクティブマトリクス型の液晶表示装置において、画素電極の電位の保持時間は、各画素のトランジスタのオフ電流に大きく依存する。言い換えると、オフ電流の著しく低いトランジスタを画素に用いることにより、画素電極の電位を長時間保持することが可能となる。

【0012】

上述のように、酸化物半導体を用いたトランジスタは、従来のシリコン系の半導体を用

50

いたトランジスタと比較してオフ電流が著しく低いという特長がある。このようなトランジスタを各画素に用いることにより、画素電極の電位の保持時間を保ちつつ、容量素子の占有面積の低減を図ることができる。

【 0 0 1 3 】

このように、本発明に示すアクティブマトリクス型の液晶表示装置は、オフ電流が著しく低いトランジスタを用いて容量素子の面積を低減することにより、高精細化に伴う開口率の減少を低減するものとする。

【 0 0 1 4 】

クロストークによる画素電極の電位の変化

また、オフ電流の著しく低いトランジスタを用いることにより、リーク電流による画素電極の電位の変化を抑制できることを示したが、画素電極の電位が変化する要因は、これだけに限られない。画素電極の電位が保持されている間、画素電極はフローティング状態となっており、容量素子の容量値が小さい場合、画素電極に形成された寄生容量によって当該画素電極の電位が変化するクロストークと呼ばれる現象が発生する。

10

【 0 0 1 5 】

クロストークの原因となる寄生容量は、主に画素電極とソース線との間に形成される。画素電極の電位を保持している間に、ソース線にビデオ信号が入力されて電位が変化すると、ソース線の電位の変化に伴って画素電極の電位も変化することになる。

【 0 0 1 6 】

ここで、画素電極は、当該画素電極と電氣的に接続された第1のソース線と、隣接する画素電極と電氣的に接続された第2のソース線と、に挟まれており、当該画素電極と第1のソース線との間に形成される第1の寄生容量と、当該画素電極と第2のソース線との間に形成される第2の寄生容量の両方が、画素電極の電位を変化させる。

20

【 0 0 1 7 】

本発明に示すアクティブマトリクス型の液晶表示装置は、画素の一に接続された第1のソース線に入力されるビデオ信号の極性と、当該第1のソース線と当該画素の画素電極を挟んで隣接して設けられる第2のソース線に入力されるビデオ信号の極性とが互いに異なるものとする。これにより、第1の寄生容量によって生じる電位の極性と、第2の寄生容量によって生じる電位の極性が互いに異なり、クロストークにより生じる画素電極の電位の変化を低減することができる。

30

【 0 0 1 8 】

さらに、画素電極と第1のソース線との間に形成される第1の寄生容量の容量値と、画素電極と第2のソース線との間に形成される第2の寄生容量の容量値が、概略同程度となるようにすることで、第1の寄生容量により生じる電位と第2の寄生容量により生じる電位が、互いに極性は異なるが絶対値は同程度の電位となりうるので、クロストークにより生じる画素電極の電位の変化をさらに低減することができる。

【 0 0 1 9 】

以上のようにして容量素子の面積を低減することにより、高精細化に伴う開口率の減少を低減するものとする。より具体的には、例えば以下の態様とすることができる。

【 0 0 2 0 】

本発明の一態様は、行方向に延伸して設けられた複数のゲート線と、列方向に延伸して設けられた複数のソース線と、複数のゲート線および複数のソース線と電氣的に接続され、マトリクス状に設けられた複数の画素と、を有し、複数の画素の一は、第1のゲート線および第1のソース線と電氣的に接続された、酸化物半導体を含むトランジスタと、トランジスタと電氣的に接続された画素電極と、を含み、第1のソース線に入力されるビデオ信号の極性は、当該第1のソース線と画素電極を挟んで隣接して設けられる第2のソース線に入力されるビデオ信号の極性と互いに異なり、画素電極と第1のソース線との間に形成される寄生容量の容量値に対する、画素電極と第2のソース線との間に形成される寄生容量の容量値の差分が、-10%以上10%以下である、液晶表示装置である。

40

【 0 0 2 1 】

50

上記において、画素電極は、第1のソース線と第2のソース線との2等分線に対して概略左右対称な平面形状を有することが好ましい。また、画素電極の第1の配線側の端部と第1の配線との距離と、画素電極の第2の配線側の端部と第2の配線との距離とが概略同一であることが好ましい。

【0022】

また、複数のゲート線と同じ層に複数の容量線が設けられ、画素において、容量線の一を含む容量素子の容量値が30fF以下となることが好ましい。また、ゲート線と、ソース線は、1インチあたり300本以上の密度で設けられることが好ましい。また、酸化物半導体は、シリコンよりもバンドギャップが広く、且つシリコンよりも真性キャリア密度が低いことが好ましい。

10

【0023】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0024】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

20

【0025】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0026】

また、特に断りがない限り、本明細書においてオフ電流とは、nチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ゲート電極とソース電極間の電圧が0以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ゲート電極とソース電極間の電圧が0以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

30

【0027】

本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。従って、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

40

【発明の効果】

【0028】

開示する発明の一態様では、画像品質を維持しつつ、高精細化と消費電力の低減を図った、液晶表示装置を提供することができる。

【図面の簡単な説明】

【0029】

【図1】本発明の一態様に係る液晶表示装置の画素部および画素の等価回路図。

【図2】本発明の一態様に係る液晶表示装置の画素の等価回路図。

【図3】液晶表示装置の反転駆動の模式図。

【図4】液晶表示装置の反転駆動の模式図。

50

【図 5】本発明の一態様に係る液晶表示装置の画素の等価回路図。

【図 6】本発明の一態様に係る液晶表示装置の動作の一例を示すタイミングチャート図。

【図 7】本発明の一態様に係る液晶表示装置の画素の平面図。

【図 8】本発明の一態様に係る液晶表示装置の画素の断面図。

【図 9】本発明の一態様に係る液晶表示装置の画素の断面図。

【図 10】本発明の一態様に係る液晶表示装置の画素の断面図。

【図 11】本発明の一態様に係る液晶表示装置の画素の平面図。

【図 12】本発明の一態様に係る液晶表示装置の画素の平面図および断面図。

【図 13】本発明の一態様に係る液晶表示装置の画素の作製方法の一例を示す断面図。

【図 14】本発明の一態様に係る液晶表示装置の画素の作製方法の一例を示す断面図。

【図 15】本発明の一態様に係る液晶表示装置の駆動回路の作製方法の一例を示す断面図

10

。【図 16】本発明の一態様に係る液晶表示装置の平面図および断面図。

【図 17】本発明の一態様に係る液晶表示装置の応用例の外観図。

【発明を実施するための形態】

【0030】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

20

【0031】

なお、本実施の形態に記載の内容は、適宜組み合わせる用いることができる。

【0032】

画素の回路構成

まず、本発明の一態様に係る液晶表示装置の画素の回路構成について図 1 乃至図 6 を用いて説明する。

【0033】

30

図 1 (A) に、本発明の一態様に係る液晶表示装置の画素部 100 の等価回路図を示す。図 1 (A) に示すように、液晶表示装置の画素部 100 は、行方向に延伸して設けられた複数のゲート線 G 1 乃至 G m と、列方向に延伸して設けられた複数のソース線 S 1 乃至 S n と、ゲート線およびソース線と電気的に接続され、マトリクス状に設けられた複数の画素 101 と、を有する。画素 101 は、2 本のゲート線と 2 本のソース線に囲まれるように設けられており、ゲート線 G i (i は 1 以上 m - 1 以下の自然数) およびソース線 S j (j は 1 以上 n - 1 以下の自然数) と接続される画素はゲート線 G i 、ゲート線 G i + 1 、ソース線 S j およびソース線 S j + 1 に囲まれるように設けられる。また、このような画素 101 を画素 101 (G i , S j) と表記する場合がある。

【0034】

40

画素 101 は、トランジスタ 102 、液晶素子 103 および容量素子 104 を含む。トランジスタ 102 のゲート電極はゲート線と電気的に接続されており、トランジスタ 102 のソース電極およびドレイン電極の一方はソース線と電気的に接続されており、トランジスタ 102 のソース電極およびドレイン電極の他方は、液晶素子 103 の画素電極および容量素子 104 の電極の一方と電気的に接続されている。

【0035】

トランジスタ 102 は、ソース線から入力されるビデオ信号に対応する電位 (以下、ビデオ電位と呼ぶ場合がある) を、液晶素子 103 の画素電極に与えるか否かを選択するスイッチングトランジスタとして機能している。また、液晶素子 103 は、少なくとも画素電極、液晶層、対向電極を含んで構成されており、対向電極には所定の共通電位が与えら

50

れている。

【0036】

容量素子104は、シリコントランジスタを有する従来の液晶表示装置の容量素子よりも、容量値が十分小さいものとする。例えば、 $26\mu\text{m} \times 78\mu\text{m}$ の画素サイズで、開口率60%に設定した場合、容量素子104の容量値は、 30fF 以下、より好ましくは、 15fF 以下とすることができる。このように容量素子104の容量値を小さく設定することにより、画素101における容量素子104の占有面積を低減させることができるので、液晶表示装置の高開口率化を図ることができる。

【0037】

トランジスタ102は、オフ電流の著しく低いトランジスタであり、チャネル形成領域にシリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を用いる。このような半導体としてIn-Ga-Zn系金属酸化物に代表される酸化物半導体を用いることが好ましい。特に、酸化物半導体中で電子供与体(ドナー)として機能する不純物を低減して高純度化した酸化物半導体を用いることが好ましい。トランジスタ102に用いることができる酸化物半導体の具体例、酸化物半導体の高純度化の方法などの詳細については後述する。

10

【0038】

高純度化された酸化物半導体膜を活性層として用いたトランジスタ102のオフ電流密度は、 $1\text{aA}/\mu\text{m}$ 以下、好ましくは $100\text{zA}/\mu\text{m}$ 以下、より好ましくは $100\text{yA}/\mu\text{m}$ 以下、更に好ましくは $1\text{yA}/\mu\text{m}$ 以下にすることができる。よって、高純度化された酸化物半導体膜を活性層として用いたトランジスタ102は、結晶性を有するシリコンを用いたトランジスタに比べて著しく低いオフ電流とすることができる。

20

【0039】

リーク電流の抑制

画素101において、画像の表示には、トランジスタ102を介して画素電極に与えられたビデオ信号に対応する電位を保持し、液晶素子103の液晶層に当該電位を印加し続けることが必要である。画素電極は、ビデオ信号に対応する電位を保持している間、トランジスタ102をオフ状態とすることにより、ソース線と絶縁されており、フローティング状態となって電荷を保持している。しかしながら、トランジスタ102のソース-ドレイン間のリーク電流が大きくなると、保持していた電荷が画素電極からソース線に移動し、画素電極の電位が変化する。

30

【0040】

従来の液晶表示装置では、スイッチングトランジスタとしてリーク電流の大きいシリコントランジスタを用いていたので、容量値の大きい容量素子を設けて画素電極の電位を保持していた。

【0041】

これに対して、本発明の一態様に係る液晶表示装置は、トランジスタ102として、酸化物半導体を用いた、オフ電流の著しく低いトランジスタを用いるので、容量素子104の容量値を十分小さく設定しても、画素電極の電位を長時間保持することが可能である。

40

【0042】

ここで、図2に示す、トランジスタ102、液晶素子103および容量素子104について、画素電極の電位を保持する際に生じるリーク電流を計算し、当該リーク電流が画素電極の電位の保持に与える影響を示す。図2に各リーク電流を矢印で示しており、トランジスタ102のソース-ドレイン間のオフ電流 I_{off} と、トランジスタ102のゲート絶縁膜として機能する絶縁膜を流れるリーク電流 I_{GI} と、液晶素子103の間を流れるリーク電流 I_L である。

【0043】

オフ電流 I_{off} は、酸化物半導体膜を活性層として用いたトランジスタの場合、上述したように $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$) 以下である。また、リーク電流 I_{GI} は、 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$) 以下である。リーク電流 I_L は

50

、例えばTN (Twisted Nematic) 液晶では、 $1 \text{ aA} / \mu\text{m}$ 以下である。

【0044】

画素の画素電極に保持されるビデオ電位は、画素からリークするリーク電流 I によって変動する。ビデオ電位と変動したビデオ電位の差である電圧を V とすると、変動する電圧 V は、式 (1) で見積もることができる。なお式 (1) において、 T は保持時間、 C は保持容量の容量値 (容量素子の容量を含む画素全体の容量値を指す) である。

【0045】

$$V = (I \times T) / C \quad (1)$$

【0046】

式 (1) において、容量値 C を 0.1 pF ($1 \times 10^{-13} \text{ F}$) とする。このとき、フレーム周波数 60 Hz では、 $I = 10 \text{ aA}$ ($1 \times 10^{-17} \text{ A}$)、 $T = 1/60 \text{ s}$ とすると、変動する電圧 V は 10^{-6} V 程度となり、リーク電流に起因した階調の変化は問題ない。

10

【0047】

また、容量素子を意図的に設けない場合、画素電極に寄生する寄生容量を考慮して保持容量 C を 1 fF ($1.0 \times 10^{-15} \text{ A}$) とすると、前述の変動する電圧 V は、 $1 \times 10^{-4} \text{ V}$ 程度となり、リーク電流 I に起因した階調の変化は問題ない。

【0048】

一方で、アモルファスシリコン膜を活性層として用いたトランジスタをスイッチング素子とする画素の場合、トランジスタのオフ電流 I は、およそ $1 \times 10^{-13} \text{ A}$ である。このとき、保持容量 C を 1 fF ($1.0 \times 10^{-15} \text{ A}$) 程度とし、フレーム周波数 60 Hz では、 $I = 100 \text{ fA}$ ($1 \times 10^{-13} \text{ A}$)、 $T = 1/60 \text{ s}$ とすると、変動する電圧 V は数 V 程度となり、リーク電流に起因した階調の変化は無視できない。

20

【0049】

以上により、トランジスタ 102 として、酸化物半導体を用いた、オフ電流の著しく低いトランジスタを用いることにより、容量素子 104 の容量値を十分小さく設定しても、画素電極の電位を長時間保持することが可能であることが示された。

【0050】

クロストーク

しかしながら、画素電極の電位が変化する要因は、スイッチングトランジスタのリーク電流だけではない。ここで、図 1 (B) に画素 101 (G_i, S_j) の構成を示す。ここで、図 1 (B) では、液晶素子 103 に代わり画素電極 105 を図示している。上述の通り、画素 101 (G_i, S_j) は、ソース線 S_j およびソース線 S_{j+1} に挟まれており、これらのソース線は画素電極 105 と十分近い距離に配置される。これにより、画素電極 105 とソース線 S_j の間に第 1 の寄生容量 106a が生じ、画素電極 105 とソース線 S_{j+1} の間に第 2 の寄生容量 106b が生じる。

30

【0051】

画素電極 105 にビデオ信号に対応する電位が保持されている間、トランジスタ 102 はオフ状態となっており、画素電極 105 はフローティング状態となっている。よって、ソース線 S_j またはソース線 S_{j+1} の電位が変化すると、第 1 の寄生容量 106a または第 2 の寄生容量 106b を介した容量結合により、画素電極 105 の電位も変化してしまう。このような寄生容量を介した電位の変化はクロストークと呼ばれ、画像のコントラストが低下することになる。例えば、液晶素子 103 をノーマリホワイトとした場合、コントラストが低下して画像が白っぽくなってしまふ。

40

【0052】

ソース線 S_j およびソース線 S_{j+1} の電位は、ビデオ信号の入力を行うときに変化する。図 1 (A) に示す液晶表示装置で、ビデオ信号の入力がゲート線 G_1 から始まり、以下ゲート線 G_2 、 $G_3 \dots G_m$ という順番で行われるとすると、ゲート線 G_i が選択された時に画素電極 105 にビデオ信号が書き込まれた画素 101 (G_i, S_j) は、次の行のゲート線 G_{i+1} が選択されて画素 101 (G_{i+1}, S_j) および画素 101 ($G_i +$

50

1, S_{j+1}) にビデオ信号が入力されるときに、ソース線 S_j およびソース線 S_{j+1} の電位が変化してクロストークの影響を受けることになる。以下、ゲート線 $G_{i+2} \sim G_m$ が選択されるときも同様にクロストークの影響を受けることになる。

【0053】

ところで、液晶表示装置では、焼き付きと呼ばれる液晶層の劣化を抑制するために反転駆動と呼ばれる駆動方法を用いてビデオ信号の入力が行われる。反転駆動とは、液晶素子 103 の対向電極に与えられる共通電位を基準として、ビデオ信号の正負の極性を 1 フレーム期間毎に切り替えて画素に与える駆動方法である。反転駆動には、ソースライン反転駆動、ドット反転駆動、ゲートライン反転駆動、フレーム反転駆動などがあり、それぞれビデオ信号の入力方法が異なる。以下に、各反転駆動の具体例について説明する。

10

【0054】

ソースライン反転駆動

図 3 (A) および図 3 (B) にソースライン反転駆動を行ったときに各画素に入力されるビデオ信号の極性を模式的に示す。図 3 (A) および図 3 (B) において、列方向に振られた符号はゲート線の符号 $G_1 \sim G_m$ に対応しており、行方向に振られた符号はソース線の符号 $S_1 \sim S_n$ に対応している。+ の符号が振られた画素には正の極性のビデオ信号が入力されており、- の符号が振られた画素には負の極性のビデオ信号が入力されている。また、図 3 (A) があるフレームに入力されるビデオ信号の極性を表しており、図 3 (B) は、図 3 (A) の次のフレームに入力されるビデオ信号の極性を表している。なお、図 3 (A) および図 3 (B) において、 i 行目は奇数の行に、 j 列目は奇数の列に、 m 行目は偶数の行に、 n 列目は偶数の列に対応している。

20

【0055】

ソースライン反転駆動では、図 3 (A) に示すように、同じフレーム期間では、同一のソース線と接続される画素には同一の極性のビデオ信号が入力されており、隣り合うソース線に接続される画素には極性の異なるビデオ信号が入力されている。また、図 3 (B) に示すように、次のフレームになると前のフレームとは異なる極性のビデオ信号が入力されている。

【0056】

ドット反転駆動

図 3 (C) および図 3 (D) にドット反転駆動を行ったときに各画素に入力されるビデオ信号の極性を模式的に示す。図 3 (C) および図 3 (D) において、列方向に振られた符号、行方向に振られた符号、+ の符号、- の符号の意味は図 3 (A) および図 3 (B) と同様である。また、図 3 (C) と図 3 (D) の関係も図 3 (A) と図 3 (B) と同様である。なお、図 3 (C) および図 3 (D) において、 i 行目は奇数の行に、 j 列目は奇数の列に、 m 行目は偶数の行に、 n 列目は偶数の列に対応している。

30

【0057】

ドット反転駆動では、図 3 (C) に示すように、同じフレーム期間で、行方向も列方向も隣り合う画素に異なる極性のビデオ信号が入力されている。また、図 3 (D) に示すように、次のフレームになると前のフレームとは異なる極性のビデオ信号が入力されている。

40

【0058】

ゲートライン反転駆動

図 4 (A) および図 4 (B) にゲートライン反転駆動を行ったときに各画素に入力されるビデオ信号の極性を模式的に示す。図 4 (A) および図 4 (B) において、列方向に振られた符号、行方向に振られた符号、+ の符号、- の符号の意味は図 3 (A) および図 3 (B) と同様である。また、図 4 (A) と図 4 (B) の関係も図 3 (A) と図 3 (B) と同様である。なお、図 4 (A) および図 4 (B) において、 i 行目は奇数の行に、 j 列目は奇数の列に、 m 行目は偶数の行に、 n 列目は偶数の列に対応している。

【0059】

ゲートライン反転駆動では、図 4 (A) に示すように、同じフレーム期間では、同一の

50

ゲート線と接続される画素には同一の極性のビデオ信号が入力されており、隣り合うゲート線に接続される画素には極性の異なるビデオ信号が入力されている。また、図4(B)に示すように、次のフレームになると前のフレームとは異なる極性のビデオ信号が入力されている。

【0060】

フレーム反転駆動

図4(C)および図4(D)にフレーム反転駆動を行ったときに各画素に入力されるビデオ信号の極性を模式的に示す。図4(C)および図4(D)において、列方向に振られた符号、行方向に振られた符号、+の符号、-の符号の意味は図3(A)および図3(B)と同様である。また、図4(C)と図4(D)の関係も図3(A)と図3(B)と同様である。なお、図4(C)および図4(D)において、 i 行目は奇数の行に、 j 列目は奇数の列に、 m 行目は偶数の行に、 n 列目は偶数の列に対応している。

【0061】

図4(C)に示すように、フレーム反転駆動においては、1つのフレーム期間内に入力されるビデオ信号の極性はすべての画素で同じである。図4(D)に示すように、次のフレーム期間内に入力されるビデオ信号の極性は、前のフレーム期間内に入力されるビデオ信号の極性とは逆になる。

【0062】

クロストークの抑制

ここで、図3および図4に示した任意の画素に注目すると、ソースライン反転駆動およびドット反転駆動では、図5(A)に示すようにソース線 S_j に入力されるビデオ信号の極性(図5(A)では正の極性)とソース線 S_{j+1} に入力されるビデオ信号の極性(図5(A)では負の極性)が互いに異なっている。それに対して、ゲートライン反転駆動およびフレーム反転駆動では、図5(B)に示すようにソース線 S_j に入力されるビデオ信号の極性(図5(B)では正の極性)とソース線 S_{j+1} に入力されるビデオ信号の極性(図5(B)では正の極性)が互いに同一である。

【0063】

図5(B)に示すように、ソース線 S_j とソース線 S_{j+1} に与えられた電位の極性が同一の場合、第1の寄生容量106aによるクロストークと、第2の寄生容量106bによるクロストークとが、互いに強め合うように働くので、画素電極105の電位が大きく変化してしまう。

【0064】

これに対して、図5(A)に示すように、ソース線 S_j とソース線 S_{j+1} に与えられた電位の極性が異なる場合、第1の寄生容量106aによるクロストークと、第2の寄生容量106bによるクロストークとが、互いに打ち消し合うように働くので、画素電極105の電位の変化を低減することができる。つまり、ソースライン反転駆動やドット反転駆動のように、ソース線 S_j に入力されるビデオ信号の極性とソース線 S_{j+1} に入力されるビデオ信号の極性とが互いに異なるようにすることで、クロストークによる画素電極105の電位の変化を低減することができる。

【0065】

ここで、第1の寄生容量106aによるクロストークと第2の寄生容量106bによるクロストークのそれぞれの画素電極105の電位の変化に対する寄与は、それぞれの寄生容量の容量値に依存する。よって、ソース線 S_j に入力されるビデオ信号の極性とソース線 S_{j+1} に入力されるビデオ信号の極性とを互いに異なるものとしてクロストークを抑制するには、第1の寄生容量106aの容量値と、第2の寄生容量106bの容量値を概略同程度とすることが好適である。ここで、第1の寄生容量106aの容量値と、第2の寄生容量106bの容量値が概略同程度とは、第1の寄生容量106aの容量値に対する、第2の寄生容量106bの容量値の差分が、-10%以上10%以下であることを示す。なお、第1の寄生容量106aの容量値に対する、第2の寄生容量106bの容量値の

10

20

30

40

50

差分が、- 5 % 以上 5 % 以下であることがより好ましい。

【 0 0 6 6 】

ソースライン反転駆動のタイミングチャート

ここで、図 1 (A) に示す液晶表示装置を、ソースライン反転駆動を用いて動作させる場合のタイミングチャートを図 6 に示す。図 6 に示すタイミングチャートは、第 1 フレーム期間と第 2 フレーム期間における、ゲート線 G_i 、ソース線 $S_1 \sim S_n$ の電位と、これらのゲート線とソース線に接続された画素 101 (G_i, S_1) ~ 画素 101 (G_i, S_n) の画素電極 105 の電位の変化を示している。

【 0 0 6 7 】

まず、第 1 フレーム期間において、ゲート線 $G_1 \sim G_{i-1}$ が順番に選択され、対応する画素にビデオ信号が入力される。図 6 に示すようにゲート線 G_i が選択され、ゲート線 G_i に接続されたトランジスタ 102 がオン状態となる。ソース線 S_1 に正の極性のビデオ信号が入力され、画素 101 (G_i, S_1) の画素電極 105 に対応する電位が与えられる。ソース線 S_2 に負の極性のビデオ信号が入力され、画素 101 (G_i, S_2) の画素電極 105 に対応する電位が与えられる。以下、順番にソース線 S_3 からソース線 S_n までビデオ信号の極性を交互に変えながら画素電極 105 に対応する電位が与えられる。

【 0 0 6 8 】

ゲート線 G_i の選択が終了すると、ゲート線 $G_{i+1} \sim G_m$ でも同様に画素電極 105 に対応する電位が与えられる。このとき、すでにビデオ信号が保持されている画素 101 (G_i, S_1) ~ 画素 101 (G_i, S_n) の画素電極 105 に隣接するソース線 $S_1 \sim$ ソース線 S_n の電位がビデオ信号に応じて変化しているが、ソースライン反転駆動を行っているので、上記のようにクロストークが打ち消しあい画素電極 105 の電位は保持されている。

【 0 0 6 9 】

第 2 フレーム期間においては、ゲート線 G_i が選択されると、ソース線 $S_1 \sim$ ソース線 S_n に第 1 フレーム期間とは異なる極性のビデオ信号が入力され、それまで画素電極 105 で保持されていた電位が新しいビデオ信号に対応する電位に書き換えられる。以下、同様の動作が第 3 フレーム期間以降も繰り返される。

【 0 0 7 0 】

なお、図 6 に示すタイミングチャートでは、ソース線 S_1 からソース線 S_n に、順番にビデオ信号が入力されている場合を例示しているが、この形式に限定されることなく、ソース線 S_1 乃至ソース線 S_n で、一斉にビデオ信号が入力される形式でも良いし、複数のソース線にまとめてビデオ信号が入力される形式でも良い。

【 0 0 7 1 】

また、図 6 では、プログレッシブ方式を用いた場合における、ゲート線の選択について説明したが、インターレース方式を用いてゲート線の選択を行うようにしても良い。

【 0 0 7 2 】

なお、反転駆動を行うと、ビデオ信号の極性が変化する際にソース線に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ 102 のソース電極とドレイン電極の電位差が大きくなる。よって、トランジスタ 102 は、しきい値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子 103 に保持されている電圧を維持するために、ソース電極とドレイン電極の電位差が大きくなっても、オフ電流が低く維持されることが要求される。本発明の一態様に係る液晶表示装置では、トランジスタ 102 に、シリコンよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体を用いているので、トランジスタ 102 の耐圧性を高め、オフ電流を著しく低くすることができる。よって、通常シリコンなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ 102 の劣化を防ぎ、液晶素子 103 に保持されている電圧を維持することができる。

【 0 0 7 3 】

なお、液晶は、電圧が印加されてからその透過率が収束するまでの応答時間が、一般的

10

20

30

40

50

に十数 msec 程度である。よって、液晶の応答の遅さが動画のぼやけとして視認されやすい。これに対して、液晶素子 103 に印加する電圧を一時的に大きくして液晶の配向を速く変化させるオーバードライブ駆動を用いるようにしても良い。オーバードライブ駆動を用いることで、液晶の応答速度を上げ、動画のぼやけを防ぎ、動画の画質を改善することができる。

【0074】

また、トランジスタ 102 がオフした後も、液晶の透過率が収束せずに変化し続けると、液晶の比誘電率が変化するため、液晶素子に印加される電圧が変化しやすい。特に、上記のように、容量素子 104 の容量値を十分小さく設定する場合、液晶素子に印加される電圧の変化が顕著になる。しかし、上記オーバードライブ駆動を用いることで、応答時間を短くすることができるので、液晶の透過率を素早く収束させることができる。したがって、容量素子 104 の容量値を十分小さく設定する場合でも、トランジスタ 102 がオフした後に、液晶素子に印加される電圧が変化するのを抑制できる。

【0075】

なお、本発明の一態様に係る液晶表示装置では、オフ電流が著しく低減されたトランジスタ 102 を用いるので、容量素子 104 の容量値次第で、画素電極 105 における保持時間を延長し、ビデオ信号の書き込み頻度を低減することも可能になる。これにより、クロック信号や高電位電源の供給などを停止し、液晶表示装置の消費電力の低減を図ることもできる。また、画像の書き換えに伴う使用者の目に対するストレスも低減されるため、使用者の目の疲労を低減する効果も見込める。この点において、当該液晶表示装置をパーソナルコンピュータなどの作業用のディスプレイに用いることで大きな効果が見込まれる。

【0076】

以上のようにして、画素電極でビデオ信号に対応する電位を保持している間、リーク電流とクロストークとを抑制することにより、容量素子の容量値を小さく設定しても、画像品質を維持することができる。容量値を小さく設定することにより、画素における容量素子の占有面積を低減し、画素の高開口率化を図ることができる。

【0077】

よって、液晶表示装置の高精細化を進め、一画素あたりの面積が低減されても、十分画素の高開口率化が図られているので、必要以上にバックライトの光量を強くして輝度の補正を図る必要がない。このように、高精細化に伴うバックライトの消費電力の増大を抑制できる。

【0078】

このように、本発明の一態様に係る液晶表示装置は、画像品質を維持しつつ、高精細化と消費電力の低減を図ることが可能である。

【0079】

画素の具体的な構成

次に、本発明の一態様に係る液晶表示装置の画素の具体的な構成について図 7 乃至図 12 を用いて説明する。

【0080】

図 7 に、本発明の一態様に係る液晶表示装置の一例の平面図を示す。また、図 7 の点線 A1 - A2 に対応する断面図を図 8 (A) に、図 7 の点線 B1 - B2 に対応する断面図を図 8 (B) に、図 7 の点線 C1 - C2 に対応する断面図を図 8 (C) に示す。

【0081】

図 7 に示すように、画素 101 は、行方向に延伸して設けられたゲート線 202 と、行方向に隣接する画素のゲート線と、列方向に延伸して設けられたソース線 208a と、列方向に隣接する画素のソース線 208b と、に囲まれた領域に形成されており、当該領域に、トランジスタ 102、容量素子 104 および液晶素子を形成する画素電極 105 が形成されている。

【0082】

本発明の一態様に係る液晶表示装置において、画素１０１は、１インチあたり２００以上の密度、より好ましくは１インチあたり３００以上の密度で形成されている。言い換えると、ソース線またはゲート線が１インチあたり２００本以上の密度、より好ましくは１インチあたり３００本以上の密度で形成されている。このような密度で画素を形成することにより、液晶表示装置の高精細化を図ることができる。

【００８３】

図７および図８（Ａ）に示すように、トランジスタ１０２は、基板２００上に形成され、ゲート線２０２と一体となっているゲート電極と、当該ゲート電極上に設けられたゲート絶縁膜２０５と、ゲート絶縁膜２０５上にゲート電極と重畳して設けられた酸化物半導体膜２０６と、酸化物半導体膜２０６に接して設けられたソース線２０８ａおよび導電膜２１０と、を有する。ここで、ソース線２０８ａの一部はトランジスタ１０２のソース電極およびドレイン電極の一方として機能しており、導電膜２１０はトランジスタ１０２のソース電極およびドレイン電極の他方として機能している。酸化物半導体膜２０６、ソース線２０８ａおよび導電膜２１０上に保護絶縁膜２１１が形成されており、保護絶縁膜２１１上に開口を介して導電膜２１０と接続された画素電極１０５が形成されている。

【００８４】

なお、本発明の一態様に係る液晶表示装置において、トランジスタ１０２は、ボトムゲート構造のチャネルエッチ型のトランジスタとしているが、本発明はこれに限定されるものではなく、例えば、トップゲート構造としてもよいし、ボトムゲート構造のチャネル保護型のトランジスタとしてもよい。

【００８５】

図７および図８（Ａ）に示すように、容量素子１０４は、基板２００上に形成され、ゲート線２０２と平行して行方向に延伸して設けられた容量線２０４と、ゲート絶縁膜２０５と、導電膜２１０が重畳する領域に形成されている。上記のように、容量素子１０４の容量値は十分小さく設定することが可能であり、例えば、０ｆＦ以上３０ｆＦ以下、より好ましくは、０ｆＦ以上１５ｆＦ以下とすることができる。設定した容量値に合わせて、容量線２０４および導電膜２１０の面積を設定することにより、画素１０１における容量素子１０４の占有面積を低減し、液晶表示装置の高開口率化を図ることができる。例えば、開口率を６０％以上とすることが好ましい。

【００８６】

なお、本発明の一態様に係る液晶表示装置において、容量素子１０４は、容量線２０４と、ゲート絶縁膜２０５と、導電膜２１０とで構成されているがこれに限られるものではない。例えば、容量素子１０４を、容量線２０４と、ゲート絶縁膜２０５および／または保護絶縁膜２１１と、画素電極１０５とで構成しても良い。

【００８７】

図７、図８（Ｂ）および図８（Ｃ）に示すように、ソース線２０８ａと画素電極１０５は保護絶縁膜２１１を誘電体として第１の寄生容量１０６ａを形成し、ソース線２０８ｂと画素電極１０５は保護絶縁膜２１１を誘電体として第２の寄生容量１０６ｂを形成する。上記のように、第１の寄生容量１０６ａおよび第２の寄生容量１０６ｂによるクロストークを抑制するためには、第１の寄生容量１０６ａおよび第２の寄生容量１０６ｂの容量値を概略同程度とすることが好ましい。

【００８８】

ここで、第１の寄生容量１０６ａは主に画素電極１０５の左端（画素電極１０５のソース線２０８ａ側の端部を指す）とソース線２０８ａとの間で形成され、第２の寄生容量１０６ｂは主に画素電極１０５の右端（画素電極１０５のソース線２０８ｂ側の端部を指す）とソース線２０８ｂとの間で形成される。よって、第１の寄生容量１０６ａおよび第２の寄生容量１０６ｂの容量値は、画素電極１０５の平面形状により比較的容易に設定することができる。

【００８９】

第１の寄生容量１０６ａおよび第２の寄生容量１０６ｂの容量値を概略同程度とするに

10

20

30

40

50

は、図 7 に示すように画素電極 105 の平面形状を、ソース線 208a とソース線 208b の 2 等分線 L1 - L2 に対して概略左右対称とすることが好ましい。画素電極 105 の平面形状をこのようにすることで、図 8 (B) および図 8 (C) に示すように画素電極 105 の左端とソース線 208a との距離 d1 と、画素電極 105 の右端とソース線 208b との距離 d2 を概略同程度とすることができるので、第 1 の寄生容量 106a および第 2 の寄生容量 106b の容量値を概略同程度とすることができる。

【0090】

なお、2 等分線 L1 - L2 は、任意の点からソース線 208a までの距離と、ソース線 208b までの距離が等距離となる線である。また、画素電極の平面形状が 2 等分線に対して概略左右対称とは、画素電極 105 の右半分と左半分とを 2 等分線 L1 - L2 で折り返したとき、右半分と左半分とが重畳する領域の面積に対する重畳しない領域の面積の割合が 10% 以下となることを指すものとする。

10

【0091】

また、画素電極の平面形状は、一般的に画素電極の左端の長さと右端の長さが大きく変わらない。そのため、距離 d1 と、距離 d2 との差が、- 10% 以上 10% 以下であればよく、- 5% 以上 5% 以下であればより好ましいとも言える。

【0092】

以上のように、画素電極 105 の平面形状を設定することにより、第 1 の寄生容量 106a および第 2 の寄生容量 106b の容量値を概略同程度とし、第 1 の寄生容量 106a によるクロストークと第 2 の寄生容量 106b によるクロストークをお互いに打ち消し合わせることができる。これにより、本発明の一態様に係る液晶表示装置において、高精細化と消費電力の低減を同時に図っても、画像品質を維持することが可能になる。

20

【0093】

以下に液晶表示装置の画素部の各構成の詳細について説明を行う。なお、各構成の膜厚などは、液晶表示装置の仕様に合わせて適宜設定すればよく、必ずしも下記の記載に限定されるものではない。

【0094】

基板

基板 200 としては、透光性を有している基板が好ましく、例えば、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiber glass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

30

【0095】

なお、基板 200 として可とう性基板を用いる場合、非可とう性の基板上にトランジスタなどを作製した後、剥離して可とう性基板である基板 200 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0096】

ゲート線

ゲート線 202 は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いることができる。また、ゲート線 202 と同じ層に設けられる容量線 204 も同様の材料を用いて形成すればよい。

40

【0097】

図 7 において、酸化物半導体膜 206 がゲート線 202 の内側に含まれるように設けられている。これにより、基板 200 側から入射する光は酸化物半導体膜 206 に照射されないため、当該光によって、酸化物半導体膜 206 中にキャリアが生成されるのを抑制することができる。ただし、ゲート線 202 の平面形状はこれに限定されるものではない。

【0098】

50

また、このようにゲート線 202 を形成することにより、ゲート線 202 と導電膜 210 とが重畳する領域を増やすこともできる。ゲート線 202 とトランジスタ 102 のソース電極およびドレイン電極の他方として機能する導電膜 210 との重畳する領域が増え、当該領域の寄生容量が十分大きくなると、第 1 の寄生容量 106a および第 2 の寄生容量 106b のクロストークの効果を低減することができる。

【0099】

ゲート絶縁膜

ゲート絶縁膜 205 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を、単層で、または積層で用いればよい。なお、本明細書等において酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものを指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものを指す。

【0100】

ゲート絶縁膜 205 は、例えば、1 層目を窒化シリコン層とし、2 層目を酸化シリコン層とした多層膜とすればよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層または酸化窒化シリコン層は、欠陥密度の小さいものを用いると好ましい。具体的には、電子スピン共鳴 (ESR: Electron Spin Resonance) にて g 値が 2.001 の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下のものを用いる。また、酸化シリコン層または酸化窒化シリコン層は、加熱処理などを行うことで酸素を放出する、過剰酸素を含む層を用いると好ましい。ここで、加熱処理によって酸素を放出する膜は、TDS 分析によって $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の酸素 (酸素原子数に換算) を放出することもある。また、過剰酸素を含む酸化シリコン層として、 SiO_x ($x > 2$) で表される酸化シリコン層を用いてもよい。 SiO_x ($x > 2$) で表される酸化シリコンは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) により測定した値とする。

【0101】

また、一層目に用いる窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いることが好ましい。水素、アンモニアの放出量は、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて測定すればよい。

【0102】

さらに、一層目の窒化シリコン層は、水素およびアンモニアの含有量が異なる複数の窒化シリコン層を積層させた構造としても良い。例えば、図 9 (A) および図 9 (B) に示すように、ゲート絶縁膜 205 が、第 1 の窒化シリコン層 205a、第 1 の窒化シリコン層 205a 上に積層された第 2 の窒化シリコン層 205b、第 2 の窒化シリコン層 205b 上に積層された第 3 の窒化シリコン層 205c、第 3 の窒化シリコン層 205c 上に形成された酸化窒化シリコン層 205d を含む構成としても良い。ここで、図 9 (A) および図 9 (B) は、図 8 (A) および図 8 (B) に示す断面図の、ゲート絶縁膜 205、ソース線 208a、導電膜 210 および保護絶縁膜 211 の積層構造の具体例を示すものであり、ソース線 208a、導電膜 210 および保護絶縁膜 211 については、以下で順次説明を行っていく。なお、図 8 (C) に示す断面構造の具体例については、図 9 (B) に関する記載を参照することができる。

【0103】

第 1 の窒化シリコン層 205a は、第 2 の窒化シリコン層 205b より水素およびアン

モニアの含有量が少ない。第1の窒化シリコン層205a中のアンモニアの含有量を少なくすることで、ゲート線202に含まれる金属とアンモニアが反応して当該金属がゲート絶縁膜205中に拡散されるのをふせぐことができる。また、基板200から水素、または水素化合物（例えば水）などの、酸化物半導体中で電子供与体（ドナー）として機能する不純物が混入するのを低減することができる。

【0104】

第2の窒化シリコン層205bは、第1の窒化シリコン層205aおよび第3の窒化シリコン層205cより厚い膜厚を有し、膜中欠陥が低減されたものを用いることが好ましい。例えば膜厚が250nm以上400nm以下であることが好ましい。また、ESRにてg値が2.003の信号に由来するスピンのスピン密度が、好ましくは $1 \times 10^{17} \text{ spins/cm}^3$ 以下、より好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下であるものとする。このように膜厚が厚く、膜中欠陥が低減された窒化シリコン層を第2の窒化シリコン層205bとして用いることにより、ゲート絶縁膜205のESD耐性を大きく向上させることが可能である。

10

【0105】

第3の窒化シリコン層205cも第1の窒化シリコン層205aと同様に、第2の窒化シリコン層205bより水素およびアンモニアの含有量が少ない。酸化物半導体膜206と接近している第3の窒化シリコン層205c中の水素の含有量を少なくすると、第3の窒化シリコン層205cと第2の窒化シリコン層205bから酸化物半導体膜206へ不純物が混入することを低減することができる。ここで不純物とは、水素、または水素化合物（例えば水）など、酸化物半導体中でドナーとして機能する不純物のことである。

20

【0106】

酸化窒化シリコン層205dは、上記の加熱処理などを行うことで酸素を放出する、過剰酸素を含む酸化窒化シリコン層を用いることが好ましい。これにより熱処理を行って酸化物半導体膜206に酸素を供給することが可能となり、酸化物半導体膜206から酸素の脱離を防止するとともに、酸素欠損を補填することが可能となる。

【0107】

以上のようにゲート絶縁膜205を構成する場合、例えば、第1の窒化シリコン層205aの膜厚を50nmとし、第2の窒化シリコン層205bの膜厚を200nmとし、第3の窒化シリコン層205cの膜厚を50nmとし、酸化窒化シリコン層205dの膜厚を50nmとすればよい。

30

【0108】

また、ゲート絶縁膜205は、必ずしも均一な膜厚とする必要はなく、例えば、ゲート絶縁膜205において、酸化物半導体膜206と重畳する領域の膜厚が、酸化物半導体膜206と重畳しない領域の膜厚より厚くなるようにしてもよい。

【0109】

なお、基板200とゲート線202および容量線204の間に下地絶縁膜を設ける構成とすることもでき、下地絶縁膜はゲート絶縁膜と同様の材料を用いて形成すればよい。

【0110】

酸化物半導体膜

40

上記のように酸化物半導体膜206に用いる酸化物半導体は、シリコンよりもバンドギャップが広いことが好ましい。例えば、バンドギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上の酸化物半導体を用いる。

【0111】

このような酸化物半導体膜206に用いる酸化物半導体は、少なくともインジウム（In）若しくは亜鉛（Zn）を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、当該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、以下のスタビライザーの少なくとも一つを有することが好ましい。

【0112】

50

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、又はジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) などがある。

【0113】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二種類の金属を含む酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三種類の金属を含む酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-Zr-Zn 系酸化物、In-Ti-Zn 系酸化物、In-Sc-Zn 系酸化物、In-Y-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四種類の金属を含む酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

10

20

【0114】

ここで、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0115】

例えば、In:Ga:Zn = 1:1:1、In:Ga:Zn = 3:1:2 などの原子数比のターゲットを用いてスパッタリング法で酸化物半導体膜を形成すればよい。

30

【0116】

しかし、これらに限られず、必要とする半導体特性及び電気特性 (電界効果移動度、しきい値電圧等) に応じて適切な原子数比のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0117】

また、酸化物半導体膜 206 に用いる酸化物半導体は、真性キャリア密度がシリコンよりも低いことが好ましい。このような酸化物半導体としては、酸化物半導体中で電子供与体 (ドナー) として機能する不純物を低減して高純度化した酸化物半導体が好ましい。具体的には、酸化物半導体膜 206 のキャリア密度を、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満とすればよい。酸化物半導体膜 206 において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。

40

【0118】

特に、酸化物半導体膜 206 にシリコンが高い濃度で含まれることにより、酸化物半導体膜 206 にシリコンに起因する不純物準位が形成される。当該不純物準位は、トラップ準位として機能し、トランジスタの電気特性を劣化させることがある。トランジスタの電気特性の劣化を小さくするためには、酸化物半導体膜 206 のシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。

50

【0119】

また、酸化物半導体膜206中で水素および窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。酸化物半導体膜206を真性または実質的に真性とするためには、酸化物半導体膜206中の水素濃度は、SIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0120】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流（ゲート電極とソース電極間の電圧を0V以下としたときのドレイン電流）が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。したがって、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレイン電極間の電圧によっては、 $100 \text{ yA}/\mu\text{m}$ 以下、好ましくは $10 \text{ yA}/\mu\text{m}$ 以下、更に好ましくは $1 \text{ yA}/\mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0121】

CAAC-OS

また、酸化物半導体膜206に用いる酸化物半導体としては、非晶質酸化物半導体、単結晶酸化物半導体、及び多結晶酸化物半導体など様々な結晶状態のものを用いることができる。酸化物半導体として、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜を用いるのが好ましい。

【0122】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0123】

CAAC-OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0124】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0125】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形状または六角形状に配列しているこ

とを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0126】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0127】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、 2500nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

10

【0128】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0129】

20

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2 θ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0130】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

30

【0131】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0132】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

40

【0133】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2 θ が31°近傍のピークの他に、2 θ が36°近傍にもピークが現れる場合がある。2 θ が36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2 θ が31°近傍に

50

ピークを示し、2 が 36° 近傍にピークを示さないことが好ましい。

【0134】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

10

【0135】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

【0136】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0137】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0138】

30

積層構造

また、酸化物半導体膜 206 は、組成や原子数比の異なる複数の酸化物半導体層が積層された構造としてもよい。また、結晶性の異なる酸化物半導体層どうしを積層しても良い。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、及び C A A C - O S を適宜組み合わせた構成としてもよい。ここで、積層する各酸化物半導体層の構成元素を同一にすることで、各酸化物半導体層における界面の欠陥準位を低減し、当該酸化物半導体膜を用いたトランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0139】

例えば、酸化物半導体膜 206 を第 1 の酸化物半導体層の上に第 2 の酸化物半導体層が設けられた 2 層構造とする。この時、第 1 の酸化物半導体層と第 2 の酸化物半導体層のうち、ゲート電極に近い側（チャネル側）の酸化物半導体層の I_n と G_a の原子数比を $I_n < G_a$ とし、バックチャネル側の酸化物半導体層の I_n と G_a の原子数比を $I_n \geq G_a$ とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

40

【0140】

このような原子数比の酸化物半導体としては、例えば、第 1 の酸化物半導体層の原子数比を $I_n : G_a : Z_n = 1 : 3 : 2$ とし、第 2 の酸化物半導体層の原子数比を $I_n : G_a : Z_n = 1 : 1 : 1$ とする構造が挙げられる。なお、各酸化物半導体層の原子数比は、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。ここで、チャネル形成領

50

域になりうる第2の酸化物半導体層は、CAAC-OS膜とすることが好ましい。

【0141】

さらに第2の酸化物半導体層の上に第3の酸化物半導体層を設ける構成としても良い。例えば、第1の酸化物半導体層の原子数比を $I n : G a : Z n = 1 : 3 : 2$ とし、第2の酸化物半導体層の原子数比を $I n : G a : Z n = 1 : 1 : 1$ とし、第3の酸化物半導体層の原子数比を $I n : G a : Z n = 1 : 3 : 2$ とする構造が挙げられる。なお、各酸化物半導体層の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。ここで、チャネル形成領域になりうる第2の酸化物半導体層は、CAAC-OS膜とすることが好ましい。また、このように3層に積層することで、第1の乃至第3の酸化物半導体層において互いに酸素を拡散させることができる。

10

【0142】

このような3層積層構造の酸化物半導体膜においては、第1の酸化物半導体層および第3の酸化物半導体層の伝導帯の下端より第2の酸化物半導体層の伝導帯の下端の方が真空準位とのエネルギー差が大きくなるような井戸型構造のバンド構造を持つように第1の酸化物半導体層乃至第3の酸化物半導体層を選択することが好ましい。積層する各酸化物半導体層の構成元素を同一にすることで、第1乃至第3の酸化物半導体層の伝導帯の下端は連続的になり、U字型井戸(U Shape Well)構造のバンド構造を持つ。このような酸化物半導体膜とすることにより、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0143】

20

ソース線、ソース電極およびドレイン電極

ソース線208a、ソース線208bおよびトランジスタ102のソース電極およびドレイン電極の他方として機能する導電膜210は同じ層に形成される。これらは、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。

【0144】

例えば、図9(A)および図9(B)に示すように、ソース線208aは、膜厚50nmのタングステン層208aaと、タングステン層208aaの上に設けられた膜厚400nmのアルミニウム層208abと、アルミニウム層208ab上に設けられた膜厚100nmのチタン層208acと、を含む構成とすることができる。また、図9(A)および図9(B)に示すように、導電膜210は、膜厚50nmのタングステン層210aと、タングステン層210aの上に設けられた膜厚400nmのアルミニウム層210bと、アルミニウム層210b上に設けられた膜厚100nmのチタン層210cと、を含む構成とすることができる。なお、ソース線208bについても同様の構成とすることができる。

30

【0145】

保護絶縁膜

保護絶縁膜211は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を、単層で、または積層で用いればよい。

40

【0146】

保護絶縁膜211は、例えば、1層目を酸化シリコン層とし、2層目を窒化シリコン層とした多層膜とすればよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層または酸化窒化シリコン層は、上記ゲート絶縁膜205と同様に、欠陥密度の小さい酸化シリコン層または酸化窒化シリコン層を用いると好ましい。窒化シリコン層または窒化酸化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層または窒化酸化シリコン層を用いる。水素、アンモニアの放出量は、TDS分析にて測定すればよい。また、窒化シ

50

リコン層または窒化酸化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層または窒化酸化シリコン層を用いる。

【0147】

また、加熱処理などを行うことで酸素を放出する、過剰酸素を含む酸化シリコン層または酸化窒化シリコン層を1層目と2層目の間に設けても良い。また、過剰酸素を含む酸化シリコン層として、 SiO_x ($x > 2$) で表される酸化シリコン層を用いてもよい。 SiO_x ($x > 2$) で表される酸化シリコンは、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値とする。

【0148】

このような保護絶縁膜211としては、例えば、図9(A)および図9(B)に示すように、保護絶縁膜211が、第1の酸化窒化シリコン層211a、第1の酸化窒化シリコン層211a上に積層された第2の酸化窒化シリコン層211b、第2の酸化窒化シリコン層211b上に積層された窒化シリコン層211cを含む構成としても良い。

【0149】

第1の酸化窒化シリコン層211aは欠陥密度の小さいものとし、第2の酸化窒化シリコン層211bは過剰酸素を含むものとし、窒化シリコン層211cは、水素およびアンモニアの含有量が少なく、酸素をほとんど透過しないものとする。

【0150】

また、上記において、図10(A)および図10(B)に示すように、保護絶縁膜211が、第1の酸化窒化シリコン層211a、第1の酸化窒化シリコン層211a上に積層された第2の酸化窒化シリコン層211b、第2の酸化窒化シリコン層211b上に積層された窒化シリコン層211c、窒化シリコン層211c上に積層された酸化シリコン層211dを含む構成としても良い。なお、図10(A)および図10(B)に示す液晶表示装置は、窒化シリコン層211c上に積層された酸化シリコン層211dが保護絶縁膜211に含まれることを除いて図9(A)および図9(B)に示す液晶表示装置と同じ構成である。

【0151】

酸化シリコン層211dは、有機シランガスを用いて形成されており、段差被覆性に優れていることからトランジスタ102の保護絶縁膜として有用である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)などのシリコン含有化合物を用いることができる。

【0152】

保護絶縁膜211の表面を酸化シリコン層211dとすることにより、ソース線208aと画素電極105の左端との間の距離、およびソース線208bと画素電極105の右端との間の距離を広げることができる。第1の寄生容量106aおよび第2の寄生容量106bの容量値を下げるができる。また、トランジスタ及び容量素子が設けられる素子部の表面の平坦性を高めることができる。

【0153】

画素電極

画素電極105は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウムスズ、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性の導電性材料を用いることができる。

【0154】

なお、図7において画素電極105の平面形状は、ソース線208a、ソース線208b、ゲート線202および行方向に隣接する画素のゲート線と重畳しないように形成して

10

20

30

40

50

いる。これにより、これらの配線と画素電極 105 とが形成する寄生容量が大きくなることを抑制している。ただし、本実施の形態に示す液晶表示装置はこれに限られるものではない。

【0155】

また、本発明の一態様に係る液晶表示装置は、酸化物半導体膜 206 中でキャリアを生成するおそれがある水素、水分などの不純物が侵入するのを防ぐため、アクリル樹脂、ポリイミド、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の有機絶縁物からなる平坦化膜を設けない構成としている。

【0156】

ただしこれに限られず、酸化物半導体膜 206 中でキャリアを生成するおそれがある水素、水分などの不純物を十分に防ぐことができる絶縁膜などを保護絶縁膜 211 として設けて、上記有機絶縁物からなる平坦化膜を設ける構成としても良い。

10

【0157】

画素構成の変形例 1

なお、図 7 において本発明の一態様に係る液晶表示装置として、容量線 204 を設けて容量素子 104 を形成する構成を示したが、本発明はこれに限られるものではない。容量線を意図的に設けなくても十分な容量を画素電極に形成できる場合、図 11 に示すように容量線を設けない画素構成の液晶表示装置としても良い。このとき、容量線を含んで構成される容量素子は存在しないので、等価回路図上において容量素子の容量値は 0 f F ということになる。なお、図 11 に示す液晶表示装置の画素構成は、容量線を設けていないことを除けば、図 7 に示す液晶表示装置の画素構成と同じなので、詳細は図 7 などに関する記載を参酌することができる。

20

【0158】

画素構成の変形例 2

また、図 7 において本発明の一態様に係る液晶表示装置は、複数の画素がマトリクス状に配置されるストライプ配置を想定しているが、本発明はこれに限られるものではない。例えば、図 12 (A) に示すように、複数の画素をデルタ配置で配列する構成とすることもできる。ただし、図 7 および図 11 に示す画素構成では、ソース線が直線状に列方向に延伸して設けられるが、図 12 (A) に示すように画素をデルタ配置する場合、ソース線が画素 111 のデルタ配置に合わせて S 字状に屈曲して列方向に延伸して設けられる。なお、図 12 (A) に示す画素構成は、ソース線が S 字状に屈曲して列方向に延伸して設けられていること以外は、図 11 に示す液晶表示装置の画素構成と同じである。また、図 12 (A) に示す画素構成において容量線は設けられていないが、図 7 に示す画素構成と同様に容量線を設けることができる。よって、図 12 に示す液晶表示装置の画素構成の詳細は図 7 および図 11 に関する記載を参酌することができる。

30

【0159】

図 12 (A) に示す画素 111 では、ソース線 208 a が画素近傍で屈曲して設けられており、ソース線 208 a が画素電極 105 の左端だけでなく、画素電極 105 の上端部の一部および下端部の一部においても画素電極 105 に近接して設けられている。これにより、画素電極 105 とソース線 208 a が形成する第 1 の寄生容量 106 a が画素電極 105 の左端だけでなく、画素電極 105 の上端部の一部や下端部の一部においても形成されてしまっている。これに対して、画素電極 105 とソース線 208 b が形成する第 2 の寄生容量 106 b は図 7 において示したものと同様に、画素電極 105 の右端だけで形成されている。つまり、第 1 の寄生容量 106 a が形成される領域は、画素電極 105 の上端部の一部や下端部の一部と形成される領域の分だけ、第 2 の寄生容量 106 b が形成される領域より大きくなる。

40

【0160】

よって、上記と同様に画素電極 105 の平面形状を、ソース線 208 a とソース線 208 b の 2 等分線 L1 - L2 に対して概略左右対称とすると、第 1 の寄生容量 106 a が形成される領域が大きい分だけ、第 1 の寄生容量 106 a の容量値の方が第 2 の寄生容量 1

50

0 6 b の容量値より大きくなってしまふ。

【0 1 6 1】

そこで、図 1 2 (A) に示すようにデルタ配置をとる場合、第 1 の寄生容量 1 0 6 a が形成される領域の大きさと第 2 の寄生容量 1 0 6 b が形成される大きさの比に合わせて、画素電極 1 0 5 の平面形状を調節して設ける必要がある。

【0 1 6 2】

例えば、図 1 2 (A) に示すように、第 1 の寄生容量 1 0 6 a を形成するソース線 2 0 8 a の部位 (点線 E 1 - E 2 で示す) の長さ s_1 と、第 2 の寄生容量 1 0 6 b を形成するソース線 2 0 8 b の部位 (点線 F 1 - F 2 で示す) の長さ s_2 と、図 1 2 (B) に示すソース線 2 0 8 a と画素電極 1 0 5 の左端の距離 d_3 と、図 1 2 (C) に示すソース線 2 0 8 b と画素電極 1 0 5 の右端の距離 d_4 と、を考えると、長さ s_2 に対する長さ s_1 の倍率の分だけ、距離 d_4 に対して距離 d_3 を大きくすればよい。よって、 $s_1 : s_2 = d_3 : d_4$ となるように画素電極 1 0 5 の平面形状を設定すればよい。ここで、図 1 2 (B) は図 1 2 (A) 点線 B 3 - B 4 に対応する断面図であり、図 1 2 (C) は図 1 2 (A) の点線 C 3 - C 4 に対応する断面図である。なお、より厳密に計算する場合は、保護絶縁膜 2 1 1 の膜厚や、ソース線 2 0 8 a の上端部と画素電極 1 0 5 との距離、ソース線 2 0 8 a の下端部と画素電極 1 0 5 との距離を含めて計算すればよい。

【0 1 6 3】

画素の作製工程例

次に、図 7 および図 8 に示した液晶表示装置の作製工程の一例について図 1 3 および図 1 4 を用いて説明する。図 1 3 および図 1 4 は、図 7 に示す一点鎖線 A 1 - A 2 および B 1 - B 2 に対応する断面図である。

【0 1 6 4】

まず、基板 2 0 0 上に、上記のゲート線 2 0 2 に用いることができる導電膜を成膜する。ここで導電膜の成膜は、スパッタリング法、化学気相成長 (C V D : C h e m i c a l V a p o r D e p o s i t i o n) 法、分子線エピタキシー (M B E : M o l e c u l a r B e a m E p i t a x y) 法、原子層堆積 (A L D : A t o m i c L a y e r D e p o s i t i o n) 法またはパルスレーザ堆積 (P L D : P u l s e L a s e r D e p o s i t i o n) 法を用いて行うことができる。

【0 1 6 5】

次に、上記導電膜を 1 枚目のマスクを用いてフォトリソグラフィ法などで選択的にパターンニングし、ゲート線 2 0 2 および容量線 2 0 4 を形成する。なお、導電膜のパターンニングは、ドライエッチングまたはウェットエッチングを用いて行えばよい。

【0 1 6 6】

次に、ゲート線 2 0 2 および容量線 2 0 4 上に、上記のゲート絶縁膜 2 0 5 に用いることができる絶縁膜を成膜し、ゲート絶縁膜 2 0 5 を形成する (図 1 3 (A) 参照) 。ここで、ゲート絶縁膜 2 0 5 の成膜は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて行うことができる。

【0 1 6 7】

図 9 (A) および図 9 (B) に示すように、第 1 の窒化シリコン層 2 0 5 a 、第 2 の窒化シリコン層 2 0 5 b 、第 3 の窒化シリコン層 2 0 5 c および酸化窒化シリコン層 2 0 5 d を含むゲート絶縁膜 2 0 5 を形成する場合、例えば、以下のようにプラズマ C V D 法を用いて外気に曝さず連続的に成膜すればよい。まず、第 1 の窒化シリコン層 2 0 5 a を、シラン (SiH_4) 、窒素 (N_2) 、アンモニア (NH_3) の混合ガスを供給してプラズマ C V D 法で成膜する。ここでアンモニアの供給量は、第 2 の窒化シリコン層 2 0 5 b を成膜する際のアンモニアの供給量より少ないものとする。続いて第 2 の窒化シリコン層 2 0 5 b を、シラン (SiH_4) 、窒素 (N_2) 、アンモニア (NH_3) の混合ガスを供給してプラズマ C V D 法で成膜する。続いて第 3 の窒化シリコン層 2 0 5 c を、シラン (SiH_4) と窒素 (N_2) の混合ガスを供給してプラズマ C V D 法で成膜する。最後に酸化窒化シリコン層 2 0 5 d を、シラン (SiH_4) 、一酸化二窒素 (N_2O) の混合ガスを

供給してプラズマCVD法で成膜する。

【0168】

また、酸化窒化シリコン層205dを過剰酸素を含む層にする場合、酸化窒化シリコン層205dに酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いて、導入し、過剰酸素を含む層を形成することができる。

【0169】

なお、下地絶縁膜を設ける場合、ゲート線202の導電膜を成膜する前に、上記のゲート絶縁膜205の成膜方法と同様の方法で下地絶縁膜を成膜すればよい。

【0170】

次に、ゲート絶縁膜205上に、上記酸化物半導体膜206に用いることができる酸化物半導体膜を成膜し、当該酸化物半導体膜を2枚目のマスクを用いてフォトリソグラフィ法などで選択的にパターニングし、酸化物半導体膜206を形成する（図13（B）参照）。

【0171】

当該酸化物半導体膜は、スパッタリング法、塗布法、パルスレーザ蒸着法、レーザーアブレーション法などを用いて形成することができる。スパッタリング法で当該酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置又はDC電源装置などを適宜用いることができる。スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。

【0172】

例えば、スパッタリング法を用いてCAAC-OS膜を成膜する場合、基板加熱温度を100 以上600 以下、好ましくは150 以上550 以下、より好ましくは200 以上500 以下とする。また、酸素ガス雰囲気下で、成膜圧力を0.8Pa以下、好ましくは0.4Pa以下とする。また、ターゲットと基板との距離を40mm以下、好ましくは25mm以下とする。

【0173】

なお、酸化物半導体膜のパターニングは、ドライエッチングまたはウェットエッチングを用いて行えばよく、材料に合わせて、エッチングガス、エッチング液、時間、温度などのエッチング条件は適宜設定すればよい。当該エッチングにより、ゲート絶縁膜205の酸化物半導体膜206と重畳していない領域の膜厚が薄くなる場合がある。

【0174】

酸化物半導体膜206に加熱処理を行うことが好ましい。当該加熱処理は、250 以上650 以下、好ましくは300 以上500 以下で行えばよい。当該加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気、または減圧状態で行う。また、当該加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気としてもよい。なお、当該加熱処理は複数回行ってよく、その場合、後の工程、例えばソース線208aおよびソース線208bを形成した後でさらに加熱処理を行っても良い。

【0175】

当該加熱処理によって、酸化物半導体膜206の結晶性を高め、さらにゲート絶縁膜205または/および酸化物半導体膜206から水素や水などの不純物を除去することができる。また、上記のように酸化物半導体膜206を3層積層構造とすると、第1乃至第3の酸化物半導体層で酸素を相互拡散させることができる。

【0176】

当該加熱処理は、電気炉を用いて行っても良いし、加熱されたガスなどの媒体からの熱

10

20

30

40

50

伝導、又は熱輻射によって、被処理物を加熱する装置を用いて行っても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。

【0177】

なお、酸化物半導体膜206にパターニングする前に当該加熱処理を行っても良い。

10

【0178】

次に、酸化物半導体膜206およびゲート絶縁膜205上に、上記のソース線208a、ソース線208bおよび導電膜210に用いることができる導電膜を成膜する。ここで導電膜の成膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて行うことができる。

【0179】

図9(A)および図9(B)に示すように、タングステン層208aaと、タングステン層208aaの上に設けられたアルミニウム層208abと、アルミニウム層208ab上に設けられたチタン層208acと、を含むソース線208aを形成する場合、例えば、タングステン、アルミニウム、チタンの順番でスパッタリング法を用いて成膜すればよい。なお、導電膜210およびソース線208bも同様に成膜すればよい。

20

【0180】

次に、当該導電膜を3枚目のマスクを用いてフォトリソグラフィ法などで選択的にパターニングし、ソース線208a、ソース線208b(図示せず)および導電膜210を形成する(図14(A)参照)。なお、導電膜のパターニングは、ドライエッチングまたはウェットエッチングを用いて行えばよい。

【0181】

次に、酸化物半導体膜206、ソース線208a、ソース線208bおよび導電膜210上に、上記の保護絶縁膜211に用いることができる絶縁膜を成膜し、保護絶縁膜211を形成する。ここで、保護絶縁膜211の成膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて行うことができる。

30

【0182】

図9(A)および図9(B)に示すように、第1の酸化窒化シリコン層211a、第2の酸化窒化シリコン層211bおよび窒化シリコン層211cを含む保護絶縁膜211を形成する場合、例えば、以下のようにプラズマCVD法を用いて外気に曝さず連続的に成膜すればよい。まず、第1の酸化窒化シリコン層211aを、シラン(SiH_4)、一酸化二窒素(N_2O)の混合ガスを供給してプラズマCVD法で成膜する。続いて第2の酸化窒化シリコン層211bを、シラン(SiH_4)、一酸化二窒素(N_2O)の混合ガスを供給してプラズマCVD法で成膜する。ここで、過剰酸素を含む層とするための第2の酸化窒化シリコン層211bの形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180以上260以下、さらに好ましくは180以上230

40

以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に0.17W/cm²以上0.5W/cm²以下、さらに好ましくは0.25W/cm²以上0.35W/cm²以下の高周波電力を供給する、ことである。最後に窒化シリコン層211cを、シラン(SiH_4)、窒素(N_2)およびアンモニア(NH_3)の混合ガスを供給してプラズマCVD法で成膜する。

【0183】

さらに、図10(A)および図10(B)に示すように、窒化シリコン層211cの上に酸化シリコン層211dを設ける場合、上記有機シランガスをを用いてCVD法で形成す

50

ることができる。

【0184】

次に、保護絶縁膜211の導電膜210と重畳する部分に、4枚目のマスクを用いてフォトリソグラフィ法などで開口222を形成する。なお、保護絶縁膜211のパターニングは、ドライエッチングまたはウェットエッチングを用いて行えばよい。

【0185】

また、基板200上に画素部と平行して、ゲート線駆動回路などの駆動回路部を設ける場合、図15に示すように、基板200上に形成されるゲート線202と同じ層の配線212と、ゲート絶縁膜205上に形成されるソース線208aと同じ層の配線218を接続する必要がある。

10

【0186】

その場合、開口222を形成すると同時に、ゲート絶縁膜205および保護絶縁膜211の配線212と重畳する部分に開口224を形成し、保護絶縁膜211の配線218と重畳する部分に開口226を形成すればよい。これにより、開口222、開口224および開口226を1枚のマスクを用いて形成することができる。

【0187】

次に、保護絶縁膜211上に、上記の画素電極105に用いることができる透光性の導電性材料からなる導電膜を成膜する。ここで当該導電膜の成膜は、蒸着法、スパッタリング法、CVD法、MBE法、ALD法またはPLD法などを用いて行うことができる。

【0188】

20

次に、当該導電膜を5枚目のマスクを用いてフォトリソグラフィ法などで選択的にパターニングし、画素電極105を形成する(図14(B)参照)。画素電極105は開口222を介して導電膜210と接続される。なお、導電膜のパターニングは、ドライエッチングまたはウェットエッチングを用いて行えばよい。

【0189】

ここで、上記のように第1の寄生容量106aおよび第2の寄生容量106bの容量値を概略同程度とするため、画素電極105の平面形状は、ソース線208aとソース線208bの2等分線L1-L2に対して概略左右対称となるようにすることが好ましい。また、距離d1と、距離d2との差が、-10%以上10%以下、より好ましくは-5%以上5%以下となるように、画素電極105のパターニングを行う。

30

【0190】

また、画素電極105の形成と同時に、図15に示すように配線212と配線218を接続する導電膜215も形成される。これにより、5枚という少ないマスク枚数で、液晶表示装置の画素部と駆動回路部の少なくとも一部を基板200上に同時に形成することができる。これにより、液晶表示装置の作製工程の簡略化およびそれに伴う製造コストの削減を図ることができる。

【0191】

なお、配線212と配線218は必ずしも導電膜215を介して接続する必要はない。例えば、図13(A)に示す工程の次に開口224に対応する開口を配線212に重畳してゲート絶縁膜205に設け、当該開口を介して配線212と配線218を直接接続しても良い。

40

【0192】

以上のようにして、トランジスタ102および容量素子104を含む、図7および図8に示す液晶表示装置の画素部を作製することができる。

【0193】

液晶表示装置の具体的な構成

次に、本発明の一態様に係る液晶表示装置の具体的な構成について、図16を用いて説明する。

【0194】

なお、コネクタ、例えばFPC(Flexible printed circuit)

50

t) もしくは T A B (T a p e A u t o m a t e d B o n d i n g) テープもしくは T C P (T a p e C a r r i e r P a c k a g e) が取り付けられたモジュール、T C P の先にプリント配線板が設けられたモジュール、または表示素子に C O G (C h i p O n G l a s s) 方式により I C (集積回路) が直接実装されたモジュールも全て液晶表示装置に含むものとする。

【 0 1 9 5 】

本発明の一態様に係る液晶表示装置の外観および断面について、図 1 6 (A 1) (A 2) (B) を用いて説明する。図 1 6 (A 1) (A 2) は、画素部 4 0 2 に設けられたトランジスタ 1 0 2、ゲート線駆動回路 4 0 4 に設けられたトランジスタ 4 1 2、および液晶素子 1 0 3 を、基板 2 0 0 と対向基板 4 0 0 との間にシール材 4 0 5 によって封止した、パネルの平面図であり、図 1 6 (B) は、図 1 6 (A 1) (A 2) の M - N における断面図に相当する。

10

【 0 1 9 6 】

基板 2 0 0 上に設けられた画素部 4 0 2 と、ゲート線駆動回路 4 0 4 とを囲むようにして、シール材 4 0 5 が設けられている。また画素部 4 0 2 と、ゲート線駆動回路 4 0 4 の上に対向基板 4 0 0 が設けられている。よって画素部 4 0 2 と、ゲート線駆動回路 4 0 4 とは、基板 2 0 0 とシール材 4 0 5 と対向基板 4 0 0 とによって、液晶層 4 0 8 と共に封止されている。また基板 2 0 0 上のシール材 4 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成されたソース線駆動回路 4 0 3 が実装されている。

20

【 0 1 9 7 】

なお、基板 2 0 0 上の画素部 4 0 2 には、上記において示したように、トランジスタ 1 0 2、容量素子 1 0 4 および画素電極 1 0 5 を含む画素が形成されており、それらの構成の詳細については上記の記載を参照することができる。

【 0 1 9 8 】

また、図 1 6 では図示しないが、カラーフィルタ層として機能する着色層を設けることができる。

【 0 1 9 9 】

また、光源として画素に光を照射するバックライトを適宜設けることができる。当該バックライトは、白色の発光ダイオード (L E D) を用いても良いし、赤色 (R)、緑色 (G)、青色 (B) などの各色を組み合わせることで白色を発光させてもよい。各色の発光ダイオードを用いることにより、色再現性を高くすることができ、白色の色合いを調整することができる。例えば、波長 3 8 0 n m 乃至 4 2 0 n m の青色光は目を疲労させる光とされているが、このような波長またはその一部に対応する光を発光する発光ダイオードを調整して、目の疲労を低減させることができる液晶表示装置を提供することができる。特に、上記のオフ電流が著しく低減されたトランジスタを用い、画素電極における保持時間を延長し、ビデオ信号の書き込み頻度を低減する構成と合わせて、当該液晶表示装置をパーソナルコンピュータなどの作業用のディスプレイに用いることで大きな効果が見込まれる。

30

【 0 2 0 0 】

なお、別途形成した駆動回路の接続方式は、特に限定されるものではなく、C O G 方式、ワイヤボンディング方式、或いは T A B 方式などを用いることができる。図 1 6 (A 1) は、C O G 方式によりソース線駆動回路 4 0 3 を実装する例であり、図 1 6 (A 2) は、T A B 方式によりソース線駆動回路 4 0 3 を実装する例である。

40

【 0 2 0 1 】

また基板 2 0 0 上に設けられた画素部 4 0 2 と、ゲート線駆動回路 4 0 4 は、トランジスタを複数有しており、図 1 6 (B) では、画素部 4 0 2 に含まれるトランジスタ 1 0 2 と、ゲート線駆動回路 4 0 4 に含まれるトランジスタ 4 1 2 とを例示している。なお、トランジスタ 4 1 2 は、トランジスタ 1 0 2 と同様の工程で形成することができるので、詳細はトランジスタ 1 0 2 の記載を参照することができる。

【 0 2 0 2 】

50

また、液晶素子 103 が有する画素電極 105 は、トランジスタ 102 と接続されている。そして液晶素子 103 の対向電極 431 は対向基板 400 上に形成されている。画素電極 105 と対向電極 431 と液晶層 408 とが重なっている部分が、液晶素子 103 に相当する。なお、画素電極 105、対向電極 431 はそれぞれ配向膜として機能する絶縁層 432、絶縁層 433 が設けられ、絶縁層 432、絶縁層 433 を介して液晶層 408 を挟持している。

【0203】

なお、対向基板 400 も基板 200 と同様に、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiber glass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

10

【0204】

また構造体 435 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極 105 と対向電極 431 との間の距離 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極 431 は、トランジスタ 102 と同一基板上に設けられる共通電位線と接続される。コモンコンタクト部を用いて、一对の基板間に配置される導電性粒子を介して対向電極 431 と共通電位線とを接続することができる。なお、導電性粒子はシール材 405 に含有させることができる。

20

【0205】

なお液晶素子の電極の構造は、液晶素子の表示モードによって、適宜変更可能である。例えば、液晶素子の表示モードとしては、TN (Twisted Nematic) モード、無電界の時に液晶分子が基板に垂直となるように配向されているVA (Vertical Alignment) モード、突起物を設けることで、液晶分子の配向制御が複数方向となるようにして視野角依存性を補償するMVA (Multi-domain Vertical Alignment) モードなどを用いることができる。

【0206】

また、液晶表示装置では、基板の外側 (視認側) に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板および着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。ブラックマトリクスとして機能する遮光膜は、例えば、画素部 402 において、トランジスタ 102 や配線層と重畳し、画素電極 105 上に開口を有するように設ければよい。

30

【0207】

対向電極 431 は、画素電極 105 と同様に、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウムスズ、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性の導電性材料を用いることができる。

40

【0208】

また別途形成されたソース線駆動回路 403 と、ゲート線駆動回路 404 または画素部 402 に与えられる各種信号および電位は、FPC 418 から供給されている。

【0209】

接続端子電極 415 が、液晶素子 103 が有する画素電極 105 と同じ導電膜から形成され、端子電極 416 は、トランジスタ 102、トランジスタ 412 のソース電極層およびドレイン電極層と同じ導電膜で形成されている。

【0210】

接続端子電極 415 は、FPC 418 が有する端子と、異方性導電膜 419 を介して電

50

氣的に接続されている。

【 0 2 1 1 】

また図 1 6 においては、ソース線駆動回路 4 0 3 を別途形成し、基板 2 0 0 に実装している例を示しているがこの構成に限定されない。ゲート線駆動回路を別途形成して実装しても良いし、ソース線駆動回路の一部またはゲート線駆動回路の一部のみを別途形成して実装しても良い。

【 0 2 1 2 】

液晶表示装置の応用例

次に本発明の一態様に係る液晶表示装置を備えた電子機器について図 1 7 を用いて説明する。このような電子機器としては、テレビ受像器、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、高機能携帯電話（スマートフォン）、携帯型遊技機、電子書籍、またはタブレット型端末等）、記録媒体を備えた画像再生装置（具体的には、記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。以下に具体的な構成を示す。

10

【 0 2 1 3 】

図 1 7 (A) に本発明の一態様に係る液晶表示装置を備えた高機能携帯電話（スマートフォン）の外観を示す。図 1 7 (A) に示す高機能携帯電話は、筐体 6 0 0 と、ボタン 6 0 1 と、マイクロフォン 6 0 2 と、表示部 6 0 3 と、スピーカ 6 0 4 と、カメラ 6 0 5 など

20

【 0 2 1 4 】

表示部 6 0 3 に本発明の一態様に係る液晶表示装置を用いることができる。このような高機能携帯電話の表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ連続使用時間が著しく長い高性能携帯電話を提供することができる。

【 0 2 1 5 】

図 1 7 (B) に本発明の一態様に係る液晶表示装置を備えた携帯型遊技機の外観を示す。図 1 7 (B) に示す携帯型遊技機は、筐体 6 1 1 と、筐体 6 1 2 と、表示部 6 1 3 と、表示部 6 1 4 と、マイクロフォン 6 1 5 と、スピーカ 6 1 6 と、操作ボタン 6 1 7 と、スタイラス 6 1 8 など

30

【 0 2 1 6 】

表示部 6 1 3 および表示部 6 1 4 に本発明の一態様に係る液晶表示装置を用いることができる。このような携帯型遊技機の表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ連続使用時間が著しく長い携帯型遊技機を提供することができる。

40

【 0 2 1 7 】

図 1 7 (C) に本発明の一態様に係る液晶表示装置を備えた二つ折り可能なタブレット端末の外観を示す。図 1 7 (C) に示すタブレット端末は、筐体 6 2 0 と、筐体 6 2 1 と、表示部 6 2 2 と、表示部 6 2 3 と、留め具 6 2 4 と、操作スイッチ 6 2 5 など

【 0 2 1 8 】

表示部 6 2 2 または / および表示部 6 2 3 は、一部または全部にタッチパネル機能を持たせることができ、表示されたシンボルに触れることで、情報処理、ウェブブラウジング機能、ゲーム機能などに対応した各種アプリケーションを利用することができる。

50

【 0 2 1 9 】

表示部 6 2 2 および表示部 6 2 3 に本発明の一態様に係る液晶表示装置を用いることができる。このようなタブレット端末の表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ連続使用時間が著しく長いタブレット端末を提供することができる。

【 0 2 2 0 】

図 1 7 (D) に本発明の一態様に係る液晶表示装置を備えたディスプレイの外観を示す。図 1 7 (D) に示すディスプレイは、筐体 6 3 1 と、表示部 6 3 2 と、支持台 6 3 3 などとを有する。このようなディスプレイは、パーソナルコンピュータ用、TV 放送受信用、広告表示用など幅広く用いることができる。

10

【 0 2 2 1 】

表示部 6 3 2 に本発明の一態様に係る液晶表示装置を用いることができる。このようなディスプレイの表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ消費電力が著しく低いディスプレイを提供することができる。

【 0 2 2 2 】

図 1 7 (E) に本発明の一態様に係る液晶表示装置を備えたデジタルカメラの外観を示す。図 1 7 (E) に示すデジタルカメラは、筐体 6 4 0 と、操作ボタン 6 4 1 と、表示部 6 4 3 などとを有する。表示部 6 4 3 にはタッチパネル機能を持たせることもでき、表示されたシンボルに触れることで、デジタルカメラの操作ができるようにしても良い。

20

【 0 2 2 3 】

表示部 6 4 3 に本発明の一態様に係る液晶表示装置を用いることができる。このようなデジタルカメラの表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ連続使用時間が著しく長いデジタルカメラを提供することができる。

【 0 2 2 4 】

図 1 7 (F) に本発明の一態様に係る液晶表示装置を備えた携帯型のコンピュータの外観を示す。図 1 7 (F) に示すコンピュータは、筐体 6 5 0 と、表示部 6 5 1 と、スピーカ 6 5 3 と、操作キー 6 5 5 と、接続端子 6 5 6 と、ポインティングデバイス 6 5 7 と、外部接続ポート 6 5 8 などとを有する。図 1 7 (F) に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。

30

【 0 2 2 5 】

表示部 6 5 1 に本発明の一態様に係る液晶表示装置を用いることができる。このような携帯型のコンピュータの表示部に本発明の一態様に係る液晶表示装置を用いることにより、高精細な画像を表示でき、且つ連続使用時間が著しく長い携帯型のコンピュータを提供することができる。

【 符号の説明 】

【 0 2 2 6 】

40

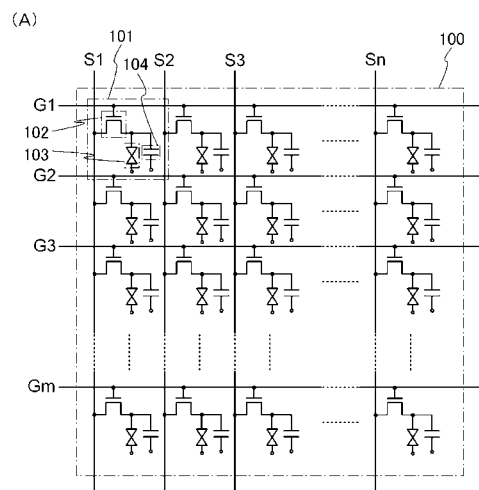
1 0 0	画素部
1 0 1	画素
1 0 2	トランジスタ
1 0 3	液晶素子
1 0 4	容量素子
1 0 5	画素電極
1 0 6 a	寄生容量
1 0 6 b	寄生容量
1 1 1	画素
2 0 0	基板

50

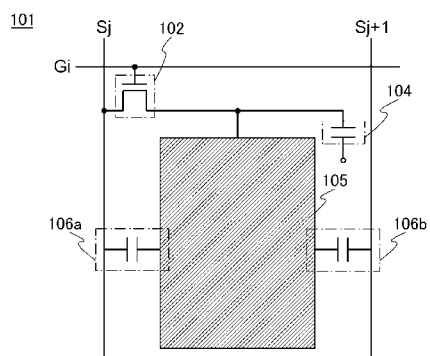
2 0 2	ゲート線	
2 0 4	容量線	
2 0 5	ゲート絶縁膜	
2 0 6	酸化物半導体膜	
2 0 8 a	ソース線	
2 0 8 b	ソース線	
2 1 0	導電膜	
2 1 1	保護絶縁膜	
2 1 2	配線	
2 1 5	導電膜	10
2 1 8	配線	
2 2 2	開口	
2 2 4	開口	
2 2 6	開口	
4 0 0	対向基板	
4 0 2	画素部	
4 0 3	ソース線駆動回路	
4 0 4	ゲート線駆動回路	
4 0 5	シール材	
4 0 8	液晶層	20
4 1 2	トランジスタ	
4 1 5	接続端子電極	
4 1 6	端子電極	
4 1 8	F P C	
4 1 9	異方性導電膜	
4 3 1	対向電極	
4 3 2	絶縁層	
4 3 3	絶縁層	
4 3 5	構造体	
6 0 0	筐体	30
6 0 1	ボタン	
6 0 2	マイクロフォン	
6 0 3	表示部	
6 0 4	スピーカ	
6 0 5	カメラ	
6 1 1	筐体	
6 1 2	筐体	
6 1 3	表示部	
6 1 4	表示部	
6 1 5	マイクロフォン	40
6 1 6	スピーカ	
6 1 7	操作ボタン	
6 1 8	スタイラス	
6 2 0	筐体	
6 2 1	筐体	
6 2 2	表示部	
6 2 3	表示部	
6 2 4	具	
6 2 5	操作スイッチ	
6 3 1	筐体	50

6 3 2	表示部
6 3 3	支持台
6 4 0	筐体
6 4 1	操作ボタン
6 4 3	表示部
6 5 0	筐体
6 5 1	表示部
6 5 3	スピーカ
6 5 5	操作キー
6 5 6	接続端子
6 5 7	ポインティングデバイス
6 5 8	外部接続ポート

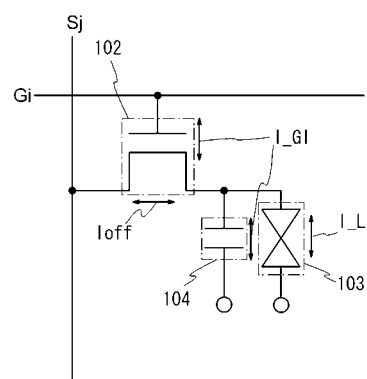
【図 1】



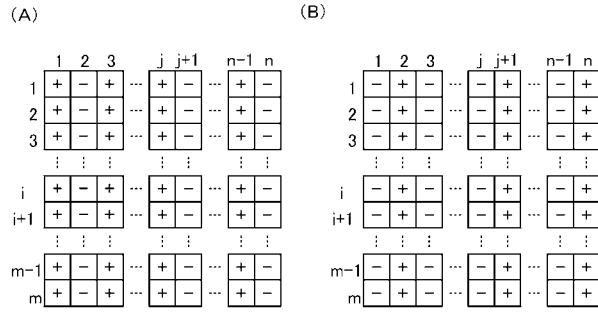
(B)



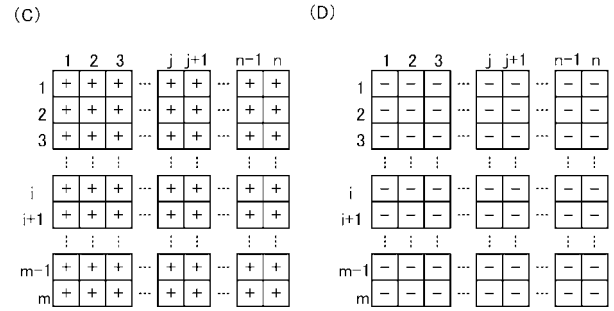
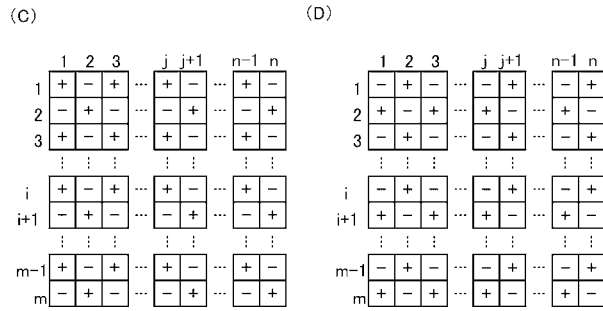
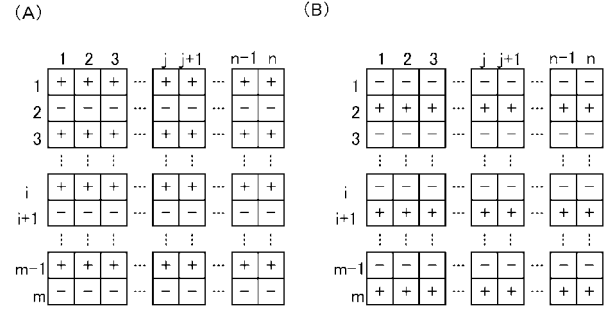
【図 2】



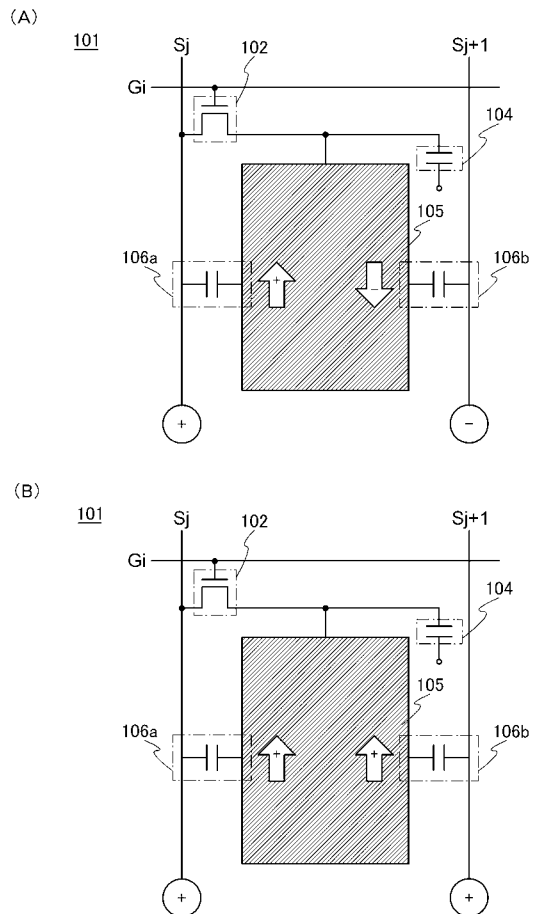
【図 3】



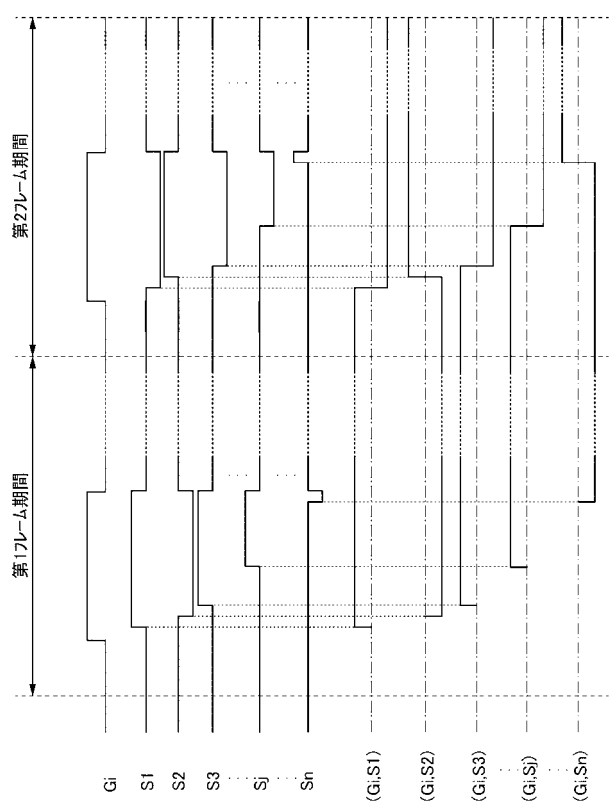
【図 4】



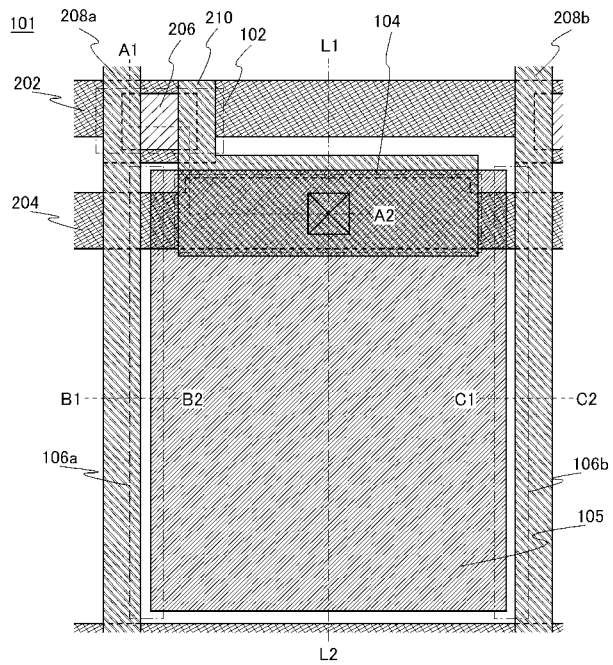
【図 5】



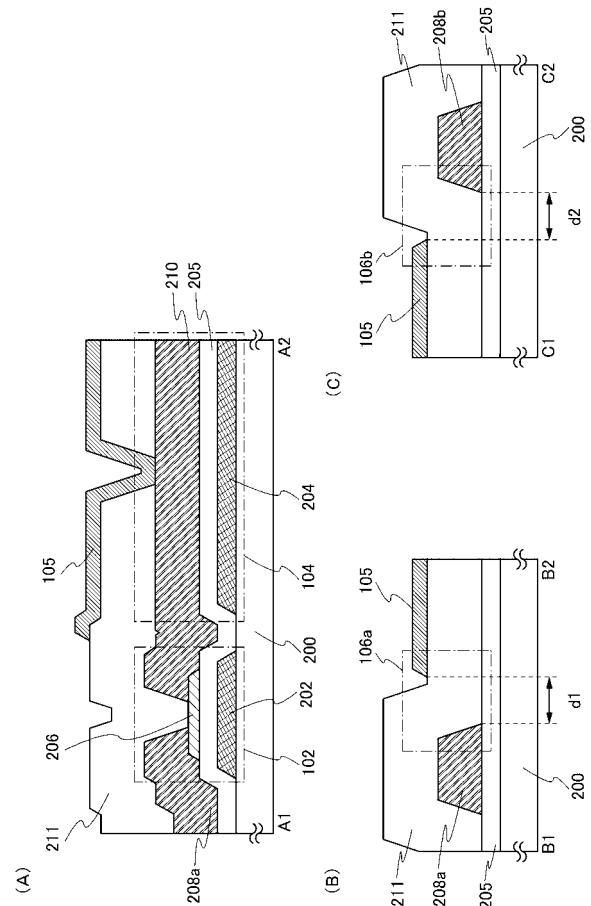
【図 6】



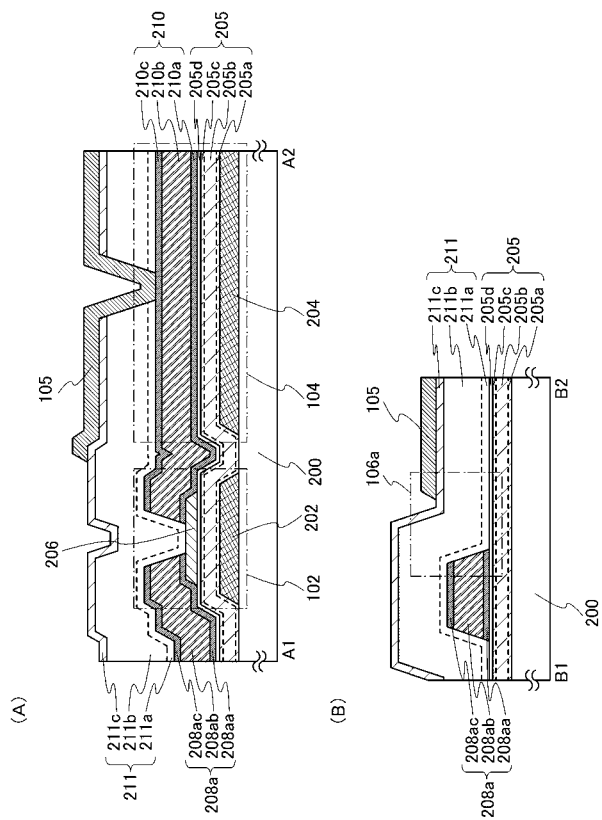
【圖 7】



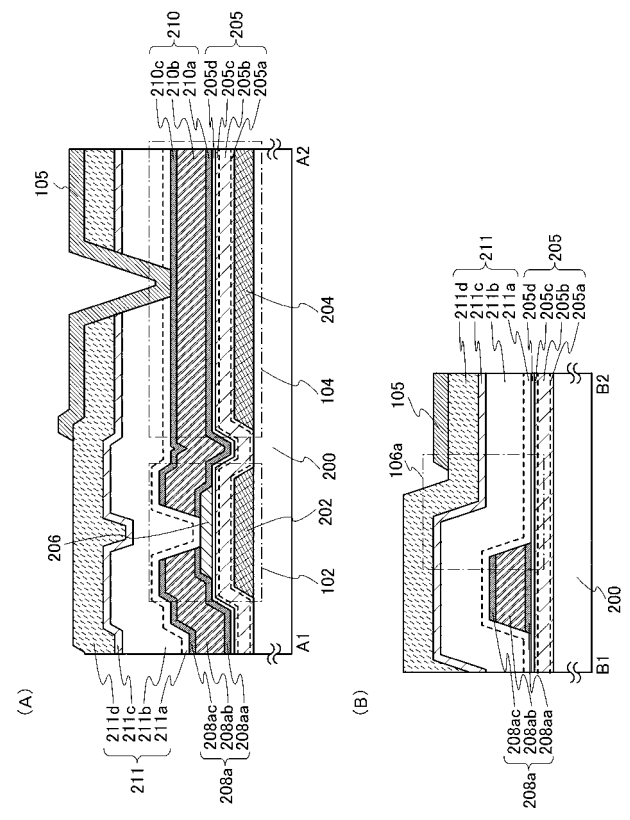
【 図 8 】



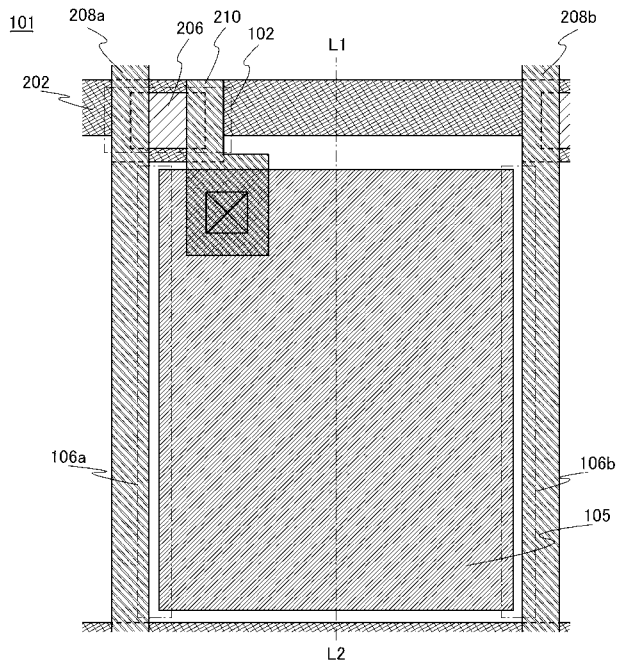
【 図 9 】



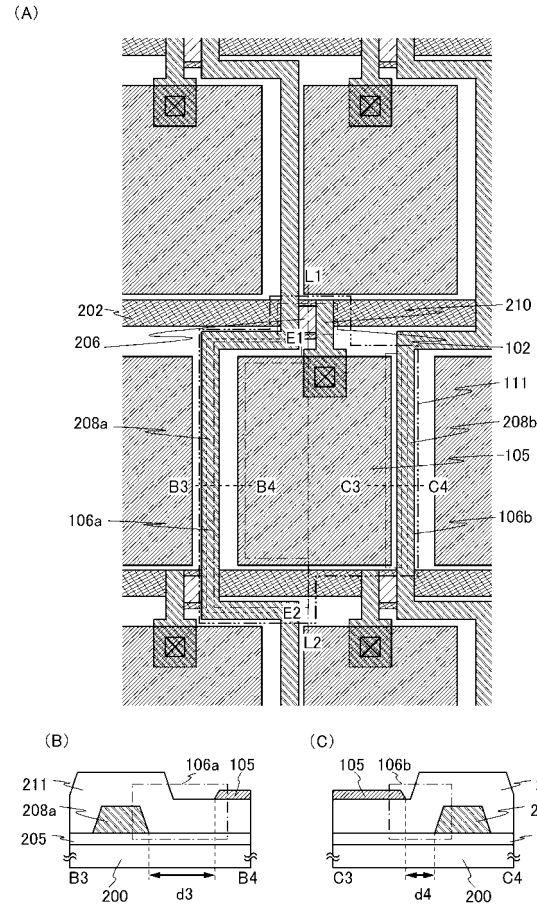
【 図 1 0 】



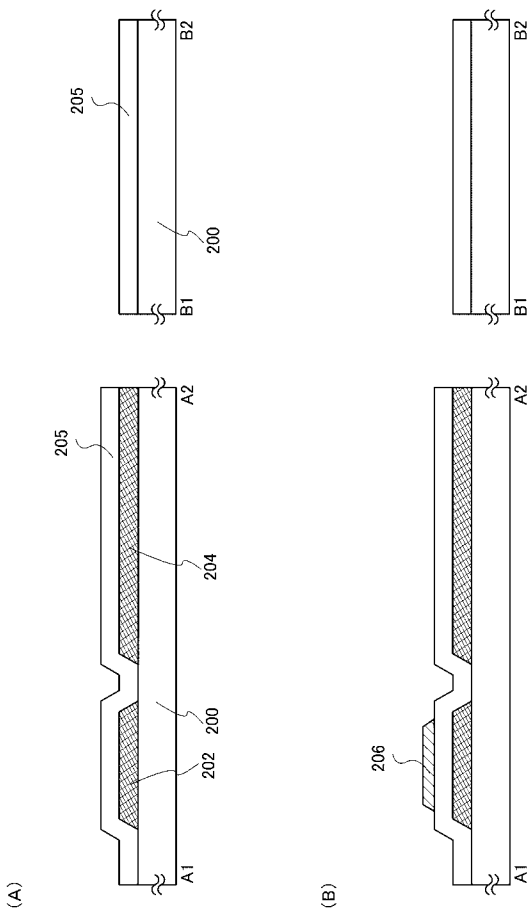
【図 1 1】



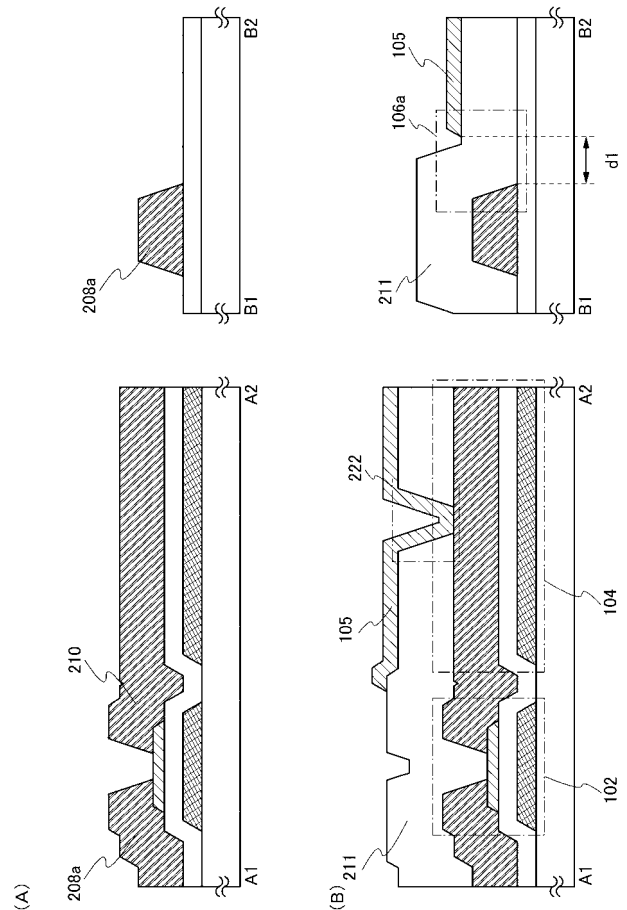
【図 1 2】



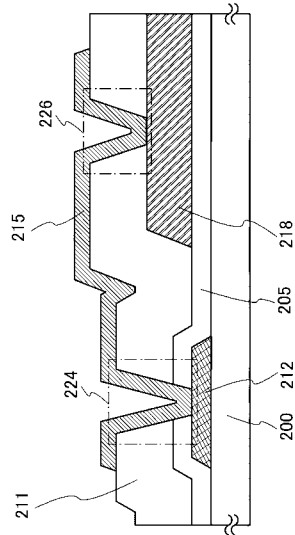
【図 1 3】



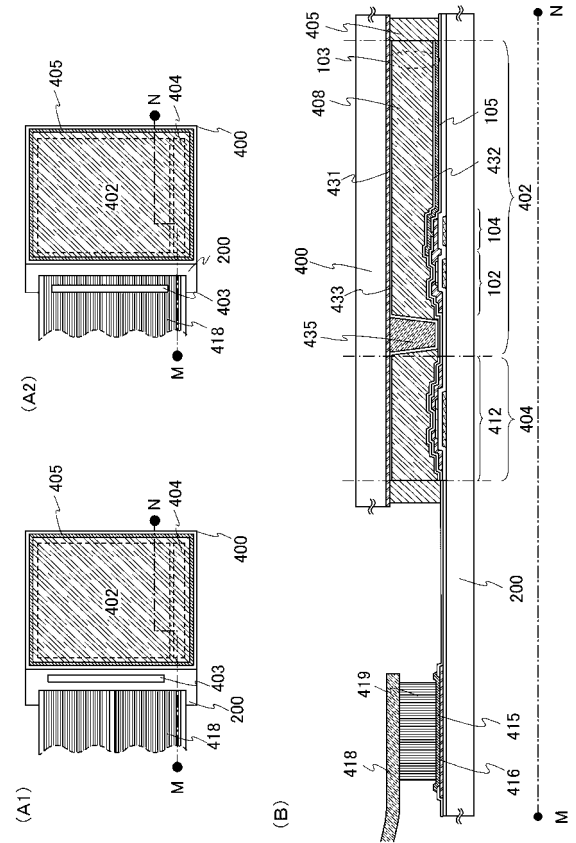
【図 1 4】



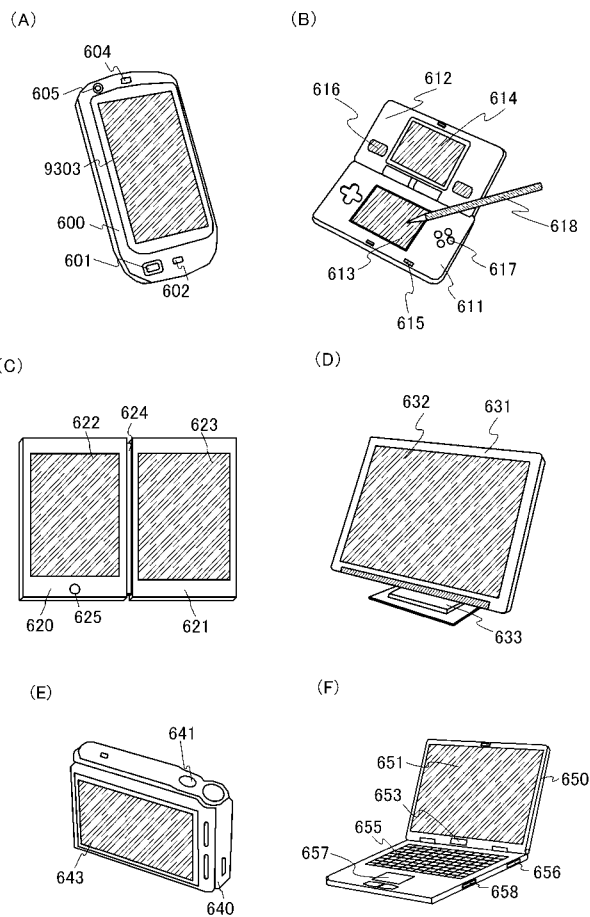
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
G 0 9 G 3/20 (2006.01)	G 0 9 G	3/20	6 2 1 B	5 C 0 9 4
G 0 9 G 3/36 (2006.01)	G 0 9 G	3/20	6 2 3 C	5 F 1 1 0
G 0 9 F 9/30 (2006.01)	G 0 9 G	3/20	6 2 4 B	
	G 0 9 G	3/20	6 2 1 M	
	G 0 9 G	3/20	6 8 0 G	
	G 0 9 G	3/36		
	G 0 9 G	3/20	6 1 1 A	
	G 0 9 G	3/20	6 4 2 D	
	G 0 9 G	3/20	6 1 1 J	
	G 0 9 G	3/20	6 4 2 C	
	G 0 9 G	3/20	6 1 1 D	
	G 0 9 F	9/30	3 3 8	

Fターム(参考)	2H192	AA24	BA13	BC02	CB05	CB37	CB56	CC04	CC32	DA12	DA43
		DA73	DA74	FA73	FB22	FB46	JA05	JA13			
	2H193	ZA04	ZA07	ZC03	ZC07	ZC13	ZC16	ZC25	ZC26	ZE01	ZF21
		ZF31	ZG14	ZP03	ZQ06	ZQ11					
	5C006	AA02	AA16	AA22	AC11	AC21	AC24	AC27	AC28	AF42	AF43
		AF44	AF51	AF69	AF71	BA19	BB16	BC02	BC08	BC20	BF15
		BF42	EA01	EB04	FA06	FA12	FA14	FA18	FA22	FA25	FA29
		FA36	FA37	FA47	FA48	FA51	FA54	FA55	GA03		
	5C080	AA10	BB05	CC03	CC06	DD02	DD03	DD05	DD07	DD08	DD10
		DD25	DD26	DD28	EE01	EE17	EE19	EE28	EE29	FF11	GG05
		GG06	GG07	GG08	JJ02	JJ03	JJ04	JJ06	KK02	KK04	KK07
		KK43	KK50								
	5C094	AA05	AA22	BA03	BA43	CA19	EA04	EA10	FA01	FB02	FB14
		JA06									
	5F110	AA09	BB01	CC07	DD01	EE02	EE03	EE04	EE14	EE42	EE44
		EE45	FF01	FF02	FF03	FF04	FF05	FF09	FF12	FF27	FF28
		FF29	GG01	GG12	GG13	GG15	GG16	GG17	GG19	GG33	GG34
		GG42	GG43	GG58	HK02	HK03	HK04	HK21	HK22	HK32	HK33
		HK34	HK42	HL07	HL22	HL23	HL24	NN02	NN03	NN22	NN23
		NN24	NN27	NN33	NN34	NN35	NN72	NN73			