

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月26日(26.03.2015)



(10) 国際公開番号
WO 2015/040971 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2014/070724
- (22) 国際出願日: 2014年8月6日(06.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-193580 2013年9月18日(18.09.2013) JP
- (71) 出願人: 株式会社 J V C ケンウッド (JVC KENWOOD CORPORATION) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町3丁目12番地 Kanagawa (JP).
- (72) 発明者: 内山 裕治 (UCHIYAMA, Yuji); 〒2210022 神奈川県横浜市神奈川区守屋町3丁目12番地 株式会社 J V C ケンウッド 知的財産部内 Kanagawa (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門1丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

[続葉有]

(54) Title: IMAGE DISPLAY DEVICE

(54) 発明の名称: 画像表示装置

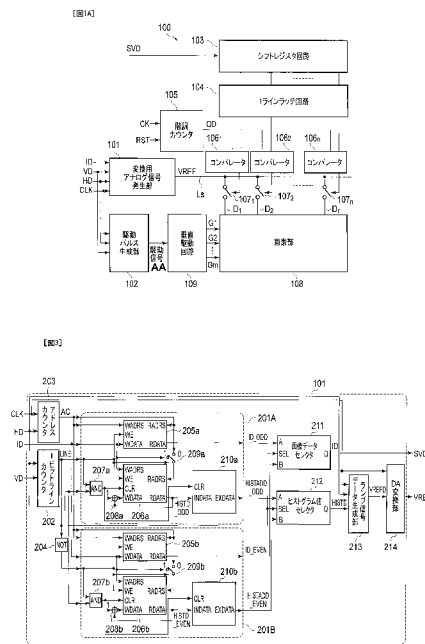


FIG. 1A:
101 Conversion-use analog signal generation unit
102 Drive pulse generation unit
103 Shift register circuit
104 One line latch circuit
105 Gradation counter
106, 106a, 106b Comparator
108 Pixel unit
109 Vertical drive circuit
AA Drive signal

FIG. 3:
202 One bit line counter
203 Address counter
211 Image data selector
212 Histogram value selector
213 Lamp signal data generation unit
214 DA converter

(57) Abstract: The purpose of the present invention is to provide an image display device which can suppress gradation deterioration (waveform interference) without providing dummy pixels, and for which high-quality display excelling in gradation characteristics is possible. An image display device (100) has a conversion-use analog signal generation unit (101). Histogram value output units (206a, 206b) output the histogram value data of image data of each pixel in one line. Accumulators (210a, 210b) accumulate the histogram value data. The accumulation value indicates, from among a plurality of analog switches (1071-107n), the number of analog switches which were switched OFF. According to load fluctuations caused by the magnitude of the number of analog switches which were switched OFF, a lamp signal data generation unit (213) generates lamp signal data that indicates nonlinear inclination the degree of inclination of which was variably controlled in accordance with the accumulation value so that voltage fluctuations in the lamp signal are suppressed. A DA converter (214) converts the lamp signal data to an analog lamp signal and provides the same to the plurality of analog switches.

(57) 要約:

[続葉有]



PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、ダミー画素を設けることなく階調劣化（波形妨害）を抑制でき、階調性に優れた高画質表示が可能な画像表示装置を提供することを目的とする。画像表示装置（100）は、変換用アナログ信号発生部（101）を備える。ヒストグラム値出力部（206a, 206b）は、1ラインの各画素の画像データが有するヒストグラム値データを出力する。累積加算器（210a, 210b）は、ヒストグラム値データを累積加算する。累積加算値は、複数のアナログスイッチ（107₁～107_n）のうちオフされたアナログスイッチ数を示す。ランプ信号データ生成部（213）は、オフされたアナログスイッチ数の大小に起因する負荷変動によって、ランプ信号の電圧変動を抑圧するように、累積加算値に応じて傾斜の程度が可変制御された非線形の傾斜を示すランプ信号データを生成する。DA変換部（214）は、ランプ信号データをアナログ信号のランプ信号に変換して、複数のアナログスイッチに供給する。

明 細 書

発明の名称：画像表示装置

技術分野

[0001] 本開示は、デジタル映像信号をランプ信号などを使ってデジタルーアナログ変換（以下、D A変換）して得たアナログ電圧で表示素子を駆動して画像表示を行う画像表示装置に関する。

背景技術

[0002] 近年、画像表示装置として液晶を用いた表示パネル装置（液晶表示装置）の躍進が著しい。液晶表示装置は、ビデオカメラのビューファインダや液晶表示パネル、自動車用のテレビや、ナビゲーションシステムの表示パネル、ノート型パソコンのディスプレイ等に広く使われている。

[0003] 液晶表示装置は、本来アナログ映像信号を表示する装置である。高精細度、高画質の液晶表示装置の駆動回路は、非常に大規模で、多数のチップを必要とし、かつ精度の高い回路が必要とされる。表示パネルのコストの制約は、表示画質を決定する大きな要素の一つとなっている。

[0004] 近年、周辺回路のデジタル化が進み、それに伴い、映像信号としてデジタルデータを液晶素子に入力するのがシステム全体として好都合である。そこで、表示パネルのコストの制約を満足するためにも、回路規模を増大させずに高画質化を実現するために、デジタル映像信号をアナログ映像信号に変換するD A変換回路を備える画像表示装置が提案されている（特許文献1参照）。

[0005] 特許文献1記載の従来の画像表示装置では、1ラインの画素数に等しい数のビデオスイッチ（アナログスイッチ）を各水平走査期間の初めで同時にすべてオンとし、黒から白までの全映像信号の成分を持った単純な1水平走査期間周期のランプ信号を、アナログスイッチを介してデータ線に供給する。

[0006] カウンタが所定周波数のクロックでカウントし、1水平走査期間内で最小値から最大値まで順次変化するカウンタ値を出力する。

- [0007] コンパレータは、1 水平走査期間内で表示される映像信号の各画素のデジタルデータとカウンタのカウント値とを画素単位で比較して、一致パルスを出力する。コンパレータに対応して設けられたアナログスイッチは、一致パルスによって、一致パルス出力時点以降継続してオフとされる。
- [0008] アナログスイッチのオフ時点直前のランプ信号のレベルがサンプルホールドされて、画素に供給される。これによって、デジタルデータの映像信号がアナログ映像信号へと変換される。
- [0009] 特許文献 1 記載の液晶表示装置は、基準となるランプ信号に基づいて、デジタルデータに応じた所定の電圧をサンプルホールドする方式である。
- [0010] 特許文献 1 記載の液晶表示装置は、回路規模を増大させずに高画質化を実現できるという利点を有する。
- [0011] しかしながら、表示する絵柄によっては複数の画素で同時に同じ電圧をサンプルホールドしたり、あるいは、全くサンプルホールドされない電圧があったりして、ランプ信号に対する負荷状態が大きく変化することが多い。よって、負荷状態の変化によって、表示画像にストリーキングと称される階調劣化を発生させてしまうという課題がある。
- [0012] 図 1 5 A、図 1 5 B は、元画像と階調劣化が生じた表示画像の一例を示す。図 1 5 A に示す元画像は、黒背景であるイメージ 1 a 上に 5 0 % グレー階調のボックス（イメージ 2 a）と、イメージ 2 a と同一階調であり、かつ、水平方向に長いボックス（イメージ 3 a）とが配置された画像である。図 1 5 A においては、5 0 % グレー階調であるイメージ 2 a 及び 3 a を白で表現している。
- [0013] この元画像を液晶表示装置で表示すると、図 1 5 B に示すような画像が表示される。図 1 5 B に示す表示画像は、黒背景であるイメージ 1 b 上にグレー階調のボックス（イメージ 2 b）と、イメージ 2 b と本来同一階調であるにもかかわらず、若干明るさが暗い水平方向に長いボックス（イメージ 3 b）とが配置された画像となる。
- [0014] 表示画像が図 1 5 B のようになるのは、イメージ 3 b の方がイメージ 2 b

よりもグレー階調の水平方向の幅が広いと、1 水平走査期間で同時にオフになっているアナログスイッチの数が少ないためである。

[0015] その原因を図 1 6 及び図 1 7 を用いて説明する。図 1 6 は、特許文献 1 記載の液晶表示装置の要部の一例の等価回路図を示す。図 1 6 において、変換用アナログ信号発生回路の出力等価回路 1 6 1 は、デジタルデータのランプ信号データをアナログ信号のランプ信号に変換する D A 変換器の内部のバッファとその出力インピーダンス Z_0 を示す。変換用アナログ信号発生回路の出力側には n 個のアナログスイッチが並列に接続されている。

[0016] ここで、 n 個のアナログスイッチは画面水平方向の画素数に対応しており、各水平走査期間の始めにすべてオンとされる。

[0017] デジタル映像信号の各画素値と 1 水平走査期間内で最小値から最大値までカウントアップする n 個のカウンタ（図示せず）のカウンタ値とが比較される。カウンタは、両者が一致したときに一致パルスを出力する。一致パルスによって、カウンタ値が一致したカウンタに対応した画素位置のアナログスイッチが次の水平走査期間の始めまでの期間オフとされる。

[0018] アナログスイッチは、1 水平走査期間の最初に最小階調値から開始して 1 水平走査期間の終了直前に最大階調値に達するレベルのランプ信号をオフ時にサンプリングし、サンプリングしたランプ信号電圧を、対応する画素回路に出力する。

[0019] 図 1 6 において、各アナログスイッチの等価回路 1 6 2 は、1 個のアナログスイッチと入力インピーダンス Z_1 との直列回路で表される。 V_0 はデジタルデータのランプ信号データからアナログ信号のランプ信号を生成する D A 変換器内のバッファの出力電圧、 V_1 は D A 変換器から出力されて n 個のアナログスイッチへ共通に供給されるアナログのランプ信号の入力電圧である。

[0020] ここで、あるタイミングで同時にオフになっているアナログスイッチの数を s 個としたときのアナログスイッチの入力電圧 $V_1(s)$ は次の式 (1) で表せる。式 (1) において、 $0 \leq s \leq n$ である。

$$V_1(s) = [Z_1 / \{(n-s)Z_0 + Z_1\}] V_0 \quad \cdots (1)$$

[0021] 図15Bに示す黒い背景（イメージ1b）は $V_0=0$ であるので、式（1）によれば、アナログスイッチの入力電圧 V_1 は0ボルトである。

[0022] $Z_0=1$ 、 $Z_1=100$ 、 $n=256$ とし、図15Bに示す50%グレー階調のイメージ2bの水平幅を64画素、50%グレー階調のイメージ3bの水平幅を128画素とする。このとき、イメージ2b表示時に同時にオフとされるアナログスイッチ数 s は192（ $=256-64$ ）、イメージ3bの表示時に同時にオフとされるアナログスイッチ数 s は128（ $=256-128$ ）となる。

オフとされるアナログスイッチ数 s をアナログスイッチオフ数 s と称する場合がある。

[0023] 50%グレーの画像のときの本来のバッファ出力電圧 V_0 は0.5であるとする。

[0024] このとき、式（1）から、イメージ2bの表示時のアナログスイッチの入力電圧 $V_1(192)$ は0.305、イメージ3bの表示時のアナログスイッチの入力電圧 $V_1(128)$ は0.219である。

[0025] 従って、本来同一階調で表示されるべきイメージ2bとイメージ3bとは、水平方向のグレー階調のイメージの水平幅が互いに異なることから同時にオフとされるアナログスイッチ数 s が異なり、その結果、上記のように階調差が生じる。

[0026] また、イメージ2b及び3bのいずれの表示も、入力電圧 V_1 は0.5（50%）となるべきであるが、低い階調表示となることが分かる。

[0027] 以上から、1ライン表示期間（1水平走査期間）におけるアナログスイッチオフ数 s に応じてバッファ負荷が変動し、階調劣化が生じることが分かる。

[0028] 図17は、アナログスイッチオフ数 s に対する入力電圧 $V_1(s)$ の変化を示すグラフを示す。図17に示すグラフは、 $V_0=0.5$ 、 $Z_0=1$ 、 $Z_1=100$ のときのグラフである。このグラフから、アナログスイッチオフ数 s が多くなるほど、アナログスイッチの入力電圧 $V_1(s)$ は、表示すべき本来の階

調を示す値となっていくことが分かる。

[0029] 上記の課題を解決するために、特許文献2記載の画像表示装置は、次のように構成されている。特許文献2記載の画像表示装置には、画素部の一画素列に対応した数のダミー画素を設けられている。ダミー画素が接続されている1本の信号線には、ランプ信号線を介して供給されるランプ信号による上記信号線の寄生容量の充電電流が流される。

[0030] 画像表示装置は、充電電流を検出する少なくとも1つの電流検出部と、複数のアナログスイッチ（ビデオスイッチ）とランプ信号線との各接続点にそれぞれ一端が接続された配線を備える。画像表示装置は、その配線に、電流検出部により検出された充電電流を流す複数のダミー負荷を備える。

[0031] 特許文献2記載の画像表示装置では、オフになったアナログスイッチに接続されたデータ線に流れていた充電電流と同じ値の電流を、オフになったアナログスイッチに対応したダミー負荷に流すことで、ランプ信号線の電流変化を精度よく補償することができる。その結果、特許文献2記載の画像表示装置では、ランプ信号線の電圧変動を精度よく抑圧することができる。

先行技術文献

特許文献

[0032] 特許文献1：特開平6－178238号公報

特許文献2：特開2011－53644号公報

発明の概要

[0033] しかしながら、特許文献2に記載の液晶表示装置では、液晶素子にダミー画素を設ける必要がある。ダミー画素を設けると、液晶表示素子の内部回路部の増大が画素の高密度化を妨げるばかりでなく、回路増大に伴う歩留まり低下、さらにはコストアップとなる課題がある。

[0034] それに加えて、ダミー画素のばらつきによっては精度よく階調劣化を抑制することができない。液晶表示素子を一旦設計した後では、ダミー画素のばらつきを抑制することもできないため、階調性に優れた高画質表示ができない可能性がある。

- [0035] 実施形態は、ダミー画素を設けることなく階調劣化（波形妨害）を抑制でき、階調性に優れた高画質表示が可能な画像表示装置を提供することを目的とする。
- [0036] 実施形態の一態様によれば、複数のデータ線と複数のゲート線とが交差する交差部にそれぞれ配列された複数の画素からなる画素部と、前記複数のゲート線に順次に画素選択信号を供給して、前記画素部の各画素を1ラインの画素単位で順次に選択する垂直方向駆動部と、前記複数のデータ線に1対1に対応してそれぞれ接続された複数のアナログスイッチと、表示用デジタル映像信号における1ライン分の各画素の画像データを保持する保持部と、各水平走査期間の最初の時点で黒レベルと白レベルとのいずれか一方のレベルから開始し、各水平走査期間の終了直前の時点で他方のレベルに達するような、時間の経過とともにレベルが変化する傾斜を有し、かつ、前記傾斜が前記複数のアナログスイッチのうちオフとされたアナログスイッチの数に対応して可変制御されて非線形の傾斜を示す傾斜波であるランプ信号を生成し、前記ランプ信号を前記複数のアナログスイッチに共通に供給し、前記1ライン分の各画素の画像データを前記ランプ信号に同期させて前記保持部に供給する変換用アナログ信号発生部と、水平走査期間ごとに、水平走査期間の開始時に前記複数のアナログスイッチを同時にオンに制御して前記複数のアナログスイッチを介して前記複数のデータ線に前記ランプ信号を供給し、前記保持部で保持された前記1ライン分の各画素の画像データと、1水平走査期間内で最小の階調値と最大の階調値とうちの一方から他方まで順次に変化する第1のカウンタ値とを画素単位で比較し、比較結果が一致を示したときに前記複数のアナログスイッチのうち一致を示した画素に対応して設けられたアナログスイッチのみを次の水平走査期間の開始時までオフに制御し、オフに制御された前記アナログスイッチに接続された前記データ線を介して、前記画素に、オフに制御される直前の前記ランプ信号の電位をサンプルホールドさせて画像表示させる制御部とを備え、前記変換用アナログ信号発生部は、水平走査期間ごとに、前記1ラインの各画素の画像データが有する階調値

のヒストグラム値を検出して、ヒストグラム値データを出力するヒストグラム値出力部と、前記ヒストグラム値データを累積加算して、前記複数のアナログスイッチのうちオフされたアナログスイッチ数を示す累積加算値を算出する累積加算器と、前記オフされたアナログスイッチ数の大小に起因する負荷変動によって、前記ランプ信号の電圧変動を抑圧するように、前記累積加算値に応じて傾斜の程度が可変制御された非線形の傾斜を示すランプ信号データを生成するランプ信号データ生成部と、前記ランプ信号データをアナログ信号の前記ランプ信号に変換して、前記複数のアナログスイッチに供給するD/A変換部と、前記D/A変換部から出力される前記ランプ信号に同期して、前記1ラインの各画素の画像データを遅延して前記保持部に供給する遅延部とを有することを特徴とする画像表示装置が提供される。

[0037] 実施形態の画像表示装置によれば、ダミー画素を設けることなく階調劣化（波形妨害）を抑制でき、階調性に優れた高画質表示が可能となる。

図面の簡単な説明

[0038] [図1A]図1Aは、一実施の形態の画像表示装置を示すブロック図である。

[図1B]図1Bは、画素の一例の構成図である。

[図2]図2は、一実施の形態の画像表示装置の概略動作を説明するためのタイミングチャートである。

[図3]図3は、図1A中の変換用アナログ信号発生部の具体的な構成例を示すブロック図である。

[図4]図4は、図3に示す変換用アナログ信号発生部の概略動作を説明するためのタイミングチャートである。

[図5]図5は、図3中のヒストグラムメモリ及び累積加算器の動作を説明するためのタイミングチャートである。

[図6]図6は、奇数ラインの画像データ入力期間における入力画像データの階調とヒストグラム値と累積加算値とを示す図である。

[図7]図7は、負荷変動率とアナログスイッチオフ数との関係の一例を示す図である。

[図8]図8は、負荷変動補正データとアナログスイッチオフ数との関係の一例を示す図である。

[図9]図9は、一実施の形態の画像表示装置の表示画像の一例を示す図である。

[図10A]図10Aは、図9に示す表示画像におけるイメージ1Cの負荷変動率を示す図である。

[図10B]図10Bは、図9に示す表示画像におけるイメージ2Cの負荷変動率を示す図である。

[図10C]図10Cは、図9に示す表示画像におけるイメージ3Cの負荷変動率を示す図である。

[図11A]図11Aは、図9に示す表示画像におけるイメージ1Cを表示するときのランプ信号データを示す図である。

[図11B]図11Bは、図9に示す表示画像におけるイメージ2Cを表示するときのランプ信号データを示す図である。

[図11C]図11Cは、図9に示す表示画像におけるイメージ3Cを表示するときのランプ信号データを示す図である。

[図12]図12は、図3中のランプ信号データ生成部の第1構成例を示すブロック図である。

[図13]図13は、図3中のランプ信号データ生成部の第2構成例を示すブロック図である。

[図14]図14は、図3中のランプ信号データ生成部の第3構成例を示すブロック図である。

[図15A]図15Aは、従来の画像表示装置に表示する元画像の一例を示す図である。

[図15B]図15Bは、図15Aに示す元画像を従来の画像表示装置に表示した表示画像を示す図である。

[図16]図16は、変換用アナログ信号発生回路の出力部とアナログスイッチの等価回路の一例を示す図である。

[図17]図 1 7 は、従来の画像表示装置におけるアナログスイッチオフ数とアナログスイッチの入力電圧対との関係の一例を示す図である。

発明を実施するための形態

[0039] 一実施の形態について図面を参照して説明する。図 1 A は一実施の形態の画像表示装置を示すブロック図、図 1 B は画素の一例を示す構成図である。

[0040] 本実施の形態の画像表示装置 1 0 0 は、反射型液晶プロジェクタなどに用いる液晶表示装置である。

[0041] 画像表示装置 1 0 0 は、変換用アナログ信号発生部 1 0 1、駆動パルス生成部 1 0 2、シフトレジスタ回路 1 0 3、1 ラインラッチ回路 1 0 4、階調カウンタ 1 0 5、コンパレータ 1 0 6₁～1 0 6_n、アナログスイッチ 1 0 7₁～1 0 7_n、画素部 1 0 8、垂直駆動回路 1 0 9 を備える。

[0042] 変換用アナログ信号発生部 1 0 1 には、表示すべきデジタル映像信号 I D、垂直同期信号 V D、水平同期信号 H D、クロック C L K が入力される。

[0043] 変換用アナログ信号発生部 1 0 1 は、後述する所定の処理を施して、互いに同期した表示用デジタル映像信号 S V D とランプ信号 V R E F とを発生する。

[0044] 表示用デジタル映像信号 S V D はシフトレジスタ回路 1 0 3 に供給され、ランプ信号 V R E F はランプ信号線 L_s を介してアナログスイッチ 1 0 7₁～1 0 7_n の入力端子に供給される。

[0045] ランプ信号 V R E F は、黒レベル及び白レベルのうち一方のレベルから開始して 1 水平走査期間の終了時点直前には他方のレベルに達するように 1 水平走査期間周期でレベルが漸次変化する傾斜波である。

[0046] 駆動パルス生成部 1 0 2 には、垂直同期信号 V D、水平同期信号 H D、クロック C L K が入力される。駆動パルス生成部 1 0 2 は、表示用デジタル映像信号 S V D とランプ信号 V R E F とに同期した駆動信号を生成し、垂直駆動回路 1 0 9 に供給する。

[0047] シフトレジスタ回路 1 0 3 は、供給される表示用デジタル映像信号 S V D を画素単位で順次シフトする。1 ラインラッチ回路 1 0 4 は、シフトレジス

タ回路 103 から並列に出力されるデジタル映像信号（以下、画素データともいう）を、1ライン単位で一時保持する。

[0048] シフトレジスタ回路 103 及び 1ラインラッチ回路 104 は、表示用デジタル映像信号 SVD における 1ライン分の各画素の画像データを保持する保持部を構成している。

[0049] 階調カウンタ 105 は、デジタル映像信号 ID の同期信号に同期した所定周波数のクロック CK をカウントし、1ライン周期で一巡し、かつ、表示階調の最小値から最大値まで変化するカウンタ値 QD（基準階調データ）を出力する。

[0050] n 個のコンパレータ $106_1 \sim 106_n$ は、画素部 108 の水平方向の n 個の画素ごとに対応して設けられており、階調カウンタ 105 のカウンタ値 QD と、1ラインラッチ回路 104 からの 1ラインの n 個の画素データとを比較し、両者が一致したときに一致パルスを出力する。

[0051] アナログスイッチ $107_1 \sim 107_n$ は、コンパレータ $106_1 \sim 106_n$ 、及び、画素部 108 の水平方向の n 個の画素ごとにそれぞれ対応して設けられている。アナログスイッチ $107_1 \sim 107_n$ は、水平走査期間ごとに、水平走査期間の開始時に同時にオンに制御され、ランプ信号 VREF を、データ線 $D_1 \sim D_n$ を介して、対応して設けられた、画素部 108 の垂直方向の m 個の画素に供給する。

[0052] 画素部 108 は、画面水平方向の画素数 n 個、画面垂直方向の画素数 m 個（すなわち、 m 行 n 列）の 2次元マトリクス状に配置された画素から構成されている。

[0053] 画素部 108 は、同じ垂直方向の m 個の画素単位で n 本のデータ線 $D_1 \sim D_n$ に別々に接続されており、また、同じ水平方向の n 個の画素単位で m 本のゲート線 $G_1 \sim G_m$ に別々に接続されている。

[0054] すなわち、画素部 108 は、 n 本のデータ線 $D_1 \sim D_n$ と m 本のゲート線 $G_1 \sim G_m$ とが交差する各交差部にそれぞれ設けられた、 $n \times m$ 個の画素からなる。

[0055] 各画素としては、例えば図 1B に示す構成の画素 110 を用いることがで

きる。図 1 B において、画素 1 1 0 はデータ線 D とゲート線 G とが交差する交差部に設けられた、画素選択トランジスタ Q、信号保持容量 C_s、液晶素子 1 1 1 から構成されている。

[0056] データ線 D とは、図 1 A のデータ線 D₁ ~ D_n のうちの任意の 1 本であり、ゲート線 G とは、図 1 A のゲート線 G₁ ~ G_m のうちの任意の 1 本である。

[0057] 画素選択トランジスタ Q は、ゲートがゲート線 G に接続され、ドレインがデータ線 D に接続され、ソースが信号保持容量 C_s の非接地側端子と液晶素子 1 1 1 の画素駆動電極 P E とに接続されている。

[0058] 画素 1 1 0 は、ゲート線 G を介して入力される画素選択信号（ゲート信号）により画素選択トランジスタ Q がオンされて選択される。画素 1 1 0 には、アナログスイッチ 1 0 7₁ ~ 1 0 7_n のうち対応して設けられた 1 個のアナログスイッチに接続されたデータ線 D を介してランプ信号が入力される。

[0059] 画素 1 1 0 は、アナログスイッチがオフされた時点でサンプリングされたランプ信号（すなわち、D/A 変換されたアナログ映像信号）を、画素選択トランジスタ Q を介して信号保持容量 C_s に書き込み保持した後、液晶素子 1 1 1 の画素駆動電極 P E に印加するよう構成されている。

[0060] 表示素子の一例としての液晶素子 1 1 1 は、互いに対向して配置された画素駆動電極 P E と、共通電圧 V_{com} が印加される共通電極（透明電極）C E との間に液晶層 L C M が挟持された構造を有する。

[0061] 液晶素子 1 1 1 は、画素駆動電極 P E をアナログ映像信号電圧（ここでは、サンプリングされたランプ信号電圧）に応じた電圧で駆動することで液晶層 L C M の光透過率を制御し、映像を表示する。

[0062] 垂直駆動回路 1 0 9 は垂直方向駆動部を構成しており、駆動信号が入力される。垂直駆動回路 1 0 9 は、m 本のゲート線 G₁ ~ G_m に、水平同期信号 H D に同期した 1 水平走査期間（1 H）単位で 1 本ずつ順次に画素選択信号を供給して、画素部 1 0 8 の同じ水平方向の n 個の画素を同時に選択することを繰り返す。これによって、垂直駆動回路 1 0 9 は、1 フレーム期間で全画素を選択する。

- [0063] 次に、図1Aに示す画像表示装置100の概略動作について図2のタイミングチャートを参照して説明する。
- [0064] 変換用アナログ信号発生部101は、図2の(a)に示す水平同期信号HDに同期した、図2の(b)に示す複数ビットの画素データが時系列的に合成された表示用デジタル映像信号SVDと、図2の(i)に示す1水平走査期間周期のランプ信号VREFとを発生する。
- [0065] シフトレジスタ回路103は、入力された表示用デジタル映像信号SVDを図2の(c)に示すシフトクロックCLKに基づいてシフトして1ライン分ずつ順次展開する。
- [0066] 1ラインラッチ回路104は、シフトレジスタ回路103で1ライン分の表示用デジタル映像信号SVDの展開が終了した時点で、シフトレジスタ回路103から並列に出力される1ライン分の n 個の画素データを、図2の(d)に模式的に示すように一時保持する。1ラインラッチ回路104は、画素データを保持した後、コンパレータ106₁~106_nの第1のデータ入力端子に供給する。
- [0067] 階調カウンタ105は、図2の(e)に示すクロックCKをカウントして、図2の(f)に示すように、複数の階調値が水平走査期間内で最小値から最大値まで順次に変化するカウント値QDを水平走査期間ごとに出力する。階調カウンタ105は、カウント値QDをコンパレータ106₁~106_nの第2のデータ入力端子に共通に供給する。
- [0068] コンパレータ106₁~106_nは、第1のデータ入力端子に画素単位に供給される画素データと、第2のデータ入力端子に共通に供給されるカウント値QDとを互いに独立して比較し、両者が一致したときに一致パルスを出力する。
- [0069] コンパレータ106₁~106_nは、アナログスイッチ107₁~107_nのうち、対応して設けられたアナログスイッチに、一致パルスを供給してオフとする。

階調カウンタ105及びコンパレータ106₁~106_nは、アナログスイッ

チの制御部を構成している。

[0070] アナログスイッチ $107_1 \sim 107_n$ には、図2の (g) に示すスイッチスタートパルスが入力され、各水平走査期間の開始時点ごとにすべて同時にオンとされる。

なお、スイッチスタートパルス、クロックCK、シフトクロックSCLK、ランプ信号VREFは、すべて水平同期信号HDに同期している。

[0071] その後、アナログスイッチ $107_1 \sim 107_n$ は、コンパレータ $106_1 \sim 106_n$ のうち対応して設けられたコンパレータから出力された一致パルスによりオフとされる。

[0072] 図2の (h) は、アナログスイッチ $107_1 \sim 107_n$ のうちのある1つのアナログスイッチの開閉タイミングを示しており、ハイレベルはオン期間、ローレベルはオフ期間を模式的に示している。

[0073] すなわち、図2の (h) は、ハイレベルからローレベルに変化した時点で、当該アナログスイッチが一致パルスを受けてオフとなったことを示している。

[0074] ここでは、図2の (h) に開閉タイミングが示されているアナログスイッチは、そのアナログスイッチが設けられた画素列に対応した1画素の階調値が、ある1ラインではカウント値QDがjのときにオフとされ、次の1ラインではカウント値QDがkのときにオフとされる。

[0075] アナログスイッチ $107_1 \sim 107_n$ に接続されたデータ線の電位は、アナログスイッチ $107_1 \sim 107_n$ のオン期間中は入力されるランプ信号VREFに応じて徐々に高くなっていく。

[0076] アナログスイッチがオフとなった時点以降、次の水平走査期間の開始まではオフ状態が継続されるため、データ線にはアナログスイッチがオフとなる直前の図2の (i) に白丸で示すランプ信号VREFの電位がサンプリング保持される。

[0077] サンプリング保持された電位は、そのデータ線を介して接続された画素部108内の垂直方向に配列されたm個の画素のうち、そのときにゲート線G₁

～ G_m で選択されている1画素の信号保持容量 C_s に保持される。

[0078] このとき保持されたランプ信号 V_{REF} の電圧は、その画素のデジタル映像信号の画素値（階調レベル）に対応している。すなわち、入力された表示用デジタル映像信号 SVD の画素データは、アナログ映像信号に変換されて画素の信号保持容量 C_s に蓄積される。

[0079] このようにして、各画素にはアナログスイッチ $107_1 \sim 107_n$ がオフになる直前の時点のランプ信号 V_{REF} の電圧が、それぞれの画素の信号保持容量 C_s で次のフレームまで保持されて、それぞれの画素の液晶素子が駆動される。

[0080] 画像表示装置100において、アナログスイッチ $107_1 \sim 107_n$ がオフになるタイミング、すなわちランプ信号の電圧をサンプリング保持するタイミングはそのときに表示しようとする映像信号の絵柄によって異なり、すべて同時の場合もあれば互いに異なる場合もある。

[0081] オフになる順序も固定されているわけではない。黒レベル（液晶層の光透過率ゼロ相当）から白レベル（液晶層の光透過率100%相当）へ向かって漸次レベルが変化するランプ信号 V_{REF} を入力した場合であれば、黒側のレベルを表示しようとする画素に繋がるアナログスイッチから順にオフになる。絵柄によってその都度オフになる順番は異なる。

[0082] 画像表示装置100は、ランプ信号を用いたDA変換方式の動作により直線性がよいなどの特長を有する。画像表示装置100は、ダミー画素を画素内に設けることなく、表示用デジタル映像信号の各ライン単位でダイナミックに変動するランプ信号データ生成部の負荷変動に起因するランプ信号の電圧変動による階調劣化（波形妨害）を高精度に抑圧するために、変換用アナログ信号発生部101を設けている。

[0083] 次に、変換用アナログ信号発生部101の構成及び動作について詳細に説明する。

[0084] 図3は、変換用アナログ信号発生部101の具体的な構成例を示すブロック図、図4は、図3の概略動作説明用タイミングチャートを示す。なお、図

4の(a)～(d)と(e)～(r)とは便宜上、時間軸を変えて図示してある。

[0085] 図3に示すように、変換用アナログ信号発生部101には、表示すべきデジタル映像信号ID、垂直同期信号VD、水平同期信号HD、クロックCLKが入力される。

[0086] 変換用アナログ信号発生部101は、奇数ラインランプ信号データ生成部201A、偶数ラインランプ信号データ生成部201B、1ビットラインカウンタ202、アドレスカウンタ203、NOT回路204、画像データセクタ211、ヒストグラム値セクタ212、ランプ信号データ生成部213、DA変換部214を有する。

[0087] 変換用アナログ信号発生部101は、表示用デジタル映像信号SVDとランプ信号VREFとを生成して出力する。

[0088] 奇数ラインランプ信号データ生成部201Aは、奇数1ラインデータメモリ205a（以下、データメモリ205a）、奇数ラインヒストグラムメモリ206a（以下、ヒストグラムメモリ206a）、AND回路207a、加算器208a、スイッチ209a、奇数ライン累積加算器210aを有する。

[0089] ヒストグラムメモリ206aは、水平走査期間ごとに、奇数ラインの1ラインの各画素の画像データが有する階調値のヒストグラム値を検出して、ヒストグラム値データを出力するヒストグラム値出力部である。

[0090] 偶数ラインランプ信号データ生成部201Bは、奇数ラインランプ信号データ生成部201Aと同様の構成である。

[0091] 偶数ラインランプ信号データ生成部201Bは、偶数1ラインデータメモリ205b（以下、データメモリ205b）、偶数ラインヒストグラムメモリ206b（以下、ヒストグラムメモリ206b）、AND回路207b、加算器208b、スイッチ209b、偶数ライン累積加算器210bを有する。

[0092] ヒストグラムメモリ206bは、水平走査期間ごとに、偶数ラインの1ラ

インの各画素の画像データが有する階調値のヒストグラム値を検出して、ヒストグラム値データを出力するヒストグラム値出力部である。

[0093] なお、データメモリ205a及び205b、並びに、ヒストグラムメモリ206a及び206bは、書き込みと読み出しを独立に実行できるデュアルポートメモリである。

[0094] ここで、奇数ラインと偶数ラインとに処理を分けるのは、ヒストグラムを生成するのに1ラインの期間が必要であり、この期間はヒストグラムが確定していないためである。

[0095] すなわち、奇数ライン側処理及び偶数ライン側処理のうち一方の側の処理でヒストグラム値を生成している間は、もう一方の側の処理でヒストグラム値を読み出し、これを1ラインごとに交互に切り換えるためである。

[0096] データメモリ205a及び205bは、ヒストグラム生成で生じる1ライン分の時間遅延にタイミングを合わせるために用いられる。

[0097] 1ビットラインカウンタ202には、図4の(b)に示す垂直同期信号VDと、図4の(c)及び(g)に示す水平同期信号HDとが供給される。1ビットラインカウンタ202は、図4の(a)及び(e)に示す入力デジタル映像信号の画像データIDが、奇数ライン画像データID(1), ID(3), ...であるか、偶数ライン画像データID(2), ID(4), ...であることを示す判定信号LINEを生成する。

[0098] 図4の(d)及び(h)に示すように、判定信号LINEは、一例として、画像データが奇数ラインの場合“1”、偶数ラインの場合“0”とする。

[0099] 1ビットラインカウンタ202は、判定信号LINEをライトイネーブル信号として、データメモリ205a及びヒストグラムメモリ206aの各ライトイネーブル端子WEに供給する。

[0100] NOT回路204は判定信号LINEを極性反転し、極性反転した信号をライトイネーブル信号としてデータメモリ205b及びヒストグラムメモリ206bの各ライトイネーブル端子WEに供給する。

[0101] AND回路207aは、判定信号LINEと水平同期信号HDとを論理積演算

して、ヒストグラムメモリ206a及び奇数ライン累積加算器210aの各クリア端子CLRにクリア信号としてそれぞれ供給する。

[0102] AND回路207bは、NOT回路204で判定信号LINEを極性反転した信号と水平同期信号HDとを論理積演算して、ヒストグラムメモリ206b及び偶数ライン累積加算器210bの各クリア端子CLRにクリア信号としてそれぞれ供給する。

[0103] アドレスカウンタ203は、水平同期信号HDと図4の(f)に示すクロックCLKとから画像データIDに同期した、図4の(i)に模式的に示すカウンタ値ACを生成する。

[0104] アドレスカウンタ203は、カウンタ値ACをデータメモリ205a及び205bの各書き込みアドレス端子WADRSと読み出しアドレス端子RADRSにそれぞれ供給する。

[0105] データメモリ205a及び205bは、ライトイネーブル信号が“1”のとき、端子WDATAに入力される画像データIDを書き込み、ライトイネーブル信号が“0”のとき、書き込まれている画像データを端子RDATAから読み出す。

[0106] データメモリ205a及び205bには、前述したように互いに逆極性で、奇数ラインのとき“1”、偶数ラインのとき“0”であるライトイネーブル信号が供給される。

[0107] よって、データメモリ205aは、奇数1ラインの画像データを書き込み、その奇数1ラインの画像データを、図4の(j)に模式的に示すように、次の偶数1ライン入力期間に読み出す。

[0108] データメモリ205bは偶数1ラインの画像データを書き込み、その偶数ラインの画像データを、図4の(n)に模式的に示すように、次の奇数1ライン入力期間に読み出す。

[0109] 画像データセクタ211は、セレクト端子SELに供給される判定信号LINEが“0”のとき、端子Aに供給されているデータメモリ205aから読み出された奇数1ラインの画像データID_ODDを選択して出力する。

- [0110] 画像データセクタ211は、判定信号LINEが“1”のとき、端子Bに供給されているデータメモリ205bから読み出された偶数1ラインの画像データID_EVENを選択して出力する。
- [0111] これにより、画像データセクタ211は、図4の(q)に模式的に示すように、入力画像データIDの奇数1ライン入力期間は偶数1ラインの画像データを選択し、偶数1ライン入力期間は奇数1ラインの画像データを選択する。
- [0112] 画像データセクタ211は、選択した画像データを、表示用デジタル映像信号SVDとして、図1Aのシフトレジスタ回路103に供給する。
- [0113] データメモリ205a及び205bと画像データセクタ211からなる構成は1ライン遅延回路（遅延部）であって、奇数ラインと偶数ラインを選択的に出力する機能を有する。
- [0114] データメモリ205a及び205bと画像データセクタ211よりなる遅延部は、DA変換部214から出力されるランプ信号VREFに同期して、1ラインの各画素の画像データを遅延して、シフトレジスタ回路103及び1ラインラッチ回路104よりなる保持部に供給する。
- [0115] ヒストグラムメモリ206aは、データメモリ205aが奇数1ラインの画像データの書き込み中の期間、1ライン分のヒストグラムを書き込む。ヒストグラムメモリ206bは、データメモリ205bが偶数1ラインの画像データ書き込み中の期間、1ライン分のヒストグラムを書き込む。
- [0116] 加算器208a、208bは、ヒストグラムメモリ206a、206bの端子RDATAより出力された読み出しデータに“1”を加算して、端子WDATAに供給する。
- [0117] つまり、ヒストグラムメモリ206a及び206bは、入力画像データIDが書き込みアドレス端子WADRSに供給され、加算器208a、208bがヒストグラムメモリ206a、206bからの読み出しデータに“1”を加算した値をヒストグラムメモリ206a及び206bに書き込むことでヒストグラム値を生成する。

- [0118] ヒストグラムメモリ206a, 206bからの読み出しデータは、書き込みアドレス端子WADRSに供給された入力画像データIDの画素の階調に対応したアドレスに記憶されていた値である。
- [0119] ヒストグラムメモリ206a及び206bは、クリア信号により1ライン書き込み開始前に、以前記憶した別ラインのヒストグラム値がすべてクリアされる。
- [0120] ヒストグラムメモリ206a及び206bの読み出しアドレス端子RADRSには、スイッチ209a, 209bを介して互いに逆論理値の読み出しアドレス信号が供給され、書き込みを行わない各ラインで読み出し動作が行われる。
- [0121] 奇数ライン累積加算器210aは、AND回路207aからの1水平走査期間(1H)周期の信号によりクリアされた後、ヒストグラムメモリ206aの端子RDATAから1H内で順次に読み出される、図4の(k)に模式的に示す奇数ラインの複数のヒストグラム値HISTD_ODDを累積加算する。
- [0122] 奇数ライン累積加算器210aは、図4の(m)に模式的に示すように、算出した累積加算値HISTADD_ODDを出力する。
- [0123] 偶数ライン累積加算器210bは、AND回路207bからの1H周期の信号によりクリアされた後、ヒストグラムメモリ206bの端子RDATAから1H内で順次に読み出される、図4の(o)に模式的に示す偶数ラインの複数のヒストグラム値HISTD_EVENを累積加算する。
- [0124] 偶数ライン累積加算器210bは、図4の(p)に模式的に示すように、算出した累積加算値HISTADD_EVENを出力する。
- [0125] ヒストグラム値セクタ212は、セレクト端子SELに供給される判定信号LINEが“0”のとき、端子Aに供給されている奇数ライン累積加算器210aから読み出された図4の(m)に示す奇数ラインの累積加算値HISTADD_ODDを選択して出力する。
- [0126] ヒストグラム値セクタ212は、判定信号LINEが“1”のとき、端子Bに供給されている偶数ライン累積加算器210bから読み出された図4の(

p) に示す偶数ラインの累積加算値HISTADD_EVENを選択して出力する。

[0127] これにより、ヒストグラム値セクタ212は、図4の(r)に模式的に示すように、画像データセクタ211から出力されている1ラインの画像データと同じラインのヒストグラム値を示すヒストグラム値データHISTDを出力する。

[0128] なお、図4の(r)において、HISTD(1)で示すa1, b1, c1, d1, …は、奇数ライン画像データID(1)の各階調の出現頻度（ヒストグラム値）である。HISTD(2)で示すa2, b2, c2, d2, …は、偶数ライン画像データID(2)の各階調の出現頻度（ヒストグラム値）である。

[0129] 次に、ヒストグラムメモリ206a及び206b、奇数ライン累積加算器210a及び偶数ライン累積加算器210bの動作を、図5のタイミングチャートを参照してさらに詳細に説明する。

[0130] 図5の(a)に示す入力画像データIDは、垂直同期信号（垂直リセット信号）VD、図5の(c)に示す水平同期信号（水平リセット信号）HD、及び、図5の(b)に示すクロックCLKに同期している。

[0131] 図5の(d)は、図3の1ビットラインカウンタ202より出力される判定信号LINEを示している。ここでは、判定信号LINEは、入力画像データIDが奇数ラインの画像データID(11)のとき“1”、偶数ラインの画像データID(12)のとき“0”である。

[0132] アドレスカウンタ203は、図5の(e)に示すように、一例として、1H期間内で“0”から“7”まで1ずつカウントアップしてカウンタ値ACを出力する。アドレスカウンタ203は、1Hごとにカウントアップを繰り返す。ここでは、説明を簡単にするため、1H期間の画像データ数（水平画素数）を“8”としている。

[0133] 判定信号LINEが“1”である奇数ラインの画像データ入力期間では、ヒストグラムメモリ206aは奇数ラインのヒストグラムを生成する。

[0134] この期間では、ヒストグラムメモリ206aの書き込みイネーブル端子WEには、図5の(h)に示すように、判定信号LINE“1”がライトイネーブル

信号として入力される。

- [0135] ヒストグラムメモリ206aの読み出しアドレス端子RADRSには、端子“1”側に接続されたスイッチ209aを介して、図5の(j)に模式的に示すように、図5の(a)に示す奇数ラインの入力画像データID(11)が入力される。
- [0136] ヒストグラムメモリ206aの書き込みアドレス端子WADRSには、図5の(i)に模式的に示す入力画像データID(11)の画素値が書き込みアドレスとして入力される。ヒストグラムメモリ206aは、入力画像データID(11)の画素値を書き込みアドレスとして、端子WDATAに供給される図5の(m)に模式的に示す加算器208aからのデータを書き込む。
- [0137] ヒストグラムメモリ206aの端子RDATAから読み出されるデータは、図5の(k)に示すように、データが読み出される以前に、書き込みアドレス端子WADRSに入力されたその書き込みアドレスが選択された回数を示す。
- [0138] よって、ヒストグラムメモリ206aに書き込まれる書き込みデータは、端子RDATAから読み出された、書き込みアドレスが選択された回数を示すデータに加算器208aで“1”を加算した値のデータである。
- [0139] すなわち、入力画像データID(11)の1ラインの8つの画素が、例えば図5の(a)に示すように、2, 5, 3, 2, 7, 2, 5, 3の各画素値(階調)で順番に入力されるとき、ヒストグラムメモリ206aは、それぞれの階調を示すアドレスを書き込みアドレス及び読み出しアドレスとして選択する。
- [0140] ヒストグラムメモリ206aは、選択した書き込みアドレス及び読み出しアドレスの回数に“1”を加算した値を書き込む。
- [0141] ヒストグラムメモリ206aのクリア端子CLRには、AND回路207aより水平同期信号HDがクリア信号として入力される。
- [0142] ヒストグラムメモリ206aに書き込まれたアドレス0~7の書き込みデータ値(ヒストグラム値)は、クリア信号によって、図5の(g)に示すように、水平同期信号HDの立ち上がりエッジですべて0にクリアされる。

- [0143] 従って、ヒストグラムメモリ206aにおけるアドレス0～7の書き込みデータ値は、最初はすべて“0”である。
- [0144] 図5の(k)に示すように、最初から3つの入力画素値に対応した読み出しアドレス2, 5, 3からはデータ値“0”が読み出される。
- [0145] 図5の(m)に示すように、アドレス2, 5, 3のデータ値“0”に“1”が加算されて、ヒストグラムメモリ206aには、アドレス2, 5, 3のデータ値“1”がそれぞれ書き込まれる。
- [0146] 続く4番目の画素値に対応した読み出しアドレス2からは以前に書き込まれた“1”が読み出され、それに“1”を加算して“2”がアドレス2に上書きされる。
- [0147] 以下、同様にして、1ラインの画素入力後には図5の(n)に示すように、アドレス2の書き込みデータ値が“3”、アドレス3, 5の各書き込みデータ値が“2”、アドレス7の書き込みデータ値が“1”で、それ以外のアドレス0, 1, 4, 6は“0”となる。
- [0148] つまり、ヒストグラムメモリ206aには、階調値をアドレスとし、アドレスに書き込まれたデータ値を階調の累計値とする、奇数ラインの8つの画素の階調ごとの累計値であるヒストグラム値HISTD_Qが記憶されることになる。
- [0149] このようにして、ヒストグラムメモリ206aは、判定信号LINEが“1”であるとき、奇数ラインの入力画像データの各階調のヒストグラム値HISTD_ODDを生成する。
- [0150] 続いて、判定信号LINEが“0”である偶数ラインの画像データ入力期間では、ヒストグラムメモリ206aの上記の動作と同様の動作により、ヒストグラムメモリ206bは偶数ラインの入力画像データの各階調のヒストグラム値HISTD_EVENを生成する。
- [0151] これと同時に、ヒストグラムメモリ206aは、“1”のライトイネーブル信号が供給されないので読み出し動作のみを行い、直前の奇数ラインの画像データ入力期間に記憶したヒストグラム値HISTD_ODDを用いて負荷変動を補

正する。

- [0152] 偶数ラインの画像データ入力期間では、スイッチ209aが端子“0”側に切り換え接続される。よって、ヒストグラムメモリ206aの端子RADRSには、図5の(j)及び(f)に示すように、図5の(e)に示すカウンタ値ACがスイッチ209aを介して読み出しアドレスとして供給される。
- [0153] これにより、ヒストグラムメモリ206aは、水平同期信号をリセットとし、1ずつインクリメントするカウンタ値ACの値を読み出しアドレスとする。ヒストグラムメモリ206aは、図5の(n)に示す奇数ラインの画像データ入力期間に記憶したヒストグラム値HISTD_ODDを、図5の(k)に示すように順次に出力量する。
- [0154] ヒストグラム値HISTD_ODDは、アドレス2から読み出される階調値“2”が3、アドレス3、5からそれぞれ読み出される階調値“3”，“5”がそれぞれ2、アドレス7から読み出される階調値“7”が1で、それ以外の階調値“0”，“1”，“4”，“6”は0である。
- [0155] なお、ヒストグラム値は1ライン遅延しており、この期間に対応した奇数ラインの画像データも、データメモリ205aから1ライン遅延されてID_ODDとして出力される。
- [0156] 奇数ライン累積加算器210aの端子INDATAには、ヒストグラムメモリ206aから読み出された図5の(k)に示す奇数ラインの階調のヒストグラム値HISTD_ODDが入力される。奇数ライン累積加算器210aは、ヒストグラム値HISTD_ODDを累積加算し、図5の(o)に示す累積加算値HISTADD_ODDを端子EXDATAから出力する。
- [0157] この累積加算値HISTADD_ODDは、その時点でオフされているアナログスイッチの数sを示している。
- [0158] 以上説明した奇数ラインの画像データ入力期間における入力画像データID(11)の階調(データレベル)と、ヒストグラム値HISTD_ODDと、累積加算値HISTADD_ODDとをまとめると図6に示すとおりとなる。
- [0159] 偶数ラインの画像データ入力期間においては、偶数ラインランプ信号デー

タ生成部201Bによって、奇数ラインの画像データ入力期間と同様の動作が行われる。このときの動作は1H期間奇数ラインの動作とずれているだけであり、その動作は容易に類推できるのでその詳細な説明は省略する。

[0160] ヒストグラムメモリ206bは、偶数ラインのヒストグラム値HISTD_EVENを出力し、偶数ライン累積加算器210bは偶数ラインのオフされているアナログスイッチ数sを示す累積加算値HISTADD_EVENを出力する。

[0161] ヒストグラムメモリ206a及び206bは、ランプ信号を1H期間内で最も低い階調レベルから最も高い階調レベル方向へ波形を変化させる場合は、最も低い階調0のヒストグラム値から最も高い階調のヒストグラム値の方向の順で水平同期信号に同期して出力する。

[0162] 逆に、ヒストグラムメモリ206a及び206bは、ランプ信号を1H期間内で最も高い階調レベルから最も低い階調レベル方向へ波形を変化させる場合は、最も高い階調のヒストグラム値から最も低い階調のヒストグラム値の方向の順で水平同期信号に同期して出力する。

以下の説明ではランプ信号の波形は前者の場合であるとする。

[0163] 図3に示すヒストグラム値セクタ212は、セレクト端子SELに供給される判定信号LINEが“0”のとき、図5の(p)に模式的に示すように、端子Aに供給されている奇数ライン累積加算器210aから出力された奇数ラインの累積加算値HISTADD_ODDを選択してヒストグラム値データHISTDとして出力する。

[0164] この期間では、画像データセクタ211からは、図5の(q)に模式的に示すように、同じ奇数ラインの画像データID_ODDが出力される。

[0165] また、ヒストグラム値セクタ212は、セレクト端子SELに供給される判定信号LINEが“1”のとき、端子Bに供給されている偶数ライン累積加算器210bから出力された偶数1ラインの累積加算値HISTADD_EVENを選択してヒストグラム値データHISTDとして出力する。

[0166] 図3に示すランプ信号データ生成部213には、ヒストグラム値セクタ212から選択されて出力されたヒストグラム値データHISTDと、クロックC

L K と、水平同期信号 H D とが供給される。

- [0167] ランプ信号データ生成部 2 1 3 は、1 H 期間の最初で最小の階調値から開始して 1 H 期間の終了直前で最大の階調値を示す傾斜波であり、かつ、その傾斜の程度が累積加算値に応じて可変制御された非線形の傾斜を示すデジタル値のランプ信号データ V R E F D を生成する。
- [0168] D A 変換部 2 1 4 は、バッファを内蔵しており、デジタル信号であるランプ信号データ V R E F D をクロック C L K に基づきアナログ信号のランプ信号 V R E F に変換する。D A 変換部 2 1 4 は、図 1 A に示すランプ信号線 L s を介して、ランプ信号 V R E F をアナログスイッチ 1 0 7₁ ~ 1 0 7_n にそれぞれ供給する。
- [0169] ランプ信号データ生成部 2 1 3 は、傾斜の程度が累積加算値に応じて可変制御された非線形の傾斜を示すデジタル値のランプ信号データ V R E F D を生成する。よって、変換用アナログ信号発生部 1 0 1 は、D A 変換部 2 1 4 の出力インピーダンスと、アナログスイッチ 1 0 7₁ ~ 1 0 7_n を代表とする入力インピーダンスとでダイナミックに生じる負荷変動に起因するランプ信号の電圧変動を抑圧する。
- [0170] ランプ信号の電圧変動の抑圧について具体的に説明する。D A 変換部 2 1 4 及びアナログスイッチ 1 0 7₁ ~ 1 0 7_n からなる回路部の等価回路は従来と同様に図 1 6 で表される。ここで、図 3 に示す D A 変換部 2 1 4 内のバッファの出力インピーダンスを Z_0 、図 1 A に示すアナログスイッチ 1 0 7₁ ~ 1 0 7_n 1 個当たりの入力インピーダンスを Z_1 とし、入力された階調を表示するためにオフされるアナログスイッチの数を s とすると、負荷変動率は次式で表される。
- $$\text{負荷変動率} = V_1(s) / V_0 = Z_1 / \{ (n - s) Z_0 + Z_1 \} \quad \cdots (2)$$
- [0171] 式 (2) において、 $0 \leq s \leq n$ であり、 V_0 は D A 変換部 2 1 4 内のバッファの出力電圧、 $V_1(s)$ は D A 変換部 2 1 4 からランプ信号線 L s を介して n 個のアナログスイッチへ供給されるランプ信号電圧である。
- [0172] 図 7 は、負荷変動率とアナログスイッチオフ数 s との関係の一例のグラフ

を示す。 $Z_0 = 1$ 、 $Z_1 = 100$ 、アナログスイッチの総数 $n = 256$ とした場合、式（２）の負荷変動率は、図 7 に示すように、アナログスイッチオフ数 s に応じて非線形的に変化する。

[0173] 負荷変動率はアナログスイッチオフ数 s が少なくなるほど小さくなる。なお、上記のパラメータは視覚的に分かりやすいように設定したもので、実際のパラメータとは異なる場合がある。

[0174] 図 7 に示す負荷変動率は、アナログスイッチオフ数 s に対して非線形に変化するものであることを示している。

[0175] 画像表示装置 100 におけるランプ信号データ生成部 213 は、ヒストグラムメモリ 206a、206b から得られる各階調の対象画素数（ヒストグラム値）の累計加算値が示すアナログスイッチオフ数 s に応じて、負荷変動率に対応した図 8 に示す負荷変動補正データを乗じたランプ信号データ $VREFD$ を生成する。

[0176] ランプ信号データ $VREFD$ は、アナログ波形としたときのランプ信号 $VREF$ がヒストグラム値に応じて可変制御されて非線形の傾斜を示す、デジタルデータである。

[0177] 図 8 に示す負荷変動補正データは、例えば式（３）によって求められる。

$$\text{負荷変動補正データ} = \{ (n - s) Z_0 + Z_1 \} / Z_1 \quad \cdots (3)$$

負荷変動補正データは、式（２）に示す負荷変動率の逆数で求められる。負荷変動補正データは、負荷変動に基づく補正を行うことができるデータ値であればよく、式（３）に限定されない。

[0178] 以上の動作によって、本実施形態の画像表示装置 100 によれば、表示用デジタル映像信号のそれぞれのラインで、各階調の画像数に応じてダイナミックに変化するランプ信号データ生成部 213 の負荷変動に起因するランプ信号 $VREF$ の電圧変動による階調劣化を抑圧することができる。

[0179] 次に、ランプ信号データ生成部 213 における負荷変動を補正したランプ信号データ $VREFD$ の生成動作について、図 9、図 10A～図 10B、図 11A～図 11B を参照して、さらに具体的かつ詳細に説明する。

[0180] 画像表示装置 100 は、図 9 に示すように、黒背景であるイメージ 1 c 上に 50% グレー階調の水平画素数 64 画素のボックス（イメージ 2 c）と 50% グレー階調の水平画素数 128 画素のボックス（イメージ 3 c）とが上下に隣接配置された画像を表示するものとする。なお、水平方向の全画素数 n は 256 であるものとする。

[0181] 図 9 においても、50% グレー階調であるイメージ 2 a 及び 3 a を白で表現している。図 9 に示す画像は、図 15 A に示す元画像と同一の画像である。

[0182] 図 10 A、図 10 B、図 10 C は、それぞれ、イメージ 1 c、2 c、3 c における負荷変動率 F を、カウンタ値 QD と入力電圧 V_1 との関係によって示している。図 11 A、図 11 B、図 11 C は、それぞれ、イメージ 1 c、2 c、3 c におけるランプ信号データ V_{REFD} の傾斜の状態を、カウンタ値 QD と入力電圧 V_1 との関係によって示している。

[0183] 図 10 A～図 10 C 及び図 11 A～図 11 C の横軸に示すカウンタ値 QD は、図 1 A の階調カウンタ 105 より出力され、水平画素数 256 に対応して値 “0” から “255” まで 1 H 内でクロック周期に同期して 1 ずつ増加する。

[0184] ランプ信号データ生成部 213 は、負荷変動補正を行わない場合は、1 H 内で、最小階調値の黒レベル（液晶層の光透過率ゼロ相当）を示す 0 V から最大階調値の白レベル（液晶層の光透過率 100% 相当）を示す 1 V まで時間の経過と共に直線的に変化する傾斜を有する 1 H 周期の三角波であるランプ信号を発生する。

式（2）及び式（3）において、 $Z_0 = 1$ 、 $Z_1 = 100$ とする。

[0185] 黒背景であるイメージ 1 c の 1 ライン表示時には、水平方向のすべての 256 画素が階調値 “0” であるので、カウンタ値 QD が “0” のとき全水平画素に対応した 256 個のアナログスイッチがすべて同時にオフとなる。

[0186] このため、その後、カウンタ値 QD が “255” まで変化する 1 H 期間、256 個のアナログスイッチはオフ状態を継続する。このときの負荷変動率

F (255)は図 1 0 Aに示すように“1”となる（負荷変動なし）。

[0187] ここで、負荷変動率F (255)は $100/\{(256-256)\times 1+100\}$ で表される。このイメージ1 cの1ライン表示時には、負荷変動がないので、ランプ信号データ生成部2 1 3は図 1 1 Aに示すように0 Vから1 Vまでカウンタ値Q Dの値の変化に応じて直線的に増加する傾斜を有する三角波のランプ信号データV R E F Dを生成する。

[0188] 次に、水平幅が短い方の5 0 %グレー階調のイメージ2 cの1ライン表示時には、1ラインの2 5 6画素のうち5 0 %グレー階調の画素が6 4画素、残りの黒背景の階調の画素が1 9 2画素である。

[0189] このため、水平走査期間開始直後のカウンタ値Q Dが“0”のとき黒背景の階調の1 9 2画素に対応した1 9 2個のアナログスイッチが同時にオフとなり、残りの6 4画素に対応した6 4個のアナログスイッチはオンとされている。

[0190] その後、5 0 %の階調値を示すカウンタ値Q Dが“1 2 8”となると、5 0 %の画素値とカウンタ値とが一致する。すると、コンパレータ1 0 6₁~1 0 6_nから出力される一致パルスにより残りの6 4個のアナログスイッチがオフとされ、オフ直前のランプ信号（三角波）の5 0 %階調値を示す0.5 Vがサンプリングされる。この時点で2 5 6個すべてのアナログスイッチがオフとなる。

[0191] 従って、イメージ2 c表示時には図 1 0 Bに示すように、カウンタ値Q Dが“0”~“1 2 7”の期間の負荷変動率F (192)は式（2）より0.6 1 0（ $=100/\{(256-192)\times 1+100\}$ ）となり、カウンタ値Q Dが“1 2 8”~“2 5 5”では1となる。

[0192] 図 1 0 Bでは、負荷変動率Fは、カウンタ値Q Dが“0”~“1 2 7”では傾き0.6 1 0、カウンタ値Q Dが“1 2 8”~“2 5 5”では傾き1の非線形な直線となる。

[0193] そこで、ランプ信号データ生成部2 1 3は負荷変動率F (192)を補正するための負荷変動補正值Hを式（3）により生成してカウンタ値Q Dの値の変化

に応じて図 1 1 B に I で示すように変化する傾斜を有するランプ信号データ V_{REFD} を生成する。

[0194] なお、カウンタ値 QD が “1 2 8” ～ “2 5 5” では負荷変動率は $F(255)$ ($= 1$) であるので、ランプ信号データ V_{REFD} の傾斜は図 1 1 B に II で示すように 1 となる。

[0195] このように、ランプ信号データ生成部 2 1 3 は、図 1 1 B に示す非線形の傾斜を有するランプ信号データ V_{REFD} を生成する。

[0196] 次に、水平幅が長い方の 5 0 % グレー階調のイメージ 3 c の 1 ライン表示時には、1 ラインの 2 5 6 画素のうち 5 0 % グレー階調の画素が 1 2 8 画素、残りの黒背景の階調の画素が 1 2 8 画素である。

[0197] このため、水平走査期間開始直後のカウンタ値 QD が “0” のとき黒背景の階調の 1 2 8 画素に対応した 1 2 8 個のアナログスイッチが同時にオフとなり、残りの 1 2 8 画素に対応した 1 2 8 個のアナログスイッチはオンとされている。

[0198] その後、5 0 % の階調値を示すカウンタ値 QD が “1 2 8” となると、5 0 % の画素値とカウンタ値とが一致する。すると、コンパレータ $106_1 \sim 106_n$ から出力される一致パルスにより残りの 1 2 8 個のアナログスイッチがオフとされ、オフ直前のランプ信号（三角波）の 5 0 % 階調値を示す 0.5 V がサンプリングされる。この時点で 2 5 6 個すべてのアナログスイッチがオフとなる。

[0199] 従って、イメージ 3 c 表示時には図 1 0 C に示すように、カウンタ値 QD が “0” ～ “1 2 7” の期間の負荷変動率 $F(128)$ は式 (2) より 0.439 ($= 100 / \{(256 - 128) \times 1 + 100\}$) となり、カウンタ値 QD が “1 2 8” ～ “2 5 5” では 1 となる。

[0200] 図 1 0 C では、負荷変動率 F は、カウンタ値 QD が “0” ～ “1 2 7” では傾き 0.439、カウンタ値 QD が “1 2 8” ～ “2 5 5” では傾き 1 の非線形な直線となる。

[0201] そこで、ランプ信号データ生成部 2 1 3 は負荷変動率 $F(128)$ を補正するた

めの負荷変動補正值Hを式（3）により生成してカウンタ値Q Dの値の変化に応じて図11CにIIIで示すように変化する傾斜を有するランプ信号データV R E F Dを生成する。

[0202] なお、カウンタ値Q Dが“128”～“255”では負荷変動率はF(255)(=1)であるので、ランプ信号データV R E F Dの傾斜は図11CにIVで示すように1となる。

[0203] このように、ランプ信号データ生成部213は、図11Cに示す非線形の傾斜を有するランプ信号データV R E F Dを生成する。図11BのIで示す部分の傾斜と図11CのIIIで示す部分の傾斜とは、傾斜の程度が異なる。

[0204] 本実施の形態では、負荷変動補正を行ってランプ信号データV R E F Dに基づくランプ信号を生成している。よって、ランプ信号V R E Fをサンプルホールドして得られるイメージ2c, 3cの表示画像は、従来の図15Bの表示画像におけるイメージ2b, 3bと比較して、階調劣化が抑えられて本来の50%グレー階調に近い階調表示が可能になる。

[0205] 次に、図3中のランプ信号データ生成部213の具体的な構成例について説明する。

[0206] （ランプ信号生成部の第1構成例）

図12は、ランプ信号データ生成部213の第1構成例のブロック図を示す。図12に示す第1構成例のランプ信号データ生成部213Aは、カウンタ301及びデータ生成器302から構成される。カウンタ301は、クロックC L Kをカウントアップまたはカウントダウンし、水平同期信号H Dによりリセットされることで、1水平走査期間内で最小階調から最大階調までを示すカウンタ値を生成する。

[0207] クロックC L Kは図2の(e)、図4の(f)に示すクロックであり、カウンタ301は、図1Aの階調カウンタ105が出力するカウンタ値Q D（第1のカウンタ値）と同期するカウンタ値Q D（第2のカウンタ値）を出力する。

[0208] データ生成器302には、図3のヒストグラム値セクタ212から出力

されたヒストグラム値データHISTDと、カウンタ301のカウンタ値QDとがアドレスとして入力される。データ生成器302は、ヒストグラム値データHISTDとカウンタ値QDとに対応したデジタル信号であるランプ信号データVREFDを出力する。

[0209] データ生成器302は、ルックアップテーブル(LUT)により構成することができる。アドレスとして入力されるヒストグラム値データHISTDは、カウンタ値QDの値ごとにその時点のアナログスイッチオフ数sを示している。よって、データ生成器302は、負荷変動補正した傾斜特性の三角波のランプ信号データVREFDを生成することができる。

[0210] データ生成器302は、カウンタ値QDが示す三角波の補正、表示用デジタル映像信号のデガンマの実施、液晶素子の電圧-透過率特性(VT特性)の補正のうちの少なくとも1つの特性を付加したランプ信号データ(LUTデータ)を記憶している。

[0211] データ生成器302は、生成したランプ信号データVREFDを図3のDA変換部214に供給する。

[0212] 図7に示した負荷変動率特性が特に非線形であり、負荷変動率が急峻に立ち上がると、表示画像には階調の段差が視認される。第1構成例のランプ信号データ生成部213Aは、階調の段差が視認される程度が許容できない場合に用いるのに好適である。

[0213] また、第1構成例のランプ信号データ生成部213Aは、階調データが単調増加関数のうちの単なる三角波ではなく、表示用デジタル映像信号のデガンマも実施する非線形性を持たせる場合や、液晶素子のVT特性を一挙にまとめて補正する場合に最適な構成である。

[0214] アナログスイッチ107₁~107_nのインピーダンスがばらつき、ヒストグラム値とは非線形のバッファ負荷となった場合でも、第1構成例のランプ信号データ生成部213Aは、アナログスイッチ107₁~107_nの負荷特性に合わせたLUTデータとすることで、種々のケースに対応できる。

[0215] ランプ信号データ生成部213Aは、階調劣化を効果的に抑制することが

できる。

[0216] (ランプ信号生成部の第2構成例)

図13は、ランプ信号データ生成部213の第2構成例のブロック図を示す。図13中、図12と同一構成部分には同一符号を付してある。図13に示す第2構成例のランプ信号データ生成部213Bは、図12のデータ生成器302の代わりに乗算器304を用い、負荷変動補正データ生成部303を追加した構成である。

[0217] 負荷変動補正データ生成部303は、例えばLUTから構成される。負荷変動補正データ生成部303には、ヒストグラム値データHISTDがアドレスとして入力される。負荷変動補正データ生成部303は、図8に示す特性の負荷変動補正データを生成して乗算器304に供給する。

[0218] 負荷変動補正データ生成部303を構成するLUTは、アドレスとして入力されるヒストグラム値データHISTDが示すアナログスイッチオフ数 s に対応したデータ値の負荷変動補正データを出力する。

[0219] 乗算器304は、負荷変動補正データを乗算値とし、カウンタ301からのカウンタ値 QD を被乗算値として乗算を行い、その乗算結果をランプ信号データ $VREFD$ として図3のDA変換部214に供給する。

[0220] ランプ信号データ $VREFD$ は、前述したように1H期間の最初で最小の階調値から開始して1H期間の終了直前で最大の階調値を示す傾斜波であり、かつ、その傾斜の程度がヒストグラム値データHISTDに応じて可変制御された非線形の傾斜を示すデジタル値のランプ信号である。

[0221] 第2構成例のランプ信号データ生成部213Bは、水平画素数 n がそれほど多くない場合や、アナログスイッチ $107_1 \sim 107_n$ の入力インピーダンス Z_1 に対して、DA変換部214内のバッファの出力インピーダンス Z_0 が十分に小さい(すなわち、 $Z_0 \ll Z_1$)場合に有効である。

[0222] また、LUTではなく乗算器304を用いてランプ信号データ $VREFD$ を生成しているので、構成を簡略化でき、低コストで負荷変動抑制効果を得ることができる。

[0223] (ランプ信号生成部の第3構成例)

図14は、ランプ信号データ生成部213の第3構成例のブロック図を示す。図14中、図13と同一構成部分には同一符号を付し、その説明を省略する。

[0224] 図14に示すランプ信号データ生成部213Cは、ランプ信号データ生成部213Aと212Bとを組み合わせた構成である。ランプ信号データ生成部213Cは、乗算器306によって、データ生成器305から出力されるLUTデータと負荷変動補正データ生成部303から出力される負荷変動補正データとを乗算する。

[0225] データ生成器305は、LUTにより構成されている。データ生成器305には、カウンタ301からのカウンタ値QDがアドレスとして入力される。データ生成器305は、表示用デジタル映像信号のデガンマの実施、または、液晶素子のVT特性を補正するためのLUTデータ（補正データ）を記憶している。

[0226] 乗算器306は、負荷変動補正データを乗算値とし、データ生成器305からのLUTデータを被乗算値として乗算を行い、その乗算結果をランプ信号データVREFDとして図3のDA変換部214に供給する。

[0227] ランプ信号データ生成部213Cは、液晶素子のVT特性の補正、デガンマを実施するとともに、負荷変動がアナログスイッチオフ数sに対して略線形とみなせる場合に有効な構成である。

[0228] 液晶素子のVT特性の補正、デガンマによる補正は一般的に各階調に対して非線形である。ランプ信号データ生成部213Cは、補正パラメータが必要な場合、2.2乗、1.8乗、2.6乗という映像コンテンツで異なる信号ガンマ値をキャンセルするための補正值（デガンマ特性）を適宜変更する場合に有効な構成である。補正パラメータとは、例えば、生産時の液晶膜厚ばらつきで生じる表示素子単位で異なる補正パラメータである。

[0229] ランプ信号データ生成部213Cは、データ生成器305で上記の補正を行い、後段の乗算器306でデータ生成器305から出力されたLUTデー

タと負荷変動補正データとを乗算することによって、負荷変動を抑制する。

[0230] ランプ信号データ生成部 213C は、LUT のメモリ容量を大幅に削減し、低コスト、装置の小型化が図れる構成である。

[0231] 以上説明した本実施形態の画像表示装置 100 によれば、ランプ信号を用いた D/A 変換方式の画像表示装置において、ダミー画素を画素内に設けることなく、表示用デジタル映像信号の各ライン単位でダイナミックに変動するランプ信号データ生成部 213 の負荷変動に起因するランプ信号 VREF の電圧変動による階調劣化（波形妨害）を高精度に抑圧できる。

[0232] 本実施形態の画像表示装置 100 によれば、表示素子のアナログスイッチ特性のばらつきに応じてその抑制効果を調整することで階調性に優れた高画質表示ができる。

[0233] 本実施形態の画像表示装置 100 によれば、ダミー画素を画素内に設ける必要がないので、回路増大に伴う歩留まり低下を回避することができ、コストアップを低減させることができる。

[0234] なお、本発明は以上の実施形態に限定されるものではなく、種々の変形が可能である。例えば、ランプ信号は 1 水平走査期間内で最大階調値のレベルから最小階調値のレベルまで変化する傾斜波であってもよい。

[0235] この場合は、カウンタ値も最大階調値のカウンタ値から最小階調値のカウンタ値までダウンカウントする構成とすればよい。

[0236] 本発明は液晶表示素子以外の同様な表示素子を用いた画像表示装置であってもよく、D/A 変換方式にて画像表示を行う画像表示装置であればよい。

産業上の利用可能性

[0237] 本発明は、D/A 変換方式にて画像表示を行う任意の画像表示装置に利用できる。

請求の範囲

[請求項1] 複数のデータ線と複数のゲート線とが交差する交差部にそれぞれ配列された複数の画素からなる画素部と、

前記複数のゲート線に順次に画素選択信号を供給して、前記画素部の各画素を1ラインの画素単位で順次に選択する垂直方向駆動部と、

前記複数のデータ線に1対1に対応してそれぞれ接続された複数のアナログスイッチと、

表示用デジタル映像信号における1ライン分の各画素の画像データを保持する保持部と、

各水平走査期間の最初の時点で黒レベルと白レベルとのいずれか一方のレベルから開始し、各水平走査期間の終了直前の時点で他方のレベルに達するような、時間の経過とともにレベルが変化する傾斜を有し、かつ、前記傾斜が前記複数のアナログスイッチのうちオフとされたアナログスイッチの数に対応して可変制御されて非線形の傾斜を示す傾斜波であるランプ信号を生成し、前記ランプ信号を前記複数のアナログスイッチに共通に供給し、前記1ライン分の各画素の画像データを前記ランプ信号に同期させて前記保持部に供給する変換用アナログ信号発生部と、

水平走査期間ごとに、水平走査期間の開始時に前記複数のアナログスイッチを同時にオンに制御して前記複数のアナログスイッチを介して前記複数のデータ線に前記ランプ信号を供給し、前記保持部で保持された前記1ライン分の各画素の画像データと、1水平走査期間内で最小の階調値と最大の階調値とうちの一方から他方まで順次に変化する第1のカウント値とを画素単位で比較し、比較結果が一致を示したときに前記複数のアナログスイッチのうち一致を示した画素に対応して設けられたアナログスイッチのみを次の水平走査期間の開始時までオフに制御し、オフに制御された前記アナログスイッチに接続された前記データ線を介して、前記画素に、オフに制御される直前の前記ラ

ンプ信号の電位をサンプルホールドさせて画像表示させる制御部と、
を備え、

前記変換用アナログ信号発生部は、

水平走査期間ごとに、前記1ラインの各画素の画像データが有する
階調値のヒストグラム値を検出して、ヒストグラム値データを出力する
ヒストグラム値出力部と、

前記ヒストグラム値データを累積加算して、前記複数のアナログス
イッチのうちオフされたアナログスイッチ数を示す累積加算値を算出
する累積加算器と、

前記オフされたアナログスイッチ数の大小に起因する負荷変動によ
って、前記ランプ信号の電圧変動を抑圧するように、前記累積加算値
に応じて傾斜の程度が可変制御された非線形の傾斜を示すランプ信号
データを生成するランプ信号データ生成部と、

前記ランプ信号データをアナログ信号の前記ランプ信号に変換して
、前記複数のアナログスイッチに供給するDA変換部と、

前記DA変換部から出力される前記ランプ信号に同期して、前記1
ラインの各画素の画像データを遅延して前記保持部に供給する遅延部
と、

を有することを特徴とする画像表示装置。

[請求項2]

前記ランプ信号データ生成部は、

前記表示用デジタル映像信号の水平同期信号によりリセットされ、
所定周波数のクロックをカウントして、前記第1のカウンタ値と同期
した第2のカウンタ値を発生するカウンタと、

前記カウンタが発生した前記第2のカウンタ値と、前記累積加算器
が算出した前記累積加算値とがアドレスとして入力され、前記ランプ
信号データを出力するデータ生成器と、

を有することを特徴とする請求項1記載の画像表示装置。

[請求項3]

前記データ生成器は、前記ランプ信号データとして、前記表示用デ

デジタル映像信号のデガンマを実施する非線形の傾斜特性を示すランプ信号データを出力することを特徴とする請求項2記載の画像表示装置。

[請求項4]

前記ランプ信号データ生成部は、

前記表示用デジタル映像信号の水平同期信号によりリセットされ、所定周波数のクロックをカウントして、前記第1のカウンタ値と同期した第2のカウンタ値を発生するカウンタと、

前記複数のアナログスイッチの総数を n 、前記複数のアナログスイッチのうち、所定のタイミングでオフとされたアナログスイッチ数を s (ただし、 $0 \leq s \leq n$)、前記DA変換部内のバッファの出力インピーダンスを Z_0 、前記アナログスイッチ1個当たりの入力インピーダンスを Z_1 としたとき、 $Z_1 / \{(n-s)Z_0 + Z_1\}$ で表される負荷変動率を補正するための負荷変動補正データを生成する負荷変動補正データ生成部と、

前記カウンタが発生した前記第2のカウンタ値と、前記負荷変動補正データ生成部が生成した前記負荷変動補正データとを乗算して、乗算結果を前記ランプ信号データとして出力する乗算器と、

を有することを特徴とする請求項1記載の画像表示装置。

[請求項5]

前記ランプ信号データ生成部は、

前記表示用デジタル映像信号の水平同期信号によりリセットされ、所定周波数のクロックをカウントして、前記第1のカウンタ値と同期した第2のカウンタ値を発生するカウンタと、

前記複数のアナログスイッチの総数を n 、前記複数のアナログスイッチのうち、所定のタイミングでオフとされたアナログスイッチ数を s (ただし、 $0 \leq s \leq n$)、前記DA変換部内のバッファの出力インピーダンスを Z_0 、前記アナログスイッチ1個当たりの入力インピーダンスを Z_1 としたとき、 $Z_1 / \{(n-s)Z_0 + Z_1\}$ で表される負荷変動率を補正するための負荷変動補正データを生成する負荷変動補

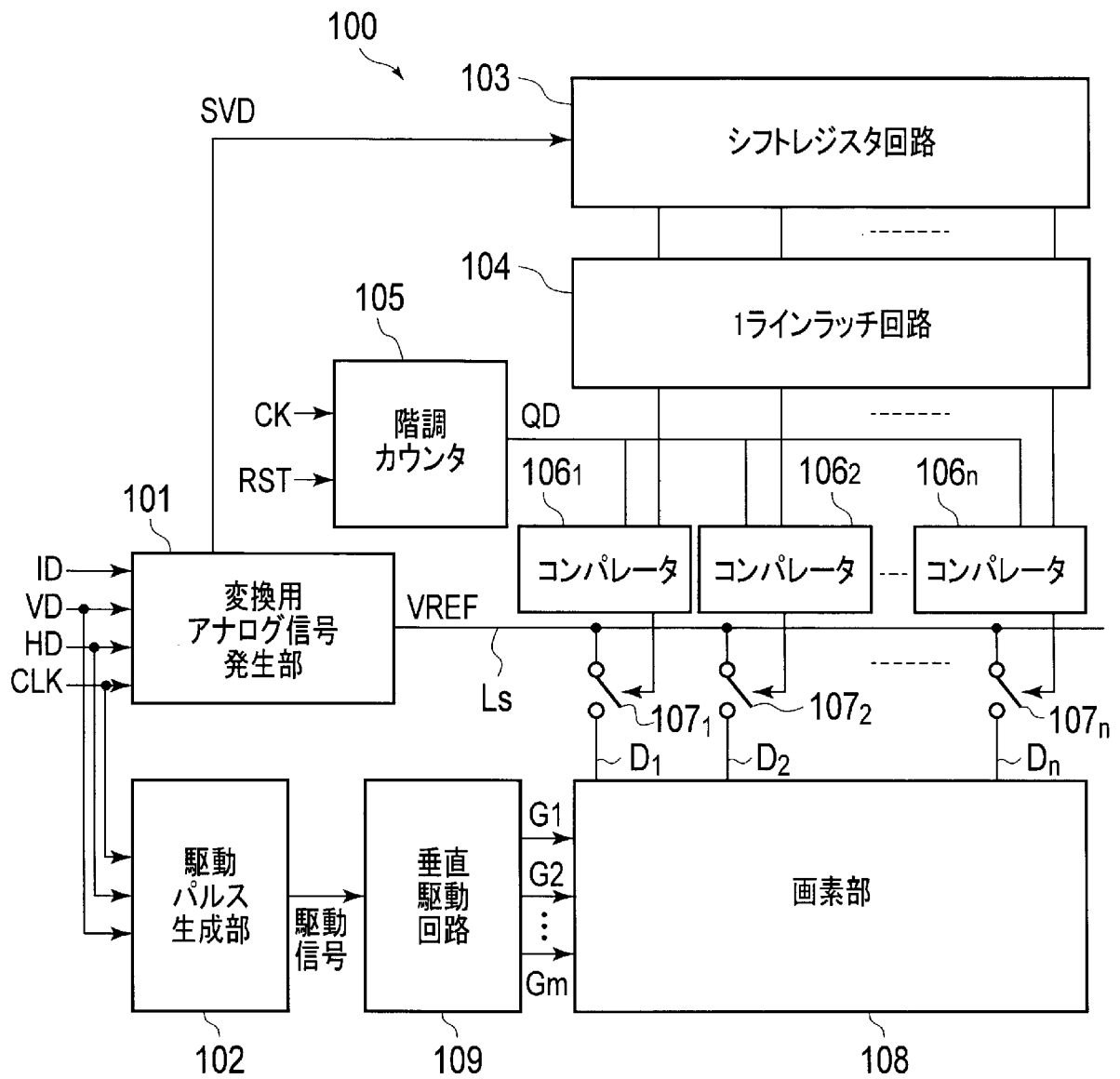
正データ生成部と、

前記カウンタが発生した前記第2のカウンタ値がアドレスとして入力され、前記アドレスに応じて、前記表示用デジタル映像信号のデガンマの実施、または、前記画素が有する液晶素子の電圧－透過率特性を補正するための補正データを生成するデータ生成器と、

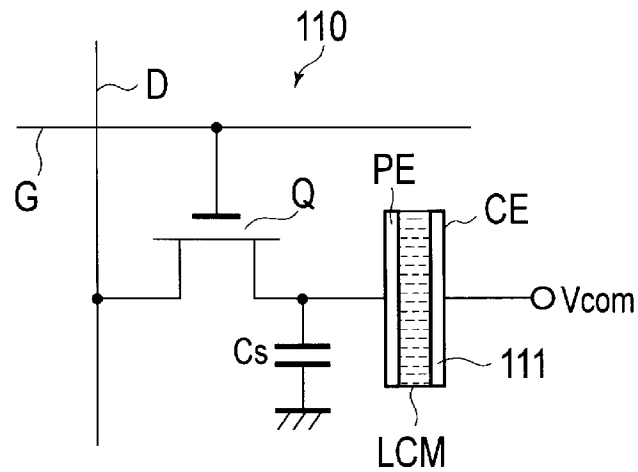
前記データ生成器が生成した前記補正データと前記負荷変動補正データを乗算して、乗算結果を前記ランプ信号データとして出力する乗算器と、

を有することを特徴とする請求項1記載の画像表示装置。

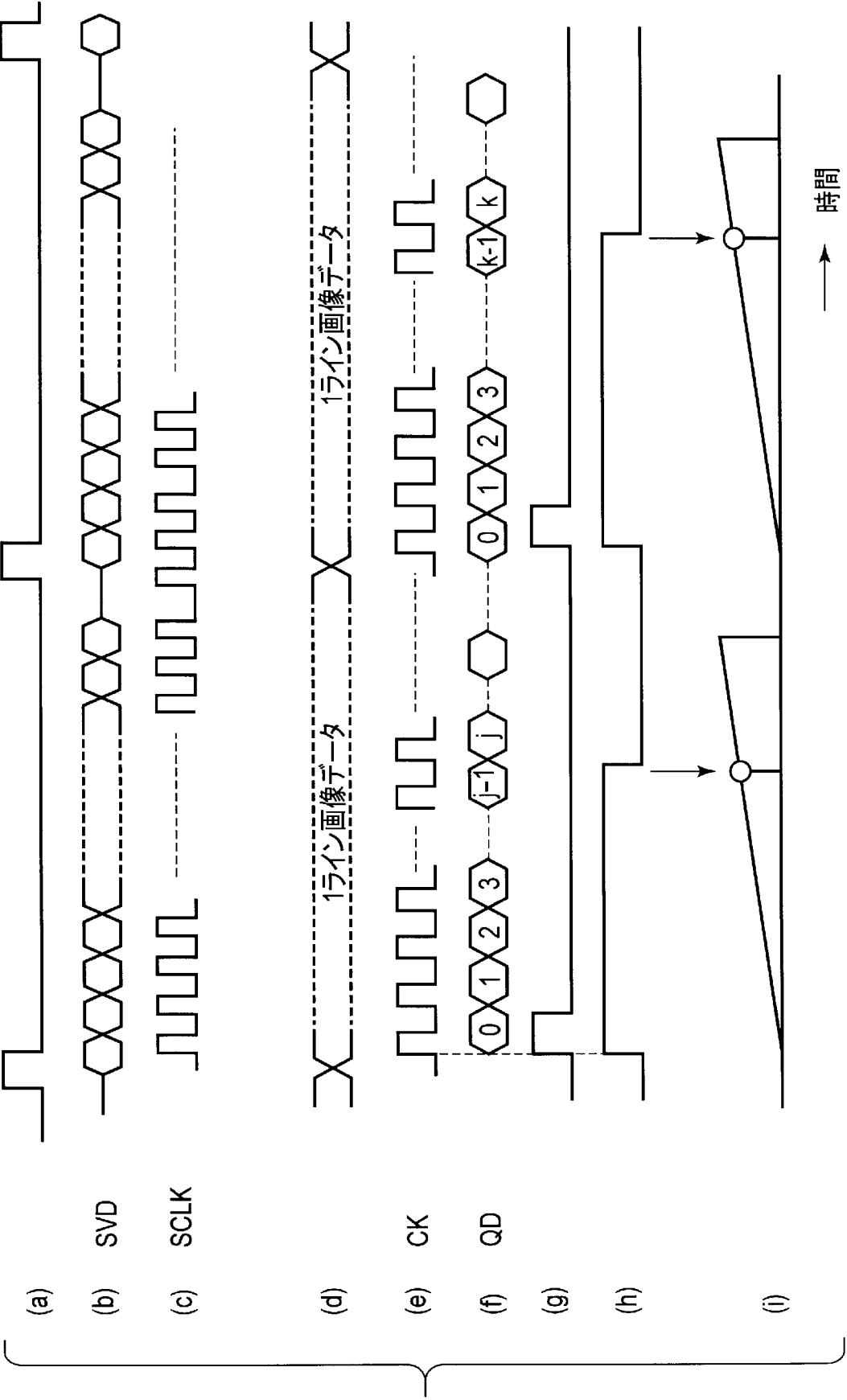
[図1A]



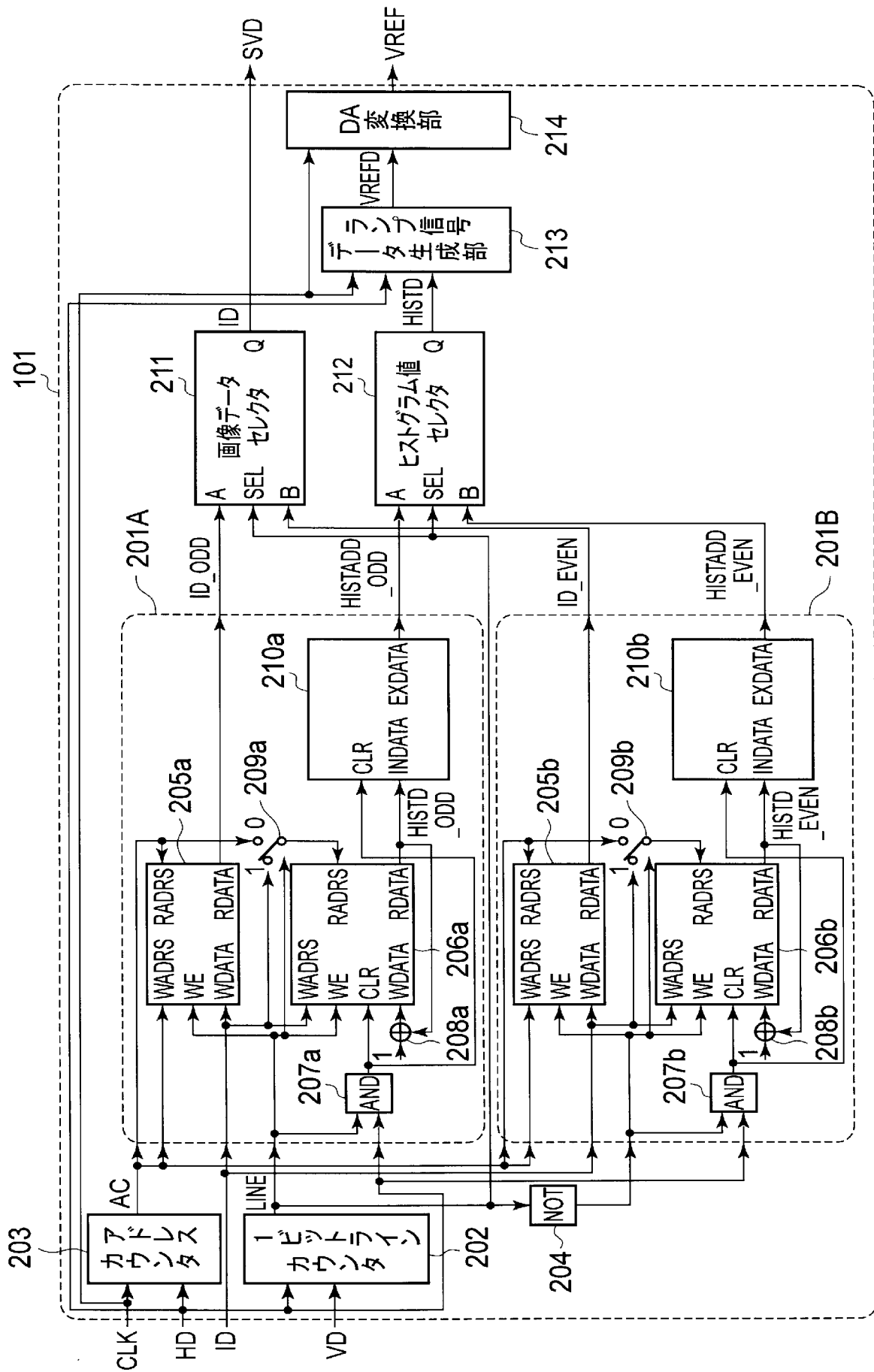
[図1B]



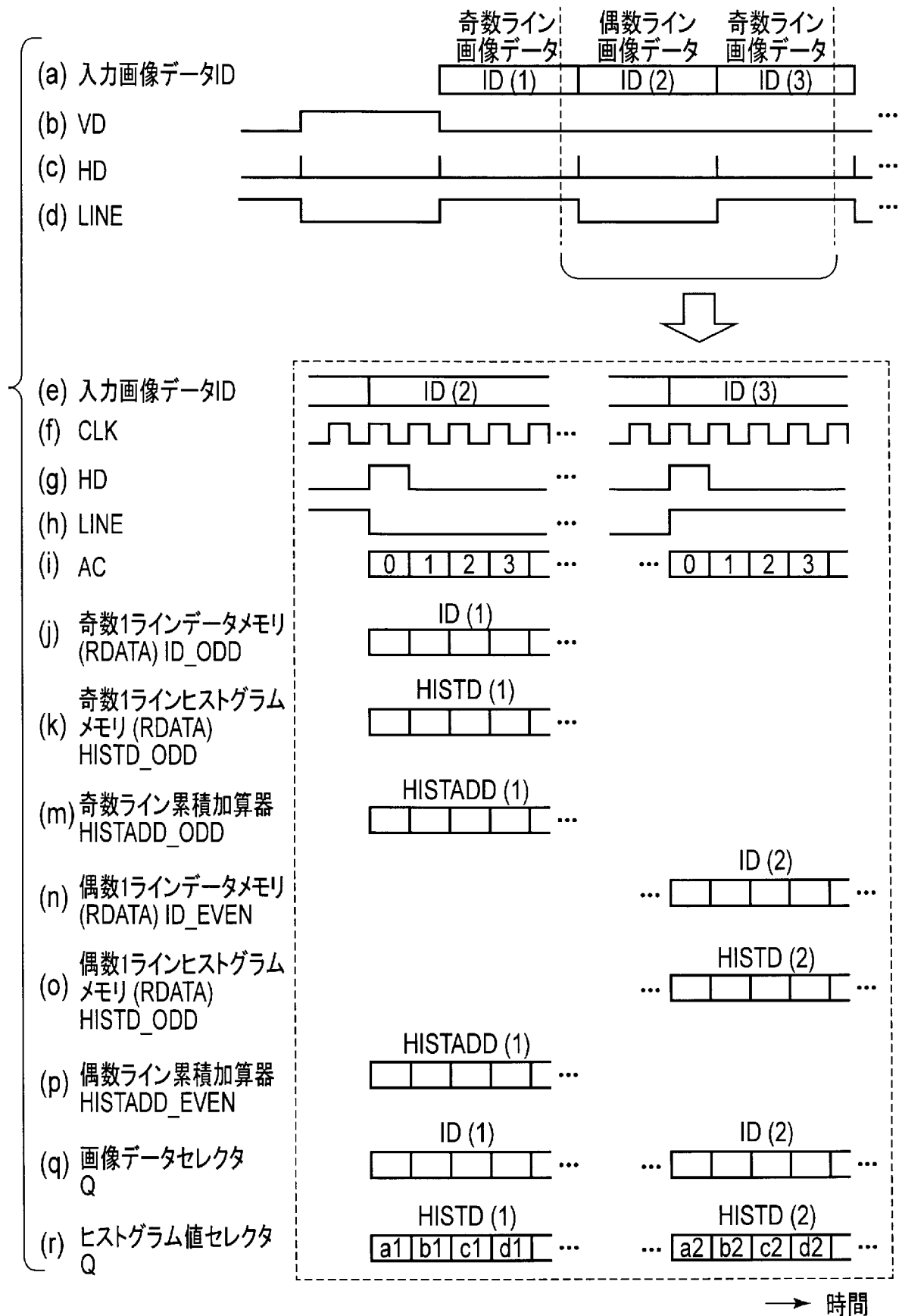
[図2]



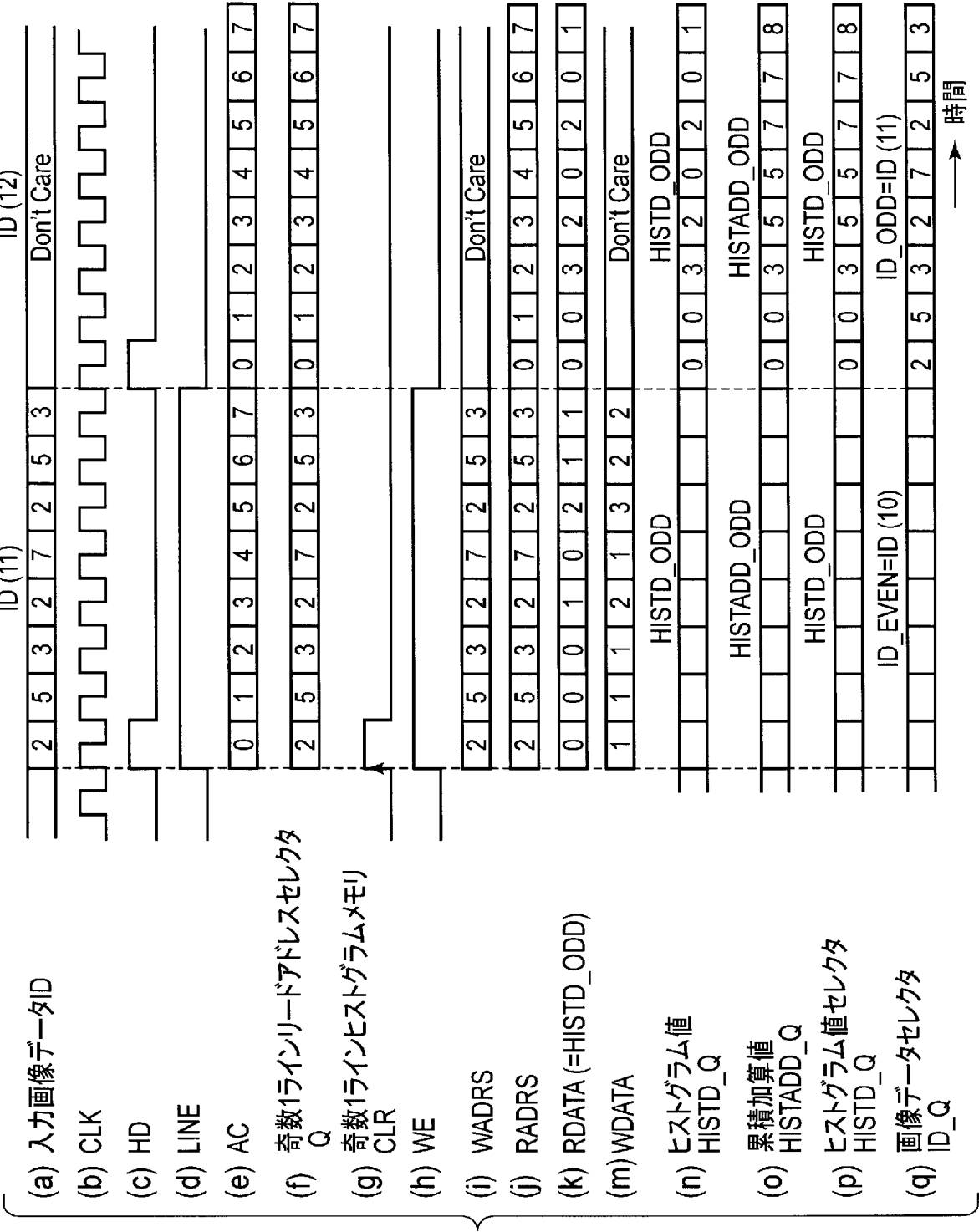
[図3]



[図4]



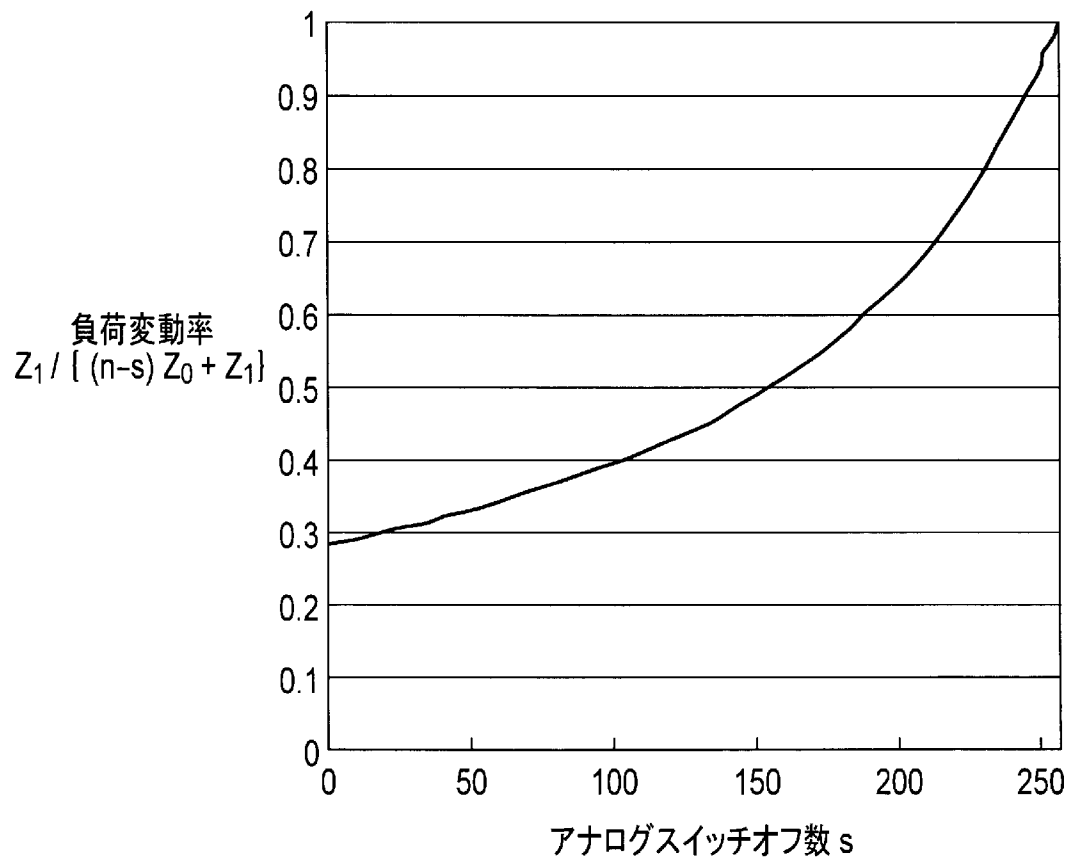
[図5]



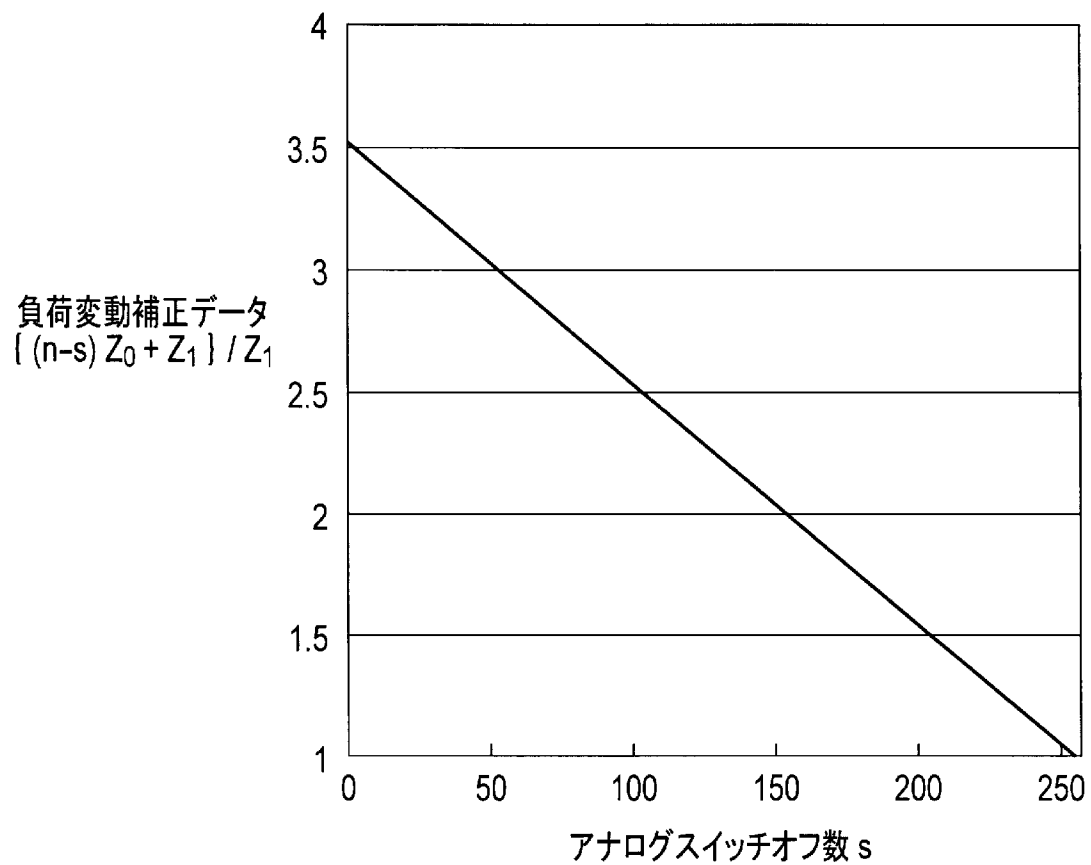
[図6]

階調 (データレベル)	ヒストグラム値	累積加算値
0	0	0
1	0	0
2	3	3
3	2	5
4	0	5
5	2	7
6	0	7
7	1	8

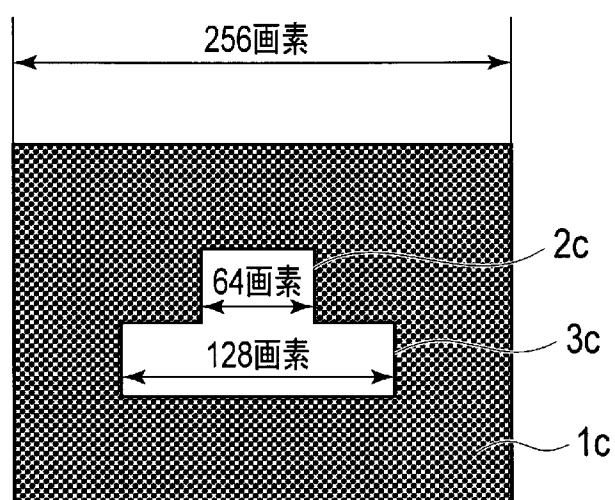
[図7]



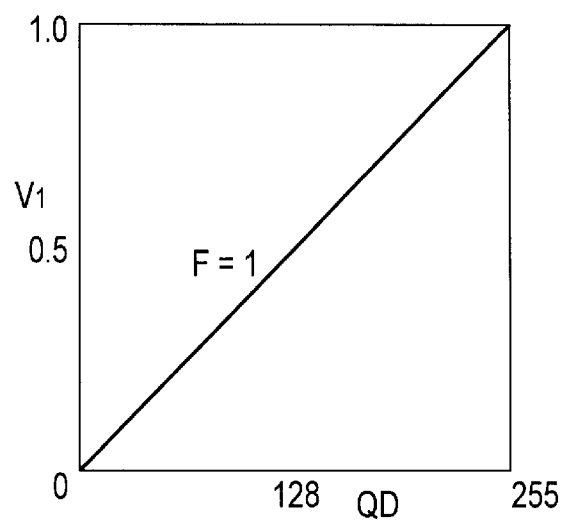
[図8]



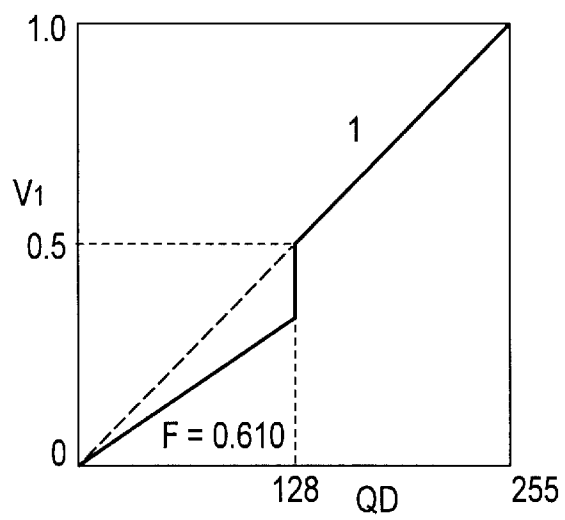
[図9]



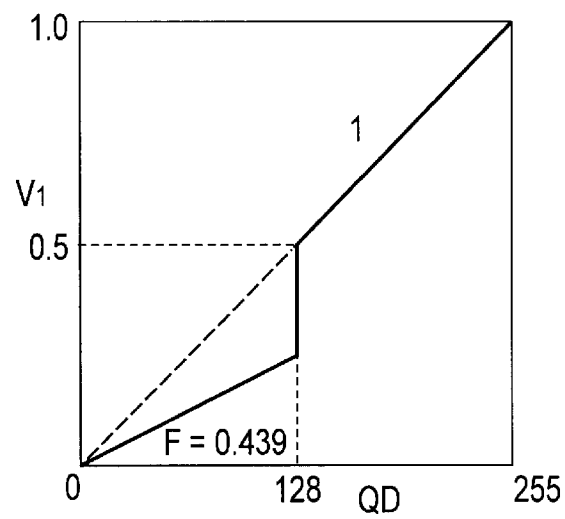
[図10A]



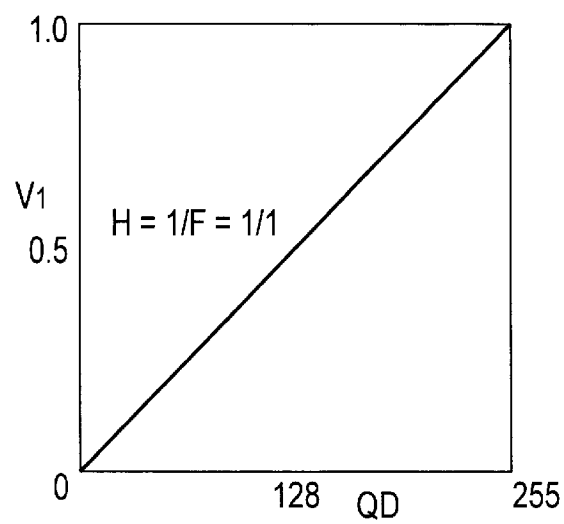
[図10B]



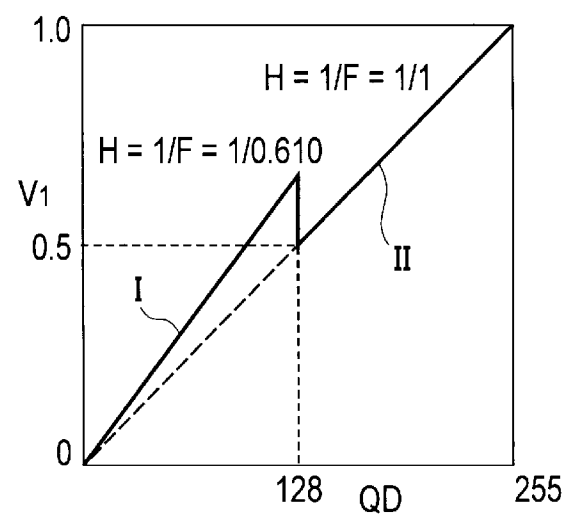
[図10C]



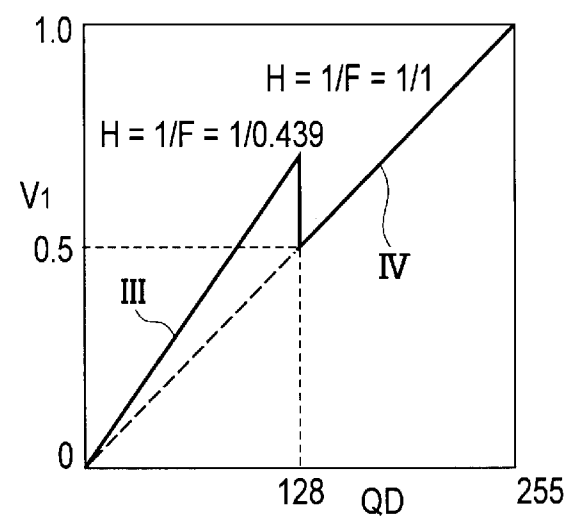
[図11A]



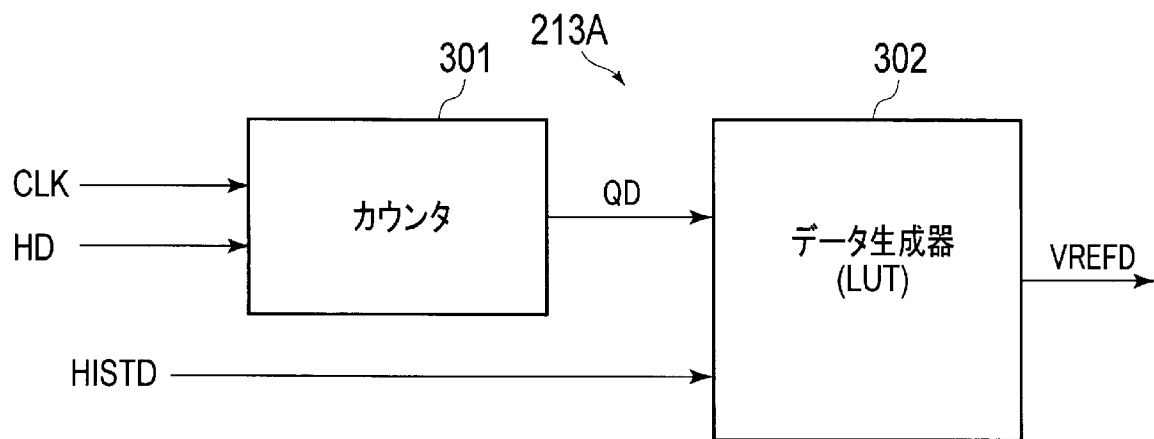
[図11B]



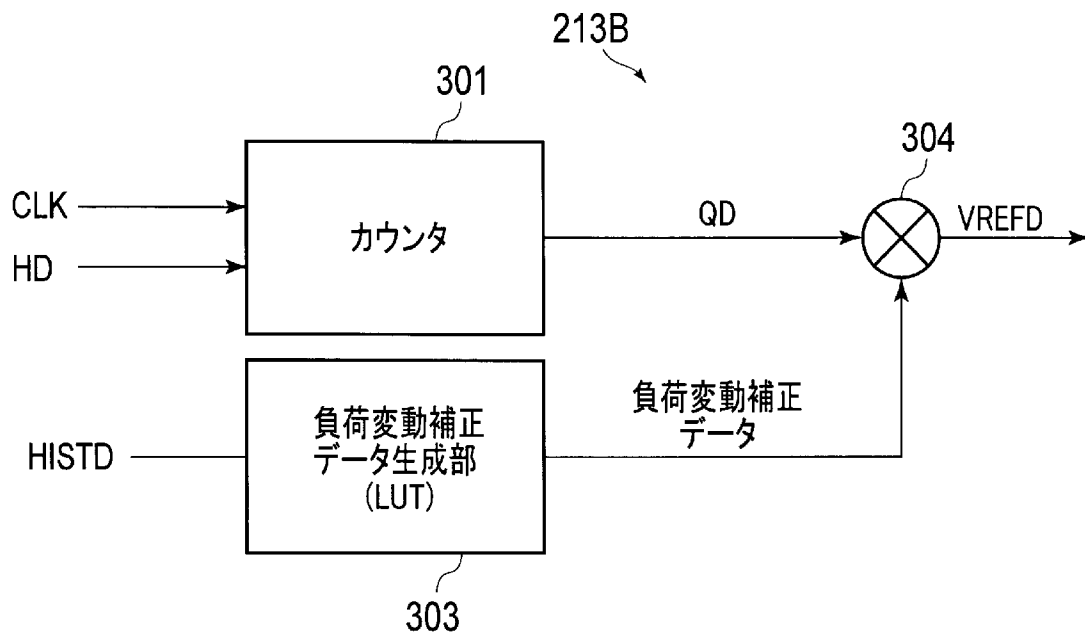
[図11C]



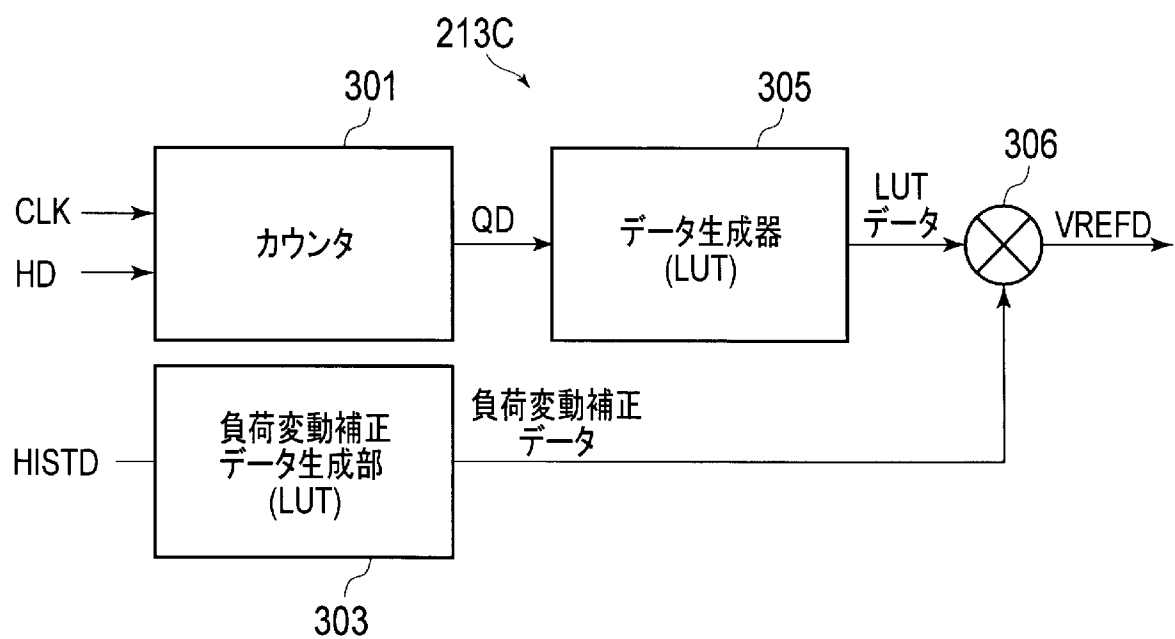
[図12]



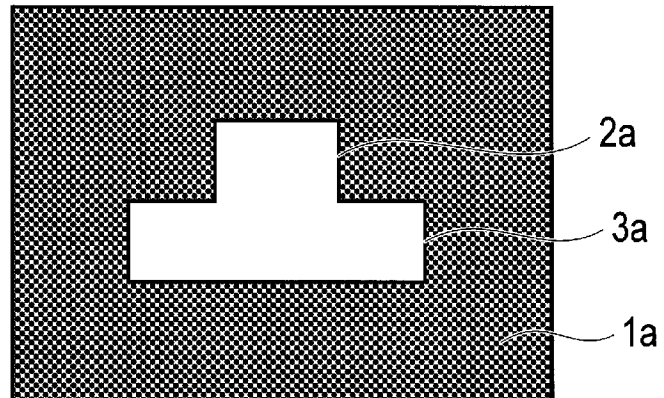
[図13]



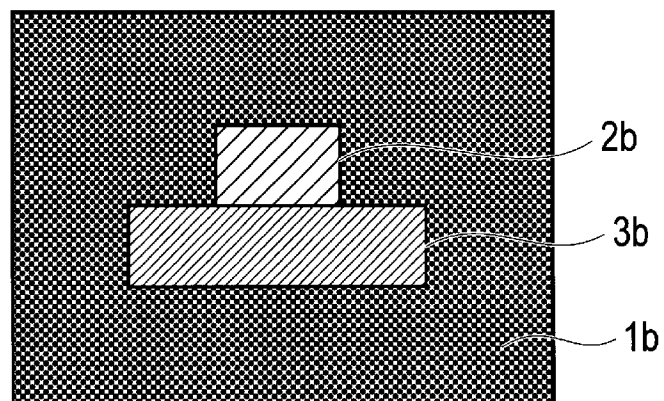
[図14]



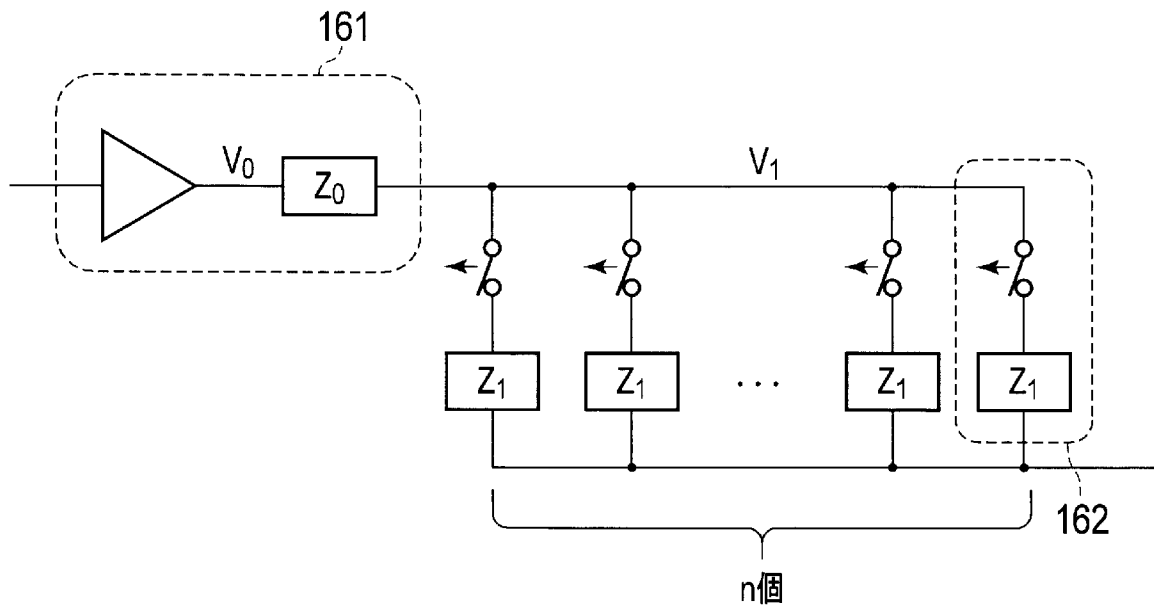
[図15A]



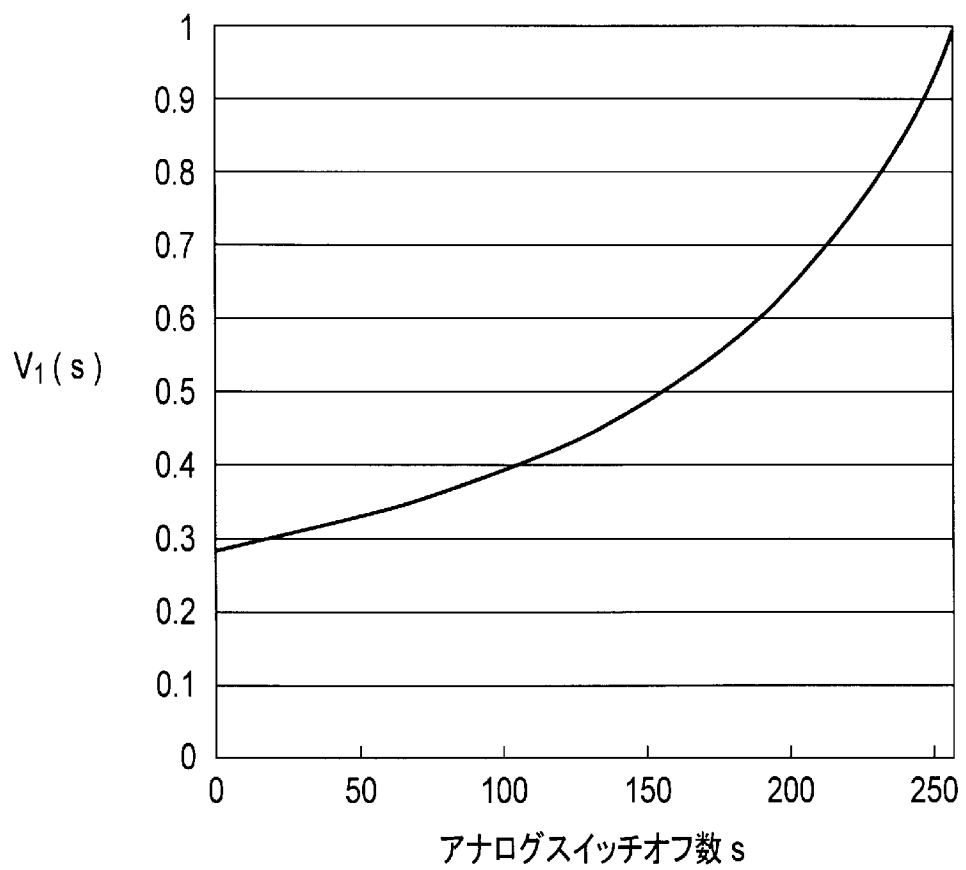
[図15B]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/070724

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-13517 A (Victor Company of Japan, Ltd.), 20 January 2011 (20.01.2011), paragraphs [0017] to [0063]; fig. 1 to 6 (Family: none)	1-5
A	JP 2005-292804 A (Canon Inc.), 20 October 2005 (20.10.2005), paragraphs [0027] to [0063]; fig. 1 to 8 & US 2005/0206660 A1	1-5
A	JP 7-191635 A (Fujitsu Ltd.), 28 July 1995 (28.07.1995), paragraphs [0039] to [0042]; fig. 10 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 October, 2014 (27.10.14)

Date of mailing of the international search report
04 November, 2014 (04.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/070724

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2014-142448 A (JVC Kenwood Corp.), 07 August 2014 (07.08.2014), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-13517 A（日本ビクター株式会社）2011.01.20, 段落【0017】－【0063】、【図1】－【図6】（ファミリーなし）	1－5
A	JP 2005-292804 A（キヤノン株式会社）2005.10.20, 段落【0027】－【0063】、【図1】－【図8】 & US 2005/0206660 A1	1－5
A	JP 7-191635 A（富士通株式会社）1995.07.28, 段落【0039】－【0042】、【図10】（ファミリーなし）	1－5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 1 0 . 2 0 1 4

国際調査報告の発送日

0 4 . 1 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
E, A	JP 2014-142448 A (株式会社 J V C ケンウッド) 2014. 08. 07, 全文, 全図 (ファミリーなし)	1 - 5